

Table des matières

LISTE DES ABRÉVIATIONS	7
INTRODUCTION	9
1. CHAPITRE 1 : LES TRANSISTORS ORGANIQUES : ÉTAT DE L'ART.....	15
1.1. LES SEMI-CONDUCTEURS ORGANIQUES	15
1.1.1. <i>Caractère Semi-conducteur d'un matériau organique</i>	15
1.1.2. <i>Conduction dans les semi-conducteurs organiques</i>	18
1.2. LES TRANSISTORS ORGANIQUES A EFFET DE CHAMP	23
1.2.1. <i>Structure des transistors organiques</i>	23
1.2.2. <i>Les différentes configurations des OFETS/OTFTS</i>	24
1.2.3. <i>Principe de fonctionnement des OTFTs</i>	26
1.2.4. <i>Les paramètres du transistor</i>	29
1.3. METHODES D'EXTRACTION DE V_T	35
1.3.1. <i>Méthode « classique » ELR</i>	35
1.3.2. <i>Méthode de la fonction Y (YFM)</i>	36
1.3.3. <i>Méthode à courant constant</i>	37
1.3.4. <i>Autres méthodes d'extractions du v_t</i>	38
1.4. FIABILITE DES OTFTS : STABILITE EN STRESS ELECTRIQUE	39
1.4.1. <i>Piégeage des porteurs de charges</i>	40
1.4.2. <i>Migration ionique</i>	44
1.4.3. <i>Influence de la polarisation du diélectrique</i>	45
1.4.4. <i>Effet de l'environnement</i>	45
1.5. CONCLUSIONS	47
2. CHAPITRE 2 : PROCÉDÉS DE FABRICATION ET PROTOCOLE EXPÉRIMENTAL.....	55
2.1. FABRICATION DES TRANSISTORS ORGANIQUES	55
2.1.1. <i>Les différentes techniques d'impression</i>	55
2.1.2. <i>Procédé de fabrication</i>	57
2.1.3. <i>Masques des plaques fabriquées</i>	62
2.2. CARACTERISATION ELECTRIQUE	65
2.2.1. <i>Description des bancs de test</i>	65
2.2.2. <i>Impact de la lumière</i>	67
2.2.3. <i>Impact de la mesure</i>	71
2.2.4. <i>Impact du vieillissement à l'air</i>	74
2.3. CONCLUSIONS	81

3.	CHAPITRE 3 : MODÉLISATION DES OTFTS AVEC LA FONCTION LAMBERT W.....	85
3.1.	LE MODELE PAR LA FONCTION LAMBERT W	85
3.1.1.	<i>La capacité MIS (Métal–isolant–Semi-conducteur).....</i>	86
3.1.2.	<i>1^{ER} cas : pas de pièges à l'interface</i>	88
3.1.3.	<i>2^{EME} cas : présence de pièges à l'interface</i>	89
3.1.4.	<i>Utilisation de la fonction Lambert W</i>	89
3.2.	VALIDATION DU MODELE	91
3.2.1.	<i>Modélisation de la charge d'accumulation</i>	92
3.2.2.	<i>Modélisation de I_D pour différentes longueurs de canal L en régime linéaire et saturé.....</i>	93
3.3.	APPLICATION A DES MESURES BASSES TEMPERATURES	96
3.3.1.	<i>Protocole experimental</i>	97
3.3.2.	<i>Validation pour les régimes linéaire et saturé à basse température.....</i>	97
3.3.3.	<i>Evolution des paramètres du transistor avec la température</i>	99
3.4.	CONCLUSIONS	102
4.	CHAPITRE 4 : STABILITÉ ÉLECTRIQUE : STRESS DE GRILLE NÉGATIF	107
4.1.	LE STRESS ELECTRIQUE.....	107
4.2.	CHOIX DE LA METHODE D'EXTRACTION UTILISEE.....	108
4.3.	IMPACT DU NGBS SUR LES CARACTERISTIQUES ELECTRIQUES DE P-OTFTS AVEC UNE GRILLE EN OR PULVERISEE	112
4.3.1.	<i>Evolution du ΔV_T au cours du stress et de la relaxation</i>	112
4.3.2.	<i>Modélisation.....</i>	116
4.3.3.	<i>Influence du diélectrique sur l'impact du NGBS.....</i>	119
4.4.	ETUDE DE LA STABILITE ELECTRIQUE SUR DES P-OTFTS AVEC GRILLE ARGENT IMPRIMEE	122
4.4.1.	<i>Etude du stress de grille négatif.....</i>	123
4.4.2.	<i>Comparaison avec la grille en or</i>	126
4.4.3.	<i>Modélisation.....</i>	128
4.5.	CONCLUSIONS	131
	CONCLUSIONS GÉNÉRALES.....	133
	PERSPECTIVES	137
	ANNEXES.....	139
	ANNEXE I : $LW(x)$ SOLUTION DE L'EQUATION DIFFERENTIELLE EN Q_{ACC}	139
	ANNEXE II : COURBES $I_D=F(V_{GS})$ DURANT LE NGBS ET LA RELAXATION DES P-OTFTS AVEC UNE GRILLE EN OR PULVERISEE	141
	ANNEXE III : COURBES $I_D=F(V_{GS})$ DURANT LE NGBS DES P-OTFTS AVEC UNE GRILLE EN OR PULVERISEE (COMPARAISON DES DIELECTRIQUES) ...	143
	ANNEXE IV : COURBES $I_D=F(V_{GS})$ DURANT LE NGBS DES P-OTFTS (COMPARAISON DE LA METHODE DE DEPOT DU DIELECTRIQUE).....	145
	ANNEXE V : COURBES $I_D=F(V_{GS})$ DURANT LE NGBS DES P-OTFTS AVEC UNE GRILLE EN ENCRE ARGENT IMPRIMEE	147
	ANNEXE VI : CHANGEMENT DE SIGNE DE ΔV_T AU COURS DU NGBS POUR DES PLAQUES AVEC UNE GRILLE EN ENCRE ARGENT IMPRIMEE	149
	ANNEXE VII : VALEURS EXTRAITES DES ΔV_T LORS DES CYCLES COURTS DE STRESS ET RELAXATION (COMPARAISON DU TYPE DE GRILLE).....	151
	ABSTRACT / RÉSUMÉ.....	153

Liste des abréviations

BC : Contacts bas (en anglais : « Bottom Contact »)

BG : Grille basse (en anglais : « Bottom Gate »)

CEA : Commissariat à l'énergie atomique et aux énergies alternatives

DIBL : Abaissement de la barrière de potentiel induit par le drain (en anglais : « Drain-Induced Barrier Lowering »)

DOS : Densité d'état (en anglais : « Density Of States »)

HOMO : Orbitale moléculaire la plus haute en énergie occupée (en anglais : « Highest Occupied Molecular Orbital »)

LCO : Laboratoire des Composants Organiques

LUMO : Orbitale moléculaire la plus basse en énergie inoccupée (en anglais : « Lowest Unoccupied Molecular Orbital »)

MIM : Métal–Isolant–Métal

MIS : Métal–Isolant–Semi-conducteur

MOSFET : Transistor à effet de champ (en anglais : « Metal Oxide Semiconductor Field Effect Transistor »)

MTR : Transport limité par piégeage et dépiégeage multiples (en anglais : « Multi Trapping and Release »)

NGBS : Stress en tension de grille négatif (en anglais : « Negative Gate Bias Stress »)

OA : Orbitale atomique

OFET : Transistor organique à effet de champ (en anglais : « Organic Field Effect Transistor »)

OLED : Diode organique électroluminescente (en anglais : « Organic Light Emitting Diode »)

OM : Orbitale moléculaire

OPD : Photodiode organique (en anglais : « Organic Photodiode »)

OPV : Cellule photovoltaïque organique (en anglais : « Organic Photovoltaic »)

OTFT : Transistor organique à couches minces (en anglais : « Organic Thin-Film Transistor »)

RFID : Radio-identification (en anglais : « Radio Frequency Identification »)

SAM : Monocouche auto-assemblée (en anglais : « Self-Assembled Monolayers »)

SCO : Semi-conducteur organique

TC : Contacts hauts (en anglais : « Top Contact »)

TG : Grille haute (en anglais : « Top Gate »)

Introduction

En microélectronique, la loi de Moore, définie en 1965, promet une miniaturisation continue des transistors MOSFETs inorganiques, avec une augmentation de la vitesse et de la densité des circuits intégrés [1]. Cette technologie était initialement basée sur l'utilisation de matériaux monocristallins, dont le silicium. A l'époque, les matériaux organiques, c'est-à-dire ceux dont l'élément constitutif est le carbone, ne sont considérés que comme des isolants.

Un peu plus de 10 ans après, en 1977, A. J. Heeger, A. G. MacDiarmid et H. Shirakawa ont découvert les propriétés semi-conductrices d'un polymère conjugué : le polyacétylène [2]. Cette découverte, qui leur a valu l'attribution du prix Nobel de chimie en 2000, a été le point de départ d'un nouveau domaine : l'électronique organique. Il a été démontré par la suite que de nombreux matériaux appartenant à la famille des polymères conjugués avaient également ce caractère semi-conducteur.

En 1987, le premier transistor organique a été réalisé à base d'un film mince de polythiophène [3]. De par la plus faible conductivité des semi-conducteurs organiques, les technologies actuelles concernant ce type de transistors ne peuvent cependant pas rivaliser en termes de performances avec le silicium cristallin. En revanche, l'électronique organique peut être utilisée pour des applications moins exigeantes, mais privilégiant un plus bas coût de production (étiquette RFID [4]) ou une flexibilité des supports (e-skin [5], écrans flexibles [6]). Une analyse réalisée par VOSviewer sur les dernières publications dans le domaine de l'électronique organique, indique trois grands pôles d'études interconnectés (**Figure 0-1**). Le logiciel utilisé pour générer cette figure analyse et regroupe les mots les plus récurrents dans les titres et les abstracts de ces articles.

Un premier groupe concerne l'industrialisation de cette technologie et met en avant ses avantages par rapport à celle du silicium monocristallin. L'électronique organique, grâce à l'utilisation de matériaux en solution, permet un procédé de fabrication à basses températures ainsi que l'usage de techniques d'impressions conventionnelles (comme le roll-to-roll, l'inkjet ou la sérigraphie). Par conséquent, l'emploi de substrats flexibles comme le plastique ou même le papier est concevable [7]. Il est alors possible de fabriquer des dispositifs organiques à bas coût sur de grandes surfaces, contrairement à la technologie inorganique qui est limitée par la taille du substrat silicium monocristallin (wafer).

Parmi les grands domaines d'applications de l'électronique organique, on retrouve les diodes électroluminescentes OLEDs (Organic Light Emitting Diodes), les cellules photovoltaïques OPVs ou encore les transistors OFETs (Organic Field Effect Transistors).

Sur la **Figure 0-1**, on remarque un deuxième groupe autour de la structure diode (OPVs/OPDs et OLEDs). Il s'agit en effet, de façon simplifiée, de dispositifs permettant de transformer l'énergie électrique en lumière et inversement. Les mots-clefs associés montrent l'utilisation de matériaux comme l'ITO (oxyde d'indium étain) ou le PEDOT (Poly(3,4-éthylènedioxythiophène)) en tant qu'électrodes transparentes. L'utilisation d'un substrat verre ou plastique couplé à ce type d'électrodes pourrait permettre la création de dispositifs semi-transparents.

Enfin, dans le dernier groupe, les transistors organiques sont associés à des études de caractérisation physique de matériaux comme la morphologie ou la spectroscopie. Ces études permettent notamment de mieux comprendre les différentes interfaces entre les matériaux composant les transistors, dans le but d'améliorer le transport des charges et par conséquent d'augmenter les performances des OFETs en termes de mobilité et/ou de tension de seuil. C'est ce dernier dispositif, le transistor organique, qui a été étudié au cours de cette thèse.

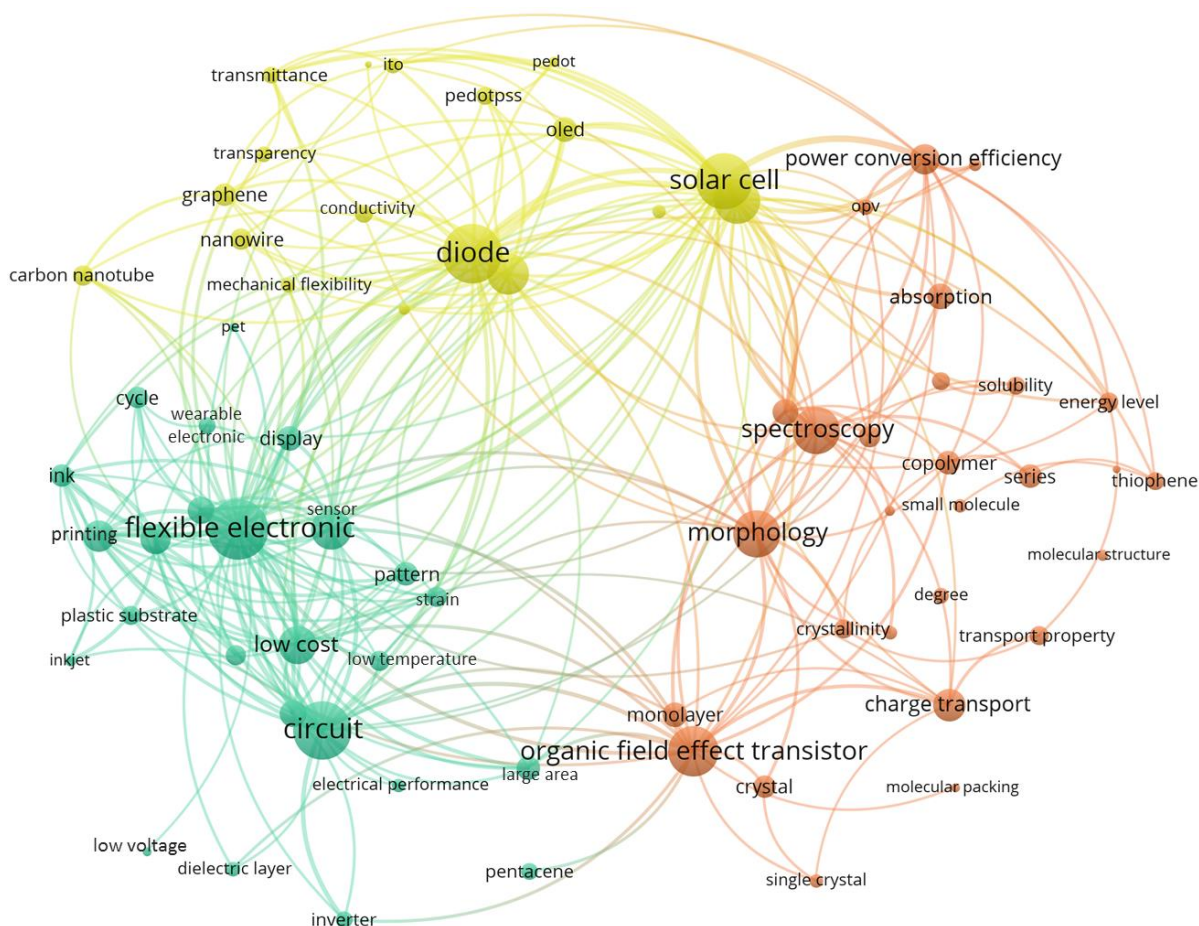


Figure 0-1 : Analyse réalisée par VOSviewer des publications sur l'électronique organique parues ces 5 dernières années (2014-2018). L'algorithme rassemble les groupes par occurrence des différents termes présents dans les titres et abstracts.

Cette thèse a été réalisée au sein du Laboratoire des Composants Organiques (LCO) du CEA-Liten, qui développe différents dispositifs électroniques imprimés (photodiodes, OFETs, capteurs...). L'un des objectifs du laboratoire est de réaliser des circuits et matrices d'OFETs permettant l'adressage de capteurs imprimés sur de grandes surfaces et sur substrat plastique. L'étude de la stabilité et de la fiabilité des transistors organiques imprimés utilisés pour ces circuits et matrices est nécessaire pour un transfert technologique vers l'industrie.

Ce travail de thèse comporte plusieurs objectifs :

- La fabrication de transistors organiques imprimés sur substrat plastique
- La mise en place d'un protocole expérimental (électrique et environnemental) permettant une caractérisation électrique correcte et reproductible des transistors
- Une meilleure compréhension du transport de charges dans ces transistors organiques
- L'étude de la fiabilité du transistor organique à travers le stress électrique négatif

Ce manuscrit est divisé en 4 chapitres :

Le premier chapitre constituera une introduction aux semi-conducteurs organiques et aux types de transports de charges associés. Puis les modes de fonctionnement des transistors organiques et ses paramètres clés seront détaillés. Les différentes méthodes d'extraction de ces paramètres seront comparées. Enfin, une étude bibliographique sur la stabilité électrique des OTFTs (Organic Thin-Film Transistors) sera développée.

Le deuxième chapitre détaillera tout d'abord le procédé de fabrication des transistors organiques réalisés et caractérisés durant cette thèse. Ensuite, nous présenterons le protocole expérimental mis en place pour la caractérisation électrique, afin de s'affranchir de potentiels effets dus à l'environnement, la mesure ou au vieillissement des OTFTs.

Le troisième chapitre sera consacré à la modélisation du courant de drain de l'OTFT dans ses différents régimes de fonctionnement. Par la suite, ce modèle sera utilisé pour l'extraction des paramètres du transistor au cours de mesures à basses températures. Ces mesures permettront de mieux comprendre les propriétés de transport dans notre semi-conducteur organique.

Le quatrième chapitre montrera l'impact du stress en tension sur les caractéristiques électriques de nos OTFTs. La stabilité électrique de plusieurs empilements sera étudiée. En effet, l'influence du choix du diélectrique ou de sa méthode de dépôt sera tout d'abord analysée. Puis nous observerons l'impact d'une grille en encre argent imprimée en comparaison avec une grille en or pulvérisée sur les résultats en stress électrique négatif des OTFTs.

REFERENCES

- [1] G. E. Moore, « Cramming more components onto integrated circuits », *Electron. Mag.*, vol. 38, p. 114-117, 1965.
- [2] H. Shirakawa, E. J. Louis, A. G. MacDiarmid, C. K. Chiang, et A. J. Heeger, « Synthesis of Electrically Conducting Organic Polymers : Halogen Derivatives of Polyacetylene, (CH)_x », *J. C. S. Chem. Comm.*, p. 578-580, 1977.
- [3] A. Tsumura, H. Koezuka, et T. Ando, « Macromolecular electronic device: Field-effect transistor with a polythiophene thin film », *Appl. Phys. Lett.*, vol. 49, n° 18, p. 1210-1212, nov. 1986.
- [4] P. F. Baude, D. A. Ender, M. A. Haase, T. W. Kelley, D. V. Muyres, et S. D. Theiss, « Pentacene-based radio-frequency identification circuitry », *Appl. Phys. Lett.*, vol. 82, n° 22, p. 3964-3966, juin 2003.
- [5] T. Someya, T. Sekitani, S. Iba, Y. Kato, H. Kawaguchi, et T. Sakurai, « A large-area, flexible pressure sensor matrix with organic field-effect transistors for artificial skin applications », *Proc. Natl. Acad. Sci.*, vol. 101, n° 27, p. 9966-9970, 2004.
- [6] G. H. Gelinck *et al.*, « Flexible active-matrix displays and shift registers based on solution-processed organic transistors », *Nat. Mater.*, vol. 3, n° 2, p. 106-110, févr. 2004.
- [7] F. Eder, H. Klauk, M. Halik, U. Zschieschang, G. Schmid, et C. Dehm, « Organic electronics on paper », *Appl. Phys. Lett.*, vol. 84, n° 14, p. 2673-2675, avr. 2004.

Chapitre 1

LES TRANSISTORS ORGANIQUES : ÉTAT DE L'ART

TABLE DES MATIERES

1.	LES TRANSISTORS ORGANIQUES : ETAT DE L'ART	15
1.1.	LES SEMI-CONDUCTEURS ORGANIQUES	15
1.1.1.	<i>Caractère Semi-conducteur d'un matériau organique</i>	15
1.1.2.	<i>Conduction dans les semi-conducteurs organiques</i>	18
1.1.2.1.	Les porteurs de charges.....	18
1.1.2.2.	Modèles de transport dans les semi-conducteurs organiques.....	19
1.2.	LES TRANSISTORS ORGANIQUES A EFFET DE CHAMP	23
1.2.1.	<i>Structure des transistors organiques</i>	23
1.2.2.	<i>Les différentes configurations des OFETS/OTFTS</i>	24
1.2.3.	<i>Principe de fonctionnement des OTFTs</i>	26
1.2.4.	<i>Les paramètres du transistor</i>	29
1.2.4.1.	Caractéristiques électriques des transistors.....	29
1.2.4.2.	Tension de seuil V_T et tension de démarrage V_{ON}	30
1.2.4.3.	Mobilité effective : μ_{eff}	30
1.2.4.4.	Pente sous le seuil : SS	33
1.2.4.5.	Rapport ON/OFF : I_{ON}/I_{OFF}	33
1.2.4.6.	Résistance de contact : R_c	33
1.3.	METHODES D'EXTRACTION DE V_T	35
1.3.1.	<i>Méthode « classique » ELR</i>	35
1.3.2.	<i>Méthode de la fonction Y (YFM)</i>	36
1.3.3.	<i>Méthode à courant constant</i>	37
1.3.4.	<i>Autres méthodes d'extractions du v_t</i>	38
1.4.	FIABILITE DES OTFTS : STABILITE EN STRESS ELECTRIQUE	39
1.4.1.	<i>Piégeage des porteurs de charges</i>	40
1.4.2.	<i>Migration ionique</i>	44
1.4.3.	<i>Influence de la polarisation du diélectrique</i>	45
1.4.4.	<i>Effet de l'environnement</i>	45
1.5.	CONCLUSIONS	47

1

L'objectif de ce chapitre est d'introduire les semi-conducteurs organiques et les différents types de transport de charges régissant ces matériaux pour ensuite présenter le transistor organique à effet de champ dans son ensemble. Les diverses configurations possibles, le fonctionnement et les paramètres clefs des OTFTs (Organic Thin-Film Transistors) seront ainsi détaillés. Enfin, après un bilan des différentes méthodes d'extraction utilisées en littérature, un état de l'art concernant la stabilité électrique des transistors organiques sera développé, en particulier à travers les conséquences possibles d'un stress en tension sur les caractéristiques électriques des OTFTs et leurs potentielles causes.

1.1. Les semi-conducteurs organiques

Un semi-conducteur est par définition un matériau dont les propriétés de conductibilité électrique sont intermédiaires entre un isolant et un métal. Le terme « organique », quant à lui, renvoie au fait qu'il s'agisse de matériaux composés essentiellement de carbone et d'hydrogène. Dans cette section, nous verrons ce qui confère à ces matériaux leur caractère semi-conducteur, ainsi que les principaux modèles de transport de charges inter- et intramoléculaires.

1.1.1. CARACTERE SEMI-CONDUCTEUR D'UN MATERIAU ORGANIQUE

Les semi-conducteurs organiques (SCO) peuvent être classés en deux types de composants : les petites molécules et les polymères. Ces matériaux sont tous deux définis comme des systèmes π -conjugués, c'est-à-dire présentant une alternance de liaisons simples et doubles. Comme il sera expliqué par la suite, c'est cette alternance qui donne au matériau son caractère semi-conducteur. Cependant, la principale distinction entre ces deux catégories de semi-conducteurs provient essentiellement de la taille de la molécule.

Un polymère est une macromolécule dont la structure se répète régulièrement sur de longues chaînes avec pour motifs des entités élémentaires appelés monomères. Du fait de leur forte masse molaire, ils sont généralement déposés par voie humide à travers des procédés en solution comme le spin-coating ou par impression (inkjet, sérigraphie...). Cependant, la structure des couches obtenues étant faiblement organisée, le transport des charges sera moins performant que pour les petites molécules. Les mobilités des polymères sont généralement inférieures ou proches de

$1\text{cm}^2/\text{V.s}$, tandis que les petites molécules présentent des mobilités plus importantes de l'ordre de quelques $\text{cm}^2/\text{V.s}$ [1].

Les petites molécules, quant à elles, sont composées d'un ou de quelques monomères et ont une faible masse molaire ($<1000\text{ g.mol}^{-1}$), ce qui permet de les déposer généralement par évaporation sous vide. La structure des films obtenue étant plus organisée, elle permettra un meilleur transport intermoléculaire que pour les polymères. Toutefois, le dépôt peut également se faire par voie liquide, avec l'aide d'un précurseur comme pour le pentacène [2].

Comme expliqué précédemment, le caractère semi-conducteur de ces matériaux s'explique par leur structure alternant des liaisons simples et doubles. Pour comprendre l'origine de cette alternance, il est important d'étudier le principal constituant des matériaux organiques : l'atome de carbone. La configuration électronique de celui-ci à l'état fondamental est $(1s)^2 (2s)^2 (2p)^2$, il possède donc 4 électrons de valence. Lors de la création de liaisons covalentes entre deux atomes voisins, les orbitales atomiques (OA) de leur couche externe s et p vont se mélanger pour former de nouvelles orbitales hybrides : sp , sp^2 et sp^3 [3].

Ces hybridations sont liées au type de liaison avec l'atome voisin. Par exemple, dans le cas de l'éthylène, le carbone adopte une configuration sp^2 obtenue par la combinaison de l'OA 2s avec les OA $2p_x$ et $2p_y$. Le recouvrement axial de ces orbitales hybrides sp^2 conduit à la formation entre atomes de carbone des orbitales moléculaires liante (σ) et anti-liante (σ^*). Cette liaison covalente σ est très stable ($\approx 400\text{ kJ/mol}$) et constitue le squelette de la molécule [4]. Les orbitales $2p_z$ restées inchangées par l'hybridation sont perpendiculaires au plan des orbitales sp^2 . Le recouvrement latéral de ces orbitales entre deux atomes de carbone ayant chacun un électron non apparié engendre la formation d'une liaison π ($\approx 150\text{-}250\text{ kJ/mol}$) [4].

Le recouvrement axial étant plus important que le recouvrement latéral, la différence énergétique est plus grande entre les orbitales σ et σ^* qu'entre les orbitales π (liante) et π^* (anti-liante) (**Figure 1-1**).

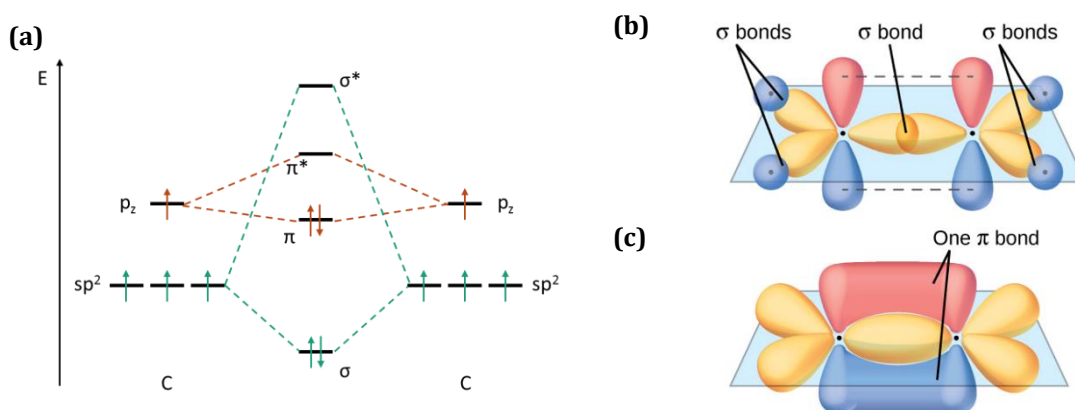


Figure 1-1 : (a) Diagramme énergétique de la liaison carbone-carbone pour une hybridation sp^2 . (b) Représentation de la molécule d'éthylène C_2H_4 comprenant 5 liaisons σ : 4 liaisons C-H et une liaison C-C résultant du recouvrement des orbitales hybrides sp^2 de chaque carbone. (c) La liaison π de la molécule d'éthylène est formée par le recouvrement latéral des orbitales non-hybridées $2p_z$ des deux atomes de carbone – schémas (b) et (c) repris de [5].

Ainsi, dans les molécules possédant de nombreuses liaisons σ , les électrons peuvent difficilement se déplacer et participer à la conduction. Cependant, dans le cas où les atomes voisins possèdent également une orbitale p_z non-hybridée, ces orbitales se recouvrent latéralement créant un système d'orbitales π délocalisées et les électrons peuvent se déplacer le long de la chaîne carbonée. Cette délocalisation, se traduisant par une alternance de liaisons σ et π , permet le transport de charges dans la molécule (**Figure 1-2**).

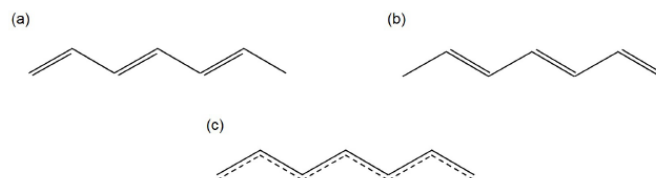


Figure 1-2 : Représentation schématique d'une molécule π -conjuguée selon ses deux formes de résonance possibles (a) et (b). Les électrons ne sont pas localisés sur un atome en particulier mais délocalisés dans toute la molécule permettant le transport de charges (c) – repris de [6].

En prenant l'exemple le plus simple de la molécule éthylène, la liaison entre les deux atomes de carbone conduira à deux orbitales moléculaires (OM) liante π et anti-liante π^* (**Figure 1-3a**). Lorsque l'on considère la molécule de butadiène composée de deux doubles liaisons séparées par une simple liaison, les énergies des OM liantes et anti-liantes correspondant à deux liaisons π sont légèrement décalées par rapport au système formé d'une seule liaison π de la molécule d'éthylène (**Figure 1-3b**). En continuant le raisonnement, une molécule composée d'une chaîne carbonée alternant de nombreuses liaisons σ – π verra le nombre de ses niveaux d'énergie correspondant aux orbitales liantes et anti-liantes augmenter (**Figure 1-3c**). Les énergies de ces orbitales vont se décaler les unes par rapport aux autres et dans le cas des polymères conjugués, dont le nombre d'enchaînements de liaisons simples et doubles est très grand, les OM ne seront alors plus considérées comme discrètes mais comme des bandes d'énergie (**Figure 1-3d**) [7].

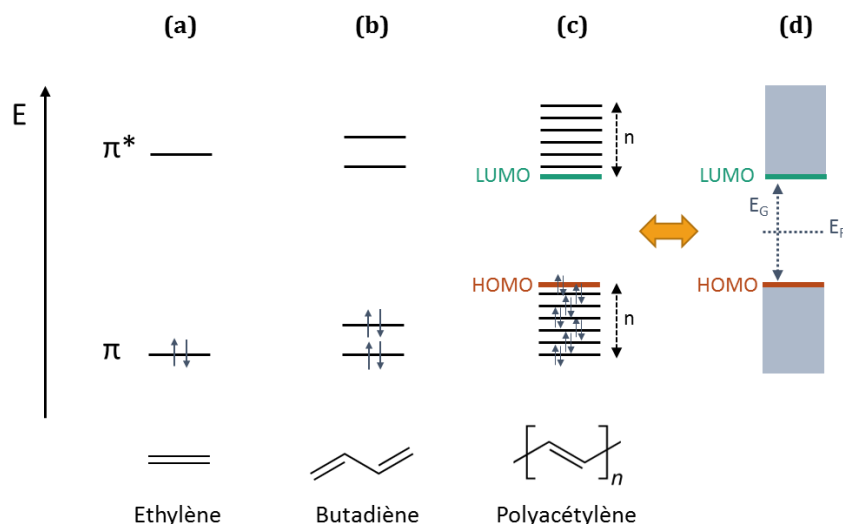


Figure 1-3 : Diagramme énergétique des orbitales moléculaires π (liante) et π^* (anti-liante) des molécules (a) d'éthylène, (b) de butadiène et (c) de polyacétylène. (d) Représentation équivalente pour le polyacétylène avec la formation de bandes d'énergies. E_F représente le niveau de Fermi et E_G la bande interdite (ou bandgap) séparant la HOMO (Highest Occupied Molecular Orbital) de la LUMO (Lowest Unoccupied Molecular Orbital).

A l'état fondamental, les OM liantes sont remplies et le dernier niveau liant occupé est appelé HOMO (Highest Occupied Molecular Orbital) tandis que les OM anti-liantes sont vides et le premier niveau anti-liant inoccupé est appelé LUMO (Lowest Unoccupied Molecular Orbital). La différence entre la LUMO et la HOMO est appelée bande interdite ou « gap » (E_G). En comparaison avec les SC inorganiques, on peut faire l'analogie entre la LUMO et le bas de la bande de conduction et entre la HOMO et le haut de la bande de valence.

1.1.2. CONDUCTION DANS LES SEMI-CONDUCTEURS ORGANIQUES

Le recouvrement des orbitales π permet la circulation des électrons dans la molécule (conduction intramoléculaire), mais le transport intermoléculaire est plus compliqué. Dans la littérature, plusieurs modèles de transport de charges ont été avancés et nous étudierons les plus fréquemment utilisés dans cette partie.

1.1.2.1. LES PORTEURS DE CHARGES

Lorsque les charges transportées sont des trous, le matériau sera désigné comme un semi-conducteur de type p. Sous un champ électrique donné, les trous, qui correspondent à une absence d'électrons, se déplacent dans le sens opposé aux électrons. A l'inverse, si les charges transportées sont des électrons, le semi-conducteur sera de type n. Les SCO de type n sont plus rares et présentent de plus faibles mobilités ainsi qu'une forte instabilité à l'oxygène et à l'humidité [8], [9].

Les polymères conjugués dans leur état de base n'ont pas ou très peu de charges mobiles en leur sein. Toutefois, ils sont capables de transporter les charges qui ont été générées par les différents mécanismes décrits ci-dessous :

- **Le dopage chimique** : l'ajout d'espèces donneuses (dopage de type n) ou accepteuses (dopage de type p) d'électrons permet d'augmenter la densité de porteurs de charges (électrons ou trous) dans le matériau. En effet, l'ajout de ces espèces permettra l'oxydation ou la réduction de la chaîne polymère entraînant l'apparition de nouvelles charges mobiles. En contrepartie et pour assurer la neutralité électronique du système, on observe la présence de contre-ions dont le nombre permettra de calculer le taux de dopage.
- **La photo-génération** : utilisée pour les cellules solaires photovoltaïques, les porteurs de charges peuvent être générés lors de l'absorption d'un photon de longueur d'onde équivalente à celle de la bande interdite E_G , permettant à un électron de passer de la HOMO à la LUMO, laissant un trou dans la HOMO. Cette paire liée électron-trou appelée exciton, peut se séparer sous l'effet d'un champ électrique, produisant une charge positive et une charge négative dans le SCO.

- **L'injection** : utilisée par exemple pour des applications transistors les porteurs de charges sont injectés depuis un métal directement dans le semi-conducteur sous l'effet d'un champ électrique. Une des étapes clef de l'injection est la réalisation d'un contact le plus ohmique possible. En effet, le niveau de Fermi du métal doit être le plus proche possible du niveau de la HOMO (ou de la LUMO) pour l'injection de trous (ou d'électrons). Le choix du métal et les traitements de surface peuvent améliorer ce contact comme expliqué dans le chapitre 2.

1.1.2.2. MODELES DE TRANSPORT DANS LES SEMI-CONDUCTEURS ORGANIQUES

La mobilité permet de quantifier la facilité des porteurs de charges à se mouvoir dans le matériau. Elle dépend principalement de la cristallinité : plus un matériau est organisé, moins il y a de pièges et meilleur est le recouvrement orbitalaire. C'est pourquoi les semi-conducteurs cristallins ont une mobilité plus importante que les SCO et en particulier les polymères amorphes [9]. Les mécanismes de transport de charges varient suivant la cristallinité du matériau (**Figure 1-4**) [10]. Même s'il existe un certain nombre de variantes, nous détaillerons ici les trois principaux modèles: le transport par bande, le transport par saut (hopping) et le transport limité par piégeage et dépiégeage multiple (Multi Trapping and Release, MTR).

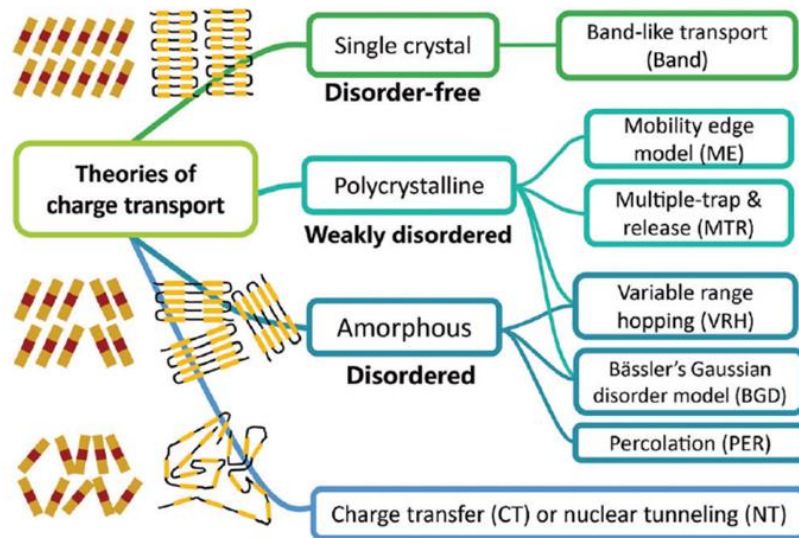


Figure 1-4 : Résumé des modèles de transport de charges dans les SCO suivant leur cristallinité – repris de [10].

Transport par bande

Le transport par bande est caractéristique des monocristaux organiques et peut être comparé par analogie au transport de charges observé dans les semi-conducteurs inorganiques. La mobilité des porteurs de charges, élevée de par la nature cristalline du matériau ($\mu \gg 1 \text{ cm}^2/\text{Vs}$), diminue avec la température en suivant une loi de puissance ($\mu \propto T^\alpha$ avec $\alpha < 0$) [11].

Transport limité par piégeage-dépiégeage multiple (MTR)

Le modèle du transport limité par piégeage-dépiégeage multiple ou MTR (Multi Trapping and Release) est généralement utilisé dans le cas des semi-conducteurs poly-cristallins. Initialement utilisé pour décrire le transport de charges dans les transistors de silicium amorphe [12], Horowitz et al. ont montré qu'il était possible de l'appliquer à des transistors organiques à base de sexithiophène [13].

Le principe du MTR repose sur l'association d'une bande de transport, dans laquelle les charges sont délocalisées et de nombreux niveaux localisés d'énergie plus stable dans le gap, représentant des pièges pour ces charges (**Figure 1-5**). Ces pièges peuvent être le résultat d'impuretés et/ou de défauts dans la structure créés au cours du procédé de fabrication. Les porteurs de charge circulent librement dans la bande de transport alors qu'ils ne participent plus à la conduction lorsqu'ils sont piégés. Le remplissage de la bande et des pièges dépend de plusieurs paramètres comme la température et la tension de grille dans un transistor, par exemple. Ainsi, le transport consiste en une alternance de piégeages-dépiégeages des charges dont le dépiégeage est le facteur limitant. La mobilité effective du matériau, dans ce modèle, dépend du nombre de charges piégées dans les états localisés et donc de la température (**Figure 1-7**).

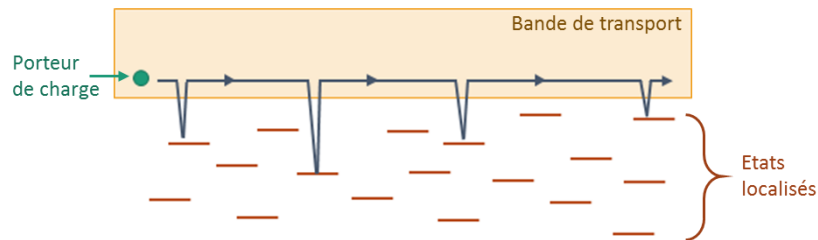


Figure 1-5 : Représentation schématique du modèle du transport limité par piégeage-dépiégeage multiple des charges. Ici, nous avons représenté la bande de conduction d'un SCO de type n.

Ce modèle prenant en compte à la fois le caractère désordonné et ordonné des semi-conducteurs a été complété par Horowitz et Hajlaoui dans le cadre de semi-conducteurs poly-cristallins afin d'intégrer l'influence des joints de grains [14]. Ainsi, les zones fortement conductrices correspondraient à un transport par bande dans les grains (intramoléculaire), tandis que la faible conductivité serait liée aux charges piégées dans les états localisés dus aux joints de grains (transport intermoléculaire).

Transport par saut (hopping)

Le modèle du transport par saut est appliqué aux polymères conjugués dont le désordre est la principale caractéristique. Ce désordre conduit à une localisation des porteurs de charges qui doivent alors sauter d'un site à l'autre (inter ou intramoléculaire) pour se déplacer. Ainsi la conduction dans ce matériau repose sur un mécanisme de sauts entre états localisés. La probabilité de saut entre un site i occupé et un site voisin j inoccupé a été décrite par le modèle de

Miller-Abrahams [15]:

$$\omega_{i \rightarrow j} = \omega_0 \exp(-2\gamma R_{ij}) \begin{cases} \exp\left(-\frac{E_j - E_i}{k_B T}\right) & \text{si } E_j > E_i \\ 1 & \text{sinon} \end{cases} \quad \text{Eq. 1-1}$$

Avec ω_0 un facteur de proportionnalité lié aux vibrations inter- ou intramoléculaires (phonons), γ un paramètre relié au recouvrement des orbitales moléculaires, R_{ij} la distance entre les états i et j , k_B la constante de Boltzmann et T la température. E_i et E_j représentent, quant à elles, les énergies des états de départ et d'arrivée, la différence correspondant à la barrière énergétique à franchir.

Le transport par saut est intimement lié à la notion de densité d'états ou DOS (Density Of States). En effet, celle-ci correspond à la structure électronique du semi-conducteur et rend compte de la distribution en énergie des différents états disponibles. Compte tenu du désordre régnant dans les polymères π -conjugués, la distribution $g(E)$ de la DOS est supposée, d'après Bässler, suivre une fonction Gaussienne [16] :

$$g(E) = \frac{N}{\sigma\sqrt{2\pi}} \exp\left(-\frac{E^2}{2\sigma^2}\right) \quad \text{Eq. 1-2}$$

Avec σ la largeur de la Gaussienne, N la concentration de sites permettant le transport de charges et E l'énergie des sites. La largeur de la distribution $g(E)$ aura un impact sur le transport dans le matériau (**Figure 1-6**) [6]. En effet, plus la distribution de la DOS sera étroite, plus les différents sites localisés seront proches les uns des autres, facilitant le transport des charges.

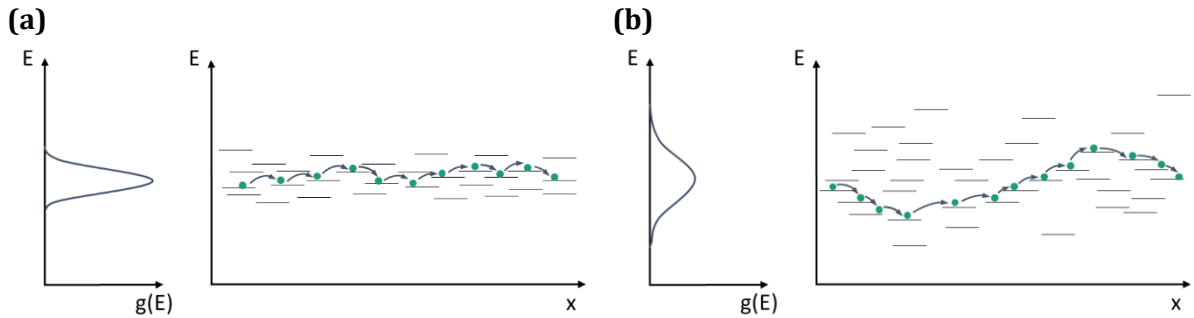


Figure 1-6: Représentation schématique du transport par saut pour un semi-conducteur organique avec (a) une distribution étroite et (b) une distribution large de la DOS.

D'après l'**Eq. 1-1**, pour les électrons, un saut vers une énergie plus basse (i.e. $\Delta E_{ij} < 0$) est plus probable qu'un saut vers un niveau d'énergie plus important (et inversement pour les trous). Ainsi, dans un premier temps, le porteur de charge (ici électrons) ira vers les états plus bas en énergie s'éloignant peu à peu du centre de la DOS (**Figure 1-6b**). Au point que la densité d'état devenant trop faible, il sera alors plus probable pour l'électron de sauter à un état voisin plus haut

en énergie. Il s'agira alors d'un compromis entre la distance énergétique et la distance spatiale avec le site d'arrivée. On parle alors de mécanisme de sauts à distance variable (ou Variable Range Hopping VRH). Il existe plusieurs modèles de VRH dont celui de Vissenberg et Matters qui a été développé pour décrire la mobilité dans les transistors et qui fait l'approximation d'une distribution exponentielle de la DOS pour le transport dans des matériaux organiques amorphes [17].

Autres modèles de transport

Bien que les mécanismes de transport de charges présentés précédemment constituent les principaux modèles appliqués aux semi-conducteurs organiques, il existe d'autres modèles moins utilisés tels que le Modèle du désordre Gaussien de Bässler, le transfert de charge ou l'effet tunnel nucléaire qui sont illustrés sur la **Figure 1-7** [10].

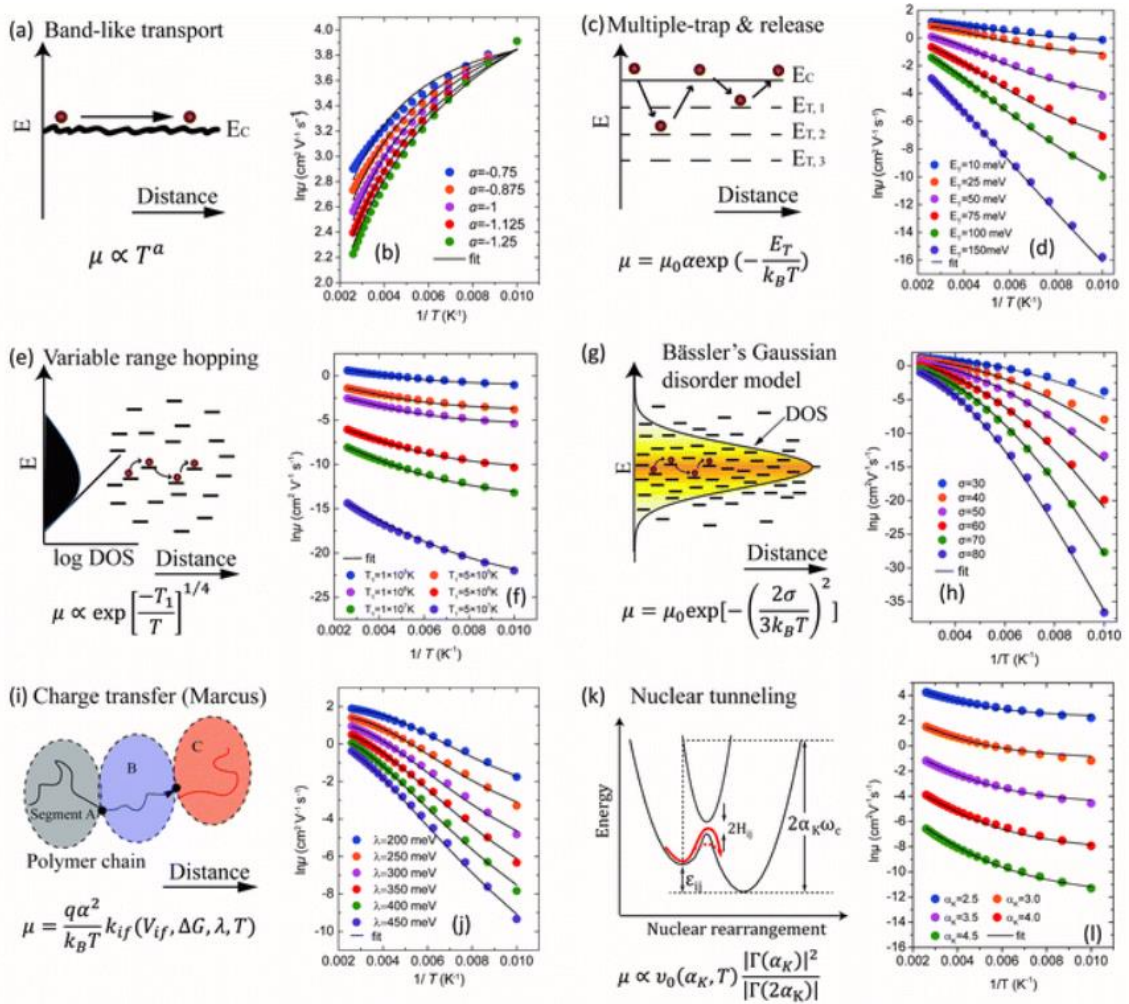


Figure 1-7 : Représentation schématique de divers modèles de transport de charges dans les semi-conducteurs organiques et dépendance de la mobilité en fonction de la température. (a) Transport par bande, (c) MTR, (e) VRH, (g) Modèle du désordre Gaussien de Bässler, (i) Modèle de transfert de charges (Marcus), (k) Modèle de l'effet tunnel nucléaire – repris de [10].

En résumé, l'alternance de liaisons simples et doubles entre atomes de carbone confère au matériau organique son caractère semi-conducteur, avec des niveaux HOMO (Highest Occupied Molecular Orbital) et LUMO (Lowest Unoccupied Molecular Orbital). Il existe plusieurs modèles de transport de charges (mobilité) dans les semi-conducteurs organiques suivant leur cristallinité et la dépendance de la mobilité des porteurs en température.

1.2. Les transistors organiques à effet de champ

1.2.1. STRUCTURE DES TRANSISTORS ORGANIQUES

Un transistor organique à effet de champ est composé de deux électrodes, la source S et le drain D, d'un semi-conducteur organique SCO, d'un diélectrique et d'une électrode de grille.

Les électrodes de source et drain permettent l'injection des porteurs de charge dans ou depuis le semi-conducteur. La différence de potentiel entre source et drain va permettre la circulation d'un courant dans le semi-conducteur, à l'interface SCO/diélectrique que l'on appellera canal de conduction. L'électrode de grille permet de moduler la quantité de porteurs de charge injectés dans le semi-conducteur et donc le courant entre source et drain. Le diélectrique joue le rôle d'isolant en empêchant que les charges situées dans le canal de conduction à l'interface semi-conducteur/diélectrique ne migrent vers l'électrode de grille. Ce canal est défini par deux grandeurs, la longueur L entre la source et le drain et sa largeur W (**Figure 1-8**).

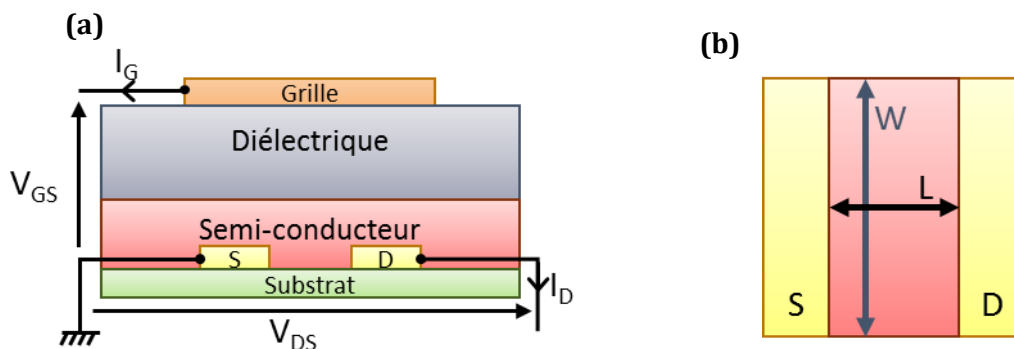


Figure 1-8 : (a) Schéma de coupe d'un transistor organique en configuration grille haute/contacts bas ; (b) Vue du dessus du canal de longueur L et largeur W – adapté de [4].

Plusieurs grandeurs physiques peuvent alors être définies :

- Deux tensions : celle entre la grille et la source V_{GS} et celle entre le drain et la source V_{DS}
- Deux courants : celui provenant de la grille I_G , idéalement très faible, il permet de quantifier les fuites de charges à travers le diélectrique et le courant de drain I_D correspondant au courant entre les deux électrodes source et drain.

1.2.2. LES DIFFERENTES CONFIGURATIONS DES OFETS/OTFTS

Les différentes couches du transistor peuvent être agencées suivant 4 configurations distinctes représentées en **Figure 1-9**. La position des électrodes source et drain par rapport au semi-conducteur permet de distinguer s'il s'agit d'une configuration contacts hauts (TC pour Top Contacts) (**Figure 1-9 a et c**), c'est-à-dire lorsque les contacts sont déposés au-dessus du SCO ou à l'inverse, contacts bas (BC pour Bottom Contacts) (**Figure 1-9 b et d**) lorsque les électrodes se situent en-dessous du SCO. De la même façon, les positions relatives de la grille et du diélectrique par rapport au semi-conducteur permettent de différencier les configurations grille basse (BG pour Bottom Gate) (**Figure 1-9 a et b**) des configurations grille haute (TG pour Top Gate) (**Figure 1-9 c et d**).

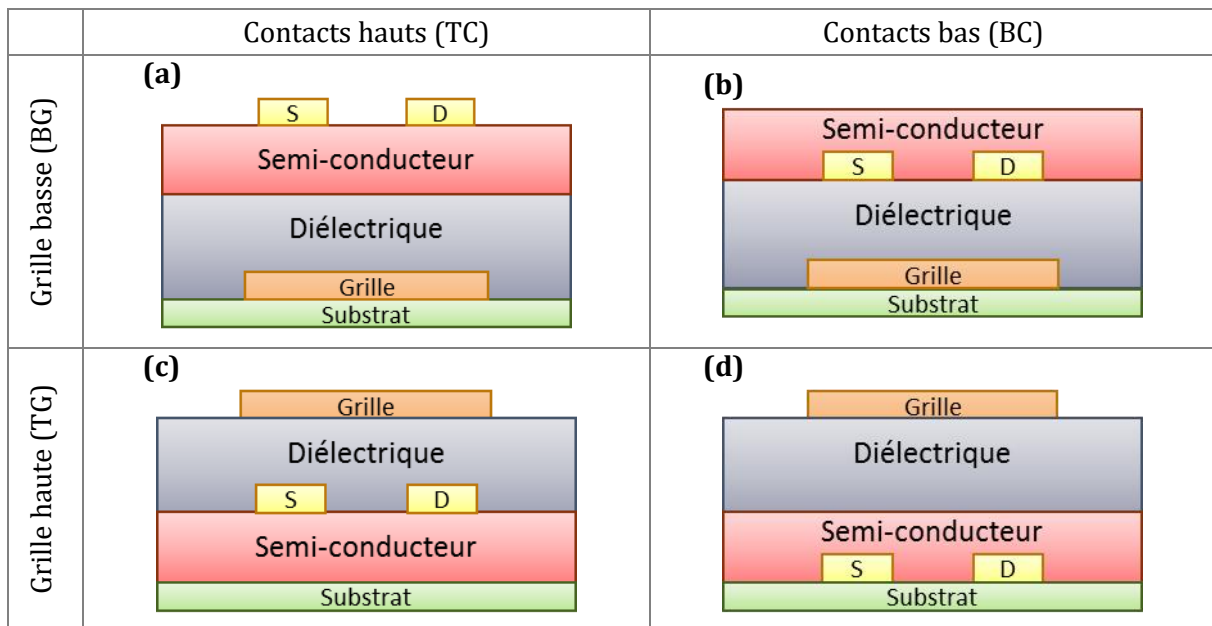


Figure 1-9 : Les différentes configurations des transistors organiques **(a)** grille basse/contacts hauts (BG/TC) ; **(b)** grille basse/contacts bas (BG/BC) ; **(c)** grille haute/contacts hauts (TG/TC) ; **(d)** grille haute/contacts bas (TG/BC).

Selon l'étude à mener, les matériaux et les procédés de fabrication à disposition, l'une ou l'autre des géométries sera préférée, un tableau récapitulatif des avantages et inconvénients de chaque configuration est présenté en **Table 1-1**.

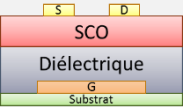
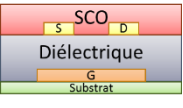
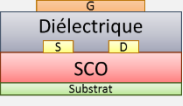
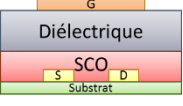
Si l'on prend en compte tout d'abord le positionnement de la grille, une configuration grille haute (TG) sera privilégiée si le semi-conducteur est sensible à l'air et/ou à l'humidité. En effet, le diélectrique étant déposé après le SCO, il jouera un rôle de protection et d'« encapsulation » [18]. En revanche, le dépôt d'un diélectrique sur un semi-conducteur peut s'avérer compliqué puisque le solvant et les recuits utilisés ne doivent pas endommager la couche active en dessous. La configuration BG/BC est généralement privilégiée d'un point de vue de la fabrication pour l'étude de SCO, celui-ci étant déposé en dernier.

Le positionnement des contacts source drain par rapport au semi-conducteur peut également jouer un rôle sur les performances des transistors. La configuration contacts bas (BC) permet

généralement une meilleure résolution du canal par rapport à une géométrie contacts hauts (TC). En effet, la couche active semi-conductrice étant très sensible, il est compliqué d'utiliser la photolithographie, de par la compatibilité des solvants, pour définir les contacts après dépôt du SCO (TC). Or, les techniques d'impression ou d'évaporation ne permettent pas une résolution inférieure à 30 μm [19]. En revanche, des OTFTs contacts bas (BC) présentent en général des performances inférieures par rapport aux transistors TC dans le cas des SCO cristallins ou polycristallins [20], [21]. Cette différence peut être expliquée par la rupture de croissance cristalline du SCO au niveau des électrodes source et drain, engendrant une plus faible injection de charges de par la désorganisation proche des contacts.

Finalement, ces configurations peuvent être séparées en deux catégories suivant la position des contacts source et drain par rapport au canal de conduction. La géométrie est dite coplanaire (ou « coplanar ») lorsque les électrodes sont au niveau de l'interface SCO/diélectrique (TG/TC et BG/BC) tandis que la structure est dite décalée (ou « staggered ») lorsque les charges doivent traverser toute l'épaisseur du semi-conducteur pour atteindre le canal de conduction (TG/BC et BG/TC). En conséquence, la résistance de contact d'une structure décalée est plus élevée de par la nouvelle contribution correspondant au transport des charges entre les électrodes source et drain et l'interface SCO/diélectrique [22].

Table 1-1 : Récapitulatifs des avantages et inconvénients de chaque géométrie **(a)** grille basse/contacts hauts ; **(b)** grille basse/contacts bas ; **(c)** grille haute/contacts hauts ; **(d)** grille haute/contacts bas

CONFIGURATION	AVANTAGES	INCONVENIENTS
(a) BG/TC 	✓ Homogénéité du SCO lors de sa croissance (si cristallin) ✓ Dépôt du diélectrique plus simple (antérieur au SCO)	✗ Structure décalée (R_c plus élevée) ✗ Traitement contacts S/D impossible
(b) BG/BC 	✓ Structure coplanaire (R_c plus faible) ✓ Traitement possible des contacts S/D ✓ Dépôt du diélectrique plus simple (antérieur au SCO)	✗ Rupture de continuité lors de la croissance du SCO (si cristallin)
(c) TG/TC 	✓ Protection du SCO à l'air/humidité ✓ Structure coplanaire (R_c plus faible)	✗ Dépôt du diélectrique plus compliqué ✗ Traitement contacts S/D impossible
(d) TG/BC 	✓ Protection du SCO à l'air/humidité ✓ Traitement possible des contacts S/D	✗ Dépôt du diélectrique plus compliqué ✗ Structure décalée (R_c plus élevée)

Les transistors étudiés durant cette thèse ont une configuration décalée grille haute contacts bas (TG/BC). Cette géométrie permettra entre autres de limiter la dégradation du semi-conducteur très sensible à l'environnement.

1.2.3. PRINCIPE DE FONCTIONNEMENT DES OTFTS

Afin d'optimiser l'injection des porteurs de charges entre les électrodes source et drain et le semi-conducteur organique, le contact entre le métal et le SCO doit être ohmique. La différence d'énergie entre le niveau de Fermi E_{FM} du métal et la HOMO (respectivement LUMO) du semi-conducteur doit être la plus faible possible afin de favoriser l'injection des trous (respectivement des électrons) dans le canal de type p (respectivement de type n) (**Figure 1-10**). Compte tenu des niveaux HOMO et LUMO couramment rencontrés dans les polymères semi-conducteurs, les métaux tels que l'or (entre -4.8 et -5.0 eV) [20], [23] ou du molybdène (entre -4.3 et -4.6 eV)[24] seront privilégiés pour l'injection de trous (P-OTFTs) tandis que le calcium ($\sim$ -2.9 eV) [25] ou l'aluminium ($\sim$ -4.0 eV) [26] seront préférés pour l'injection d'électrons (N-OTFTs).

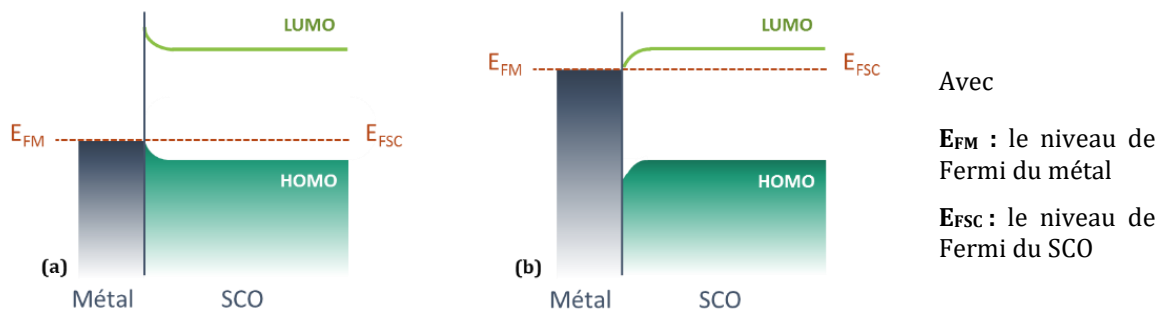


Figure 1-10 : Alignement des niveaux d'énergie lors d'un contact métal/semi-conducteur organique (a) de type p et (b) de type n – adapté de [7].

Donc suivant le métal utilisé, un même semi-conducteur pourra conduire préférentiellement les trous (si le travail de sortie du métal E_{FM} est proche de la HOMO du SCO) ou les électrons (si E_{FM} est proche de la LUMO) [27]. Les SCO pouvant conduire des électrons et des trous sont appelés ambipolaires.

Les différents régimes de fonctionnement de l'OTFT

Les transistors organiques fonctionnent en régime d'accumulation contrairement aux transistors inorganiques silicium bulk (MOSFET). En effet, dans le cas des transistors organiques, le canal est défini par la présence et l'accumulation de porteurs majoritaires alors que le transistor inorganique fonctionne en régime d'inversion, le canal étant formé par les porteurs minoritaires. Dans cette partie, le lien entre la représentation schématique du transistor au cours de ses différents modes de fonctionnement et les courbes courant-tension de grille d'une part (**Figure 1-11**) et courant-tension de drain d'autre part (**Figure 1-12**) sera détaillé. **Ces étapes seront décrites en prenant l'exemple d'un OTFT de type p.** Elles restent toutefois équivalentes pour les transistors de type n, en inversant le signe des tensions appliquées et des porteurs de charges.

- Variation de la tension de grille (avec $V_{DS} < 0$)

Lorsqu'on applique une tension positive de grille ($V_{GS} > 0V$), la barrière de potentiel entre le métal

et la LUMO du semi-conducteur empêche l'injection d'électrons (**Figure 1-10a**), il se crée alors une zone de déplétion dans le canal. Or, comme indiqué plus haut, lorsque $V_{GS} \gg 0V$ il n'y a pas de canal de porteurs minoritaires i.e. électrons (zone d'inversion) comme observé pour les MOSFETs inorganiques de type p. Le transistor est dans son état bloqué et le courant mesuré est appelé courant OFF (**Figure 1-11a**).

Ensuite, lorsque $V_{GS} < 0$ et $|V_{ON}| < |V_{GS}| < |V_T|$ avec V_{ON} et V_T les tensions respectives de démarrage et de seuil (voir partie 1.2.4.2), une zone d'accumulation de trous commence à se former à l'interface SCO/diélectrique (**Figure 1-11b**), même si la concentration de charges reste faible, on observe une forte augmentation de courant I_D (exponentielle) pour une faible variation de V_{GS} . Il s'agit de la zone sous le seuil de la courbe $I_D = f(V_{GS})$.

Enfin, lorsqu'on applique une tension négative à la grille supérieure à la tension de seuil ($|V_{GS}| > V_T$) pour une tension de drain non nulle ($V_{DS} < 0V$), la concentration en trous devient suffisamment importante pour former un canal de conduction (**Figure 1-11c**).

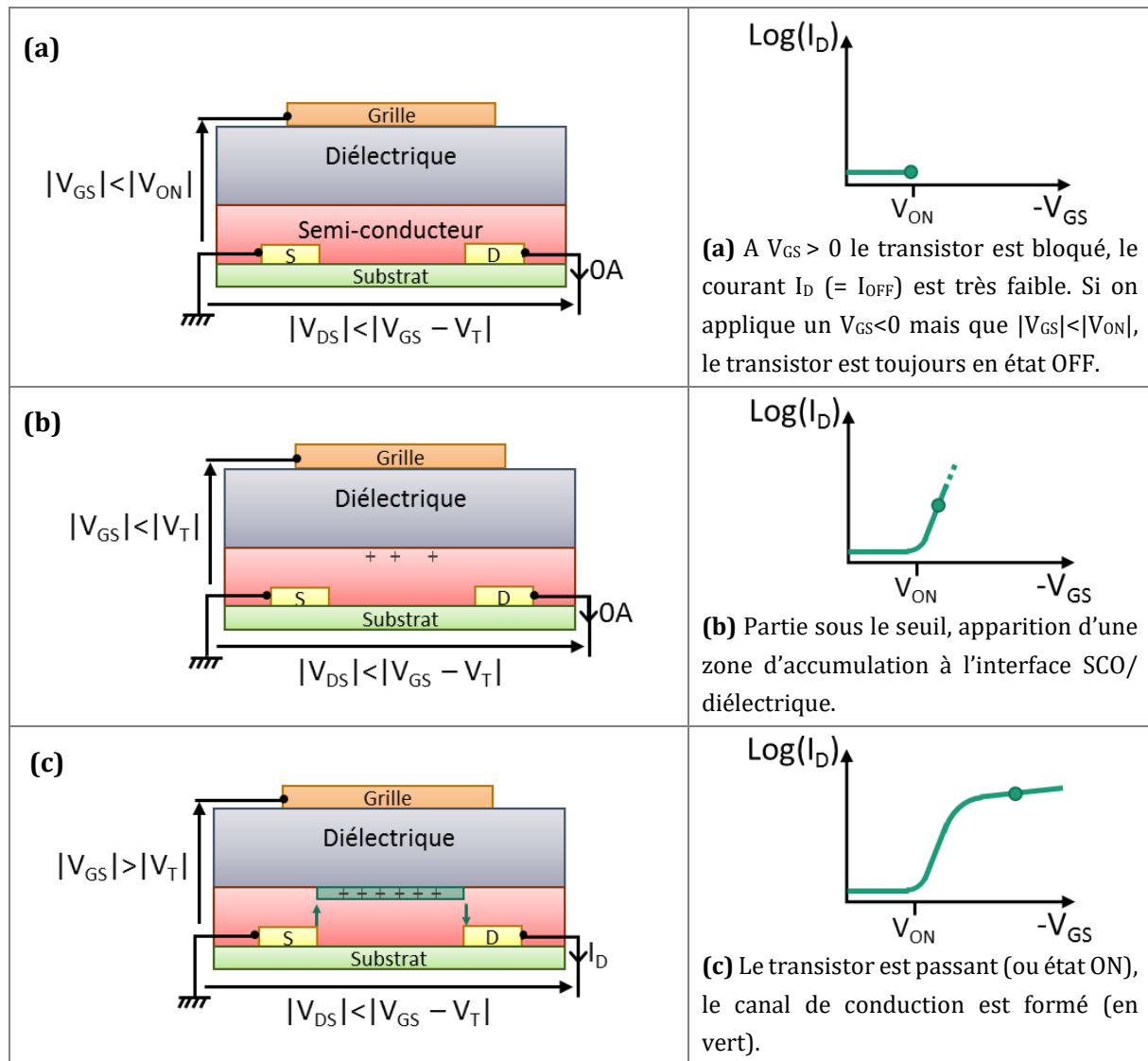


Figure 1-11 : Représentation schématique des états d'un transistor de type p et de la courbe $I_D = f(V_{GS})$ associée en échelle logarithmique et pour $V_{DS} < 0$

- Variation de la tension de drain (avec $V_{GS} < 0$)

En considérant la source à la masse, pour des tensions de grille et de drain négatives telles que $|V_{DS}| < |V_{GS} - V_T|$, le transistor est passant : $|I_D| > 0A$. Il s'agit du régime linéaire. En effet, pour les faibles tensions de drain, le courant de drain I_D croît linéairement avec V_{DS} (**Figure 1-12a**). Les trous sont uniformément répartis dans le canal.

Lorsque la tension de drain est telle que $|V_D| = |V_G - V_T|$, un pincement du canal de conduction est observé côté drain (**Figure 1-12b**), il s'agit du début du régime saturé. En effet, le courant de drain n'augmente plus linéairement mais atteint un maximum correspondant au courant de saturation. En effet, lorsque la tension de drain devient aussi importante que la tension de grille (au V_T près), on observe une zone de déplétion côté drain créant un pincement du canal de conduction.

Enfin lorsque $|V_{DS}| \gg |V_{GS} - V_T|$, le point de pincement du canal se déplace vers la source et le courant de drain reste constant, égal au courant de saturation (**Figure 1-12c**).

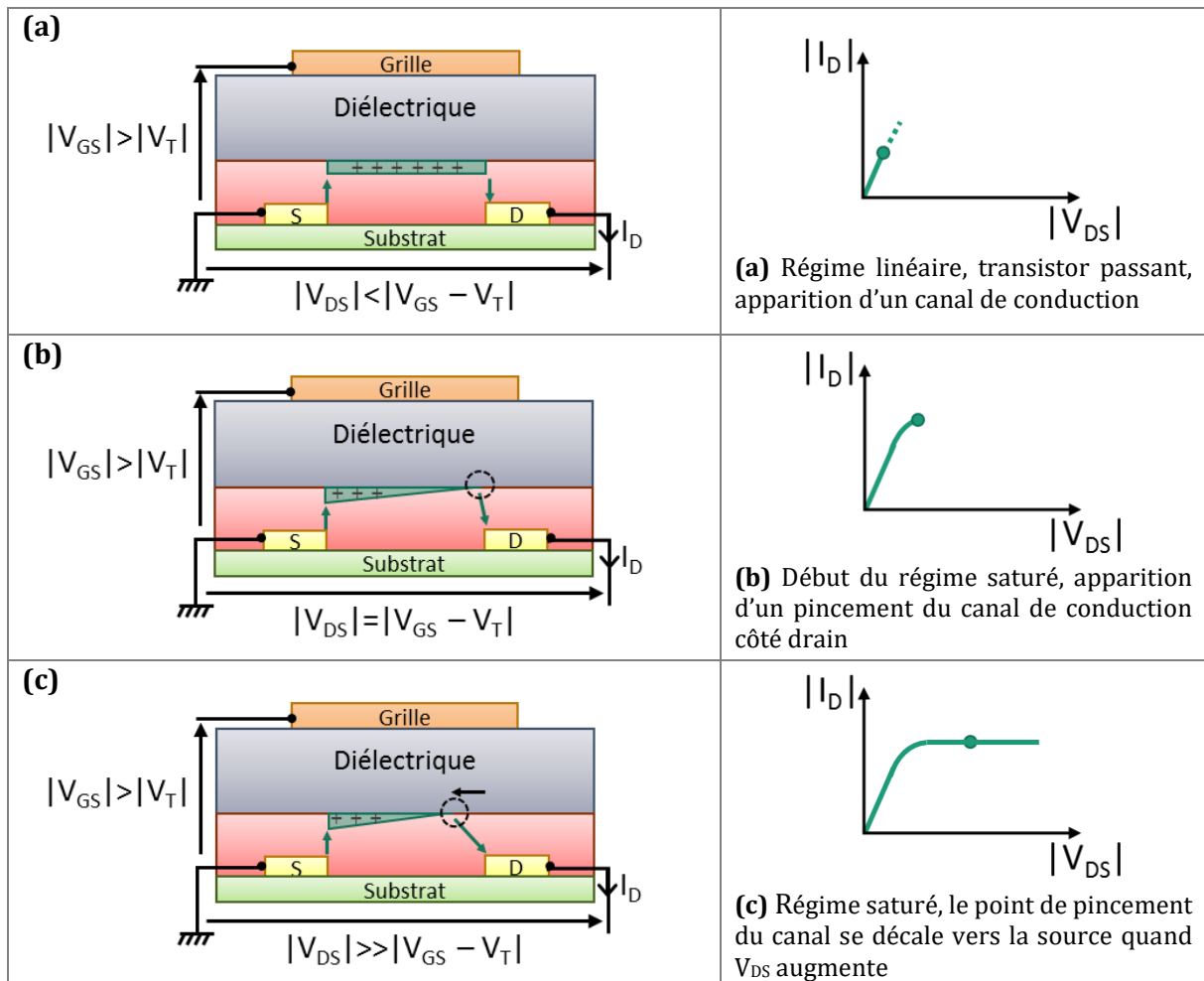


Figure 1-12 : Représentation schématique des états de fonctionnement d'un transistor de type p et de la courbes $I_D = f(V_{DS})$ associée pour $V_{GS} < 0$ – adapté de [28].

1.2.4. LES PARAMETRES DU TRANSISTOR

1.2.4.1. CARACTERISTIQUES ELECTRIQUES DES TRANSISTORS

Les caractéristiques électriques du transistor correspondent à la mesure du courant de drain en fonction de la tension de grille ou de drain, respectivement pour une tension de drain ou de grille fixée. Ces deux types de courbes, représentées en **Figure 1-13**, correspondent aux courbes de transfert $I_D=f(V_{GS})$ à V_{DS} constant et de sortie $I_D=f(V_{DS})$ à V_{GS} constant.

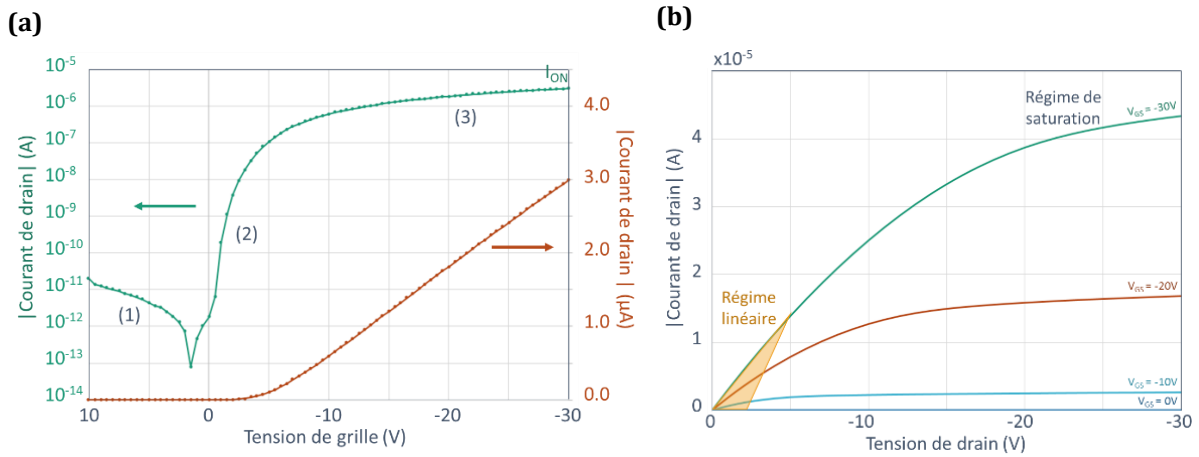


Figure 1-13 : Courbes caractéristiques d'un OTFT de type p. **(a)** Courbes de transfert $I_D=f(V_{GS})$ pour V_D constante, en échelle semi logarithmique (vert) et linéaire (rouge). **(b)** Courbes de sortie $I_D=f(V_{DS})$ pour différentes valeurs de V_{GS} .

Courbes de transfert

Généralement, les courbes de transfert (**Figure 1-13a**) sont mesurées à faible et fort V_{DS} correspondant respectivement au régime linéaire et saturé du transistor. Ces courbes permettent l'extraction de paramètres importants du transistor tels que la tension de seuil V_T , la pente sous le seuil SS, le rapport I_{ON}/I_{OFF} ...

Les trois zones de fonctionnement décrites précédemment sont observées en **Figure 1-13a** :

1. *Etat bloqué.* Cette zone correspond à des valeurs V_{GS} fortement positives pour un OTFT de type p (ou à l'inverse fortement négatives pour un OTFT de type n).
2. *Zone sous le seuil.* Cette partie de la courbe est utilisée pour extraire la pente sous le seuil qui rend compte de la capacité du transistor à passer d'un état bloqué à un état passant.
3. *Etat passant.* Le canal de conduction est entièrement formé. La courbe ne saturant pas, une valeur arbitraire de V_{GS} est choisie pour mesurer le courant I_{ON} .

Courbes de sortie

Les caractéristiques de sortie (**Figure 1-13b**) permettent de déterminer les résistances de contact entre les électrodes S/D et le semi-conducteur et donc de quantifier les problèmes d'injection de charges qui peuvent en découler.

Equation générale du transistor

L'équation générale des transistors organiques a été adaptée de la théorie classique MOSFET et permettra notamment l'extraction de plusieurs paramètres du transistor en forte accumulation (i.e. lorsque $V_{GS} > V_T$) [29]:

$$I_D = \frac{W}{L} \cdot \mu_{\text{eff}} \cdot C_{\text{OX}} \left[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right] \quad \text{Eq. 1-3}$$

Avec W et L respectivement la largeur et la longueur du canal, μ_{eff} la mobilité effective, C_{OX} la capacité surfacique du diélectrique et V_T la tension de seuil.

1.2.4.2. TENSION DE SEUIL V_T ET TENSION DE DEMARRAGE V_{ON}

La tension de seuil V_T est généralement définie par la tension de grille minimale à appliquer pour observer un courant I_D « significatif ». En réalité, la notion de V_T a été déterminée par analogie avec les transistors MOSFET où elle correspond à la tension V_{GS} nécessaire pour passer du régime de faible inversion au régime de forte inversion. Cependant, les OTFTs fonctionnent uniquement en accumulation et non en inversion. Les méthodes d'extractions les plus répandues pour extraire ce paramètre seront présentées en partie 1.3.

La notion de V_T pour les transistors organiques étant questionnable, certains préfèrent étudier la tension de démarrage V_{ON} . Cette tension est définie comme la valeur de V_{GS} à partir de laquelle le courant de drain I_D commence à augmenter lorsqu'on observe une courbe de transfert en échelle logarithmique (**Figure 1-14**). Idéalement, $V_{\text{ON}}=0\text{V}$, correspondant à une accumulation des charges dès que la polarisation de grille change de signe et devient, par exemple, négative pour un OTFT de type p. Or, dans la réalité, la présence d'impuretés dans le SCO ou à l'interface SCO/diélectrique, peuvent induire un décalage de la tension de démarrage.

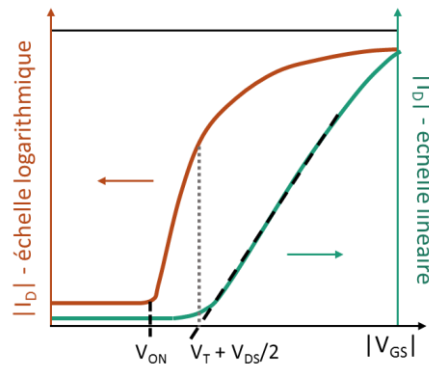


Figure 1-14 : Extractions des tensions V_T et V_{ON} à partir des courbes de transfert en échelle linéaire et semi logarithmique.

1.2.4.3. MOBILITE EFFECTIVE : μ_{EFF}

La mobilité effective μ_{eff} (ou effective mobility) peut être définie comme la facilité avec laquelle les porteurs de charges (trous ou électrons) peuvent se mouvoir dans un SCO sous l'effet d'un champ électrique. Cette grandeur s'exprime en $\text{cm}^2/\text{V.s}$. Dans le modèle de Drude, la mobilité permet de relier la vitesse des charges $\vec{v}$ au champ électrique appliqué $\vec{E}$ par la relation $\vec{v} = \mu \cdot \vec{E}$. Ce paramètre lié au transport des charges permet également de quantifier la conductivité d'un

matériau : $\sigma = n \cdot q \cdot \mu$ avec n la densité de porteurs de charges et q la charge élémentaire.

Cependant, la mobilité effective extraite à partir d'une structure OTFT ne correspond pas à proprement parler à la mobilité intrinsèque μ_0 du semi-conducteur mesurée par temps de vol [30]. En effet, de nombreux paramètres extrinsèques peuvent jouer sur la mobilité apparente calculée : l'aspérité des surfaces, la présence de pièges, la résistance de contact R_c à l'interface électrodes/SCO...

De façon classique, la mobilité effective peut être extraite de deux manières différentes suivant le régime de fonctionnement du transistor. En supposant une mobilité constante et indépendante des tensions V_{GS} et V_{DS} , l'équation **Eq. 1-3** permettra l'extraction de la mobilité en régime linéaire et saturé.

- Régime linéaire

En régime linéaire, à faible V_{DS} (i.e. $|V_{DS}| \leq |V_{GS} - V_T|$), on néglige le terme $\frac{V_{DS}^2}{2}$ dans **Eq. 1-3**:

$$I_{D_LIN} = \frac{W}{L} \cdot \mu_{LIN} \cdot C_{OX} \cdot (V_{GS} - V_T) V_{DS} \quad \text{Eq. 1-4}$$

En forte accumulation et si la mobilité effective est constante avec V_{GS} , on peut obtenir μ_{LIN} à partir de la mobilité à effet de champ μ_{FE} (ou Field Effect mobility). En effet, μ_{FE} est définie à partir de la transconductance (g_m) [31] :

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}} = \frac{W}{L} \cdot \mu_{FE} \cdot C_{OX} \cdot V_{DS} \quad \text{Eq. 1-5}$$

Alors, $\mu_{LIN} \approx \mu_{FE}$ en forte accumulation (ou inversion dans le cadre des MOSFETs) :

$$\mu_{LIN} \approx \mu_{FE} = \frac{g_m \cdot L}{W \cdot C_{OX} \cdot V_{DS}} \quad \text{Eq. 1-6}$$

Cependant, il est à noter que la transconductance (g_m) et donc μ_{FE} diminue exponentiellement sous le seuil (i.e. $V_{GS} < V_T$) et ne correspond alors plus à μ_{eff} (μ_{LIN}) [31]. La mobilité μ_{LIN} peut donc être déterminée, en forte accumulation, à partir de la dérivée (g_m) de la courbe de transfert $I_D = f(V_{GS})$ à faible V_{DS} (**Figure 1-15**).

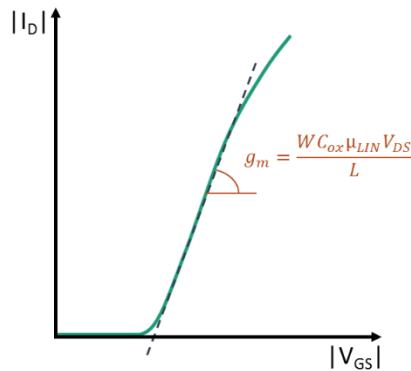


Figure 1-15 : Courbe de transfert en régime linéaire. Extraction de la mobilité μ_{LIN} .

- Régime saturé

Comme vu précédemment, en régime saturé lorsque $|V_{DS}| \geq |V_{GS} - V_T|$, le canal est pincé. Ainsi, quelle que soit la polarisation appliquée au drain, le courant I_D reste constant ($I_D = I_{D_SAT}$). La différence de potentiel dans le canal est égale à $|V_{DSsat}| = |V_{GS} - V_T|$. Par conséquent, d'après **Eq. 1-3**, on obtient :

$$I_{D_SAT} = \frac{W}{2L} \cdot \mu_{SAT} \cdot C_{OX} \cdot (V_{GS} - V_T)^2 \quad \text{Eq. 1-7}$$

A la différence du régime linéaire, la transconductance g_m ne nous permet pas de calculer directement la mobilité effective en régime saturé. En revanche, μ_{SAT} peut être extraite de la courbe $\sqrt{I_D}$ en fonction de V_{GS} puisque :

$$\left. \frac{\partial \sqrt{I_{D_SAT}}}{\partial V_{GS}} \right|_{V_{DS}} = \sqrt{\frac{W \cdot \mu_{SAT} \cdot C_{OX}}{2L}} \quad \text{Eq. 1-8}$$

Donc, dans le régime saturé la mobilité peut s'exprimer par :

$$\mu_{SAT} = \frac{2L}{W \cdot C_{OX}} \left(\frac{\partial \sqrt{I_{D_SAT}}}{\partial V_{GS}} \right)^2 \quad \text{Eq. 1-9}$$

Ainsi la mobilité effective en régime saturé μ_{SAT} peut être déterminée à partir de la courbe $\sqrt{I_D} = f(V_{GS})$ grâce à la pente de sa partie linéaire (**Figure 1-15**).

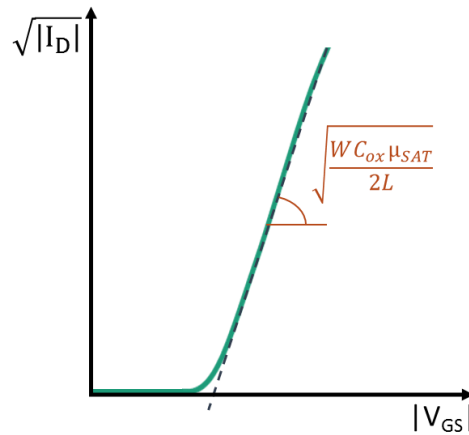


Figure 1-16 : Courbe $\sqrt{I_D} = f(V_{GS})$ permettant l'extraction de la mobilité en régime saturé μ_{SAT} .

Les mobilités effectives en régime saturé sont en général plus élevées que celles en régime linéaire [32]. Cette différence peut être expliquée en partie par des résistances de contacts moindres en régime saturé [33].

1.2.4.4. PENTE SOUS LE SEUIL : SS

La pente sous le seuil SS (ou « subthreshold swing ») rend compte de la capacité du transistor à basculer d'un état bloqué à un état passant. Elle correspond à l'inverse de la pente de la courbe de transfert en échelle logarithmique pour V_{GS} située entre les tensions V_{ON} et V_T (**Figure 1-17**) :

$$SS = \left. \frac{\partial V_{GS}}{\partial (\log I_D)} \right|_{V_{ON} < V_{GS} < V_T} \quad \text{Eq. 1-10}$$

Cette grandeur a pour unité le V/décade, i.e. la valeur obtenue représente la variation de tension V_{GS} pour que $|I_D|$ augmente d'une décade. Plus sa valeur sera élevée, plus la tension de grille à appliquer pour basculer de l'état OFF vers l'état ON sera élevée, ce qui peut être pénalisant dans les applications circuits. Comme expliqué précédemment, la pente sous le seuil est reliée à la quantité de défauts présents dans le semi-conducteur ou à l'interface SCO/diélectrique. Plus la quantité de pièges sera importante, plus la pente sous le seuil sera élevée.

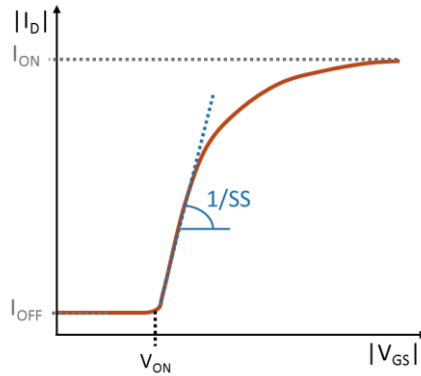


Figure 1-17 : Extraction de la pente sous le seuil SS, de la tension V_{ON} et des courants I_{ON} et I_{OFF} à partir de la courbe de transfert en échelle semi-logarithmique.

1.2.4.5. RAPPORT ON/OFF : I_{ON}/I_{OFF}

I_{ON}/I_{OFF} est défini par le rapport entre le courant de drain I_D dans un état passant (état ON) sur le courant I_D dans un état bloqué (état OFF), pour des valeurs choisies de V_{GS} et V_{DS} (**Figure 1-17**). Pour un fonctionnement correct des circuits, il est indispensable que les états OFF et ON soient bien distincts, ce qui signifie que le ratio doit être suffisamment élevé. Le courant I_{ON} sera d'autant plus grand que la mobilité des porteurs majoritaires sera élevée et/ou que le rapport W/L sera grand. En revanche, le courant I_{OFF} dépend entre autres du taux de dopage (non-intentionnel) ainsi que du courant de fuite à travers le diélectrique représenté par le courant I_G .

1.2.4.6. RESISTANCE DE CONTACT : R_C

Les courbes de sortie ($I_D=f(V_{DS})$ à V_{GS} constant) permettent de savoir si le contact entre les électrodes S/D et le semi-conducteur est ohmique, c'est-à-dire que le niveau de Fermi du métal est proche du niveau de la HOMO pour l'injection des trous (OTFT de type P), ou de la LUMO pour l'injection des électrons (OTFT de type N). En effet, lorsque le contact est ohmique il peut être assimilé à une résistance en série avec le canal et on observe la loi d'Ohm sur les courbes $I_D=f(V_{DS})$ en régime linéaire : $V_{DS}=RI_D$. A l'inverse, si le contact n'est pas ohmique, le courant I_D ne suit plus une loi linéaire pour les faibles tensions (**Figure 1-18**).

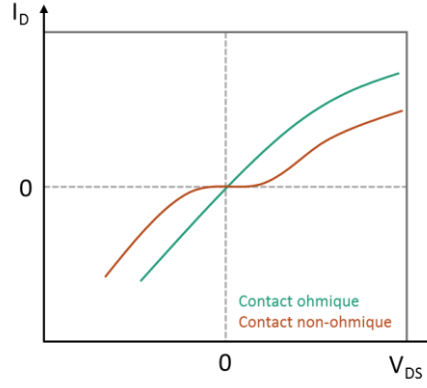


Figure 1-18 : Représentation schématique d'un contact ohmique et non-ohmique sur une courbe de sortie.

Cette résistance de contact R_C peut être mesurée par plusieurs méthodes dont la TLM (Transfer Length Method) [34], [35]. D'après ce modèle, la résistance totale du transistor (R_T) serait la somme de la résistance du canal (R_{Ch}) et de la résistance entre les contacts et le SCO (R_C). En faisant l'hypothèse que R_{Ch} évolue proportionnellement à la longueur L du canal, on obtient :

$$R_T = R_{Ch} + R_C = L \cdot r_{ch} + R_C \quad \text{Eq. 1-11}$$

Avec r_{ch} la résistance linéique du canal dont l'unité est le $\Omega \cdot m^{-1}$. Tout d'abord, les R_T de plusieurs OTFTs ayant des longueurs de canal différentes sont mesurées grâce aux zones des courbes de sortie à très faible V_{DS} et la loi d'Ohm qui s'y applique i.e. $R_T = V_{DS}/I_D$. La résistance de contact pourra alors être déduite de la courbe représentant R_T en fonction de L . Cependant, la résistance dépendant de la largeur W du canal, les graphes des valeurs normalisées $R_T W$ et $R_C W$ en fonction de L seront davantage utilisées. L'ordonnée à l'origine de ces courbes donnera la valeur de R_C pour l'injection des charges à une tension de grille V_{GS} donnée (**Figure 1-19**).

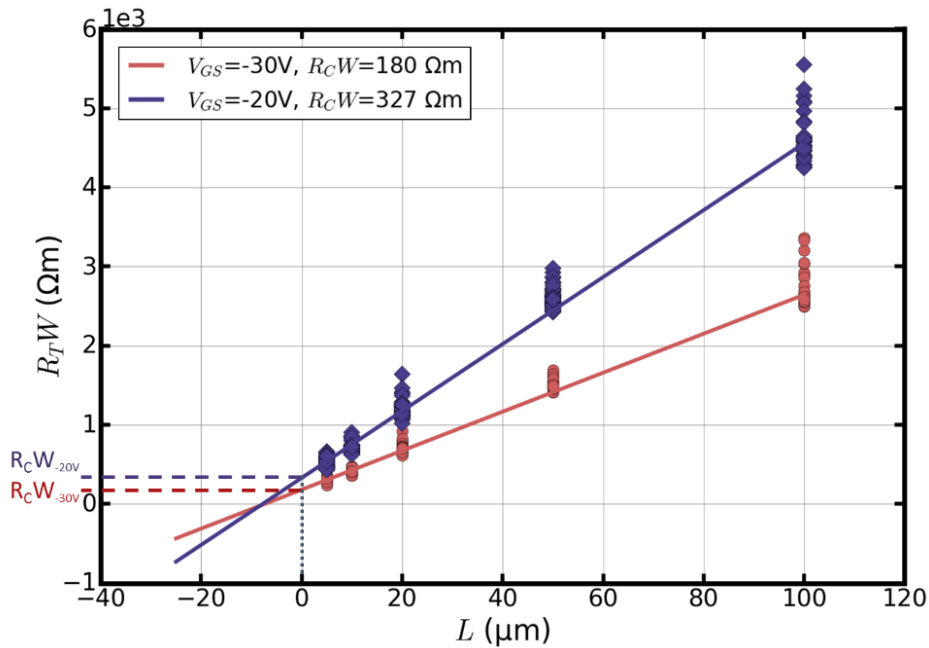


Figure 1-19 : Détermination de la résistance de contact R_C par la méthode TLM pour des transistors en configuration TG/BC avec cinq longueurs de canal différentes – $L = 5, 10, 20, 50$ et $100 \mu m$ (40 OTFTs par longueur), $W = 2000 \mu m$, $V_{DS} = -1V$ et $V_{GS} = -20$ et $-30V$.

En résumé, les transistors organiques sont caractérisés par les courbes de transfert ($I_D = f(V_{GS})$ à V_{DS} constant) et de sortie ($I_D = f(V_{DS})$ à V_{GS} constant) dont on peut extraire leurs facteurs de mérite : la mobilité μ , la tension de seuil V_T , la pente sous le seuil SS, le rapport I_{ON}/I_{OFF} et la résistance de contact R_c .

1.3. Méthodes d'extraction de V_T

Afin de pouvoir extraire les paramètres clefs (détaillés dans la partie 1.2.4) du transistor dont notamment la tension de seuil, plusieurs méthodes sont possibles. Dans cette partie nous présenterons la méthode la plus répandue en littérature, puis une alternative permettant de s'affranchir des R_c et enfin une méthode à courant constant qui sera principalement utilisée pour le stress en tension. Les méthodes détaillées ici ont été adaptées de la technologie MOSFET [36], [37].

1.3.1. METHODE « CLASSIQUE » ELR

La méthode la plus répandue pour déterminer V_T est la méthode ELR (ou « Extrapolation in the Linear Region »). La tension de seuil correspond à l'interception avec l'axe des abscisses (i.e. $I_D = 0A$) de la tangente à la courbe de transfert en régime linéaire à laquelle on retranche la valeur $V_{DS}/2$. La position de cette tangente est déterminée par le point d'inflexion de la courbe $I_D = f(V_{GS})$ i.e. au maximum de la transconductance g_m (**Figure 1-20**).

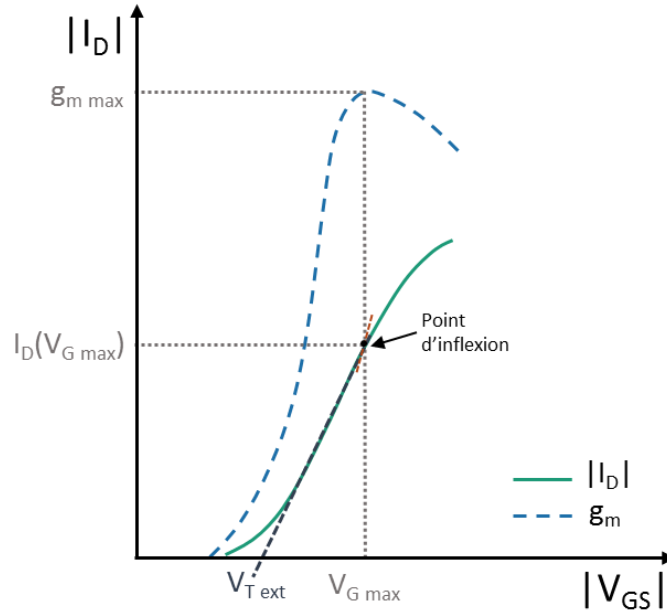


Figure 1-20 : Schéma explicatif de la méthode ELR : détermination de la tension de seuil V_T à partir du maximum de la transconductance. $V_T = V_{T\text{ext}} - (V_{DS}/2)$.

En plus d'une solution graphique, il est possible de calculer $V_{T\text{ext}}$, d'après **Eq. 1-3** avec $I_D = 0A$:

$$V_{T\text{ext}} = V_{G\text{max}} - \frac{I_D(V_{G\text{max}})}{g_{m\text{max}}} \quad \text{Eq. 1-12}$$

Avec V_{Text} la tension de seuil extraite et V_{Gmax} la tension de grille appliquée au maximum de la transconductance. Bien que la méthode ELR en régime linéaire soit une des plus répandue, elle présente certains inconvénients dont notamment la précision relative du maximum de la transconductance et de la tension extraite en présence de résistance de contact importante [36], [38]. Cette méthode appelée alors ESR (« Extrapolation in the Saturation Region ») peut également être utilisée en régime saturé à partir de la courbe $\sqrt{I_D} = f(V_{\text{GS}})$ [37].

1.3.2. METHODE DE LA FONCTION Y (YFM)

La méthode de la fonction Y (parfois appelée méthode CsrTR : « Current-to-square-root-of-the-Transconductance Ratio ») a été développée, en premier lieu, pour extraire la mobilité en s'affranchissant des effets de résistance de contact [39]. Elle est définie par :

$$Y = \frac{I_D}{\sqrt{g_m}} \quad \text{Eq. 1-13}$$

Dans l'équation du transistor en régime linéaire (**Eq. 1-4**), la mobilité obtenue n'est pas la mobilité intrinsèque du matériau. En effet, d'après Xu et al., il s'agit d'une mobilité effective qui diminue en accumulation forte (i.e. à fort V_{GS}) et peut être définie par [40] :

$$\mu_{\text{eff}} = \frac{\mu_0}{1 + \theta(V_{\text{GS}} - V_T)} \quad \text{Eq. 1-14}$$

Avec μ_0 la mobilité à faible champ qui représente la mobilité intrinsèque des porteurs de charges dans le matériau. θ est un paramètre d'atténuation de la mobilité dont une partie est due à la résistance de contact R_c . D'autres paramètres peuvent également causer une diminution de la mobilité comme des défauts de surface ou la présence d'impuretés.

D'après **Eq. 1-4** et **Eq. 1-14**, le courant de drain peut alors s'écrire comme :

$$I_D = \frac{W}{L} C_{\text{ox}} (V_{\text{GS}} - V_T) \frac{\mu_0}{1 + \theta(V_{\text{GS}} - V_T)} V_{\text{DS}} \quad \text{Eq. 1-15}$$

On obtient ainsi la transconductance g_m (i.e. la dérivée du courant I_D par rapport à V_{GS} pour V_{DS} constant) :

$$g_m = \frac{W}{L} C_{\text{ox}} \frac{\mu_0}{[1 + \theta(V_{\text{GS}} - V_T)]^2} V_{\text{DS}} \quad \text{Eq. 1-16}$$

Finalement, la fonction Y (**Eq. 1-13**) peut être définie par :

$$Y = \sqrt{\frac{W}{L} \mu_0 C_{\text{ox}} V_{\text{DS}} \cdot (V_{\text{GS}} - V_T)} \quad \text{Eq. 1-17}$$

D'après **Eq. 1-17**, la fonction Y est indépendante de la résistance de contact. La courbe $Y=f(V_{GS})$ permet d'obtenir μ_0 à partir de la pente et V_T par l'intersection de la tangente avec l'axe des abscisses (**Figure 1-21**).

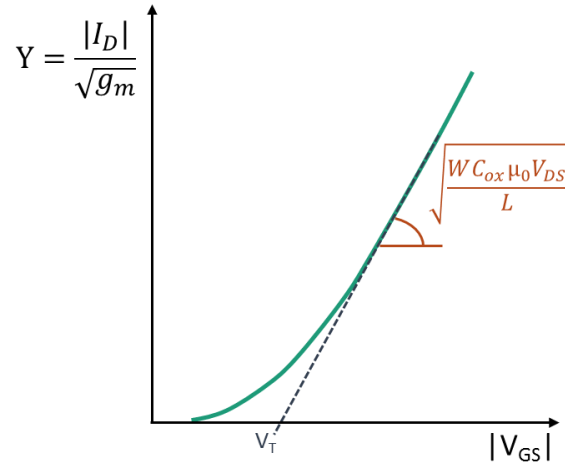


Figure 1-21 : Tracé de la courbe $Y=f(V_{GS})$: détermination de la tension de seuil V_T et de la mobilité μ_0 .

De plus, d'après **Eq. 1-16**, le paramètre θ peut être extrait de la courbe $1/\sqrt{g_m} = f(V_{GS})$. En effet,

$$\frac{1}{\sqrt{g_m}} = \frac{1 + \theta(V_{GS} - V_T)}{\sqrt{\frac{W}{L} C_{ox} \mu_0 V_{DS}}} \quad \text{Eq. 1-18}$$

Il est alors possible de calculer la résistance de contact R_c si on néglige les autres effets d'atténuation de la mobilité [41] :

$$R_c = \frac{\theta}{\frac{W}{L} C_{ox} \mu_0} \quad \text{Eq. 1-19}$$

1.3.3. METHODE A COURANT CONSTANT

La méthode à courant constant consiste à définir V_T par la valeur de V_{GS} à un courant de drain constant sous le seuil et arbitrairement choisi (**Figure 1-22a**). Cette méthode peut être utilisée pour observer de façon simple le décalage de la tension de seuil au cours du temps ou pendant des expériences de stress en tension par exemple. Toutefois, un changement de pente sous le seuil aura une influence sur la valeur V_T extraite, il est donc important de prendre en compte ce paramètre.

De plus, il est également possible d'extraire la pente sous le seuil SS à courant constant. Cette grandeur s'exprimant en volts par décade, en choisissant deux courants séparés d'une décade la valeur de SS correspondra directement à la différence de leur tension extraite V_{GS} respective (**Figure 1-22b**).

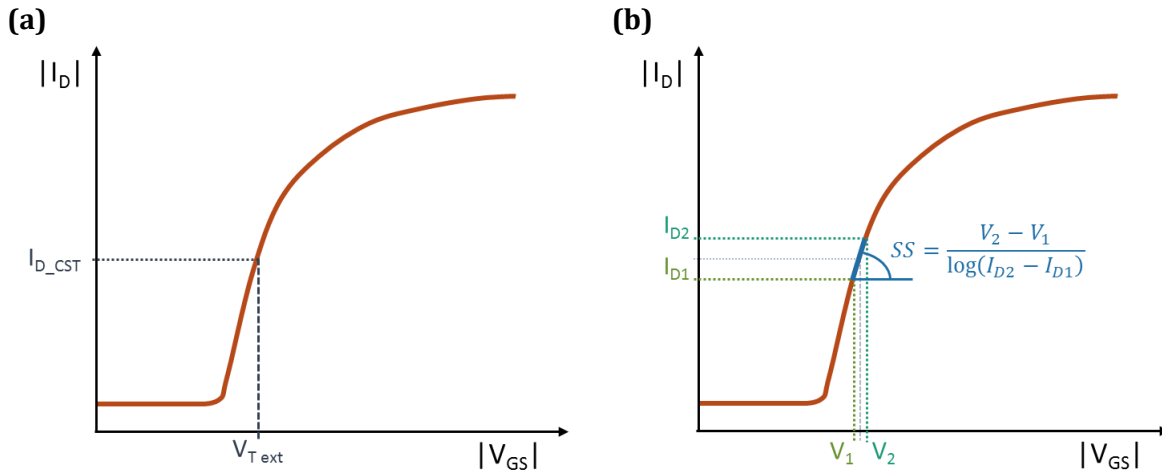


Figure 1-22 : Méthode à courant constant : détermination **(a)** de la tension de seuil et **(b)** de la pente sous le seuil à partir de la courbe de transfert en échelle semi logarithmique.

1.3.4. AUTRES METHODES D'EXTRACTIONS DU V_T

Plusieurs autres méthodes d'extractions de la tension de seuil ont été développées et sont regroupées dans différents papiers [36]–[38].

Par exemple, la méthode de la dérivée seconde SD (ou « Second-derivative method ») qui consiste à déterminer V_T à partir du maximum de la dérivée seconde du courant I_D par rapport à V_{GS} [42]. Cette méthode a été développée pour s'affranchir notamment des effets de R_C . Cependant elle est très sensible au bruit de mesure [38].

On peut également citer la méthode GMLE (ou « transconductance linear extrapolation ») qui, comme son nom l'indique, consiste à tracer la droite d'interpolation de la partie linéaire de la courbe $g_m = f(V_{GS})$ pour en déduire V_T par l'intersection de cette droite avec l'axe des abscisses [43]. Cette méthode, développée sur les transistors MOSFETs, repose sur l'idée que g_m dépend linéairement de V_{GS} dans la zone de transition entre la faible et la forte inversion et que la mobilité est, quant à elle, indépendante de V_{GS} , ce qui n'est pas nécessairement le cas pour les OTFTs.

En résumé, plusieurs méthodes d'extraction ont été détaillées, chacune pouvant aboutir à des valeurs différentes de V_T (et μ). Il est donc important d'adapter la méthode à l'expérience menée (étude de performances, de stress en tension,...) et aux dispositifs utilisés (forte résistance R_C , variation de pente sous le seuil,...).

1.4. Fiabilité des OTFTs : stabilité en stress électrique

De façon générale, les matériaux organiques peuvent être sensibles à divers paramètres environnementaux (lumière, température, humidité, oxygène...) et électriques (stress en tension ...). Cette sensibilité peut entraîner un changement, parfois prématuré, des caractéristiques du transistor. Or, il est important d'avoir des OTFTs robustes et fiables pour les diverses applications possibles comme les matrices actives et les circuits d'adressage des capteurs. Une étude de la stabilité de leurs caractéristiques est donc nécessaire au développement futur de ces technologies.

De fait, la stabilité sous stress en tension (ou « bias stress ») est grandement utile pour rendre compte de la fiabilité du transistor dans le circuit électronique qui sera soumis à l'application répétée/prolongée de tensions. En effet, un stress électrique consiste en l'application d'une tension de grille et/ou de drain de façon continue ou pulsée [44], afin d'observer l'évolution des caractéristiques du transistor au cours du temps.

Pour des transistors de type p, il est plus courant d'appliquer des tensions de grille (et/ou de drain) négative(s) afin d'observer le comportement de l'OTFT lorsqu'il est passant et donc traversé par un fort courant. Les porteurs de charges (i.e. trous pour les OTFTs de type p) sont alors accumulés à l'interface SCO/diélectrique par effet de la polarisation de la grille. Il s'agit donc des conditions électriques pouvant donner lieu aux dégradations les plus importantes du transistor.

Ainsi, une instabilité des performances des OTFTs est généralement observée, notamment lors de l'application prolongée de la polarisation de grille. Elle peut se traduire par une variation de la tension de seuil V_T , une baisse de la mobilité, une dégradation de la pente sous le seuil et/ou une diminution du courant de drain en état passant (I_{ON}) (**Figure 1-23**).

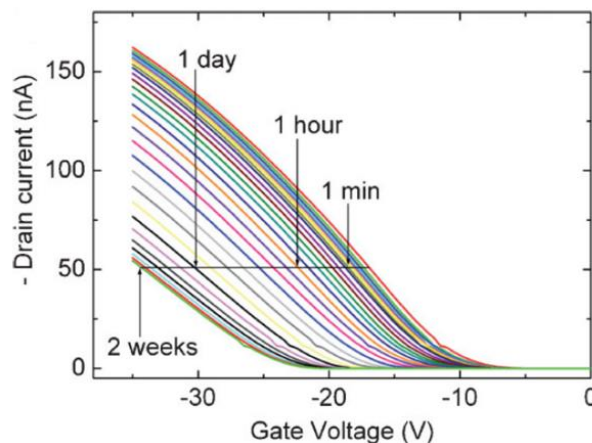


Figure 1-23 : Courbes de transfert d'un transistor à base de PTAA (polytriarylamine) au cours d'un stress électrique ($V_{GSTR} = -20V$ et $T = 140^\circ C$) – repris de [45].

Plusieurs origines expliquant ses dégradations ont été avancées dans la littérature et seront présentées dans la suite.

1.4.1. PIEGEAGE DES PORTEURS DE CHARGES

Pour la plupart des transistors, la dégradation la plus importante observée suite à l'application prolongée d'un stress en tension est un décalage de la tension de seuil V_T ($\Delta V_{Ti} = V_{Ti} - V_{T0}$ avec V_{T0} la tension de seuil initiale et V_{Ti} la tension V_T à un temps i donné au cours du stress électrique) résultant en un décalage des courbes de transfert.

Cette dégradation est généralement attribuée à un piégeage des porteurs de charges (i.e. trous pour les P-OTFTs). En effet, les charges piégées, vont par effet électrostatique compenser le champ électrique de grille. Il faut alors, en valeur absolue, une plus grande tension de grille pour obtenir un courant similaire, ce qui implique une augmentation de la tension de seuil en valeur absolue et donc un décalage des courbes $I_D = f(V_{GS})$.

Localisation des pièges

Au cours d'un stress électrique, les porteurs de charges peuvent donc être piégés dans des états localisés situés dans le semi-conducteur, dans l'isolant de grille ou à l'interface SCO/diélectrique. L'origine de ces pièges n'est pas encore bien établie, qu'il s'agisse de défauts intrinsèques à la structure ou d'impuretés extrinsèques, voire d'une combinaison des deux [46].

En 1997, Brown et al. ont étudié le bias stress sur une structure BC/BG avec pour semi-conducteur du pentacène polycristallin déposé par évaporation à l'aide d'un précurseur [47]. L'amplitude du décalage de la tension de seuil étant similaire pour divers diélectriques (SiO_2 ou SiN_x), ils concluent à un piégeage dans le semi-conducteur. Wrachien et al. confirment que le diélectrique (SiO_2 dans leur cas) joue un rôle mineur dans la génération de défauts à l'interface et que les charges piégées dans le SiO_2 sont négligeables, le semi-conducteur ayant le rôle majeur [48]. En effet, ils découvrent en comparant deux structures identiques mais avec des SCO de type n et de type p (petites molécules), qu'ils obtiennent des résultats de stress en tension très différents (**Figure 1-24**) [49]. Les OTFTs ont été encapsulés afin de s'affranchir des effets de l'environnement.

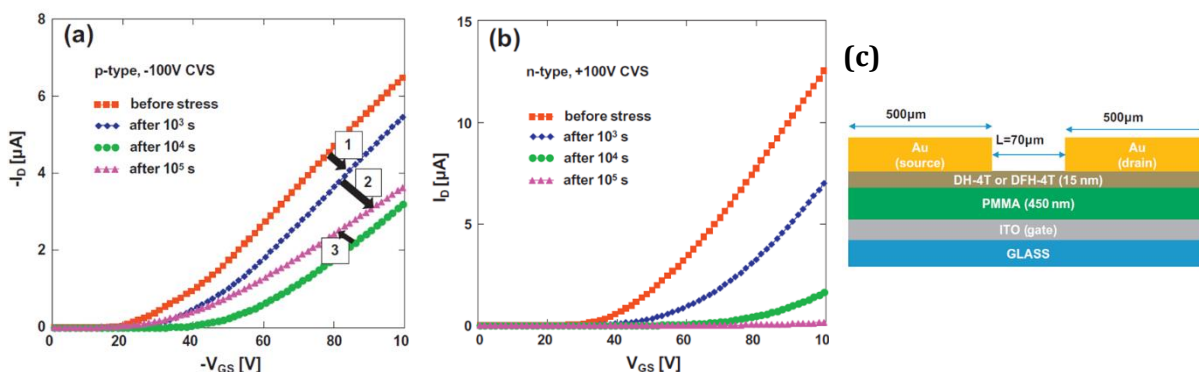


Figure 1-24 : Courbes de transfert mesurées pour différents temps de stress sur un **(a)** P-OTFT et **(b)** N-OTFT. **(c)** Schéma de coupe des transistors utilisés dans cette étude – repris de [49].

La dégradation du transistor au cours du stress semble plus importante pour les N-OTFTs. De plus, un changement de signe dans la variation de ΔV_T a été observé uniquement pour les P-OTFTs, ce qui montre que le choix du SCO influe sur la stabilité électrique des OTFTs de cette étude. Des

stress électriques similaires ont été appliqués sur des capacités MIM (Métal-Isolant-Métal) de PMMA (Poly(méthacrylate de méthyle)) et montrent une dégradation plus faible (mesurée par la variation de densité de pièges Δn) que pour la structure complète de l'OTFT, ce qui suggère donc, d'après Wrachien et al., l'importance du semi-conducteur dans la réponse en stress électrique.

Salleo et al., sont plus nuancés après l'étude du stress en tension sur des transistors ayant comme semi-conducteur le polymère F8T2 (poly-9,98 dioctylfluorene-co-bithiophene) [44], [50]. En effet, ils concluent davantage à un piégeage proche de l'interface SCO/isolant mais dont les pièges les plus profonds (et irréversibles) se situeraient dans les parties désordonnées du semi-conducteur [44].

Afin de connaître l'impact de la couche active, Chang et Subramanian ont mesuré le décalage de tension de seuil lors d'un stress en tension en faisant varier l'épaisseur du semi-conducteur (pentacène polycristallin) de 10 à 80 nm [51]. Ils ont alors montré une accélération de la dégradation du transistor pour un semi-conducteur plus épais (**Figure 1-25**). Selon eux, cela indiquerait que les porteurs de charges seraient piégés dans le volume du semi-conducteur ou potentiellement à l'interface SCO/isolant. En effet, augmenter l'épaisseur pourrait éventuellement impacter les premières couches de pentacène à l'interface avec le diélectrique.

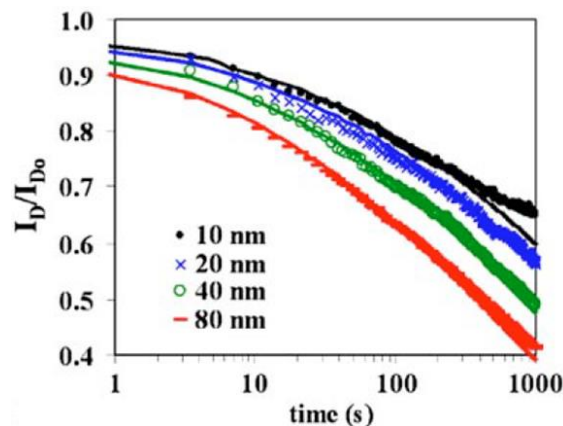


Figure 1-25 : Evolution du courant I_{ON} relatif en fonction du temps de stress de BG/BC OTFTs pour diverses épaisseurs de pentacène ($V_{GSTR}=-20V$ et $V_{DSTR}=-20V$) – repris de [51].

En revanche, Matters et al., qui ont étudié l'influence du stress en tension sur des OFETs avec un semi-conducteur polymère en PTV (polythiénylène vinylène), remarquent que le décalage de la tension de seuil est réduit lorsque le SiO_2 (diélectrique) est recouvert d'une couche hydrophobe (HMDS) [52]. Ils en déduisent que les pièges peuvent se situer dans le diélectrique ou à l'interface SCO/diélectrique qui a été modifiée par l'ajout de HMDS. De la même façon, Ng et al., concluent à des porteurs de charges piégés à l'interface SCO/isolant ou éventuellement dans le diélectrique [53]. Toutefois, ils notent que les matériaux utilisés étant composés de parties désordonnées et poly-cristallines, il est difficile de déterminer avec précision l'origine des pièges. Un tableau récapitulatif des papiers discutés sur cette question est en **Table 1-2**.

Table 1-2 : Tableau récapitulatif des hypothèses avancées sur la localisation des pièges.

Auteur(s)	Configuration	SCO	Diélectrique	Localisation des pièges
Brown et al. [47]	BG/BC	Pentacène	SiO ₂ ou SiN _x	ΔV_T similaires pour SiO ₂ ou SiN _x → piégeage dans le SCO
Wrachien et al. [48], [49]	BG/BC	DH-4T ou DFH-4T	SiO ₂	ΔV_T différents pour les deux SCO → rôle majeur du SCO
Salleo et al. [44], [50]	BG/BC	F8T2 ou PQT-12	SiO ₂	Proche interface mais pièges profonds dans les parties désordonnées du SCO
Chang et Subramanian [51]	BG/BC	Pentacène	SiO ₂	$ \Delta I_{ON} $ augmente avec l'épaisseur du SCO → dans le volume du SCO ou à l'interface SCO/diélectrique
Matters et al. [52]	BG/BC	PTV polymère	SiO ₂ ou SiO ₂ +HDMS	Dans le diélectrique ou à l'interface SCO/diélectrique
Ng et al. [53]	BG/BC	F8T2 ou PQT-12	SiO ₂	Généralement à l'interface SCO/isolant mais peut être dans le diélectrique

Réversibilité du piégeage

Après le stress électrique, il est intéressant d'étudier la relaxation du phénomène sans contrainte en tension pour déterminer s'il s'agit d'une dégradation réversible ou irréversible. Dans le premier cas, les pièges mis en jeu sont considérés comme peu profonds (ou « shallow traps ») et le dépiégeage est rapide ; tandis que dans le deuxième cas il s'agit de pièges profonds (ou « deep traps ») dont la dynamique de relaxation est plus lente (**Figure 1-26**).

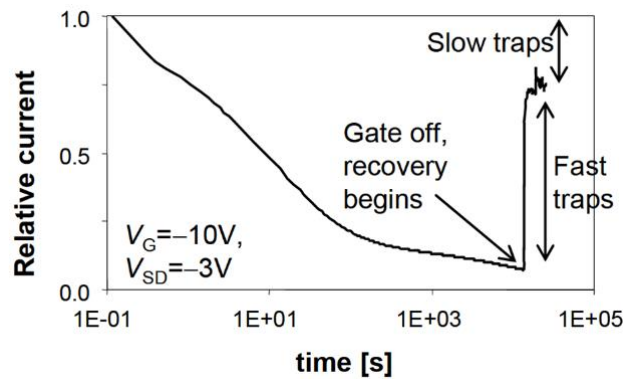


Figure 1-26 : Diminution du courant observée lors d'un stress en tension sur un transistor à base de PQT-12 (poly(quarterthiophene)). Un recouvrement partiel du courant est observé à la fin du bias stress – repris de [53].

Ainsi, quel que soit le temps de relaxation, une partie de la dégradation peut être irréversible. Avec le même semi-conducteur polymère qu'en **Figure 1-26**, Salleo et al. ont montré que plus le temps de stress est élevé, plus le nombre de pièges irréversibles est grand (**Figure 1-27**). En effet, ces pièges profonds ont une cinétique de capture lente.

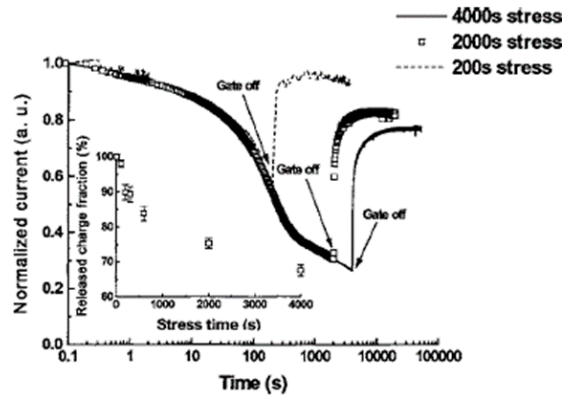
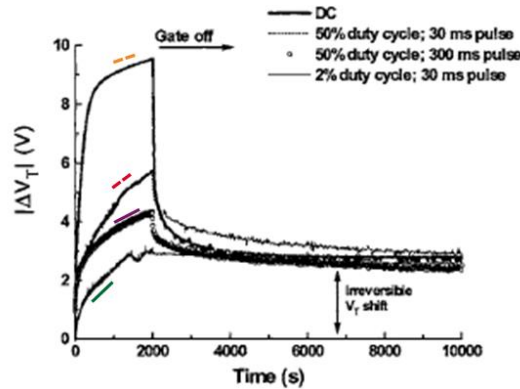


Figure 1-27 : Evolution du courant de drain relatif en fonction du temps de stress sur un transistor à base de PQT-12 avec $V_{GSTR}=-20V$ et $V_{DSTR}=-1V$ – repris de [44].

Afin d'observer la partie irréversible de la dégradation du transistor (baisse du courant), ils ont également étudié le bias stress avec des cycles pulsés, c'est-à-dire que la tension de stress n'est pas maintenue constante (DC) mais est appliquée suivant des cycles de pulsation (**Figure 1-28**).

Quel que soit le cycle des pulsations, la partie irréversible de la dégradation semble identique (**Figure 1-28a**). Pour le cycle correspondant à 2% d'une pulsation de 30ms (courbe verte), les charges piégées dans les pièges peu profonds relaxent complètement durant les intervalles. Par conséquent, à la fin du stress électrique (à 2000 secondes), il ne reste plus que les charges piégées dans les pièges profonds et aucune relaxation de ΔV_T n'est observée. Une des hypothèses suggérée par Salleo et al. pour expliquer la stabilité de cette dégradation irréversible serait la formation de bipolarons (ici, paire de trous) de forte énergie de liaison dans les parties désordonnées du SCO. Le polaron est défini comme une charge négative ou positive associée à une déformation locale de la chaîne polymère.

(a)



(b)

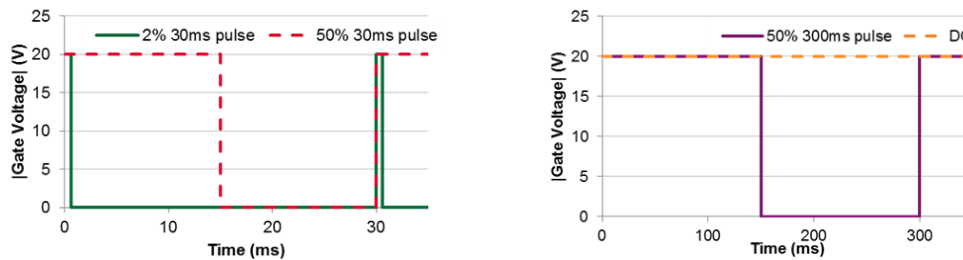


Figure 1-28 : (a) Evolution du décalage de V_T en fonction du temps de stress et pour différents cycles de pulsations ($V_{GSTR}=-20V$ et $V_{DSTR}=-1V$) – repris de [44] (b) Courbes des différents cycles de pulsations appliqués.

Au cours d'un stress électrique, il est également possible d'observer une création de pièges liée à la dégradation de la structure du semi-conducteur à travers, par exemple, la rupture de liaisons [54]. Par conséquent, de nouveaux états électroniques apparaissent et jouent un rôle de pièges pour les charges. Cette génération de pièges se traduit généralement par un changement de forme des courbes de transfert, en plus du ΔV_T observé précédemment [55].

Modélisation de la dynamique du décalage de la tension de seuil dans le temps

Plusieurs dynamiques ont été développées afin de prédire l'évolution de V_T en fonction du temps de stress. L'équation « stretched exponential » est la plus répandue. Adaptée des transistors en silicium amorphe, elle repose sur l'hypothèse d'une distribution énergétique des pièges exponentielle. Il est alors possible d'exprimer en fonction du temps de stress l'évolution de $\Delta N_t(t)$ qui correspond à la concentration de défauts à un temps t [46] :

$$\Delta N_t(t) = \Delta N_t(0) \cdot \exp \left[\left(-\frac{t}{\tau} \right)^\beta \right] \quad \text{Eq. 1-20}$$

Avec τ la constante de temps, β un paramètre correspondant à la largeur de distribution énergétique des pièges et dépendant de la température ($0 < \beta < 1$). La variation de V_T au cours du stress électrique sera alors décrit par [46] :

$$\Delta V_T(t) = [V_T(t = \infty) - V_T(t = 0)] \left\{ 1 - \exp \left[\left(-\frac{t}{\tau} \right)^\beta \right] \right\} \quad \text{Eq. 1-21}$$

Avec $V_T(t = \infty)$ la tension de seuil pour un temps de stress infini. Or, d'après Mathijssen et al., cette tension serait égale à la tension de stress appliquée [45]. En effet, lorsque le décalage de la tension de seuil atteint la valeur de la tension de stress, le champ électrique vertical devient nul et il n'y a donc plus de charges piégées.

1.4.2. MIGRATION IONIQUE

Lorsqu'un transistor est soumis à un stress en tension négatif (ou positif), sa courbe de transfert se décale généralement vers les tensions plus négatives (respectivement positives). Cependant, plusieurs études ont rapporté un changement de sens de ΔV_T au cours du stress [56]–[58].

Cet effet a été attribué par Ng et al. à la présence d'eau suite à des expériences dans des environnements avec des taux d'humidité plus ou moins importants (**Figure 1-29**). Il s'agirait d'une migration d'ions OH^- ou H^+ dans le diélectrique ou le semi-conducteur (**Figure 1-29b**).

Pour éliminer ce phénomène, Zilker et al. ont effectué des mesures sous vide et après des recuits à 50°C pendant plusieurs heures, observant alors un décalage des courbes uniquement vers les valeurs négatives [57]. Ainsi les phénomènes de stress habituellement observés ($\Delta V_T < 0$) aurait été masqués par ce phénomène de migration d'ions. L'origine de ces ions est attribuée, selon eux, à des ions résiduels dans le diélectrique provenant des électrodes en polyaniline ou encore par la présence d'humidité ambiante.

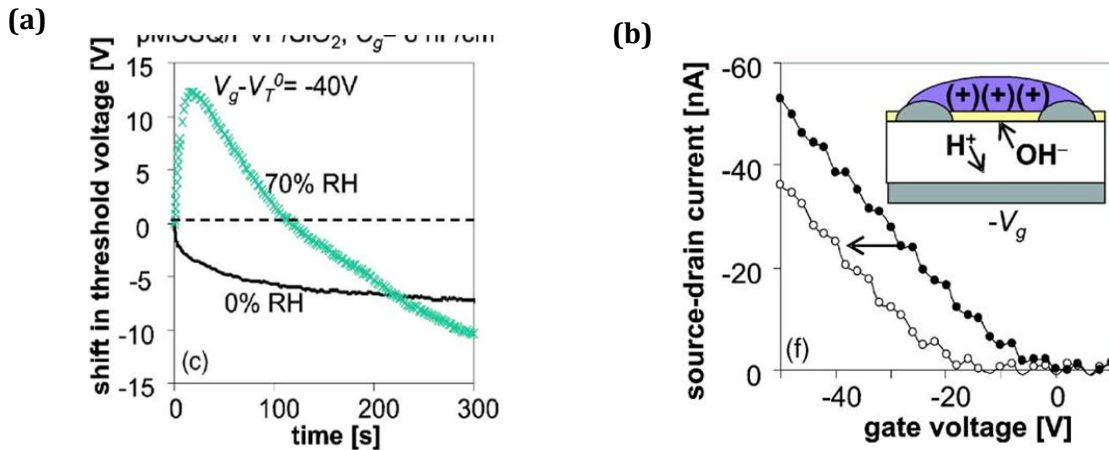


Figure 1-29 : (a) Evolution de ΔV_T au cours du temps durant un stress électrique de grille négatif dans un environnement avec 0% ou 70% d'humidité. (b) Courbes de transfert à $t=0s$ et $t=300s$ d'un OTFT (BG/BC) placé à 70% d'humidité et schéma explicatif des mouvements ioniques – repris de [56].

1.4.3. INFLUENCE DE LA POLARISATION DU DIELECTRIQUE

La diminution de la mobilité au cours d'un stress en tension peut être attribuée à la présence de diélectriques polaires. En effet, lors de l'application d'un champ électrique, les dipôles présents dans le diélectrique vont s'aligner suivant ce champ extérieur. Les porteurs de charges dans le canal vont être attirés par ces dipôles orientés [59] (**Figure 1-30**). Il en résulte un auto piégeage accentué des charges du canal qui est d'autant plus important que la constante diélectrique de l'isolant est grande [60].

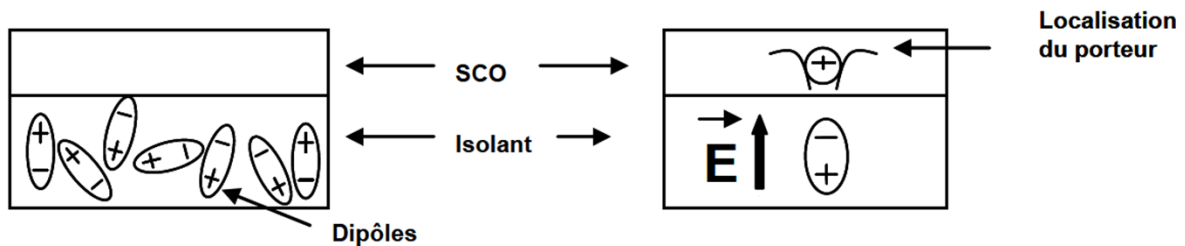


Figure 1-30 : Représentation schématique des dipôles dans un diélectrique, à gauche de façon aléatoire, à droite sous l'action d'un champ électrique dû à la polarisation de la grille – repris de [59].

1.4.4. EFFET DE L'ENVIRONNEMENT

En plus de l'application d'un stress électrique, l'environnement peut également avoir un effet sur l'évolution des caractéristiques du transistor au cours du stress électrique.

Lumière

Des études ont montrées que la lumière visible pouvait accélérer la relaxation du transistor après un stress électrique [44], [50]. En effet, si un transistor préalablement stressé est illuminé à une longueur d'onde correspondant à une énergie supérieure à la bande interdite du semi-conducteur, alors les paires électron-trou générées pourront se recombiner avec les charges piégées et aider à la relaxation de V_T [53].

Température

De la même façon, l'énergie générée par une augmentation de température peut aider les charges piégées à se relaxer. D'après Wrachien et al. une variation de seulement +30°C peut accélérer la cinétique de relaxation [61]. Ils expliquent ce phénomène par notamment une constante de temps de dépiégeage τ dépendant exponentiellement de la température. En revanche, dans certains cas, la température peut également accélérer la dégradation des transistors durant le stress [62]. Afin de mesurer l'influence de la température sur les paramètres des OTFTs, Pannemann et al. ont exposés des transistors jusqu'à 200 min à une température constante de 65°C [63]. Il s'agit d'une structure BG/BC ayant pour semi-conducteur du pentacène, celui-ci est donc directement en contact avec l'environnement. Après 20 min d'exposition, ils observent une dégradation de la mobilité et du ratio I_{ON}/I_{OFF} d'un ordre de grandeur pour chacun des paramètres. Par analogie avec le silicium amorphe, ils expliquent ce phénomène par une perturbation des états délocalisés de la molécule de pentacène suite au retrait intramoléculaire d'atomes d'hydrogène avec la température. Ainsi, les nouvelles liaisons insaturées des molécules de pentacène généreraient des défauts expliquant la dégradation des performances des transistors [63].

Atmosphère

Comme vu précédemment, l'humidité peut jouer un rôle important lors d'un stress électrique. Des traitements hydrophobiques peuvent réduire l'impact de l'eau durant le stress [53]. Mais la présence d'eau peut également entraîner une baisse de la mobilité [64]. Cette dégradation peut être expliquée par la présence de molécules d'eau dans les joints de grains pour des SCO polycristallins ralentissant le transport intermoléculaire, ou encore par l'influence des molécules polaires de l'eau sur les porteurs de charges [65].

D'après Häusermann et Batlogg, l'exposition à l'air et donc à l'oxygène peut dans un premier temps doper le SCO conduisant à une augmentation de la mobilité [66]. Cependant des états de pièges sont alors créés dans le gap du semi-conducteur lors de l'exposition à l'oxygène [67]. Il en résulte une dégradation du SCO qui peut être accélérée par la présence de lumière UV et donc de radicaux et d'ozone O_3 . Ficker et al. ont associé l'exposition aux ultraviolets en présence d'oxygène à la formation de défauts carbonyle dans le SCO polymère P3HT, entraînant une perte de la conjugaison et une baisse de mobilité [68].

Les configurations grille haute (TG) des OTFTs sont généralement privilégiées pour protéger et « encapsuler » le SCO souvent sensible à la présence d'humidité ou d'oxygène. Pour les transistors en configuration grille basse (BG), une autre solution serait d'encapsuler le SCO après fabrication.

En résumé, au cours d'un stress électrique, la tension de seuil V_T se décale généralement dans le même sens que la tension de stress appliquée. Cette dégradation peut être attribuée à un piégeage de charges dans le volume du SCO, à l'interface SCO/diélectrique ou dans le diélectrique, ou bien à la présence d'ions ou de dipôles dans ce dernier. Ce piégeage peut être en partie réversible, selon la profondeur des pièges.

La lumière ou la température peuvent fournir suffisamment d'énergie pour permettre le dépiégeage des charges et accélérer la relaxation. Cependant, l'environnement et notamment l'humidité et l'oxygène, peuvent également jouer un rôle dans la dégradation des performances des OTFTs.

1.5. Conclusions

Au cours de ce chapitre, nous avons décrit dans un premier temps le fonctionnement des semi-conducteurs organiques et les divers modèles de transport de charges qui y sont associés. Ces derniers sont, en général, définis par la cristallinité des SCO. Ensuite, dans un deuxième temps, nous avons présenté le transistor organique dans son ensemble à travers les différentes configurations et les paramètres clés. Les OFETs/OTFTs sont caractérisés principalement par deux types de courbes : les courbes de transfert ($I_D = f(V_{GS})$ à V_{DS} constant) et de sortie ($I_D = f(V_{DS})$ à V_{GS} constant). A partir de ces courbes, il est possible d'obtenir les facteurs de mérite tels que la mobilité μ , la tension de seuil V_T , la pente sous le seuil SS, le rapport I_{ON}/I_{OFF} et la résistance de contact R_C .

Les méthodes d'extraction les plus répandues ont été détaillées. Cependant, il est possible d'obtenir des valeurs différentes de V_T (ou de μ) suivant la méthode employée. Il est donc important de choisir la méthode d'extraction adaptée au transistor et à l'expérience menée. Par exemple, lors d'un stress électrique en tension, la courbe de transfert du transistor se décale généralement vers le même signe que la tension de stress appliquée. S'il n'y a pas de changement de pente sous le seuil, la méthode d'extraction à courant constant pourra être utilisée pour analyser l'évolution de V_T au cours du temps de stress.

Enfin, dans la dernière partie de ce chapitre, nous avons vu que la dégradation des performances du transistor organique lors d'un stress électrique était attribuée dans la plupart des cas, selon la littérature, à des charges piégées. Or, il n'y a pas de consensus sur la localisation de ces pièges (dans le SCO, à l'interface SCO/diélectrique ou dans le diélectrique) ou sur leur origine (présence de défauts intrinsèques et/ou d'impuretés extrinsèques). D'autres papiers ont montré que cette dégradation pouvait également provenir de la migration d'ions dans le diélectrique et également de la polarisation de ce dernier. Dans tous les cas, les études dépendent fortement des matériaux utilisés, c'est pourquoi il est nécessaire d'étudier la stabilité électrique pour chaque nouvel empilement (voir chapitre 4).

Après le stress électrique, une partie des charges piégées est relaxée (pièges peu profonds) tandis qu'une partie de la dégradation est irréversible (pièges profonds). Afin d'accélérer la relaxation, la présence de lumière ou de température peut fournir assez d'énergie aux porteurs pour faciliter leur dépiégeage. Toutefois, l'environnement, à travers notamment l'humidité et l'oxygène, peut également avoir un rôle néfaste sur les performances des transistors organiques.

RÉFÉRENCES

- [1] H. Sirringhaus *et al.*, « Two-dimensional charge transport in self-organized, high-mobility conjugated polymers », *Nature*, vol. 401, n° 6754, p. 685, 1999.
- [2] A. Afzali, C. D. Dimitrakopoulos, et T. O. Graham, « Photosensitive pentacene precursor: synthesis, photothermal patterning, and application in thin-film transistors », *Adv. Mater.*, vol. 15, n° 24, p. 2066–2069, 2003.
- [3] G. Nisato, D. Lupo, et S. Ganz, *Organic and Printed Electronics: fundamentals and applications*. Pan Stanford Publishing, 2016.
- [4] M. Robin, « Développement de transistors à effet de champ organiques et de matériaux luminescents à base de nanoclusters par impression à jet d'encre », PhD Thesis, Université Rennes 1, 2017.
- [5] « Advanced Theories of Covalent Bonding », in *Chemistry*, Rice University.
- [6] J. Herrbach-Euvrard, « Organic semiconductor p-doping: Toward a better understanding of the doping mechanisms and integration of the p-doped layer in organic photodetectors », 2017.
- [7] J.-M. Verilhac, « Transistors organiques à base de dérivés du polythiophène Effets de la structure moléculaire et supramoléculaire », INP Grenoble, 2006.
- [8] D. M. De Leeuw, M. M. J. Simenon, A. R. Brown, et R. E. F. Einerhand, « Stability of n-type doped conducting polymers and consequences for polymeric microelectronic devices », *Synth. Met.*, vol. 87, n° 1, p. 53–59, 1997.
- [9] C. D. Dimitrakopoulos et P. R. Malenfant, « Organic Thin Film Transistors for Large Area Electronics », *Adv. Mater.*, vol. 14, n° 2, 2002.
- [10] C. Liu *et al.*, « A unified understanding of charge transport in organic semiconductors: the importance of attenuated delocalization for the carriers », *Mater. Horiz.*, vol. 4, n° 4, p. 608–618, 2017.
- [11] V. Coropceanu, J. Cornil, D. A. da Silva Filho, Y. Olivier, R. Silbey, et J.-L. Brédas, « Charge Transport in Organic Semiconductors », *Chem. Rev.*, vol. 107, n° 4, p. 926–952, avr. 2007.
- [12] P. G. Le Comber et W. E. Spear, « Electronic transport in amorphous silicon films », *Phys. Rev. Lett.*, vol. 25, n° 8, p. 509, 1970.
- [13] G. Horowitz, R. Hajlaoui, et P. Delannoy, « Temperature Dependence of the Field-Effect Mobility of Sexithiophene. Determination of the Density of Traps », *J. Phys. III*, vol. 5, n° 4, p. 355–371, 1995.
- [14] G. Horowitz, M. E. Hajlaoui, et R. Hajlaoui, « Temperature and gate voltage dependence of hole mobility in polycrystalline oligothiophene thin film transistors », *J. Appl. Phys.*, vol. 87, n° 9, p. 4456–4463, mai 2000.
- [15] A. Miller et E. Abrahams, « Impurity conduction at low concentrations », *Phys. Rev.*, vol. 120, n° 3, p. 745, 1960.
- [16] H. Bässler, « Charge transport in disordered organic photoconductors a Monte Carlo simulation study », *Phys. Status Solidi B*, vol. 175, n° 1, p. 15–56, 1993.
- [17] M. Vissenberg et M. Matters, « Theory of the field-effect mobility in amorphous organic transistors », *Phys. Rev. B*, vol. 57, n° 20, p. 12964, 1998.
- [18] M. Devynck, « Transistors à effet de champ: étude des interfaces et amélioration des performances », PhD Thesis, Bordeaux 1, 2012.

- [19] D. J. Gundlach, L. Zhou, J. A. Nichols, T. N. Jackson, P. V. Necliudov, et M. S. Shur, « An experimental study of contact effects in organic thin film transistors », *J. Appl. Phys.*, vol. 100, n° 2, p. 024509, juill. 2006.
- [20] R. A. Street et A. Salleo, « Contact effects in polymer transistors », *Appl. Phys. Lett.*, vol. 81, n° 15, p. 2887-2889, oct. 2002.
- [21] C. Reese, M. Roberts, M. Ling, et Z. Bao, « Organic thin film transistors ».
- [22] T. Richards et H. Sirringhaus, « Bias-stress induced contact and channel degradation in staggered and coplanar organic field-effect transistors », *Appl. Phys. Lett.*, vol. 92, n° 2, p. 023512, janv. 2008.
- [23] M. Wang, F. Jakubka, F. Gannott, M. Schweiger, et J. Zaumseil, « Generalized enhancement of charge injection in bottom contact/top gate polymer field-effect transistors with single-walled carbon nanotubes », *Org. Electron.*, vol. 15, n° 3, p. 809-817, mars 2014.
- [24] K.-J. Baeg, G.-T. Bae, et Y.-Y. Noh, « Efficient Charge Injection in p-Type Polymer Field-Effect Transistors with Low-Cost Molybdenum Electrodes through V_2O_5 Interlayer », *ACS Appl. Mater. Interfaces*, vol. 5, n° 12, p. 5804-5810, juin 2013.
- [25] T. Yasuda, T. Goto, K. Fujita, et T. Tsutsui, « Ambipolar pentacene field-effect transistors with calcium source-drain electrodes », *Appl. Phys. Lett.*, vol. 85, n° 11, p. 2098-2100, sept. 2004.
- [26] R. Ahmed, C. Simbrunner, M. A. Baig, et H. Sitter, « Grain Size and Interface Dependence of Bias Stress Stability of n-Type Organic Field Effect Transistors », *ACS Appl. Mater. Interfaces*, vol. 7, n° 40, p. 22380-22384, oct. 2015.
- [27] L.-L. Chua *et al.*, « General observation of n-type field-effect behaviour in organic semiconductors », *Nature*, vol. 434, n° 7030, p. 194-199, mars 2005.
- [28] M. Li, « Molecular Self-Assembly in Mono- to Multilayer Organic Field-Effect Transistors », Gutenberg-Universität, Mainz, 2016.
- [29] G. Horowitz, R. Hajlaoui, et F. Kouki, « An analytical model for the organic field-effect transistor in the depletion mode. Application to sexithiophene films and single crystals », *Eur. Phys. J.-Appl. Phys.*, vol. 1, n° 3, p. 361-367, 1998.
- [30] E. Lebedev, T. Dittrich, V. Petrova-Koch, S. Karg, et W. Brütting, « Charge carrier mobility in poly(p-phenylenevinylene) studied by the time-of-flight technique », *Appl. Phys. Lett.*, vol. 71, n° 18, p. 2686-2688, nov. 1997.
- [31] G. Ghibaudo, « An analytical model of conductance and transconductance for enhanced-mode mosfets », *Phys. Status Solidi A*, vol. 95, n° 1, p. 323-335, 1986.
- [32] M. C. Hamilton, S. Martin, et J. Kanicki, « Field-Effect Mobility of Organic Polymer Thin-Film Transistors », *Chem. Mater.*, vol. 16, n° 23, p. 4699-4704, nov. 2004.
- [33] I. Pang *et al.*, « Aminosilane monolayer-assisted patterning of conductive poly(3,4-ethylenedioxythiophene) source/drain electrodes for bottom contact pentacene thin film transistors », *Org. Electron.*, vol. 11, n° 2, p. 338-343, févr. 2010.
- [34] S. Luan et G. W. Neudeck, « An experimental study of the source/drain parasitic resistance effects in amorphous silicon thin film transistors », *J. Appl. Phys.*, vol. 72, n° 2, p. 766-772, juill. 1992.
- [35] J. Zaumseil, K. W. Baldwin, et J. A. Rogers, « Contact resistance in organic transistors that use source and drain electrodes formed by soft contact lamination », *J. Appl. Phys.*, vol. 93, n° 10, p. 6117-6124, mai 2003.

- [36] A. Ortiz-Conde, F. G. Sánchez, J. J. Liou, A. Cerdeira, M. Estrada, et Y. Yue, « A review of recent MOSFET threshold voltage extraction methods », *Microelectron. Reliab.*, vol. 42, n° 4-5, p. 583-596, 2002.
- [37] A. Ortiz-Conde, F. J. García-Sánchez, J. Muci, A. Terán Barrios, J. J. Liou, et C.-S. Ho, « Revisiting MOSFET threshold voltage extraction methods », *Microelectron. Reliab.*, vol. 53, n° 1, p. 90-104, janv. 2013.
- [38] D. Boudinet, G. Le Blevennec, C. Serbutoviez, J.-M. Verilhac, H. Yan, et G. Horowitz, « Contact resistance and threshold voltage extraction in n-channel organic thin film transistors on plastic substrates », *J. Appl. Phys.*, vol. 105, n° 8, p. 084510, avr. 2009.
- [39] G. Ghibaudo, « New method for the extraction of MOSFET parameters », *Electron. Lett.*, vol. 24, n° 9, p. 543, 1988.
- [40] Y. Xu, T. Minari, K. Tsukagoshi, J. A. Chroboczek, et G. Ghibaudo, « Direct evaluation of low-field mobility and access resistance in pentacene field-effect transistors », *J. Appl. Phys.*, vol. 107, n° 11, p. 114507, juin 2010.
- [41] Y. Xu, « Characterization and modeling of static properties and low-frequency noise in organic field-effect transistors (OFETs) », PhD Thesis, Université de Grenoble, 2011.
- [42] H.-S. Wong, M. H. White, T. J. Krutsick, et R. V. Booth, « Modeling of transconductance degradation and extraction of threshold voltage in thin oxide MOSFET's », *Solid-State Electron.*, vol. 30, n° 9, p. 953-968, 1987.
- [43] M. Tsuno, M. Suga, M. Tanaka, K. Shibahara, M. Miura-Mattausch, et M. Hirose, « Physically-based threshold voltage determination for MOSFET's of all gate lengths », *IEEE Trans. Electron Devices*, vol. 46, no 7, p. 1429-1434, 1999.
- [44] A. Salleo, F. Endicott, et R. A. Street, « Reversible and irreversible trapping at room temperature in poly(thiophene) thin-film transistors », *Appl. Phys. Lett.*, vol. 86, no 26, p. 263505, juin 2005.
- [45] S. G. J. Mathijssen *et al.*, « Dynamics of Threshold Voltage Shifts in Organic and Amorphous Silicon Field-Effect Transistors », *Adv. Mater.*, vol. 19, n° 19, p. 2785-2789, oct. 2007.
- [46] H. Sirringhaus, « Reliability of Organic Field-Effect Transistors », *Adv. Mater.*, vol. 21, n° 38-39, p. 3859-3873, oct. 2009.
- [47] A. R. Brown, C. P. Jarrett, D. M. De Leeuw, et M. Matters, « Field-effect transistors made from solution-processed organic semiconductors », *Synth. Met.*, vol. 88, n° 1, p. 37-55, 1997.
- [48] N. Wrachien *et al.*, « Reliability study of organic complementary logic inverters using constant voltage stress », *Solid-State Electron.*, vol. 113, p. 151-156, nov. 2015.
- [49] N. Wrachien *et al.*, « Effects of constant voltage stress on p- and n-type organic thin film transistors with poly(methyl methacrylate) gate dielectric », *Microelectron. Reliab.*, vol. 53, n° 9-11, p. 1798-1803, sept. 2013.
- [50] A. Salleo et R. A. Street, « Light-induced bias stress reversal in polyfluorene thin-film transistors », *J. Appl. Phys.*, vol. 94, n° 1, p. 471-479, juill. 2003.
- [51] J. B. Chang et V. Subramanian, « Effect of active layer thickness on bias stress effect in pentacene thin-film transistors », *Appl. Phys. Lett.*, vol. 88, n° 23, p. 233513, juin 2006.
- [52] M. Matters, D. M. De Leeuw, P. T. Herwig, et A. R. Brown, « Bias-stress induced instability of organic thin film transistors », *Synth. Met.*, vol. 102, n° 1-3, p. 998-999, 1999.
- [53] T. N. Ng, M. L. Chabinyc, R. A. Street, et A. Salleo, « Bias stress effects in organic thin film transistors », in *Reliability physics symposium, 2007. proceedings. 45th annual. ieee international*, 2007, p. 243-247.

- [54] H. L. Cheng *et al.*, « Influence of Electric Field on Microstructures of Pentacene Thin-Films in Field-Effect Transistors », *Adv. Funct. Mater.*, vol. 18, n° 2, p. 285-293, janv. 2008.
- [55] R. Ganesan, « Investigation of Variation in Organic Thin-film Transistors (OTFT) and Design of Variation-aware Organic Circuits », PhD Thesis, Technische Universität, 2015.
- [56] T. N. Ng, J. H. Daniel, S. Sambandan, A.-C. Arias, M. L. Chabiny, et R. A. Street, « Gate bias stress effects due to polymer gate dielectrics in organic thin-film transistors », *J. Appl. Phys.*, vol. 103, n° 4, p. 044506, févr. 2008.
- [57] S. J. Zilker, C. Detcheverry, E. Cantatore, et D. M. de Leeuw, « Bias stress in organic thin-film transistors and logic gates », *Appl. Phys. Lett.*, vol. 79, n° 8, p. 1124-1126, août 2001.
- [58] N. D. Young et A. Gill, « Water-related instability in TFTs formed using deposited gate oxides », *Semicond. Sci. Technol.*, vol. 7, n° 8, p. 1103, 1992.
- [59] A.-L. Deman, « Influence du diélectrique de grille et de la structure moléculaire du semi conducteur sur les performances de transistors organiques », Ecole centrale de Lyon, 2005.
- [60] A. F. Stassen, R. W. I. de Boer, N. N. Iosad, et A. F. Morpurgo, « Influence of the gate dielectric on the mobility of rubrene single-crystal field-effect transistors », *Appl. Phys. Lett.*, vol. 85, n° 17, p. 3899-3901, oct. 2004.
- [61] N. Wrachien *et al.*, « Light, bias, and temperature effects on organic TFTs », in *Reliability Physics Symposium (IRPS), 2010 IEEE International*, 2010, p. 334-341.
- [62] W. Yu, L. L. Wang, X. Xiao, W. Li, et S. Zhang, « The influence of temperature on dynamic gate-bias stress instability in amorphous silicon thin film transistors », in *Solid-State and Integrated Circuit Technology (ICSICT), 2014 12th IEEE International Conference on*, 2014, p. 1-3.
- [63] C. Pannemann, T. Diekmann, et U. Hilleringmann, « Degradation of organic field-effect transistors made of pentacene », *J. Mater. Res.*, vol. 19, n° 07, p. 1999-2002, juill. 2004.
- [64] Z.-T. Zhu, J. T. Mason, R. Dieckmann, et G. G. Malliaras, « Humidity sensors based on pentacene thin-film transistors », *Appl. Phys. Lett.*, vol. 81, n° 24, p. 4643-4645, déc. 2002.
- [65] D. Li, E.-J. Borkent, R. Nortrup, H. Moon, H. Katz, et Z. Bao, « Humidity effect on electrical performance of organic thin-film transistors », *Appl. Phys. Lett.*, vol. 86, n° 4, p. 042105, janv. 2005.
- [66] R. Häusermann et B. Batlogg, « Gate bias stress in pentacene field-effect-transistors: Charge trapping in the dielectric or semiconductor », *Appl. Phys. Lett.*, vol. 99, n° 8, p. 083303, août 2011.
- [67] W. L. Kalb, K. Mattenberger, et B. Batlogg, « Oxygen-related traps in pentacene thin films: Energetic position and implications for transistor performance », *Phys. Rev. B*, vol. 78, n° 3, p. 035334, 2008.
- [68] J. Ficker, H. von Seggern, H. Rost, W. Fix, W. Clemens, et I. McCulloch, « Influence of intensive light exposure on polymer field-effect transistors », *Appl. Phys. Lett.*, vol. 85, n° 8, p. 1377-1379, août 2004.

Chapitre 2

PROCÉDÉS DE FABRICATION ET
PROTOCOLE EXPÉRIMENTAL

TABLE DES MATIERES

2.	PROCEDES DE FABRICATION ET PROTOCOLE EXPERIMENTAL.....	55
2.1.	FABRICATION DES TRANSISTORS ORGANIQUES.....	55
2.1.1.	<i>Les différentes techniques d'impression.....</i>	<i>55</i>
2.1.1.1.	Jet d'encre (inkjet).....	55
2.1.1.2.	Héliogravure	56
2.1.1.3.	Sérigraphie	57
2.1.2.	<i>Procédé de fabrication</i>	<i>57</i>
2.1.3.	<i>Masques des plaques fabriquées</i>	<i>62</i>
2.2.	CARACTERISATION ELECTRIQUE	65
2.2.1.	<i>Description des bancs de test</i>	<i>65</i>
2.2.2.	<i>Impact de la lumière.....</i>	<i>67</i>
2.2.2.1.	Evolution des paramètres du transistors sous illumination	68
2.2.2.2.	Relaxation dans le noir	69
2.2.3.	<i>Impact de la mesure</i>	<i>71</i>
2.2.3.1.	Impact de la répétition de la mesure	71
2.2.3.2.	Impact de la mesure $I_D(V_G)$ au cours d'un stress électrique	73
2.2.4.	<i>Impact du vieillissement a l'air.....</i>	<i>74</i>
2.3.	CONCLUSIONS	81

2

Au cours de ce chapitre, nous verrons dans un premier temps la fabrication des transistors organiques imprimés au travers des différentes techniques d'impression développées au CEA-Liten, puis le procédé de fabrication utilisé durant cette thèse sera décrit et enfin nous détaillerons la géométrie des OTFTs obtenus.

Ensuite, dans un second temps et afin de s'affranchir de l'impact de divers éléments sur les OTFTs, tels que l'environnement, la mesure et le vieillissement, un protocole expérimental pour la caractérisation électrique sera mis en place et servira de référence tout au long de cette thèse.

2.1. Fabrication des transistors organiques

2.1.1. LES DIFFERENTES TECHNIQUES D'IMPRESSION

Par définition, une technique d'impression consiste au dépôt d'une encre liquide afin de former un motif prédéfini sur un substrat. L'encre est composée d'un solvant dans lequel le matériau à déposer est solubilisé ou dispersé. A la fin du procédé d'impression, un recuit permet l'évaporation du solvant formant ainsi une couche solide du matériau sur le substrat. Il s'agit donc d'une technique de fabrication additive permettant l'économie de matériau par rapport au procédé soustractif et qui comprend peu d'étapes contrairement par exemple à la photolithographie. Ces techniques permettent la réalisation de circuits électroniques à bas coûts et sur grandes surfaces [1], notamment à travers des procédés « roll to roll » déjà utilisés en imprimerie « classique ». Ces techniques permettent un transfert de technologie vers l'industrie, comme au CEA-Liten avec la plateforme PICTIC. Dans la suite, plusieurs procédés d'impression utilisés dans cette plateforme seront détaillés.

2.1.1.1. JET D'ENCRE (INKJET)

Le jet d'encre, à la différence des autres techniques d'impression présentées ici, est un procédé sans contact avec le substrat (voir schéma **Figure 2-1**). Tout d'abord, l'encre homogénéisée est chargée dans la tête d'impression dont la pression interne varie sous l'action d'actuateurs piézoélectriques (ou plus rarement par effet thermique) [2]. Cette variation de pression permet à l'encre d'être projetée sur le substrat à travers des buses. Enfin un recuit permet à l'encre de se solidifier.

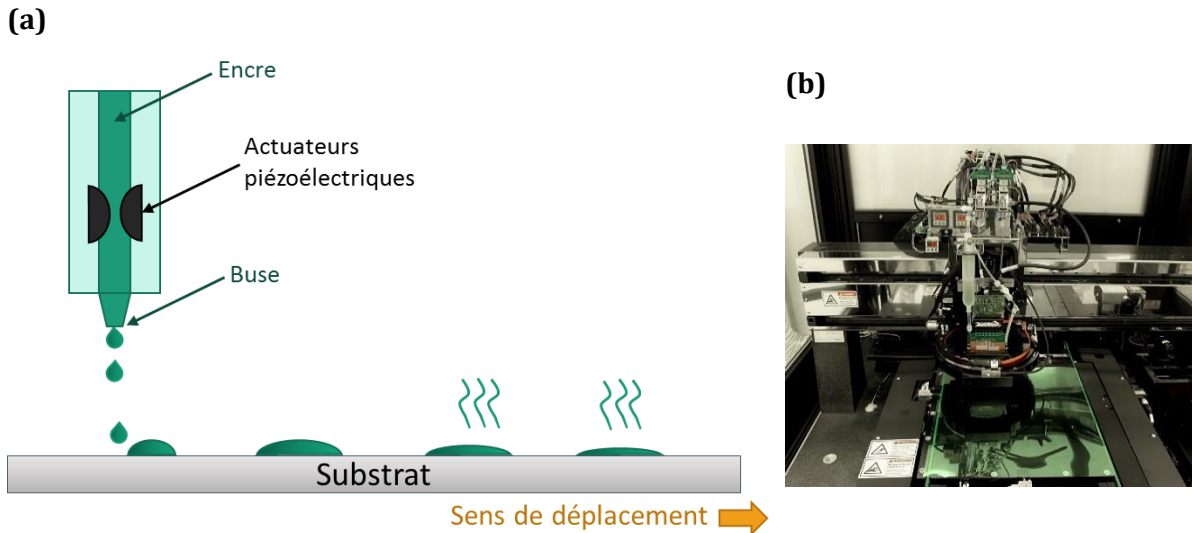


Figure 2-1 : (a) Schéma de principe de l'impression par jet d'encre – adapté de [2] ; **(b)** Photo de la machine d'inkjet de la plateforme PICTIC.

Cette technique d'impression dépend de la viscosité de l'encre et permet notamment l'impression d'encres plus fluides contrairement aux techniques présentées par la suite. Un autre avantage de l'impression par jet d'encre est le fait qu'il n'y ait pas de contact mécanique avec le substrat, évitant ainsi d'endommager les couches précédemment déposées. De plus, il n'y a pas de perte de matière puisque l'encre est uniquement déposée aux endroits voulus. Enfin la création d'un nouveau motif est très rapide puisqu'elle nécessite uniquement la modification d'un fichier informatique dans lequel les motifs sont conçus ; contrairement aux autres techniques d'impression où il faudrait créer un nouveau masque ou cylindre pour chaque modification de motif.

En revanche, la compatibilité de l'encre et de la tension de surface du substrat est un facteur capital pour un dépôt précis en comparaison aux autres techniques d'impression [3]. La dynamique des fluides doit être prise en compte afin d'évaluer le comportement de l'encre une fois projetée sur le substrat, c'est pourquoi des traitements de surface peuvent être appliqués à ce dernier avant le dépôt. De plus, il est important d'homogénéiser l'encre avant l'utilisation pour éviter tout agglomérat qui obstruerait les buses de la tête d'impression.

2.1.1.2. HELIOGRAVURE

L'héliogravure fait partie des techniques d'impression ayant un contact avec le substrat. Elle est très utilisée en imprimerie conventionnelle car facilement transférable à des procédés « roll to roll ». Le principe de fonctionnement de cette méthode repose sur la gravure de cavités sur un cylindre, principalement à l'aide d'un laser [2], afin de reproduire en négatif le motif à imprimer. Lorsque le cylindre tourne, ces gravures se remplissent d'encre et une lame permet d'en retirer l'excédent comme schématisé en **Figure 2-2**. Enfin l'encre est déposée par capillarité sur le substrat lors du contact avec le cylindre [4].

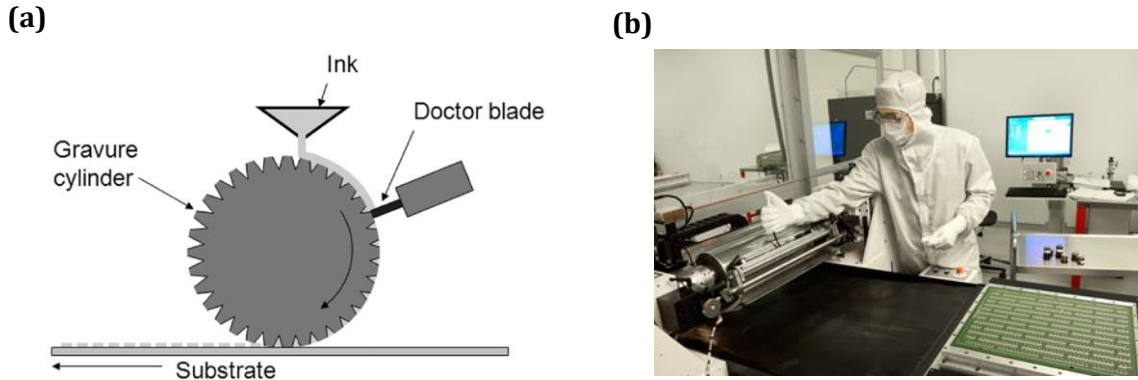


Figure 2-2 : (a) Schéma de principe de l'héliogravure – repris de [4] ; **(b)** Photo de la machine d'héliogravure utilisée à la plateforme PICTIC.

Les facteurs qui ont une influence sur le dépôt sont, entre autres : la taille, la forme et l'espacement des cavités du cylindre de gravure, la viscosité de l'encre, l'angle de la lame, la pression appliquée sur le substrat, la vitesse d'impression...

Cette technique est privilégiée pour des impressions industrielles « roll to roll » et rapides, en revanche elle ne permet pas une grande précision (résolution entre 50 et 200 μm), notamment pour produire des motifs à angle droit [3].

2.1.1.3. SERIGRAPHIE

La sérigraphie est une technique d'impression qui consiste à faire passer de l'encre à travers un écran composé de trous représentant le motif voulu, comme le montre le schéma de la **Figure 2-3**. Ce procédé est dépendant de la viscosité de l'encre, de la largeur du maillage de l'écran par rapport à la taille des particules, de la pression exercée par la lame et de sa vitesse de déplacement. Son principal avantage est la reproductibilité du motif, notamment en termes d'épaisseur. En revanche tous les matériaux ne sont pas nécessairement adaptables en termes de viscosité à cette méthode d'impression.

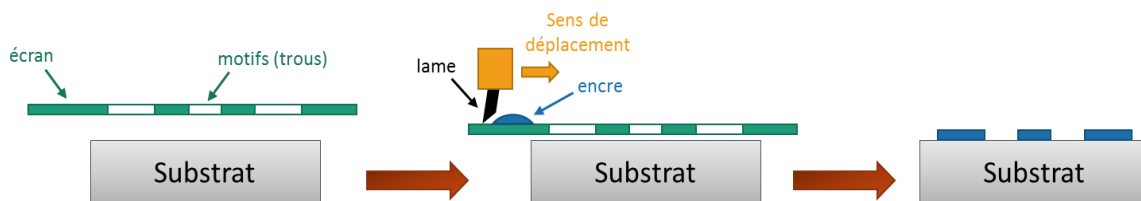


Figure 2-3 : Schéma de principe de la sérigraphie.

Cette dernière technique sera utilisée au cours de la thèse lors du procédé de fabrication des OTFTs.

2.1.2. PROCEDE DE FABRICATION

Les transistors organiques utilisés dans cette thèse ont une structure grille haute et contacts bas (TGBC : top-gate bottom-contacts) comme expliqué dans le premier chapitre. Leur procédé de fabrication est représenté sur la **Figure 2-4**.

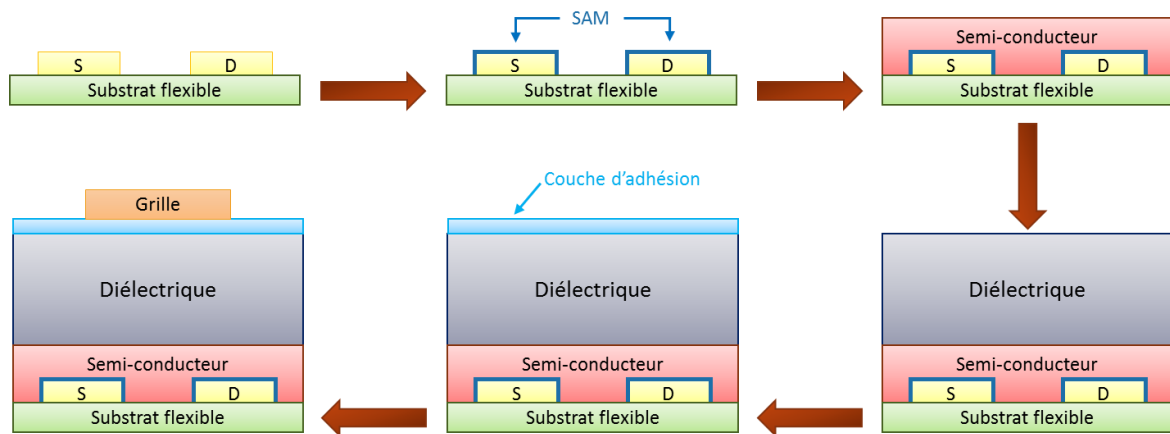


Figure 2-4 : Schéma du procédé de fabrication complet d'un transistor organique grille haute et contacts bas.

Electrodes source et drain

Des contacts en or de 30nm correspondant aux électrodes source et drain sont définis par photolithographie sur un substrat plastique flexible (Polyéthylène Naphtalate – PEN) de 125µm d'épaisseur.

La photolithographie s'opère en plusieurs étapes (voir **Figure 2-5**). Tout d'abord, une couche de résine photosensible est déposée sur un substrat recouvert d'or. Après le recuit de la résine, un masque représentant le dessin en négatif ou positif selon le type de résine du motif à graver est aligné sur celle-ci. Certaines zones de la photorésine sont alors insolées par un rayonnement UV, leur solubilité augmente par un réarrangement moléculaire laissant l'or apparaître au cours du bain de développement. La gravure chimique de l'or est ensuite réalisée, le motif voulu étant alors protégé par la résine restante. Enfin, la structure est entièrement insolée afin de retirer toute la résine, laissant ainsi le motif des contacts en or.

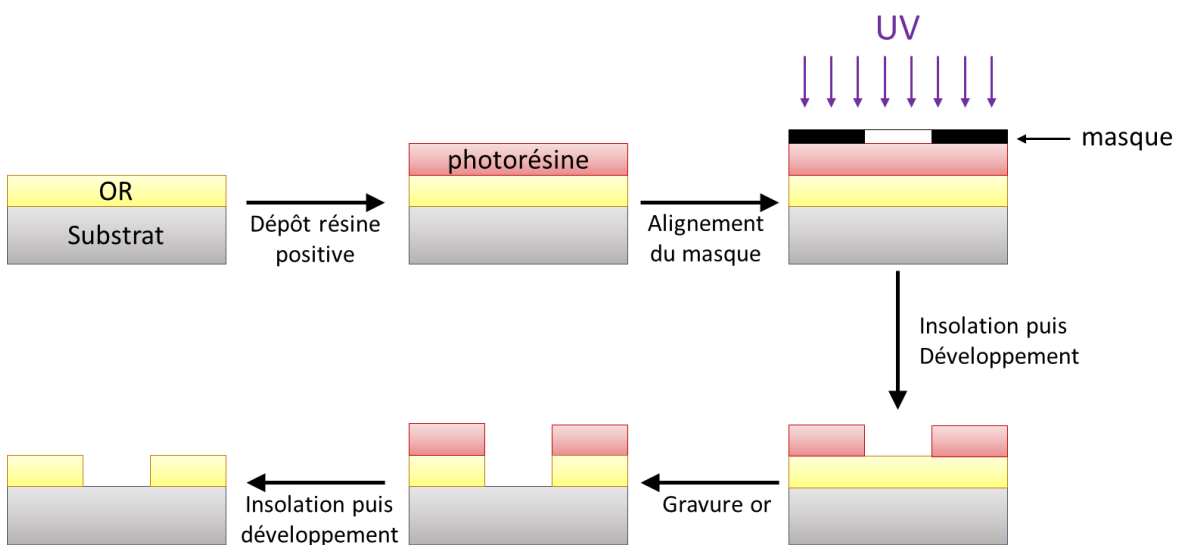


Figure 2-5 : Schéma de principe de la photolithographie avec l'exemple d'une photorésine positive.

Les électrodes source et drain ne sont pas imprimées pour deux raisons principales. Tout d'abord, l'espacement entre les électrodes, qui représente la longueur du canal, doit être parfaitement contrôlé. Celle-ci peut descendre jusqu'à 5µm dans notre cas, précision qui n'est actuellement pas atteignable pour les techniques d'impression avec la meilleure résolution. Ensuite, la photolithographie permet l'utilisation de l'or pur qui permet une meilleure injection de charge dans le canal grâce à son travail de sortie bas de - 4,9eV [5]. En effet, la barrière énergétique à franchir pour permettre l'injection des trous est égale à la différence entre le travail de sortie du semi-conducteur et celui du métal (**Figure 2-6**).

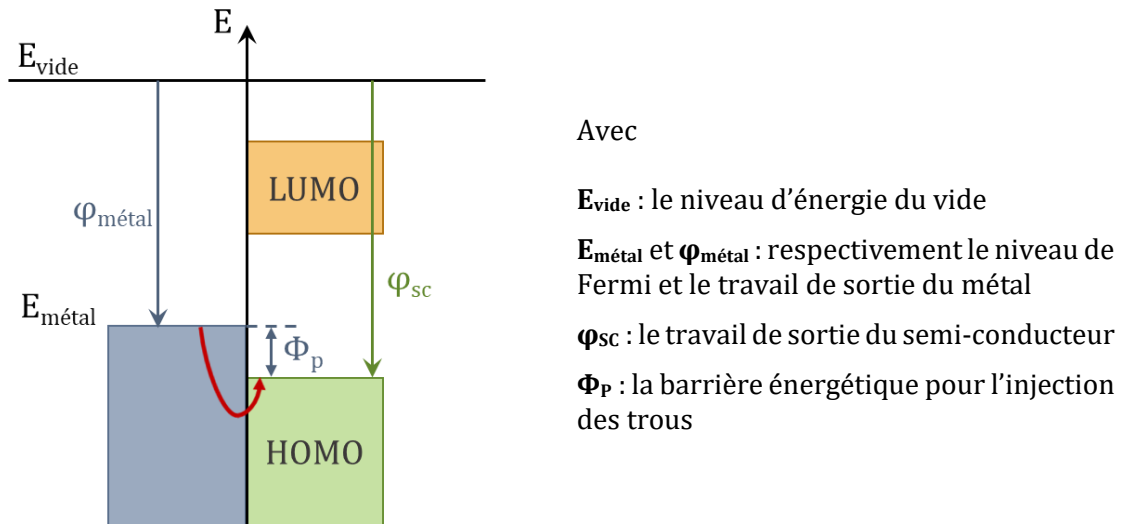


Figure 2-6 : Diagramme de bandes d'une jonction métal/semi-conducteur organique. L'injection des porteurs de charges, ici des trous, est représentée par la flèche rouge.

La majorité des semi-conducteurs organiques ont des HOMO se situant entre -4.5 et -6.5eV [6][7] (dans notre cas $\phi_{HOMO_SP400} = -5.3$ eV). Or selon Mitra et al., les encres argent utilisées en impression ont, quant à elles, des travaux de sortie compris entre -3.7 et -4.3 eV [8]. Ainsi l'or, possédant le travail de sortie le plus bas en comparaison avec d'autres métaux, est donc largement utilisé en électronique organique.

SAM (Self-Assembled Monolayer)

Un plasma oxygène est ensuite appliqué aux contacts en or, changeant ainsi leur état de surface pour améliorer le greffage d'une SAM (Self-Assembled Monolayer). En effet, comme vu précédemment, la barrière énergétique entre le métal et le semi-conducteur peut parfois s'avérer trop grande pour l'injection des porteurs de charges. Deux solutions, représentées en **Figure 2-7**, sont alors possibles. D'une part, l'ajout d'une couche d'un matériau ayant un travail de sortie intermédiaire et servant de couche « tampon » permettant une injection en deux étapes. D'autre part, l'utilisation d'une SAM, qui permet d'abaisser la barrière d'injection par la création d'un dipôle Δ à l'interface électrode/semi-conducteur [9].

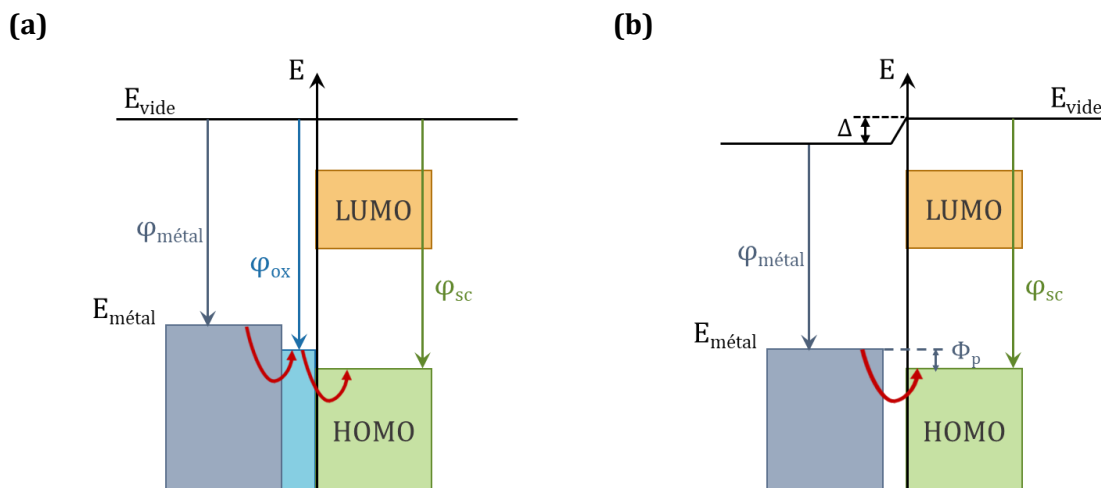


Figure 2-7 : Diagramme de bandes représentant l'injection (flèche rouge) des trous après l'ajout d'une couche d'injection – adapté de [10]. **(a)** Insertion d'un matériau ayant un travail de sortie (ϕ_{ox}) intermédiaire entre le métal et le semi-conducteur organique permettant l'injection des trous en deux étapes. **(b)** Ajout d'une SAM permettant la baisse de la barrière d'injection Φ_p grâce à la création d'un dipôle Δ à l'interface électrode/semi-conducteur : $\Phi_p = \phi_{sc} - \phi_{m\acute{e}tal} - \Delta$.

Dans notre cas, le dépôt d'une SAM permet donc l'amélioration de l'injection des porteurs de charges et donc des performances des OTFTs.

Semi-conducteur

Après le greffage d'une SAM sur les électrodes permettant d'améliorer le contact, un semi-conducteur polymère de type P (SP400 de Merck lisicon®) a été déposé par enduction centrifuge (tournette Specialty Coating Systems – G3P-12) pour obtenir une épaisseur de l'ordre de 60 nm.

L'enduction centrifuge (ou spin-coating) est une technique de dépôt de couches minces nécessitant très peu d'encre. Le matériau est déposé au centre du substrat maintenu par du vide sur un plateau tournant. Ce dernier se met alors en route et le matériau s'étale uniformément sur le substrat par action de la force centrifuge, voir **Figure 2-8**. Enfin un recuit permet l'évaporation des solvants et le durcissement de la couche. L'épaisseur de celle-ci dépend principalement de la vitesse de rotation du plateau, de son accélération, de la concentration de la solution déposée, de sa viscosité et des solvants utilisés. L'uniformité de la couche est quant à elle très sensible à la propreté du substrat.

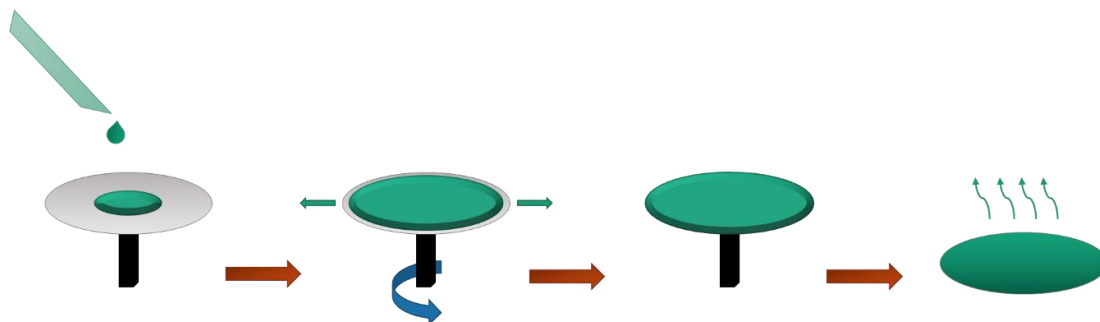


Figure 2-8 : Schéma de principe de l'enduction centrifuge (spin-coating).

Il ne s'agit pas à proprement parler d'une technique d'impression puisqu'aucun motif ne peut être reproduit avec cette méthode contrairement, par exemple, à la sérigraphie. Cette technique a cependant été choisie pour la thèse, car déposer le semi-conducteur en pleine couche permet d'obtenir une couche uniforme sur toute la plaque et donc pour chaque transistor. On s'affranchit ainsi des effets de bord que l'on peut avoir avec les techniques d'impression.

Diélectrique

Le diélectrique d'environ 700 nm d'épaisseur a ensuite été imprimé par la machine de sérigraphie EKRA – X5STS (voir **Figure 2-9**) dont le mécanisme est expliqué au paragraphe 2.1.1. L'isolant utilisé est par défaut un polymère fluoré (D139 de Merck lisicon®) mais des expériences de comparaison avec un diélectrique non fluoré (D320 de Merck lisicon ®) ont également été réalisées.



Figure 2-9 : Photo de la machine de sérigraphie EKRA – X5STS utilisée au cours de cette thèse.

Afin d'améliorer l'accroche de l'encre de grille sur le diélectrique hydrophobe, une couche d'adhésion (AP43 de Merck lisicon ®) a été déposée par spin-coating. L'épaisseur de celle-ci est d'environ 20nm et donc très faible, voire négligeable par rapport à celle du diélectrique.

Grille

Enfin, deux grilles ont été étudiées dans le cadre de cette thèse : une grille en encre argent imprimée par sérigraphie selon le mécanisme du paragraphe 2.1.1 et une grille en or d'environ 30nm et déposée par pulvérisation cathodique.

Cette dernière méthode permet le dépôt de couche mince grâce à une différence de potentiel entre la cible, composée d'or ici, et le substrat. En effet, après avoir introduit la cible et le substrat dans une enceinte mise sous vide dans un premier temps puis dans une atmosphère d'argon dans un second temps, un champ électrique est alors appliqué permettant la création d'un plasma composé de particules chargées. Ces dernières, attirées par la cathode lorsqu'elles sont positives, vont entrer en collision avec la cible d'or, résultant en une pulvérisation de ces atomes qui vont alors se fixer sur le substrat, voir **Figure 2-10**. Un masque préalablement aligné permettra un dépôt précis de l'or.

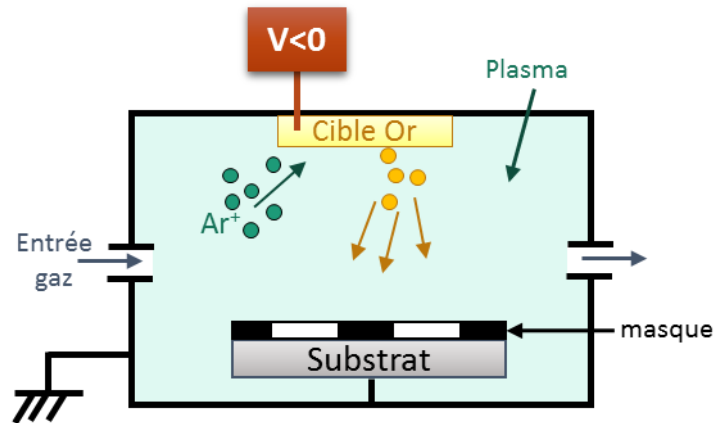


Figure 2-10 : Schéma de principe de la pulvérisation cathodique permettant un dépôt d'or.

2.1.3. MASQUES DES PLAQUES FABRIQUEES

Le schéma général des transistors fabriqués durant cette thèse est représenté en **Figure 2-11**. Les étapes de fabrication détaillées précédemment permettent la réalisation de 475 ou 560 OTFTs sur une plaque de 11cmx11cm suivant le design utilisé.

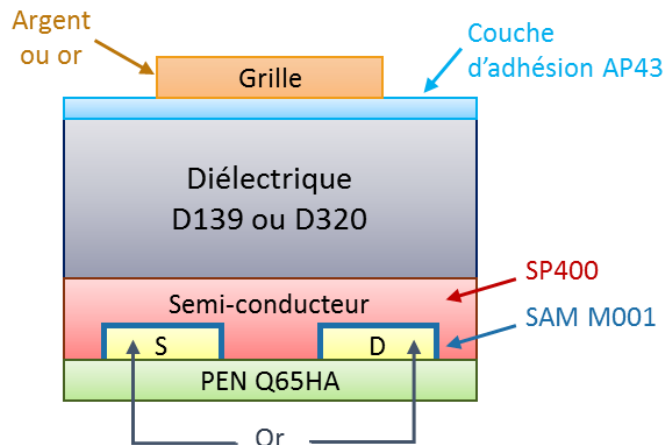


Figure 2-11 : Schéma de coupe d'un transistor organique fabriqué et étudié durant cette thèse.

En effet deux masques de plaques de transistors ont été utilisés au cours de la thèse.

Masque Polaris

Le masque Polaris (voir **Figure 2-12**) comporte 475 transistors répartis en 25 modules avec différentes valeurs de W et L . Il s'agit de transistors « multifingers » ou multi-doigts (voir **Figure 2-13**) dont la largeur totale W_T varie entre 500 et 7980 μm pour des longueurs de canal allant de 5 à 100 μm . De plus il est à noter que chaque transistor possède des plots de contacts (S, D, G) individuels. Enfin deux modules du masque Polaris correspondent à des capacités MIM (Métal-Isolant-Métal). Lors de la fabrication, la couche de SCO déposée sera retirée au niveau de ces modules, laissant un empilement MIM en fin de procédé.

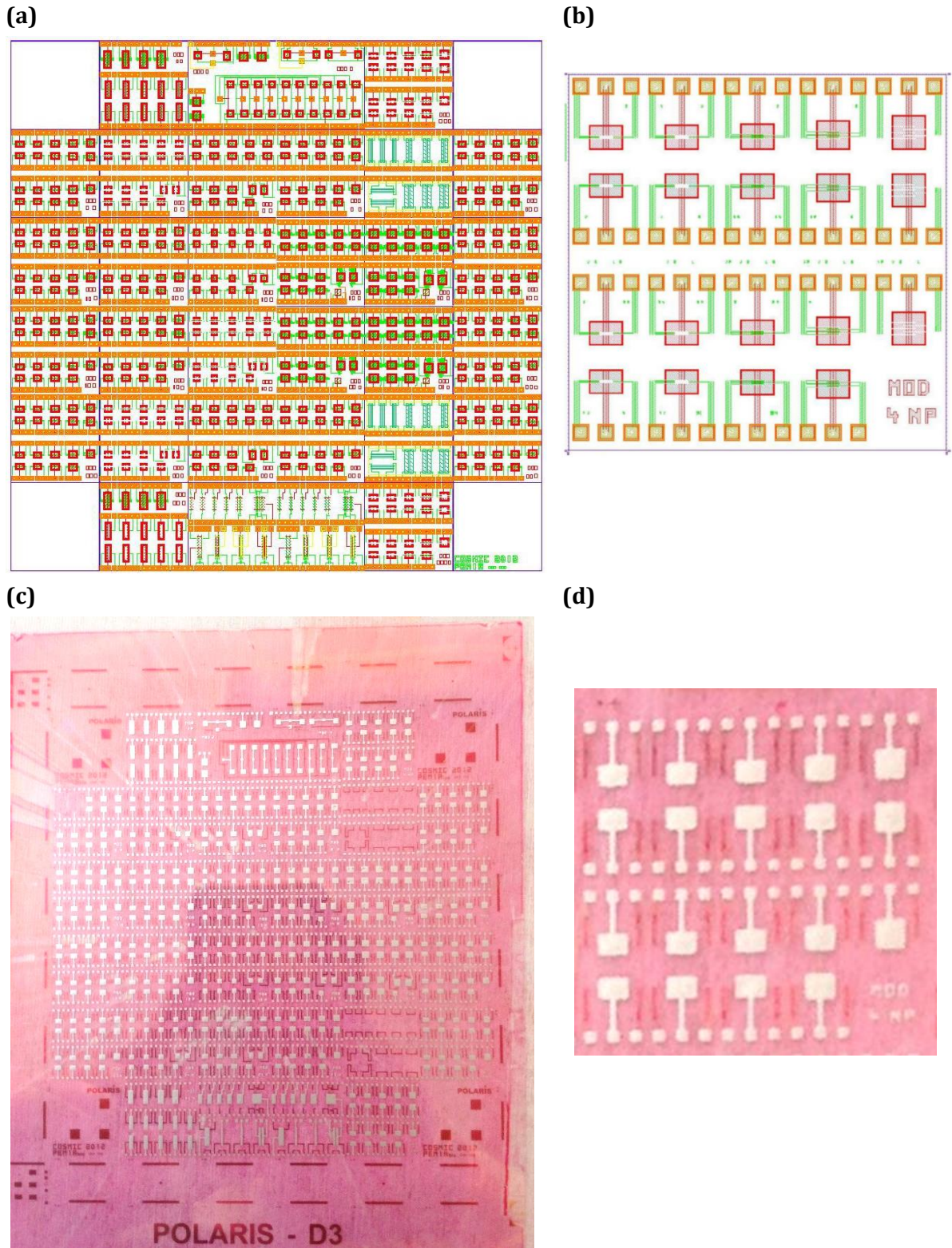


Figure 2-12 : (a) Layout du masque Polaris. (b) Représentation d'un module. (c) Photo d'une plaque Polaris après fabrication. (d) Photo d'un module comportant 19 OTFTs avec $W_T=2000\ \mu\text{m}$ et $L=5, 10, 20, 50$ et $100\ \mu\text{m}$.

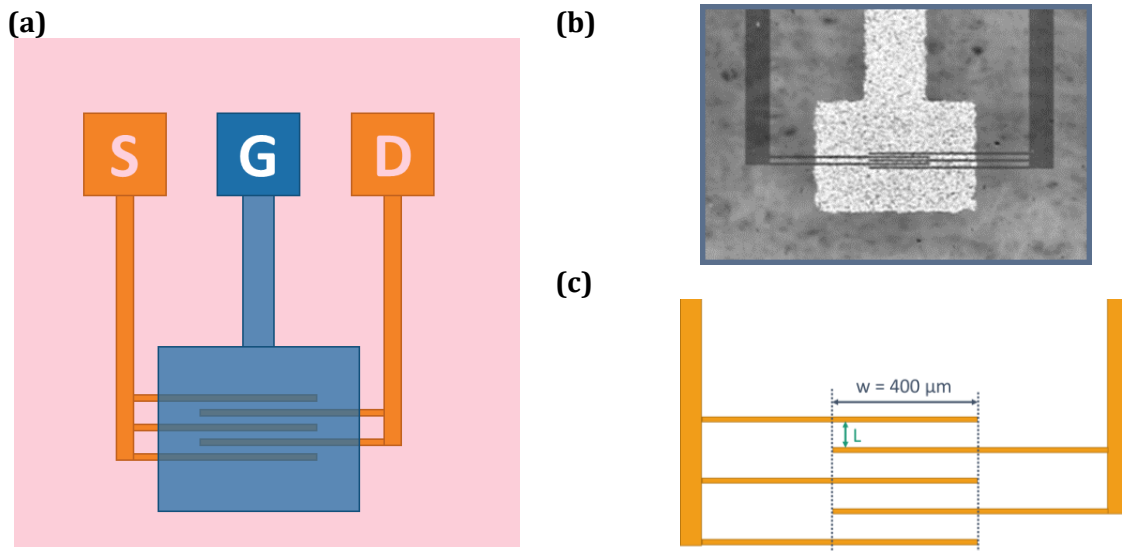


Figure 2-13 : (a) Représentation schématique et photo (b) d'un transistor multi-doigts. (c) Représentation schématique de la longueur L et de la largeur de canal sur un OTFT multi-doigts, ici $W_T = 5 \times w = 2000 \mu\text{m}$.

Les avantages de ce masque sont donc les contacts individuels permettant d'isoler chaque transistor ou module si besoin et également la variété de couples (W, L).

Masque Backplane

Le masque Backplane est composé de 3 cadrans de 196 transistors et d'un 4^{ème} de 168 OTFTs et de 28 capacités MIM (Métal-Isolant-Métal), comme le montre la **Figure 2-14**.

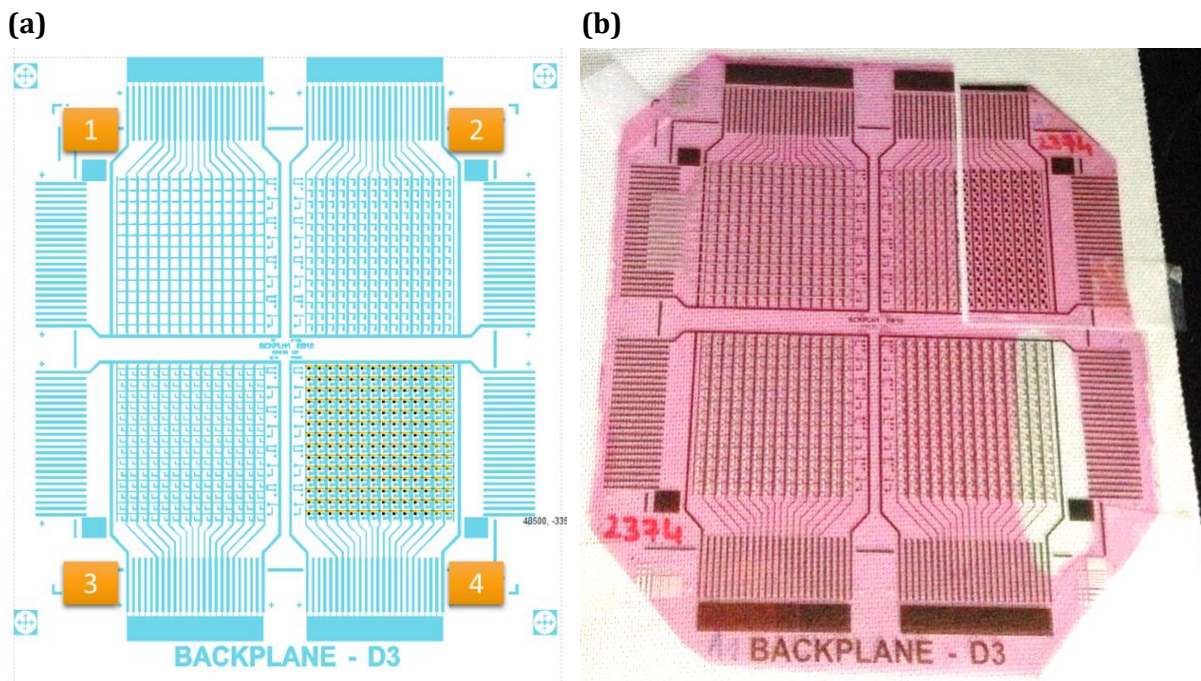


Figure 2-14 : (a) Layout du masque Backplane (b) Photo d'une plaque Backplane après fabrication. Il est à noter que le cadran 2 a été divisé pour permettre le dépôt de deux grilles différentes (argent et or). De plus, une partie du semi-conducteur du cadran 4 a été détournée pour obtenir des capacités MIM (métal-isolant-métal) en fin de fabrication.

Chaque cadran a été conçu pour répondre à des besoins spécifiques. Par exemple, dans le premier quart, les sources sont reliées entre elles, tout comme les drains et les grilles, ce qui permet de tester cette partie de la plaque comme une matrice pour l'adressage. En ce qui concerne le cadran 4, et contrairement au reste de la plaque, les couples (W, L) des canaux des OTFTs ne sont pas tous les mêmes : W varie entre 125 et 500 μm tandis que L varie de 5 à 100 μm . De plus, les deux dernières colonnes correspondent à des capacités MIM qui seront utilisées pour mesurer précisément le C_{ox} . En effet, lors de la fabrication des OTFTs et après le dépôt par spin-coating du semi-conducteur, ces colonnes ont été détournées pour ne laisser qu'un empilement MIM (or/diélectrique/grille) à la fin du procédé de fabrication. Comme pour la configuration Polaris, tous les OTFTs sont multi-doigts.

Par la suite, le cadran 2 correspondant à 196 transistors identiques avec $W = 500 \mu\text{m}$ et $L = 20 \mu\text{m}$, sera principalement utilisé.

2.2. Caractérisation électrique

2.2.1. DESCRIPTION DES BANCS DE TEST

Plusieurs bancs de test disponibles au CEA-Liten et à l'IMEP-LaHC ont été utilisés au cours de cette thèse suivant les besoins de mesure.

Station sous pointes manuelle

Le banc de test manuel composé d'un analyseur de paramètres Agilent 4156C (voir **Figure 2-15**) a été utilisé pour réaliser des mesures $I(V)$ comme des courbes de transfert et des courbes de sortie. La station qui comporte également un capacimètre Agilent E-4980A permet également de faire des mesures $C(V)$. De plus il est associé avec un système de modulation de température Signatone S-1060 series couplé à un refroidisseur à circulation Julabo permettant de chauffer ou refroidir le chuck où se situe la plaque de transistors. Par la suite, cet ensemble sera utilisé pour des mesures de stress en tension à différentes températures (de 280 à 315K).

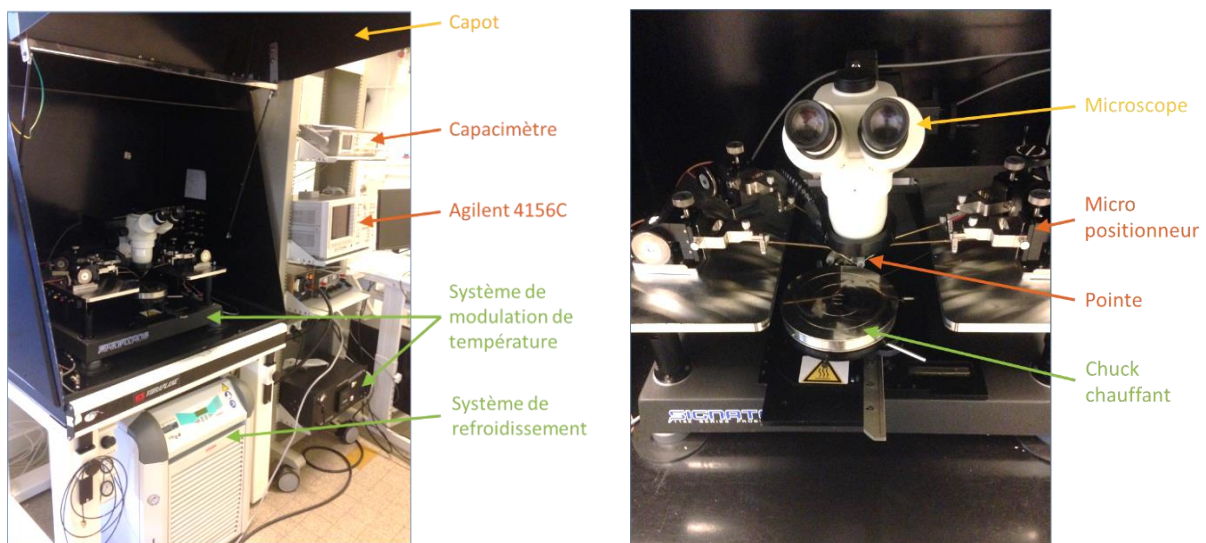
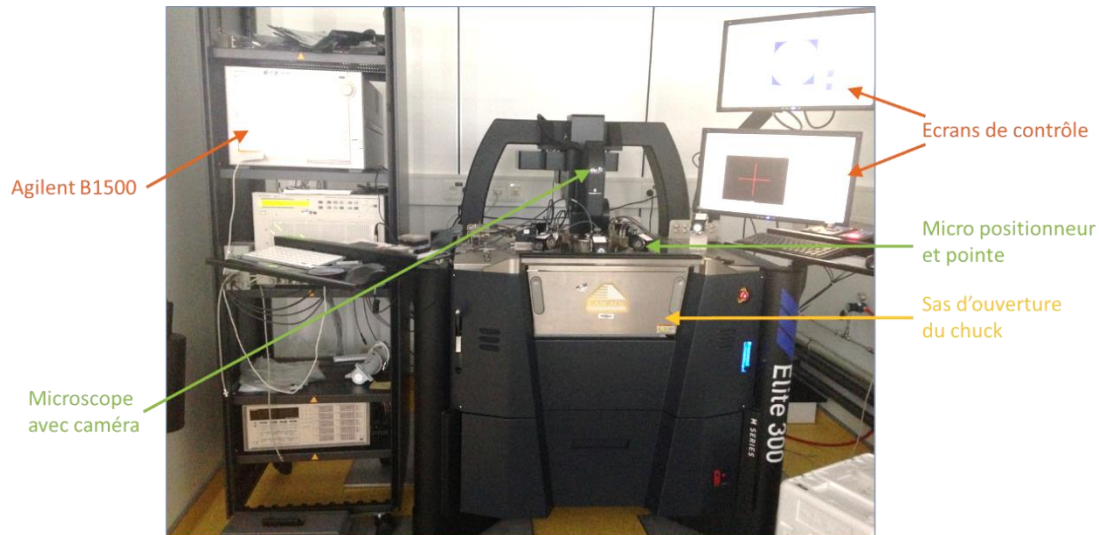


Figure 2-15 : Photos de la station sous pointes manuelle avec à droite un zoom sur le chuck et les pointes.

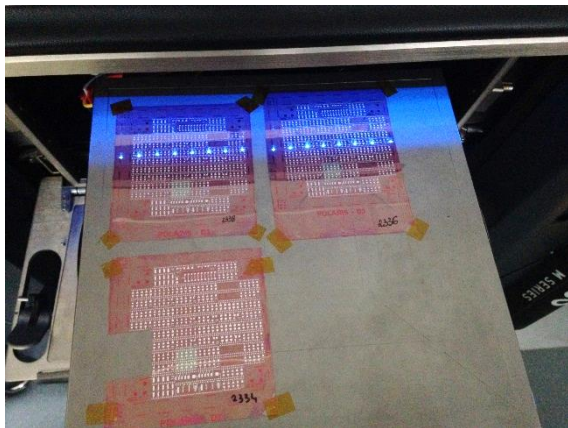
Station sous pointes automatique

Le banc de mesure Cascade Microtech – Elite 300M series couplé à un appareil de mesure Agilent B1500, (**Figure 2-16**), est composé d'un chuck motorisé permettant de déplacer les pointes automatiquement suivant les cartographies des plaques de transistors. Il sera utilisé pour les campagnes de stress en tension mais également pour effectuer des mesures $I(V)$ des nombreux transistors d'une plaque beaucoup plus rapidement qu'avec le banc manuel.

(a)



(b)



(c)

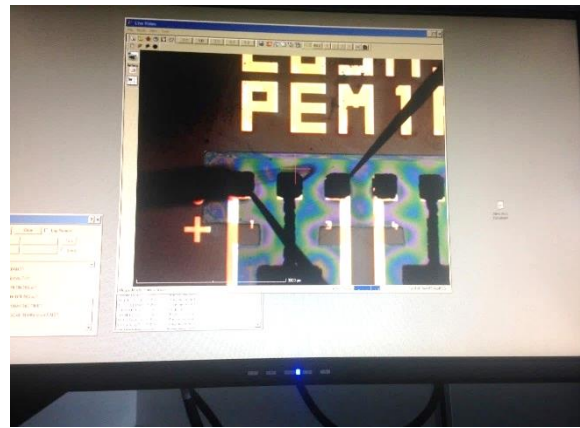
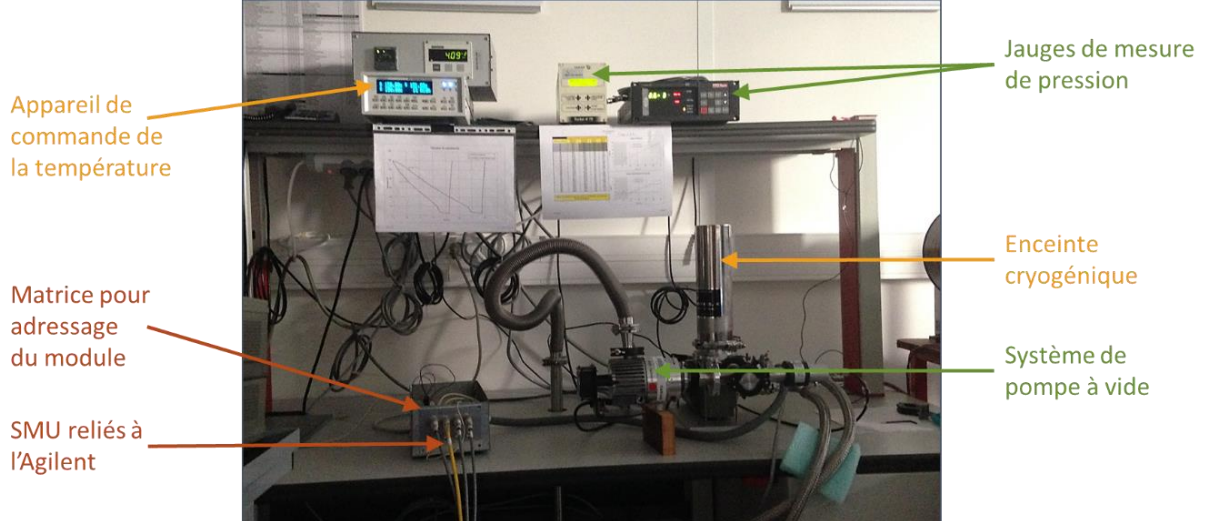


Figure 2-16 : (a) Photo de la station sous pointes automatique (b) Photo de plaques Polaris sur le chuck ouvert (c) Photo des pointes posées sur un transistor d'une plaque Polaris.

Cryostat

Enfin des mesures à basses températures ont été réalisées à l'IMEP-LaHC grâce à un système de refroidissement à azote liquide ST-100 Janis Research, une sonde Karl Suss Microtec, et un appareil de mesure Agilent B1500, voir **Figure 2-17**. Cet ensemble permet de faire des mesures à des températures allant de 300K à 30K. Il est à noter que les contacts des transistors sont déportés grâce à l'utilisation d'un module (**Figure 2-17c**) qui sera disposé dans l'enceinte cryogénique. Le protocole expérimental ainsi que les résultats de ces expériences à basses températures seront présentés plus en détails dans le chapitre suivant.

(a)



(b)



(c)

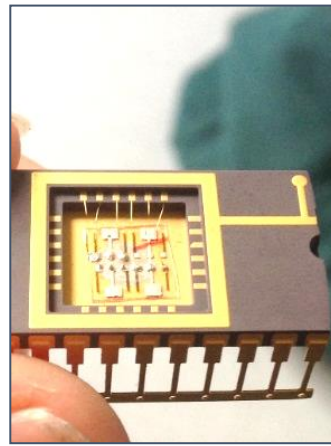


Figure 2-17 : (a) Photo du cryostat à l'IMEP-LaHC (b) Photo de la matrice pour l'adressage des différents OTFTs du module (c) Photo d'un module avec 4 transistors ayant des contacts déportés par wirebonding.

2.2.2. IMPACT DE LA LUMIERE

Afin de pouvoir positionner les pointes sur les contacts du transistor, il est nécessaire d'allumer la lumière du microscope. Or nous avons observé que les caractéristiques des OTFTs étaient fortement impactées par celle-ci. En effet, une montée du courant de drain I_{OFF} de plusieurs décades associée à une dégradation de la pente sous le seuil a été observée en présence de lumière. Cependant, ces changements sont réversibles et les caractéristiques du transistor se stabilisent après relaxation dans le noir pendant une durée suffisamment longue. Ainsi, l'évaluation de ce temps de repos est essentielle afin de pouvoir effectuer des mesures dans les mêmes conditions pour tous les dispositifs.

2.2.2.1. EVOLUTION DES PARAMETRES DU TRANSISTORS SOUS ILLUMINATION

Avant d'étudier la relaxation dans le noir de nos dispositifs, il est important de connaître la dynamique de la montée du courant I_{OFF} sous illumination. La **Figure 2-18a** montre l'évolution des courbes de transfert du transistor pendant 5 heures d'exposition à la lumière du microscope.

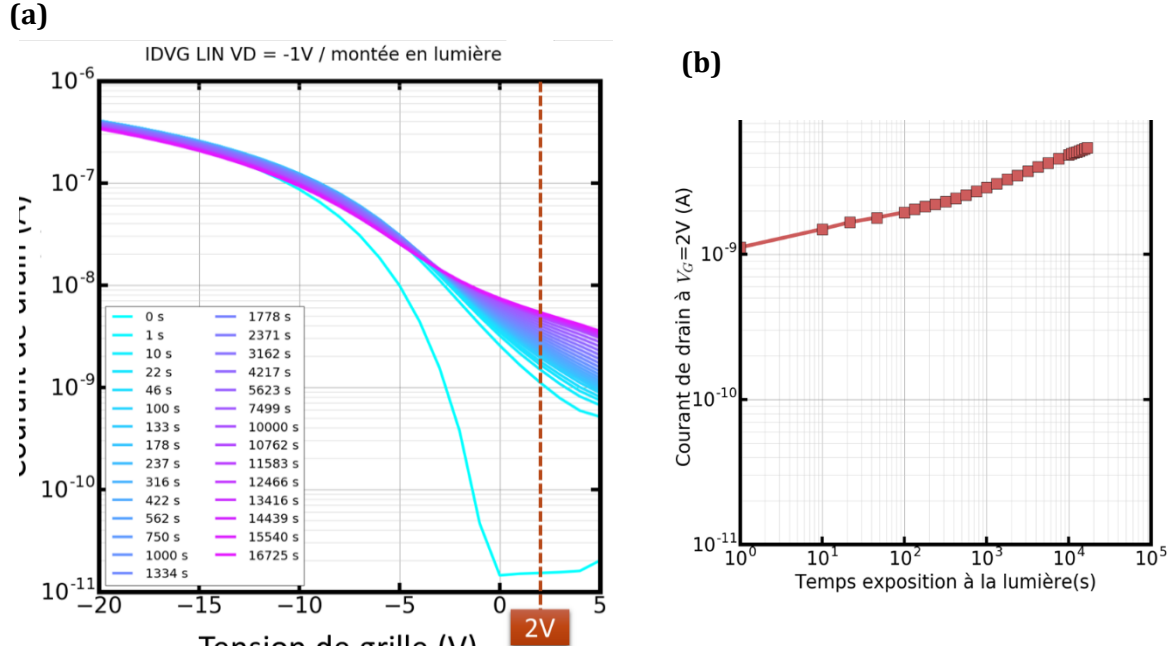


Figure 2-18 : **(a)** Courbes de transferts mesurées pendant près de 5 heures sous illumination. La lumière du microscope a été allumée après la mesure à $t = 0s$. **(b)** Montée en lumière du courant de drain I_{OFF} à $V_G=2V$ durant l'exposition à la lumière. $W = 500 \mu m$, $L = 20 \mu m$.

La première mesure au temps $t=0s$ correspond à la courbe $I_D(V_G)$ stabilisée après une nuit dans le noir. On observe un courant de drain à $V_G=2V$ (I_{OFF}) proche de 10^{-11} A. Après cette mesure initiale, la lumière du microscope est allumée et des courbes de transfert sont régulièrement mesurées. L'augmentation du courant I_{OFF} est très rapide puisque après une seconde sous illumination, le courant atteint 10^{-9} A, soit une augmentation de deux décades. Le banc de test utilisé ne permet pas la mesure pour des temps inférieurs à une seconde.

L'évolution en échelle logarithmique du courant I_{OFF} à $V_G=2V$ en fonction du temps d'exposition à la lumière est représentée en **Figure 2-18b**. La courbe obtenue ne semble pas saturer même après environ 5h d'exposition. En effet, le courant I_{OFF} suit une loi en puissance en t^α avec $\alpha < 1$ correspondant à une augmentation monotone de moins en moins importante au cours du temps mais sans saturation.

Des expériences avec des filtres colorés pour limiter l'impact de la lumière du microscope ont été réalisées mais sans réelle amélioration. En effet, la courbe d'absorption du semi-conducteur indique qu'il est sensible à une large gamme de longueur d'onde dans le visible (**Figure 2-19**). Ainsi les filtres ne sont pas suffisants pour pallier l'influence de la lumière.

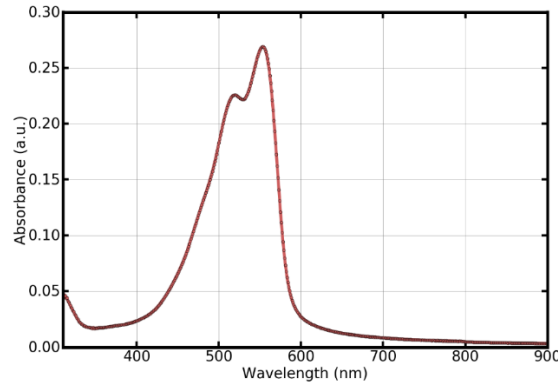


Figure 2-19 : Spectre d'absorption du semi-conducteur SP400 pour 60 nm d'épaisseur.

Ainsi, pour remédier à l'impact de la lumière sur les caractéristiques électriques des OTFTs et pour pouvoir les mesurer dans les mêmes conditions, il est crucial de déterminer le temps de relaxation nécessaire dans le noir avant d'effectuer une mesure.

2.2.2.2. RELAXATION DANS LE NOIR

Comme vu précédemment, une seconde d'exposition à la lumière suffit à une augmentation du courant I_{OFF} de deux décades ce qui correspond au 2/3 de l'augmentation après 5h. L'effet de la lumière est donc immédiat, mais le temps d'exposition a-t-il une influence sur le temps de relaxation dans le noir ?

Dans un premier temps, un OTFT a été exposé à la lumière du microscope pendant 10 min. Ce temps simule la mise en place de la plaque de transistors et des pointes. Après 10 min d'exposition, la lumière du microscope est éteinte et des mesures de courbes de transfert sont ponctuellement réalisées (**Figure 2-20a**) afin d'observer l'évolution des caractéristiques du transistor pendant la relaxation dans le noir complet. Dans un second temps, une expérience similaire a été réalisée, cette fois-ci avec un temps d'exposition à la lumière plus important de 5h (**Figure 2-20b**).

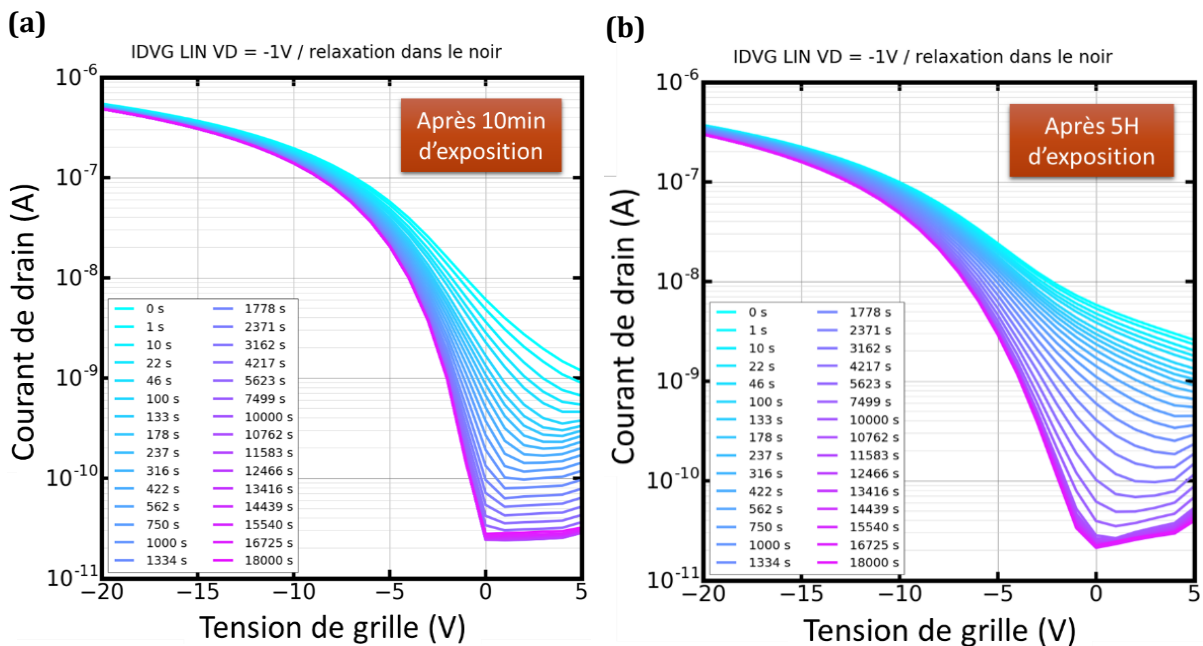


Figure 2-20 : Courbes de transfert mesurées pendant 5 heures dans le noir après une exposition à la lumière du microscope de (a) 10mn et (b) 5h. $W = 500 \mu\text{m}$, $L = 20 \mu\text{m}$.

Une amélioration de la pente sous le seuil et une baisse du courant de drain à $V_G=2V$ (I_{OFF}) sont bien observées au cours de la relaxation dans le noir, aboutissant à une valeur de courant I_{OFF} similaire quelle que soit la durée de l'exposition initiale à la lumière. Ainsi le phénomène semble réversible en ce qui concerne le courant I_{OFF} qui, après 5h dans le noir, est proche de 10^{-11} A comme observé précédemment avant l'exposition à la lumière. L'évolution en échelle logarithmique du courant I_{OFF} en fonction du temps de relaxation dans le noir est représentée en **Figure 2-21**.

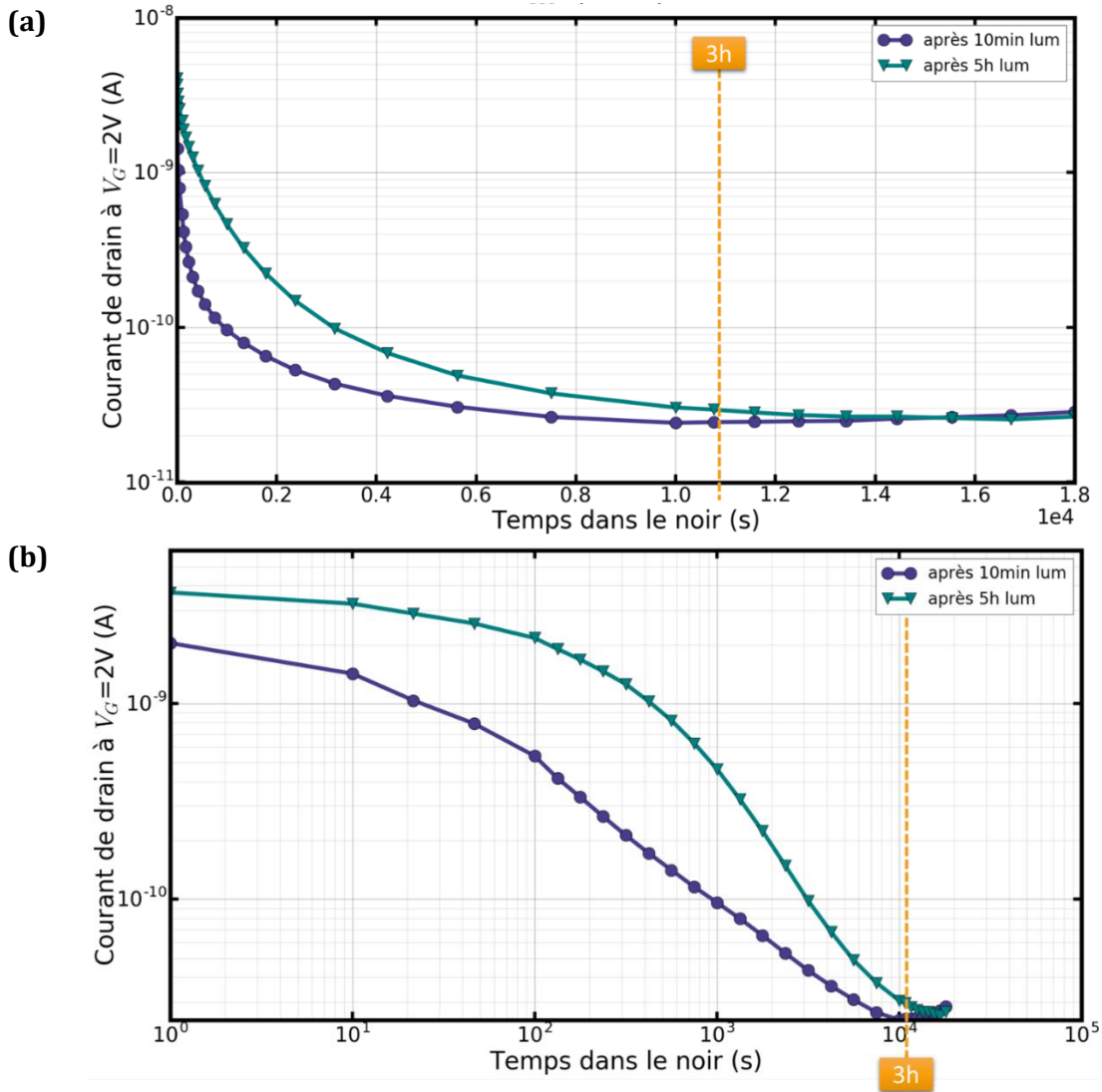


Figure 2-21 : Evolution du courant de drain à $V_G=2V$ (I_{OFF}) dans le noir après exposition à la lumière du microscope pendant 10 min ou pendant 5h **(a)** en échelle linéaire et **(b)** en échelle logarithmique dans le temps. $W = 500 \mu m$, $L = 20 \mu m$.

Tout comme pour la montée en lumière, on observe une forte variation du courant I_{OFF} dans les premiers temps (diminution d'une décade environ en 1000 s soit approximativement 16 min). En revanche, après 3h dans le noir, le courant I_{OFF} semble stable quelle que soit la durée de l'exposition initiale sous lumière. En effet, même si aucune saturation de la montée du courant I_{OFF} en lumière n'est observée durant 5h, il faudra environ le même temps de repos dans le noir (3h) pour aboutir à une valeur du courant I_{OFF} stable. Quelle que soit la durée de l'exposition sous lumière, on obtient une relaxation complète après environ 3 heures dans le noir. Par la suite, un temps de repos dans le noir de 3h sera observé avant chaque mesure de transistor.

En résumé, la sensibilité à la lumière des transistors se traduit principalement par une montée du courant I_{OFF} et une dégradation de la pente sous le seuil. Une exposition à la lumière blanche du microscope induit une augmentation de plusieurs décades du courant I_{OFF} dès la première seconde. Un temps de relaxation dans le noir de 3h permet la stabilisation des caractéristiques électriques du transistor.

2.2.3. IMPACT DE LA MESURE

Après avoir étudié l'influence de la lumière sur les caractéristiques électriques des transistors, il est important de savoir si la mesure elle-même n'a pas également un impact sur celles-ci.

2.2.3.1. IMPACT DE LA REPETITION DE LA MESURE

Afin de pouvoir extraire les paramètres du transistor par les méthodes expliquées dans le premier chapitre, des courbes de transfert ont été mesurées deux fois de suite suivant les conditions habituellement utilisées pour ces transistors.

En régime linéaire

Tout d'abord la répétition de la mesure a été observée en régime linéaire (**Figure 2-22**) avec : $V_{DS} = -1V$ et V_{GS} variant de +10 à -30V par pas de -0.5V.

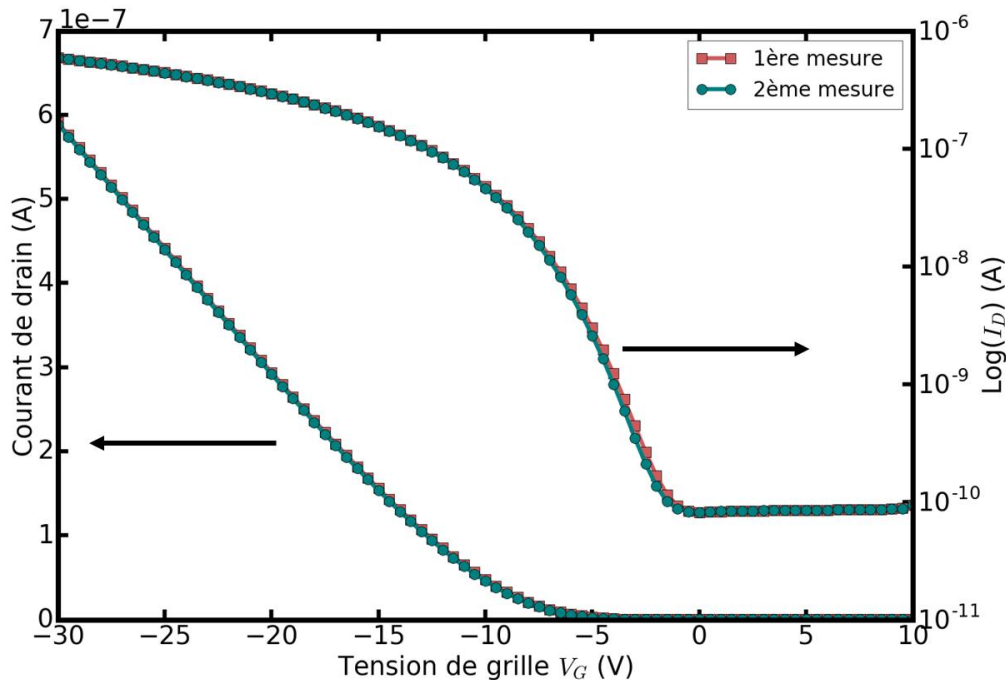


Figure 2-22 : Courbes de transfert mesurées en régime linéaire ($V_D = -1V$) deux fois de suite représentées en échelle linéaire à gauche et en échelle logarithmique à droite. $W = 500 \mu m$, $L = 20 \mu m$.

Un léger décalage vers les tensions négatives est observé pour la 2^{ème} courbe de transfert par rapport à la courbe initiale. En effet, on observe une très faible diminution de la tension de seuil de 100mV, ce qui correspond à environ 1% de la valeur initiale (**Table 2-1**). Les autres paramètres, mobilité (μ) et pente sous le seuil (SS) ne sont pas impactés.

Table 2-1 : Extraction par la méthode Y des paramètres du transistor mesuré deux fois de suite en régime linéaire.

	1 ^{ère} mesure (t=0s)	2 ^{ème} mesure (t=20s)
V_T (V)	-10.2	-10.3
μ (cm ² /V.s.)	0.75	0.75
SS (V/dec)	2.3	2.3

En régime saturé

Par la suite, la répétition de la mesure a été étudiée en régime saturé (**Figure 2-23**), avec : $V_{DS} = -30V$ et V_{GS} variant de +10 à -30V par pas de -0.5V

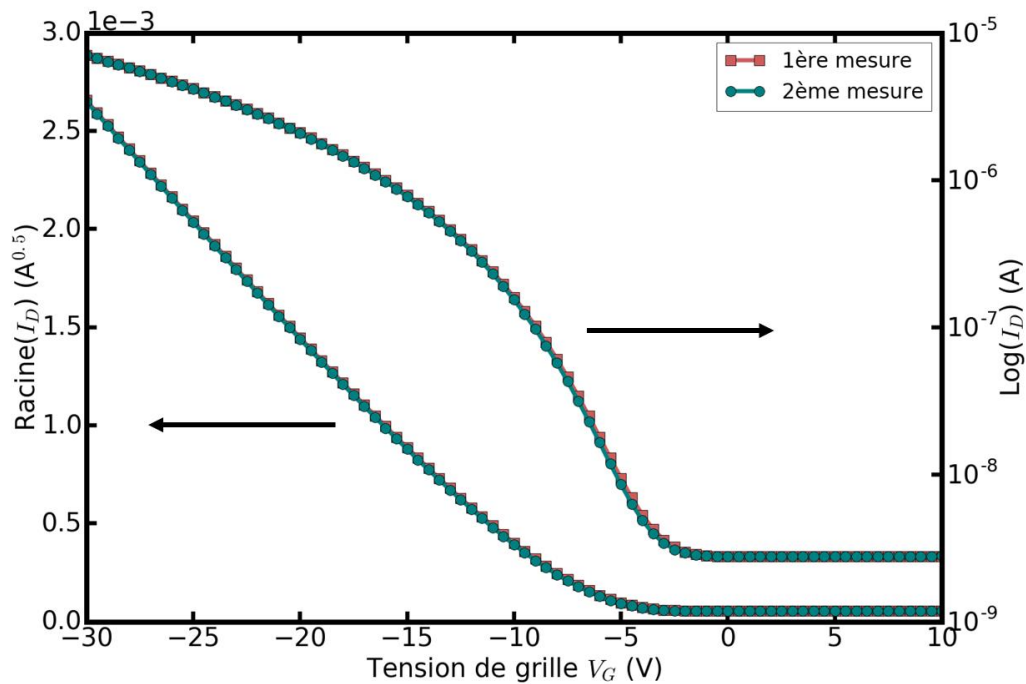


Figure 2-23 : Courbes de transfert mesurées en régime saturé ($V_D = -30V$) deux fois de suite représentées en échelle linéaire à gauche et en échelle logarithmique à droite. $W = 500 \mu m$, $L = 20 \mu m$.

L'impact de la mesure, en régime saturé, est également négligeable. Les deux courbes se superposent quasiment parfaitement.

Ainsi, un premier protocole de mesure a été défini :

- $I_D(V_G)$ en régime linéaire : $V_{DS} = -1V$ et V_{GS} varie de +10 à -30V par pas de -0.5V
- $I_D(V_G)$ en régime saturé : $V_{DS} = -30V$ et V_{GS} varie de +10 à -30V par pas de -0.5V

Ce protocole permet une bonne extraction des différents paramètres du transistor sans pour autant perturber ses caractéristiques.

2.2.3.2. IMPACT DE LA MESURE $I_D(V_G)$ AU COURS D'UN STRESS ELECTRIQUE

Lors d'un stress électrique le transistor est soumis à une tension de grille et/ou de drain constante(s) pendant un certain temps, interrompu ponctuellement afin de faire une mesure de courbes de transfert pour pouvoir suivre l'évolution des paramètres du transistor (**Figure 2-24**).

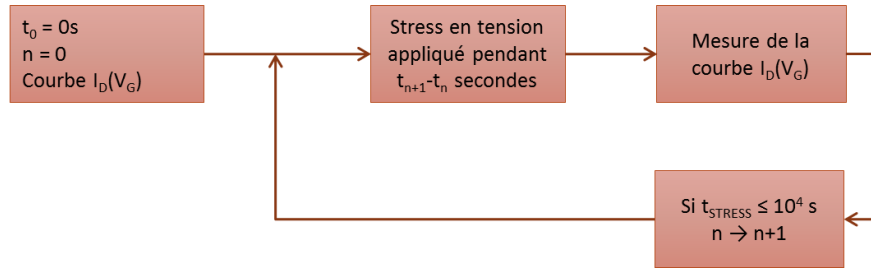


Figure 2-24 : Représentation schématique des mesures lors d'un stress électrique.

Selon le protocole de mesure défini précédemment, le temps de mesure pour réaliser une $I_D(V_G)$ en aller simple est d'environ 20 secondes. Or, au début du stress électrique, les mesures $I_D(V_G)$ sont assez rapprochées pour pouvoir observer les phénomènes à temps court. En effet, les premières courbes de transfert sont mesurées à 1s, 10s et 22s de stress en tension, ce qui signifie que le temps de la mesure sera supérieur au temps de stress en tension. Par conséquent, il est nécessaire de réduire le temps de mesure.

Les courbes de transfert seront mesurées uniquement en régime linéaire selon les conditions suivantes : $V_{DS} = -1V$ et V_{GS} variant de $+5$ à $-20V$ par pas de $-1V$. Le nouveau temps de mesure est d'environ 6 secondes. Le pas de mesure étant plus grand, l'extraction de la pente sous le seuil sera moins précise mais l'évolution des paramètres sera plus juste pour les temps courts.

Afin de simuler l'influence de la mesure en condition de stress électrique, on appliquera un stress « nul » c'est-à-dire avec $V_{G_STRESS} = V_{D_STRESS} = 0V$. La répétition des mesures $I_D(V_G)$ sera identique à celle réalisée lors d'un stress électrique mais sans tension appliquée (**Figure 2-25**).

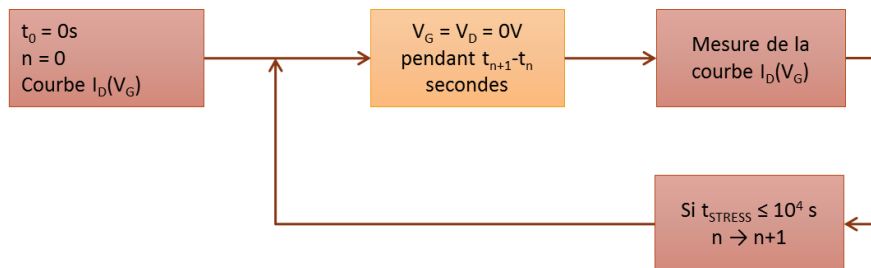


Figure 2-25 : Représentation schématique d'un stress électrique « nul » avec $V_{G_STRESS} = V_{D_STRESS} = 0V$.

Les différentes mesures de courbes de transfert réalisées pendant un stress électrique « nul » ($V_{G_STRESS} = V_{D_STRESS} = 0V$) sont représentées sur la **Figure 2-26**.

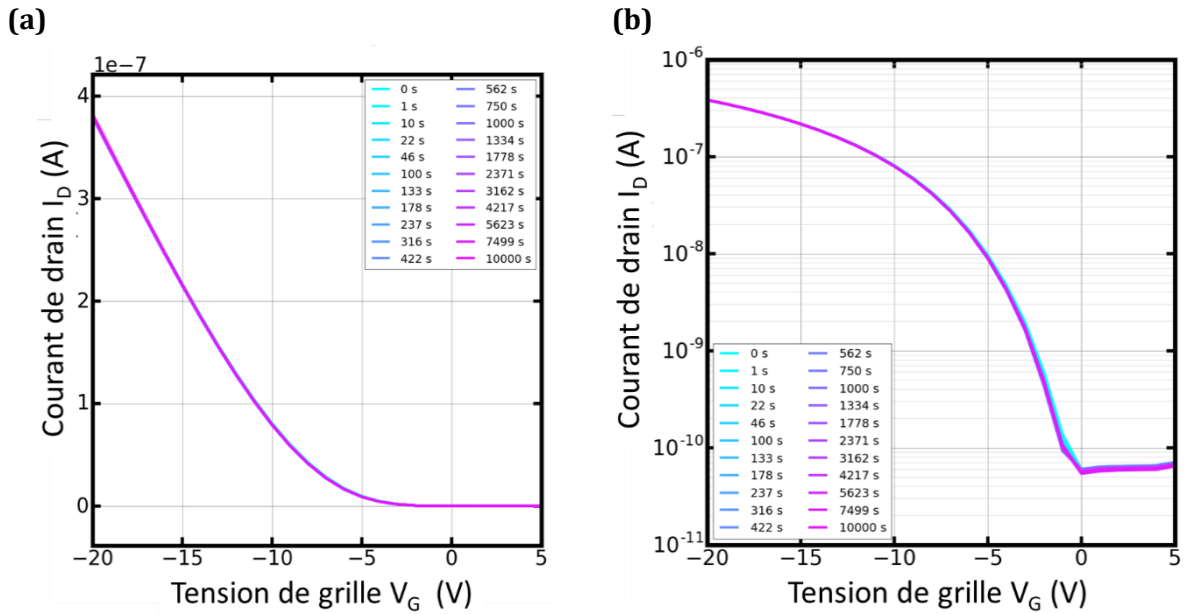


Figure 2-26 : Courbes de transfert à $V_D = -1V$ mesurées pendant 10^4 s simulant les mesures effectuées lors d'un stress électrique. **(a)** en échelle linéaire et **(b)** en échelle logarithmique. $W = 500 \mu m$, $L = 20 \mu m$.

D'après la **Figure 2-26b**, un léger impact de la mesure est constaté en échelle logarithmique mais il est négligeable par rapport à l'impact du stress en tension que l'on étudiera dans le chapitre 4. En effet, d'après les extractions des paramètres du transistor, seul un décalage de -120 mV soit 1.6% de la tension de seuil initiale est observé après 3h. En revanche, par précaution, le stress « nul » sera toujours mesuré lors des campagnes de stress en tension afin de pouvoir être sûr de discriminer l'impact du stress de celui de la mesure.

En résumé, deux protocoles de caractérisation électrique permettant de mesurer les courbes de transfert du transistor ont été validés et seront utilisés par la suite suivant les besoins en termes de précision d'extraction ou de rapidité de mesure. En effet, le premier protocole permet une meilleure extraction de la pente sous le seuil grâce au pas de $-0.5V$ lors des mesures $I_D(V_G)$. Tandis que le deuxième, ayant un temps de mesure plus court, sera utilisé dans le chapitre 4 pour le stress en tension, afin de limiter l'impact de la mesure aux temps de stress courts.

2.2.4. IMPACT DU VIEILLISSEMENT A L'AIR

Dans le but de pouvoir comparer des plaques de transistors n'ayant pas été fabriquées le même jour, il est important de connaître l'impact du vieillissement sur les OTFTs. Des transistors stockés à l'air, dans le noir et dans une salle à température régulée, ont été mesurés pendant près d'un an afin d'étudier l'évolution de leurs caractéristiques électriques.

Deux modules provenant de plaques Polaris ont été étudiés :

- Le module A qui n'a pas été séparé du reste de la plaque (n°2274)
- Le module B qui a été isolé du reste de la plaque (n°2327) (le module a été découpé) et stocké à part dans une boîte noire.

Même si chacun de ces modules n'a été mesuré que pour le suivi de l'impact du vieillissement, le module A n'ayant pas été séparé du reste de la plaque de transistors a pu être davantage exposé à la lumière que le module B. En effet, la plaque contenant le module A a été ponctuellement utilisée pour des mesures annexes sur d'autres modules. Ainsi le module A n'était pas constamment stocké dans le noir au cours du vieillissement.

Le module B de la plaque 2327, contrairement au précédent, a été isolé du reste de la plaque directement après la fabrication. Il a ainsi été stocké à part dans une boîte opaque et ne sera exposé à la lumière que lors de la mise en place des pointes avant la mesure.

Module A

Des courbes de transfert mesurées à différents temps après la fabrication de la plaque 2274 sont représentées **Figure 2-27**.

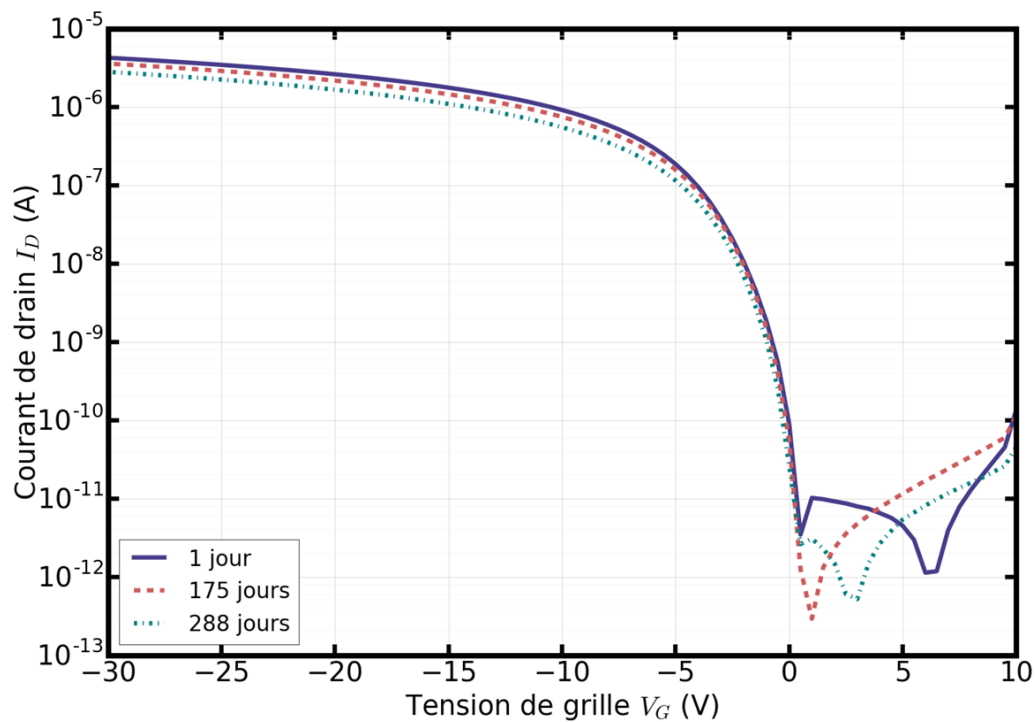


Figure 2-27 : Evolution dans le temps de la caractéristique de transfert d'un OTFT du module A stocké à l'air, dans le noir, à température contrôlée. $W = 2000 \mu\text{m}$, $L = 20 \mu\text{m}$.

D'après la **Figure 2-27**, la principale variation due au vieillissement est la baisse du courant I_{ON} . L'évolution des différents paramètres des OTFTs pour plusieurs longueurs de canal est représentée en **Figure 2-28**.

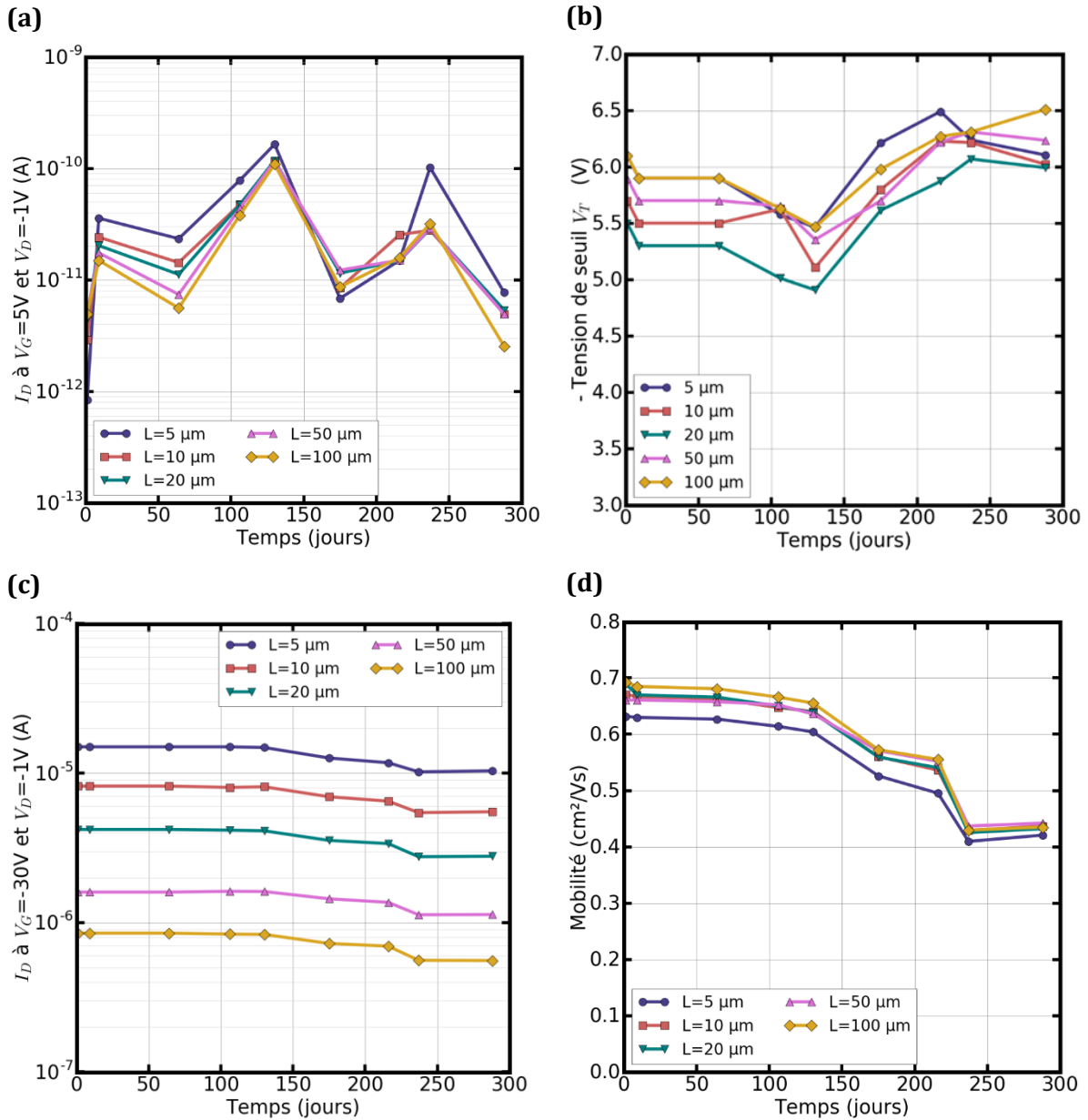


Figure 2-28 : Evolution (a) du courant I_{OFF} ($V_G=+5\text{V}$, $V_D=-1\text{V}$), (b) de la tension de seuil V_T , (c) du courant I_{ON} ($V_G=-30\text{V}$, $V_D=-1\text{V}$) et (d) de la mobilité μ des OTFTs du module A au cours du temps, en stockage dans le noir, à l'air et température contrôlée, pour différentes longueurs de canal. $W = 2000 \mu\text{m}$, L varie entre 5 et $100 \mu\text{m}$.

Tout d'abord, les variations du courant I_{OFF} observées en **Figure 2-28a** au cours du temps ne sont pas significatives par rapport au bruit de mesure des courbes de transfert pour les bas courant, c'est-à-dire lorsque le transistor est en état bloqué.

Ensuite, en ce qui concerne la tension de seuil des transistors (**Figure 2-28b**), une augmentation en valeur absolue de celle-ci d'environ 0.5V est constatée. Cette évolution vers des tensions négatives est relativement faible, en effet, elle représente approximativement 7% de la tension de seuil initiale après 288 jours.

Enfin d'après la **Figure 2-28c**, une baisse du courant I_{ON} est observée au cours du temps, impact déjà constaté sur la **Figure 2-27** lorsque les courbes de transfert ont été comparées. Cette diminution de courant peut être reliée à l'augmentation de la tension de seuil en valeur absolue mais surtout à la baisse de mobilité en stockage dans le noir.

En effet d'après la **Figure 2-28d**, la mobilité des porteurs chute d'environ $0.2 \text{ cm}^2/\text{Vs}$, ce qui représente approximativement un tiers de la mobilité initiale. Il s'agit de l'évolution la plus importante constatée parmi les différents paramètres du transistor. Cette diminution de mobilité des porteurs, entraînant une baisse du courant I_{ON} , a également été observée sur des transistors avec du pentacène en tant que semi-conducteur [11]. Les transistors étudiés par Cipolloni et al. ont été exposés à l'air et à la lumière au cours du vieillissement. La baisse de mobilité des porteurs est, selon eux, reliée à l'oxydation du pentacène par l'humidité et/ou l'oxygène de l'air.

Module B

Concernant le module B, isolé du reste de la plaque et stocké à part, des courbes de transfert mesurées à différents temps après la fabrication de la plaque 2327 sont représentées **Figure 2-29**.

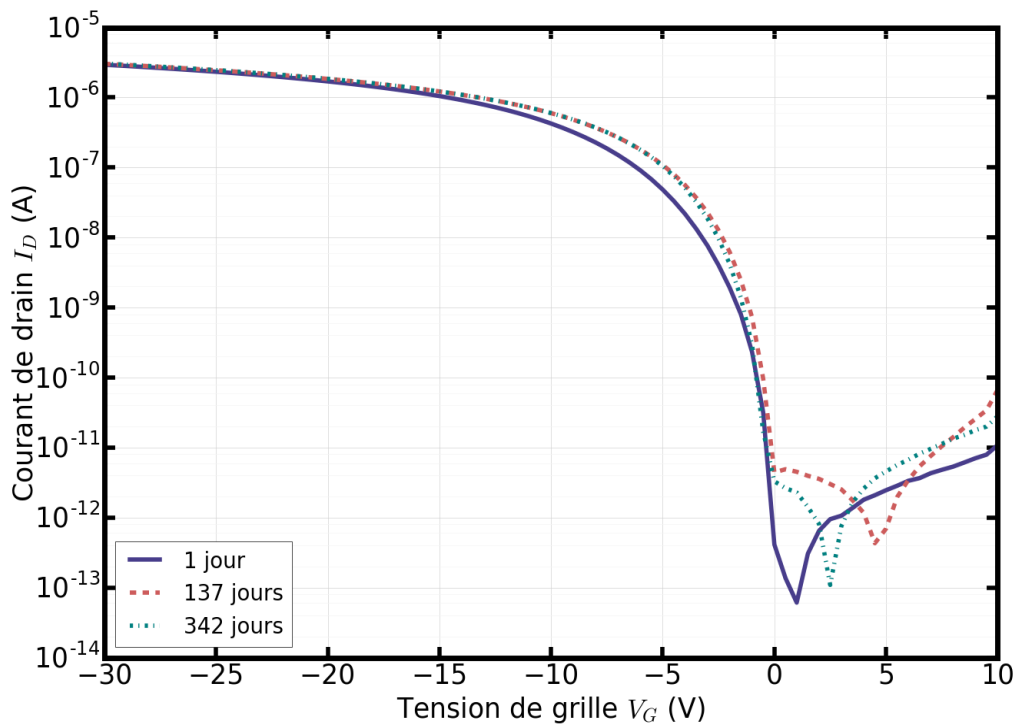


Figure 2-29 : Evolution dans le temps de la caractéristique de transfert d'un OTFT du module B stocké à l'air, dans le noir, à température contrôlée. $W = 2000 \mu\text{m}$, $L = 20 \mu\text{m}$.

D'après la **Figure 2-29**, contrairement au module A, aucune baisse significative du courant I_{ON} est observée. L'évolution des différents paramètres des OTFTs pour plusieurs longueurs de canal est représentée en **Figure 2-30**.

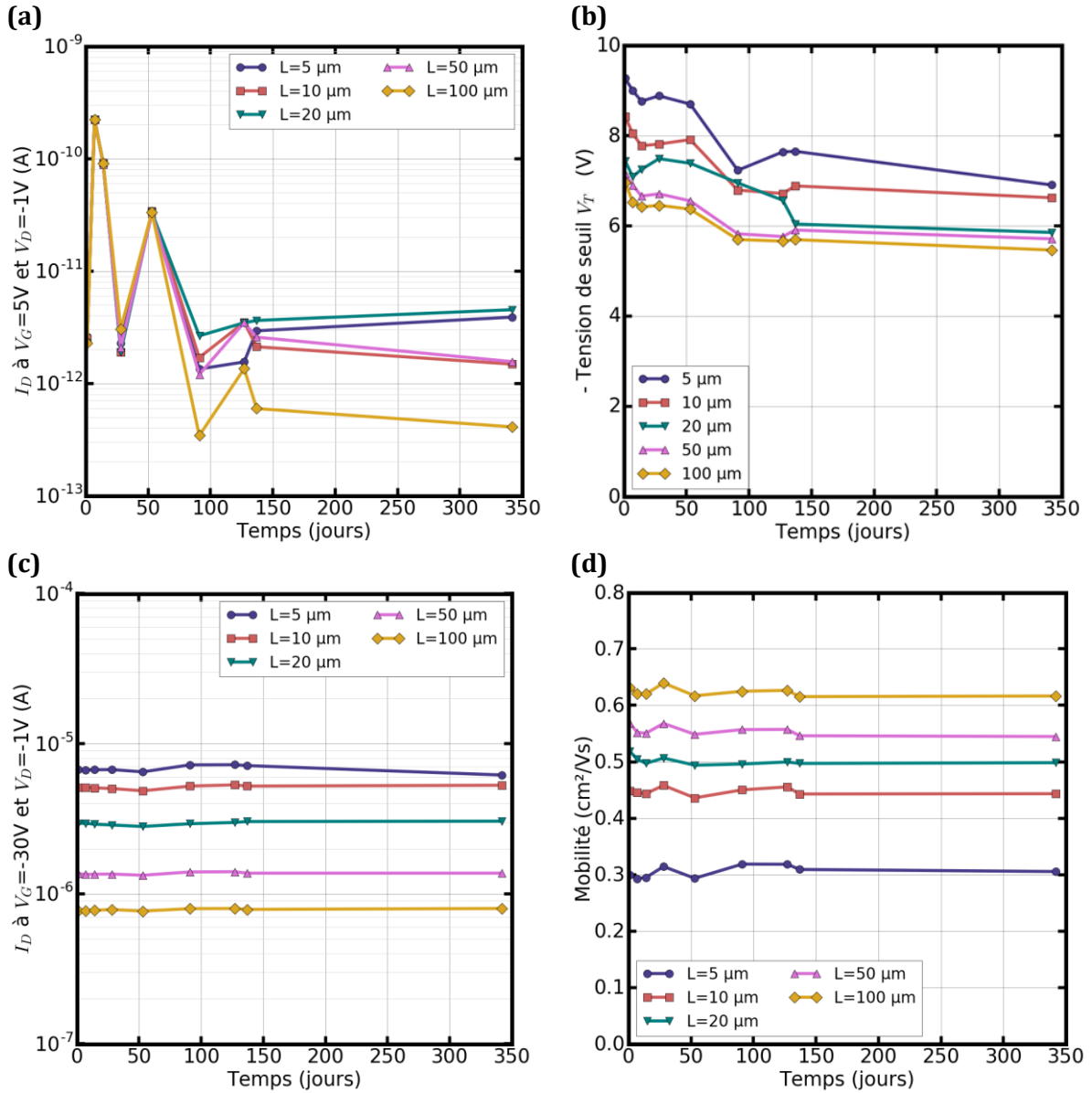


Figure 2-30 : Evolution (a) du courant I_{OFF} ($V_G=+5\text{V}$, $V_D=-1\text{V}$), (b) de la tension de seuil V_T , (c) du courant I_{ON} ($V_G=-30\text{V}$, $V_D=-1\text{V}$) et (d) de la mobilité μ des OTFTs du module B au cours du temps, en stockage dans le noir, à l'air et température contrôlée, pour différentes longueurs de canal. $W = 2000 \mu\text{m}$, L varie entre 5 et $100 \mu\text{m}$.

De la même façon que pour le module A, les variations du courant I_{OFF} observées en **Figure 2-30a**, sont peu significatives par rapport au bruit de mesures des courbes $I_D(V_G)$ pour les faibles courants.

En revanche, sur la **Figure 2-30b** une baisse en valeur absolue de la tension de seuil est constatée, ce qui représente un décalage d'environ 1.5V vers les tensions positives soit environ 20% de la valeur initiale. Cependant, d'après les courbes de transfert de la **Figure 2-28**, un changement de la forme de la courbe (un « écrasement ») est observé autour de la tension de seuil après le 1^{er} jour, favorisant une baisse de V_T sans réel changement de pente sous le seuil ou de V_{ON} .

Enfin d'après la **Figure 2-30c**, aucune variation significative du courant I_{ON} n'est perçue, ce qui est également le cas pour la mobilité **Figure 2-30d**. Ainsi, des comportements différents sont observés sur les deux modules.

Comparaison des modules A et B

Pour un temps de stockage similaire, le module A stocké dans le noir, mais ponctuellement exposé à la lumière pour réaliser différentes mesures sur d'autres modules de la plaque (stress en tension, ...) a vu sa mobilité chuter de $0.2\text{cm}^2/\text{Vs}$ soit environ un tiers de sa valeur initiale en 288 jours. Le module B qui a été stocké à part dans une boîte sans avoir été exposé à la lumière sauf pour les mesures dédiées au vieillissement, n'observe aucun changement de sa mobilité après la même durée.

De plus, un changement de couleur du semi-conducteur est constaté au cours du temps, passant du rose soutenu à une couleur plus transparente. Il est à noter que cette transition semble plus importante lorsque la plaque est exposée à la lumière pour effectuer des mesures annexes, comme le montre la **Figure 2-31**.

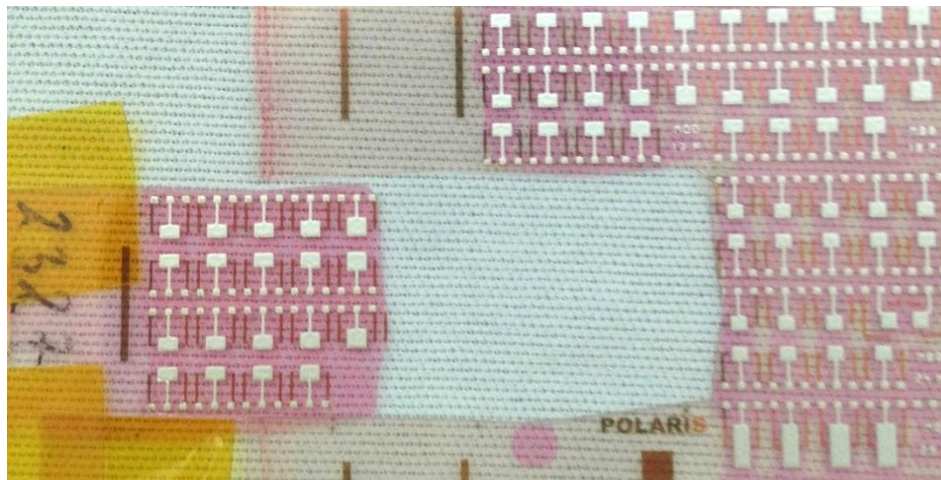


Figure 2-31 : Photos de transistors constatant l'évolution de couleur du semi-conducteur au cours du temps. A gauche, le module B stocké dans une boîte à part, à droite le reste de la même plaque également stockée dans le noir mais utilisée ponctuellement pour des mesures annexes et donc plus exposée à la lumière.

Plusieurs études ont montré l'influence de l'oxygène sur les performances des transistors se traduisant par une baisse du courant I_{ON} liée à une diminution de la mobilité des porteurs [12]–[16]. Cette dégradation est accélérée par la présence de lumière UV qui permet la formation d' O_3 ou de radicaux [13].

Le semi-conducteur se dégrade par photo-oxydation au cours du temps lorsqu'il n'est pas protégé de l'air. Toutefois, s'agissant de transistors TGBC le diélectrique joue un rôle d'encapsulation et on remarque des zones plus rose sur la plaque 2327 correspondant aux zones de dépôt du diélectrique. Cependant l'encapsulation par le D139 n'est pas totale, par exemple il y a une ouverture au niveau des plots de contact de la source et du drain (**Figure 2-32**), de plus ce

matériau n'est pas conçu dans un but d'encapsulation et sera toujours moins performant qu'une véritable encapsulation à l'air.

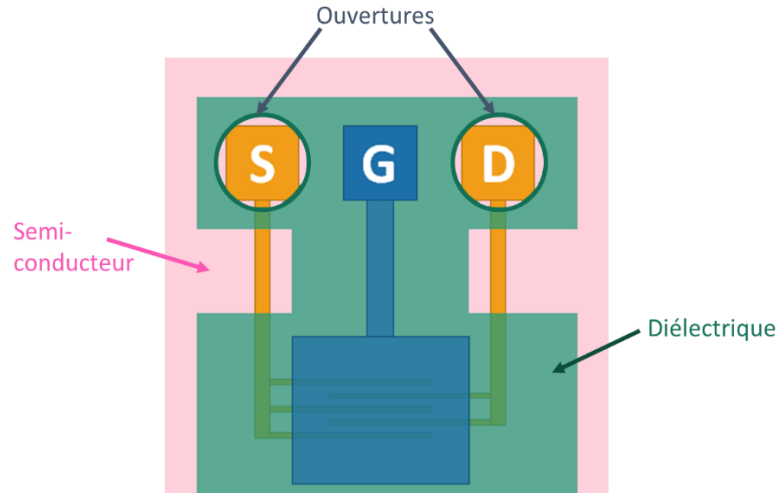


Figure 2-32: Représentation schématique d'un transistor et des zones de dépôt du diélectrique par sérigraphie. Présence de deux ouvertures au niveau des plots de contacts (source et drain).

Afin d'observer l'impact d'une exposition trop longue à la lumière (et à l'air), un transistor a été mesuré pendant 5h sous la lumière du microscope. D'après le paragraphe 2.2.2, la lumière a également un impact sur les caractéristiques du transistor en termes de courant I_{OFF} et de pente sous le seuil. Ici, la mobilité est principalement liée au courant I_{ON} , ce qui permet une extraction viable sur cette partie de la courbe. L'évolution de sa mobilité est représentée en **Figure 2-33**.

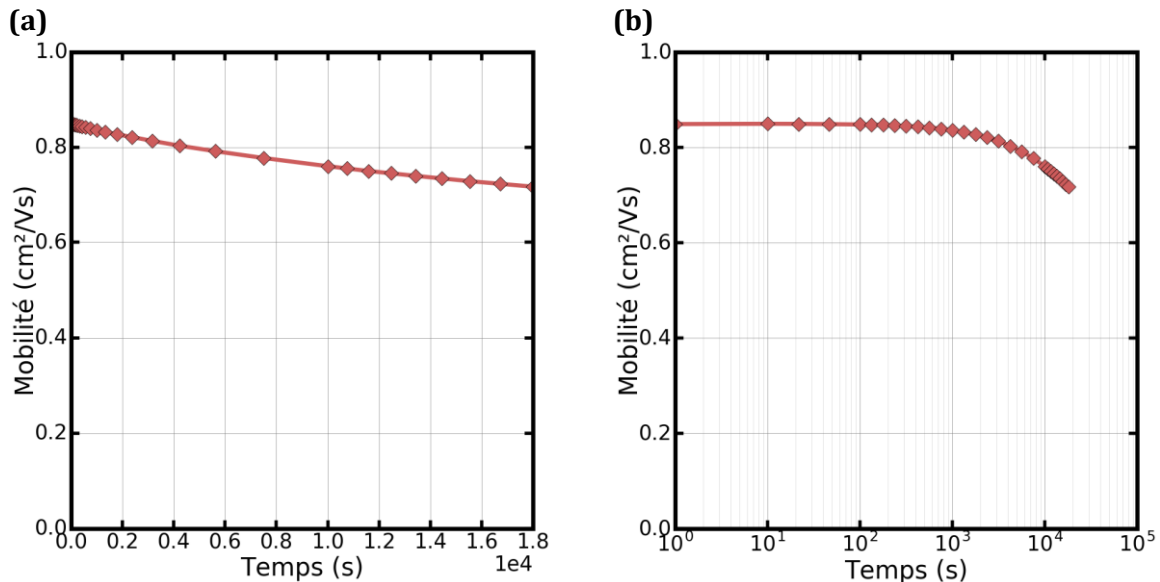


Figure 2-33 : Evolution de la mobilité d'un transistor pendant 5h d'exposition à la lumière du microscope (a) en échelle linéaire et (b) en échelle logarithmique. $W = 500 \mu m$, $L = 20 \mu m$.

Une baisse de mobilité d'environ $0.15 \text{ cm}^2/Vs$ correspondant à 20% de la valeur initiale est observée après 5h d'exposition continue à la lumière du microscope à l'air. Ainsi la lumière, en plus d'un effet direct sur les caractéristiques du transistor, peut également, couplée à l'oxygène, provoquer un vieillissement prématuré du semi-conducteur. Il est donc nécessaire de limiter au plus l'exposition des transistors à la lumière et de les stocker dans le noir.

En résumé, les diverses expositions à la lumière couplée à la présence d'oxygène peuvent avoir un impact sur le long terme sur le semi-conducteur et la mobilité des porteurs de charge. Puisqu'il est difficile de s'affranchir de l'influence de l'oxygène, il est donc nécessaire de limiter les expositions à la lumière pouvant engendrer la photo-oxydation du semi-conducteur. Si on restreint ces expositions, les mesures réalisées au cours de cette thèse sur des plaques ayant été fabriquées il y a moins d'un an ne devraient pas être dictées par le stockage à l'air et dans le noir.

2.3. Conclusions

Au cours de ce chapitre, nous avons vu en premier lieu les différentes techniques d'impression disponibles au CEA-Liten ainsi que le procédé de fabrication et le design des transistors organiques utilisés durant cette thèse. Ensuite, des protocoles de la caractérisation électrique des OTFTs ont été mis en place à travers l'impact de trois éléments majeurs sur les transistors : la lumière, les mesures électriques et le vieillissement.

Tout d'abord, nous avons observé une sensibilité des OTFTs à la lumière. L'exposition sous lumière blanche (lumière du microscope) se traduit principalement par une montée très rapide du courant bloqué du transistor I_{OFF} de plusieurs décades, associée à une dégradation de la pente sous le seuil. Ce phénomène est réversible et nous avons déterminé qu'un temps de relaxation dans le noir de 3h était nécessaire afin de retrouver la caractéristique de transfert initiale du transistor.

Ensuite, l'influence de la mesure elle-même a été analysée afin d'obtenir des protocoles de caractérisation électrique correspondant aux besoins de mesure en termes de précision ou de rapidité. En effet, en dehors des conditions de stress électrique, il est plus intéressant d'avoir un pas de mesure plus faible pour faciliter l'extraction des paramètres électriques, notamment de la pente sous le seuil. En revanche, un temps de mesure plus court avec un pas de mesure plus important sera privilégié lors des stress en tension pour que l'extraction des paramètres du transistor soit plus juste pour les temps de stress inférieurs à 100s. Dans tous les cas, aucun impact important de la mesure n'a été observé.

Enfin, lors de l'étude du vieillissement en stockage à l'air des transistors, il a été observé que les diverses expositions à la lumière et à l'oxygène de l'air peuvent provoquer une dégradation prématurée du semi-conducteur résultant en une baisse de la mobilité des porteurs de charges. Il faudra donc limiter au mieux ces expositions (qui sont nécessaires pour la mise place des tests électriques) et stocker les OTFTs dans le noir. Dans ces conditions, nous avons montré qu'un an après leur fabrication les caractéristiques électriques des transistors restaient inchangées. Cependant dans la mesure du possible, les expériences sur les transistors seront effectuées au plus proche du moment de fabrication.

RÉFÉRENCES

- [1] A. C. Arias, J. D. MacKenzie, I. McCulloch, J. Rivnay, et A. Salleo, « Materials and Applications for Large Area Electronics: Solution-Based Approaches », *Chem. Rev.*, vol. 110, n° 1, p. 3-24, janv. 2010.
- [2] G. Nisato, D. Lupo, et S. Ganz, *Organic and Printed Electronics : fundamentals and applications*. Pan Stanford Publishing, 2016.
- [3] S. Khan, L. Lorenzelli, et R. S. Dahiya, « Technologies for Printing Sensors and Electronics Over Large Flexible Substrates: A Review », *IEEE Sens. J.*, vol. 15, n° 6, p. 3164-3185, juin 2015.
- [4] D. Sung, A. de la Fuente Vornbrock, et V. Subramanian, « Scaling and Optimization of Gravure-Printed Silver Nanoparticle Lines for Printed Electronics », *IEEE Trans. Compon. Packag. Technol.*, vol. 33, n° 1, p. 105-114, mars 2010.
- [5] M. Wang, F. Jakubka, F. Gannott, M. Schweiger, et J. Zaumseil, « Generalized enhancement of charge injection in bottom contact/top gate polymer field-effect transistors with single-walled carbon nanotubes », *Org. Electron.*, vol. 15, n° 3, p. 809-817, mars 2014.
- [6] D. X. Long *et al.*, « Solution processed vanadium pentoxide as charge injection layer in polymer field-effect transistor with Mo electrodes », *Org. Electron.*, vol. 17, p. 66-76, févr. 2015.
- [7] K.-J. Baeg, G.-T. Bae, et Y.-Y. Noh, « Efficient Charge Injection in p-Type Polymer Field-Effect Transistors with Low-Cost Molybdenum Electrodes through V_2O_5 Interlayer », *ACS Appl. Mater. Interfaces*, vol. 5, n° 12, p. 5804-5810, juin 2013.
- [8] D. Mitra, K. Y. Mitra, V. Dzhagan, N. Pillai, D. R. T. Zahn, et R. R. Baumann, « Work Function and Conductivity of Inkjet-Printed Silver Layers: Effect of Inks and Post-treatments », *J. Electron. Mater.*, vol. 47, n° 3, p. 2135-2142, mars 2018.
- [9] D. Natali et M. Caironi, « Charge Injection in Solution-Processed Organic Field-Effect Transistors: Physics, Models and Characterization Methods », *Adv. Mater.*, vol. 24, n° 11, p. 1357-1387, mars 2012.
- [10] A. Lenormand, « Etude des effets de contact et d'injection dans les transistors organiques imprimés », Ecole Polytechnique, 2016.
- [11] S. Cipolloni, L. Mariucci, A. Valletta, D. Simeone, F. De Angelis, et G. Fortunato, « Aging effects and electrical stability in pentacene thin film transistors », *Thin Solid Films*, vol. 515, n° 19, p. 7546-7550, juill. 2007.
- [12] U. Zschieschang, K. Amsharov, M. Jansen, K. Kern, H. Klauk, et R. T. Weitz, « Separating the impact of oxygen and water on the long-term stability of n-channel perylene diimide thin-film transistors », *Org. Electron.*, vol. 26, p. 340-344, nov. 2015.
- [13] W. L. Kalb, K. Mattenberger, et B. Batlogg, « Oxygen-related traps in pentacene thin films: Energetic position and implications for transistor performance », *Phys. Rev. B*, vol. 78, n° 3, p. 035334, 2008.
- [14] C. Pannemann, T. Diekmann, et U. Hilleringmann, « Degradation of organic field-effect transistors made of pentacene », *J. Mater. Res.*, vol. 19, n° 07, p. 1999-2002, juill. 2004.
- [15] H. Ueki *et al.*, « Influence of oxygen exposure on instabilities of perfluoropentacene transistor characteristics with different gate insulators ». Progress in Natural Science: Materials International, 2011.
- [16] S. H. Han *et al.*, « Lifetime of organic thin-film transistors with organic passivation layers », *Appl. Phys. Lett.*, vol. 88, n° 7, p. 073519, févr. 2006.

Chapitre 3

MODELISATION DES OTFTS AVEC
LA FONCTION LAMBERT W

TABLE DES MATIERES

3.	MODELISATION DES OTFTS AVEC LA FONCTION LAMBERT W	85
3.1.	LE MODELE PAR LA FONCTION LAMBERT W	85
3.1.1.	<i>La capacité MIS (Métal–isolant–Semi-conducteur).....</i>	86
3.1.2.	<i>1^{ER} cas : pas de pièges à l'interface</i>	88
3.1.3.	<i>2^{EME} cas : présence de pièges à l'interface</i>	89
3.1.4.	<i>Utilisation de la fonction Lambert W</i>	89
3.2.	VALIDATION DU MODELE	91
3.2.1.	<i>Modélisation de la charge d'accumulation</i>	92
3.2.2.	<i>Modélisation de I_D pour différentes longueurs de canal L en régime linéaire et saturé.....</i>	93
3.3.	APPLICATION A DES MESURES BASSES TEMPERATURES	96
3.3.1.	<i>Protocole experimental</i>	97
3.3.2.	<i>Validation pour les régimes linéaire et saturé à basse température.....</i>	97
3.3.3.	<i>Evolution des paramètres du transistor avec la température</i>	99
3.3.3.1.	<i>Evolution de D_{it} et V_T avec la température.....</i>	99
3.3.3.2.	<i>Evolution de la mobilité avec la température</i>	101
3.4.	CONCLUSIONS	102

Les différentes méthodes d'extraction détaillées dans le chapitre 1 sont également dépendantes de la précision de la mesure. En effet, nous avons vu au cours des chapitres précédents que le pas de mesure en tension de grille est crucial pour une extraction des paramètres électriques de l'OTFT précise, notamment de la pente sous le seuil. Au contraire, pour un stress électrique, un protocole de mesure avec un pas de mesure en tension de grille plus important et sur une plage réduite sera préféré, afin d'obtenir un temps de mesure plus court. Le développement d'un modèle de transistor organique permettrait de prédire la forme de la courbe et de l'extrapoler afin de pouvoir extraire les différents paramètres du transistor. C'est pourquoi, au cours de ce chapitre, nous avons développé un modèle du courant de drain des P-OTFTs, qui nous permettra ainsi d'extraire les différents paramètres électriques des transistors lorsque les conditions de mesure ne permettent pas d'être suffisamment précis.

Ce modèle sera par la suite appliqué à des expériences à basses températures. En effet, afin de mieux comprendre les propriétés de transport dans notre semi-conducteur organique, des mesures basse température (jusqu'à 125K) des OTFTs ont été réalisées. Or, à basse température, les courbes sont davantage bruitées. L'élaboration d'un modèle permettra ainsi de s'affranchir de ces effets.

Ainsi, au cours de ce chapitre, nous verrons dans un premier temps le développement du modèle théorique basé sur la fonction Lambert W. Puis dans un deuxième temps, ce modèle sera validé sur différentes courbes caractéristiques des P-OTFTs. Enfin, nous mettrons ce modèle en pratique sur des courbes mesurées à basses températures, afin de vérifier lequel des mécanismes de transport présentés dans le chapitre 1 est présent dans notre semi-conducteur organique.

3.1. Le modèle par la fonction Lambert W

Afin de réaliser le design des circuits électroniques, il est nécessaire d'avoir des modèles appelés « compacts » qui prédisent le comportement du transistor. Plusieurs modèles compacts des OTFTs ont déjà été développées d'après la littérature [1]. De nombreux modèles ont une approche physique des matériaux et notamment du transport de charges supposé à travers la densité d'états (DOS). Suivant la structure utilisée, certains supposent une distribution Gaussienne [2] ou exponentielle [3] de la DOS, voire une combinaison des deux [4]. Cependant, il existe de nombreux semi-conducteurs organiques et donc une grande variété de modèles de transport de charges

possibles (voir partie 1.1.2.2.). Le modèle développé ici se base sur une approche physique, à travers la modélisation de la charge d'accumulation des OTFTs grâce à la fonction de Lambert W. Il a été utilisé au préalable pour décrire le courant de drain de MOSFETs inorganiques FDSOI (Fully Depleted Silicon On Insulator) [5], [6] et DG (Double Gate) [7] en fonction des tensions appliquées.

Dans cette partie, nous allons analyser l'adaptabilité de ce modèle aux transistors organiques. Tout d'abord à travers le cas simplifié correspondant à une absence de pièges à l'interface SCO/diélectrique, puis dans un cas plus complexe prenant en compte ces pièges.

3.1.1. LA CAPACITE MIS (METAL-ISOLANT-SEMI-CONDUCTEUR)

La capacité MIS est un dispositif très souvent utilisé en microélectronique, car elle permet d'étudier l'influence des interfaces entre le semi-conducteur et les autres matériaux (**Figure 3-1**). En effet, l'étude de la fiabilité et de la stabilité des transistors est en général fortement liée ces interfaces [8]. Comprendre au mieux les mécanismes de cette capacité MIS permettra par la suite d'étendre au cas des transistors.

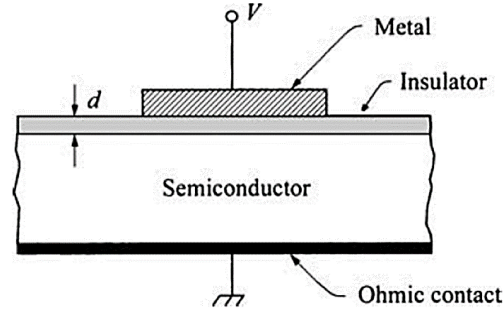
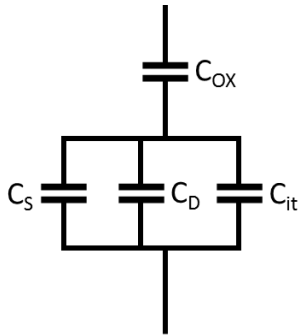


Figure 3-1 : Schéma de coupe de la capacité Métal-Isolant-Semi-conducteur (MIS) – repris de [8].

Cette structure peut alors être modélisée par un circuit électrique équivalent dont chacune des capacités correspond aux différents modes de fonctionnement des transistors et aux charges associées (**Figure 3-2**).

(a)



(b)

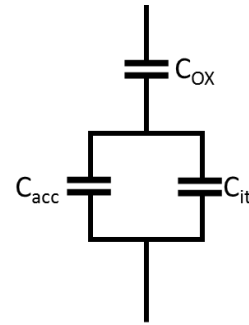


Figure 3-2 : Circuits électriques équivalents des capacités MIS (Métal-Isolant-Semi-conducteur) correspondant (a) avec SC dopé fonctionnant en inversion et (b) avec un SC organique fonctionnant en accumulation.

Ainsi la capacité MIS avec un semi-conducteur inorganique dopé correspond à :

$$\frac{1}{C_{MIS}} = \frac{1}{C_{ox}} + \frac{1}{C_S + C_D + C_{it}} \quad \text{Eq. 3-1}$$

Avec C_{ox} la capacité surfacique du diélectrique, C_s la capacité liée aux charges libres dans le semi-conducteur, C_b la capacité de la couche de déplétion et C_{it} la capacité due aux pièges d'interface. Il est à noter que les transistors organiques fonctionnant uniquement en accumulation, il n'y a donc pas de capacité d'inversion et donc pas de zone de déplétion. Le circuit équivalent de la capacité MIS est représenté en **Figure 3-2b** et peut donc s'exprimer par :

$$\frac{1}{C_{MIS}} = \frac{1}{C_{ox}} + \frac{1}{C_{acc} + C_{it}} \quad \text{Eq. 3-2}$$

Avec C_{acc} la capacité d'accumulation. Afin de pouvoir mesurer séparément la capacité liée aux charges de la couche d'inversion des capacités liées aux charges d'accumulation et de déplétion, la méthode de « split C-V » a été initialement proposée par Koomen [9]. Cette technique repose sur l'utilisation d'une structure de transistor MOSFET où les contacts de source et de drain sont court-circuités. La réponse capacitive à la variation de tension appliquée à la grille permet de mesurer notamment la capacité grille-canal C_{GC} (« Gate-to-channel capacitance »), qui est directement reliée à variation de la charge d'inversion dans le cas des SC inorganiques dopés. Dans le cas d'un semi-conducteur organique, C_{GC} sera liée à la charge d'accumulation.

En effet, on définit C_{GC} par :

$$C_{GC} = \frac{dQ_{acc}}{dV_G} \quad \text{Eq. 3-3}$$

Le modèle théorique développé au cours de ce chapitre se base sur la variation de cette capacité C_{GC} en fonction de la tension appliquée. Par conséquent, des mesures $C(V)$ présentées en partie 3.2.1 ont été réalisées sur des OTFTs afin de tester la validité du modèle.

Par définition, la capacité MIS peut s'exprimer par :

$$\frac{1}{C_{MIS}} = \frac{dV_G}{dQ_M} \quad \text{Eq. 3-4}$$

Avec Q_M la charge dans la grille et V_G le potentiel appliqué à celle-ci.

Or, d'après la conservation de la charge :

$$Q_M = -(Q_{acc} + Q_{it}) \quad \text{Eq. 3-5}$$

Avec Q_{acc} et Q_{it} les charges surfaciques respectives d'accumulation et de pièges d'interface.

Ainsi l'**Eq. 3-4** devient :

$$\frac{dV_G}{dQ_M} = -\frac{dV_G}{d(Q_{acc} + Q_{it})} = -\frac{\frac{dV_G}{dV_S}}{\frac{dQ_{acc}}{dV_S} + \frac{dQ_{it}}{dV_S}} \quad \text{Eq. 3-6}$$

Avec V_S le potentiel de surface du semi-conducteur.

Les capacités d'accumulation C_{acc} et celle due aux pièges d'interface C_{it} sont définie par :

$$C_{acc} = -\frac{dQ_{acc}}{dV_S} \text{ et } C_{it} = -\frac{dQ_{it}}{dV_S} \quad \text{Eq. 3-7}$$

Par conséquent :

$$\frac{1}{C_{MIS}} = \frac{dV_G}{dQ_M} = \frac{\frac{dV_G}{dV_S}}{C_{acc} + C_{it}} \quad \text{Eq. 3-8}$$

D'après les **Eq. 3-2** et **Eq. 3-8**, on obtient alors :

$$\frac{dV_S}{dV_G} = \frac{C_{ox}}{C_{ox} + C_{acc} + C_{it}} \quad \text{Eq. 3-9}$$

Or, la capacité C_{GC} est définie par :

$$C_{GC} = \frac{dQ_{acc}}{dV_G} = \frac{dQ_{acc}}{dV_S} \cdot \frac{dV_S}{dV_G} \quad \text{Eq. 3-10}$$

Finalement,

$$C_{GC} = \frac{C_{acc} \cdot C_{ox}}{C_{ox} + C_{acc} + C_{it}} \quad \text{Eq. 3-11}$$

3.1.2. 1^{ER} CAS : PAS DE PIEGES A L'INTERFACE

Dans ce premier cas, nous faisons l'hypothèse simplifiée que $C_{it} = 0$. Ainsi,

$$C_{GC} = \frac{C_{acc} \cdot C_{ox}}{C_{ox} + C_{acc}} \quad \text{Eq. 3-12}$$

D'après la statistique de Boltzmann, Q_{acc} est proportionnelle à $\exp\left(-\frac{q \cdot V_S}{kT}\right)$ avec q la charge élémentaire, k la constante de Boltzmann et T la température. Par conséquent :

$$-\frac{dQ_{acc}}{dV_S} = \beta Q_{acc} \quad \text{Eq. 3-13}$$

Avec $\beta = q/kT$.

Finalement, d'après **Eq. 3-7**,

$$C_{GC} = \frac{C_{ox} \cdot \beta Q_{acc}}{\beta Q_{acc} + C_{ox}} \quad \text{Eq. 3-14}$$

3.1.3. 2^{EME} CAS : PRESENCE DE PIEGES A L'INTERFACE

En supposant la présence de pièges à l'interface SCO/diélectrique, d'après l'équation de la capacité C_{GC} (Eq. 3-11) :

$$\frac{1}{C_{GC}} = \frac{C_{ox} + C_{acc} + C_{it}}{C_{acc} \cdot C_{ox}} \quad \text{Eq. 3-15}$$

Soit

$$\frac{1}{C_{GC}} = \frac{1}{C_{ox}} + \frac{1}{C_{acc}} \left(1 + \frac{C_{it}}{C_{ox}} \right) \quad \text{Eq. 3-16}$$

On définit le facteur d'idéalité sous le seuil (ou « subthreshold ideality factor ») n par :

$$n = \frac{C_{ox} + C_{it}}{C_{ox}} = 1 + \frac{C_{it}}{C_{ox}} \quad \text{Eq. 3-17}$$

Alors, d'après Eq. 3-13:

$$\frac{1}{C_{GC}} = \frac{1}{C_{ox}} + \frac{n}{\beta Q_{acc}} \quad \text{Eq. 3-18}$$

Finalement, en posant $\beta' = \beta/n$, on obtient :

$$C_{GC} = \frac{C_{ox} \cdot \beta' Q_{acc}}{\beta' Q_{acc} + C_{ox}} \quad \text{Eq. 3-19}$$

Avec $\beta' = q/nkT$.

3.1.4. UTILISATION DE LA FONCTION LAMBERT W

Ainsi, d'après Eq. 3-10, Eq. 3-14 et Eq. 3-19, pour chacun des deux cas, i.e. avec et sans pièges d'interface, on obtient une équation différentielle en Q_{acc} :

$$\frac{dQ_{acc}}{dV_G} = \frac{C_{ox} \cdot \beta Q_{acc}}{\beta Q_{acc} + C_{ox}} \quad \text{Eq. 3-20}$$

Avec $\beta = q/nkT$ où $n=1$ lorsqu'il n'y a pas de piège à l'interface SCO/diélectrique.

En posant $y = \frac{\beta Q_{acc}}{C_{ox}}$ et $x = e^{\beta(V_G - V_T - U_C)}$, l'équation précédente peut s'écrire sous la forme :

$$x(y + 1) \frac{dy}{dx} = y \quad \text{Eq. 3-21}$$

Les détails des calculs sont en ANNEXE I. La fonction de Lambert W (LW) est solution de cette équation différentielle [10]. Cette fonction peut être approximée par [7] :

$$\text{LambertW}(u) \approx \ln(1 + u) \cdot \left\{ 1 - \frac{\ln[1 + \ln(u)]}{2 + \ln(1 + u)} \right\} \quad \text{Eq. 3-22}$$

On a alors $y = \text{LambertW}(x)$, soit :

$$\frac{\beta Q_{acc}}{C_{ox}} = \text{LambertW}\left(e^{\beta(V_G - V_T - U_C)}\right) \quad \text{Eq. 3-23}$$

Finalement, l'expression mathématique de Q_{acc} correspond alors à :

$$Q_{acc}(V_G, U_C) = C_{ox} n \frac{kT}{q} \text{LambertW}\left(e^{q \frac{V_G - V_T - U_C}{nkT}}\right) \quad \text{Eq. 3-24}$$

Avec V_T la tension de seuil et U_C le quasi potentiel de Fermi le long du canal (suivant y) par rapport à la source (i.e. $0 < U_C < V_D$) (**Figure 3-3**).

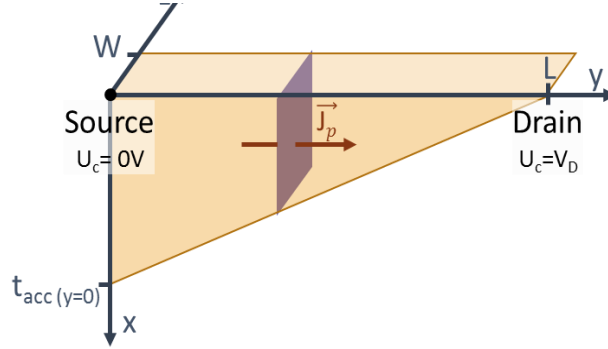


Figure 3-3 : Représentation 3D du canal d'un transistor avec J_p la densité de courant des porteurs de charges (trous ici) et $t_{acc}(y)$, W et L respectivement « l'épaisseur », la largeur et la longueur du canal (en jaune).

Le courant de drain peut alors être défini par (J_p est constant en z) :

$$I_D(y) = \int_0^W \int_0^{t_{acc}(y)} J_p(x, y) dx dz = W \int_0^{t_{acc}(y)} J_p(x, y) dx \quad \text{Eq. 3-25}$$

Or la densité de courant de trous J_p peut s'écrire sous la forme [8] :

$$J_p(x, y) = -qp(x, y)\mu_p \frac{dU_C(x, y)}{dy} \quad \text{Eq. 3-26}$$

Avec p la concentration en porteurs de charges (trous) et μ_p leur mobilité. Par conséquent, en considérant μ_p constante en x :

$$I_D(y) = -W\mu_p q \int_0^{t_{acc}(y)} p(x, y) \frac{dU_C(x, y)}{dy} dx \quad \text{Eq. 3-27}$$

Par l'approximation du canal graduel (ou « Gradual Channel Approximation »), $\frac{dU_C}{dy}$ est supposé constant selon x pour un y donné, donc :

$$I_D(y) = -W\mu_p \frac{dU_C(y)}{dy} q \int_0^{t_{acc}(y)} p(x, y) dx \quad \text{Eq. 3-28}$$

De plus, la densité de charge d'accumulation en y correspond à $Q_{acc}(y) = q \int_0^{t_{acc}(y)} p \, dx$, ainsi :

$$I_D(y) = W\mu_p Q_{acc}(y) \frac{dU_C}{dy} \quad \text{Eq. 3-29}$$

On suppose être en régime permanent, le courant I_D est alors constant le long du canal en y, donc :

$$\int_0^L I_D(y) dy = LI_D \quad \text{Eq. 3-30}$$

En réunissant **Eq. 3-29** et **Eq. 3-30**, on obtient :

$$\int_0^L I_D(y) dy = \int_0^L W\mu_p Q_{acc}(y) \frac{dU_C}{dy} dy \quad \text{Eq. 3-31}$$

Soit,

$$I_D = \frac{W}{L} \mu_p \int_0^{V_D} Q_{acc}(U_C) dU_C \quad \text{Eq. 3-32}$$

Finalement, le courant de drain est défini par [5], [7] :

$$I_D(V_G, V_D) = \frac{W}{L} \mu_0 \int_0^{V_D} Q_{acc}(V_G, V) dV \quad \text{Eq. 3-33}$$

Avec μ_0 la mobilité à faible champ. Cette équation peut alors être réécrite grâce à **Eq. 3-24** :

$$I_D(V_G, V_D) = \frac{W}{L} \mu_0 \left[\frac{nkT}{qC_{ox}} \left(\frac{q}{2nkT} Q_{acc}^2(V_G, 0) + C_{ox} Q_{acc}(V_G, 0) - \frac{q}{2nkT} Q_{acc}^2(V_G, V_D) - C_{ox} Q_{acc}(V_G, V_D) \right) \right] \quad \text{Eq. 3-34}$$

En résumé, l'utilisation de la fonction Lambert W a permis de mettre en place un modèle physique à partir de la charge d'accumulation dans le canal d'un OTFT, décrivant le courant de drain I_D . Ce dernier est dépendant de trois variables (μ_0 , V_T et n (lié aux charges d'interface SCO/diélectrique) et pourrait être utilisé pour permettre l'extraction de ces paramètres.

3.2. Validation du modèle

Avant d'utiliser le modèle décrit précédemment pour extraire les différents paramètres du transistor lors des mesures à basses températures, il est nécessaire de vérifier sa validité sur des courbes expérimentales à température ambiante. De plus, ce modèle a été appliqué à des OTFTs avec différentes longueurs de canal.

Dans cette partie, nous validerons tout d'abord l'expression de la charge d'accumulation avec la fonction Lambert grâce à des mesures de la capacité $C_{GC}(V_G)$, puis du courant I_D d'un transistor d'une longueur de canal « standard » ($L=20\mu m$). Enfin, nous testerons ce modèle théorique sur les courbes de transfert et de sortie de transistors avec des longueurs de canal allant de 10 à $100\mu m$.

3.2.1. MODELISATION DE LA CHARGE D'ACCUMULATION

Mesure de capacité $C_{GC}(V_G)$

La station sous pointe manuelle présentée au cours du chapitre 2 a été utilisée afin de réaliser les mesures de $C_{GC}(V_G)$ sur des OTFTs. Pour cela, les contacts source/drain sont reliés à la masse, tandis que la grille est polarisée (**Figure 3-4a**). Un potentiel constant V_G est appliqué à la grille, superposé à un signal alternatif (AC) permettant la mesure de la capacité. En faisant varier le potentiel V_G , il est alors possible d'obtenir la courbe $C_{GC}(V_G)$ (**Figure 3-4b**).

En intégrant la capacité C_{GC} , il est alors possible de remonter à la charge d'accumulation dans le canal, que nous pourrions comparer à celle obtenue dans notre modèle (**Eq. 3-24**). Les mesures $C_{GC}(V_G)$ ont été réalisées à basses fréquences (100Hz), la capacité des OTFTs diminuant fortement à haute fréquence [11].

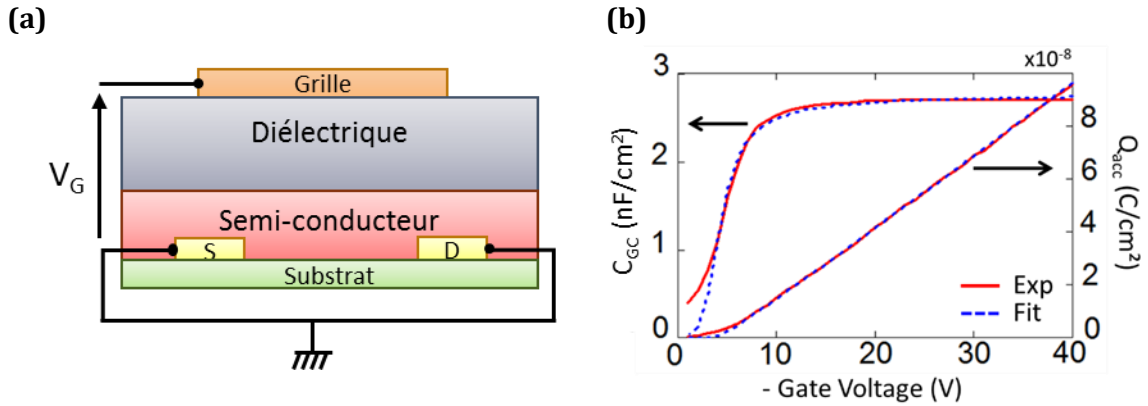


Figure 3-4 : (a) Schéma de coupe du transistor durant une mesure $C_{GC}(V_G)$ (b) Courbes expérimentales et modélisées des caractéristiques $C_{GC}(V_G)$ et $Q_{acc}(V_G)$ du transistor. Ces mesures ont été faites sur un P-OTFT avec $W=2000\mu m$, $L=20\mu m$, $C_{ox}=2.78nF/cm^2$ et les paramètres de fit du modèle sont : $n=25$, $V_T=-4.8V$ et $\mu_0=0.47cm^2/Vs$.

Le modèle semble pertinent pour reproduire les courbes $C_{GC}(V_G)$ et $Q_{acc}(V_G)$ de nos transistors organiques. La fonction Lambert W permet donc de modéliser correctement la charge d'accumulation des OTFTs.

Courbes de transfert $I_D(V_{GS})$

D'après l'**Eq. 3-33**, il est possible de modéliser le courant de drain I_D . La courbe de transfert d'un transistor organique a été mesurée à température ambiante ($\approx 300K$) et en régime linéaire ($V_{DS} = -1V$) (**Figure 3-5**).

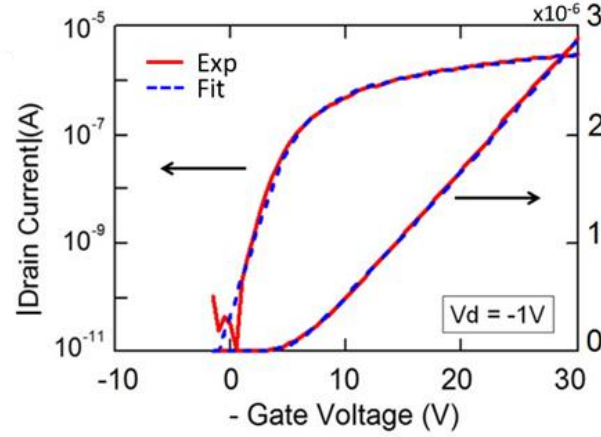


Figure 3-5 : Courbe de transfert expérimentale et modélisée en régime linéaire et à 300K, en échelle semi- logarithmique (à gauche) et linéaire (à droite). Avec $W=2000\mu\text{m}$, $L=20\mu\text{m}$, $C_{OX}=2.78\text{nF/cm}^2$. Les paramètres de fit du modèle sont : $n=25$, $V_T=-4.8\text{V}$ et $\mu_0=0.47\text{cm}^2/\text{Vs}$.

D'après les courbes, le modèle théorique basé sur la fonction LW permet une description précise de la caractéristique de transfert du transistor aussi bien en-dessous qu'au-dessus de la tension de seuil V_T . De plus, grâce à ce modèle, il est possible d'extraire les paramètres de l'OTFT tels que la mobilité à faible champ (μ_0), la tension de seuil (V_T) et la densité de pièges à l'interface semi-conducteur/diélectrique D_{it} à travers le paramètre n . En effet, le facteur d'idéalité n , d'après l'**Eq. 3-17**, dépend de $C_{it} = q \cdot D_{it}$. On obtient alors :

$$D_{it} = C_{OX} \cdot \frac{n-1}{q} \quad \text{Eq. 3-35}$$

3.2.2. MODELISATION DE I_D POUR DIFFERENTES LONGUEURS DE CANAL L EN REGIME LINEAIRE ET SATURE

Ce modèle est donc validé sur les courbes de transfert à température ambiante et pour un transistor de longueur de canal $L=20\mu\text{m}$. Dans cette partie, nous verrons si la modélisation des courbes de transfert et de sortie pour différentes valeurs de L (10, 20, 50 et $100\mu\text{m}$) reste correcte. Ceci nous permettra de valider le modèle pour les régimes linéaire et saturé.

Effet de canaux courts

Pour les faibles longueurs de canal ($L \leq 20\mu\text{m}$), une dépendance en V_{DS} du courant de drain en saturation a été observée sur les courbes de sortie (**Figure 3-7**), ce qui correspond à des effets de canaux courts. Dans notre cas, il s'agirait d'un abaissement de la barrière de potentiel induit par le drain (DIBL pour « Drain-Induced Barrier Lowering »). Lorsqu'une tension nulle est appliquée sur le drain, le profil de potentiel est le même quelle que soit la longueur du canal (**Figure 3-6**). En revanche, lorsqu'une polarisation au drain est appliquée, le profil de potentiel du canal est modifié. Or, pour les canaux courts, celui-ci est affecté sur toute la longueur du canal, entraînant une baisse de la barrière de potentiel au niveau de la source. En augmentant la tension de drain, les porteurs de charges peuvent alors traverser le canal à une plus faible valeur de polarisation de

grille. La baisse de la barrière de potentiel à la source entraîne une injection plus importante des porteurs de charges et donc une augmentation du courant de drain [8]. Contrairement à d'autres effets de canaux courts, le DIBL affecte les caractéristiques du transistor en-dessous et au-dessus du seuil.

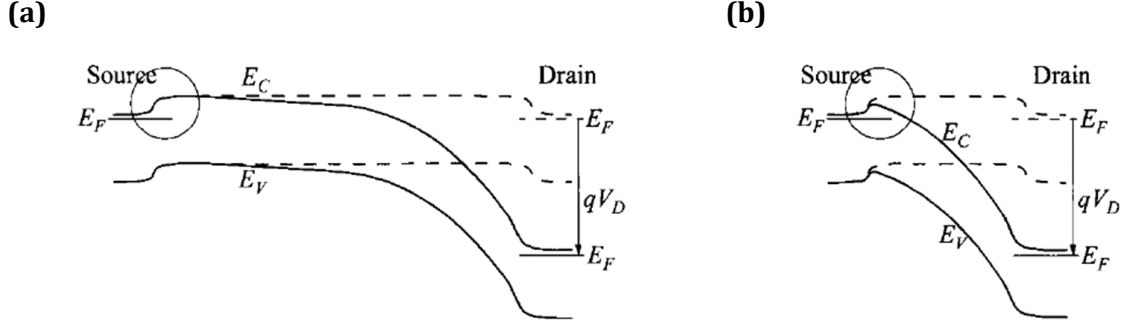


Figure 3-6 : Diagramme de bandes d'énergie à la surface du semi-conducteur, entre la source et le drain, pour un transistor avec (a) un canal long et (b) un canal court. Il s'agit ici du cas d'un transistor de type N. Les lignes pointillées représentent $V_D=0V$ tandis que les lignes pleines correspondent à $V_D>0V$ – repris de [8].

Du point de vue du modèle décrit précédemment, il est alors possible de prendre compte cet effet en introduisant une augmentation linéaire de V_{GS} avec V_{DS} en remplaçant V_{GS} par $V_{GS} + \lambda V_{DS}$ dans **Eq. 3-34** [12], [13]. Les courbes du modèle avant et après correction pour un transistor avec une longueur de canal de $10\ \mu m$ sont représentées en **Figure 3-7**.

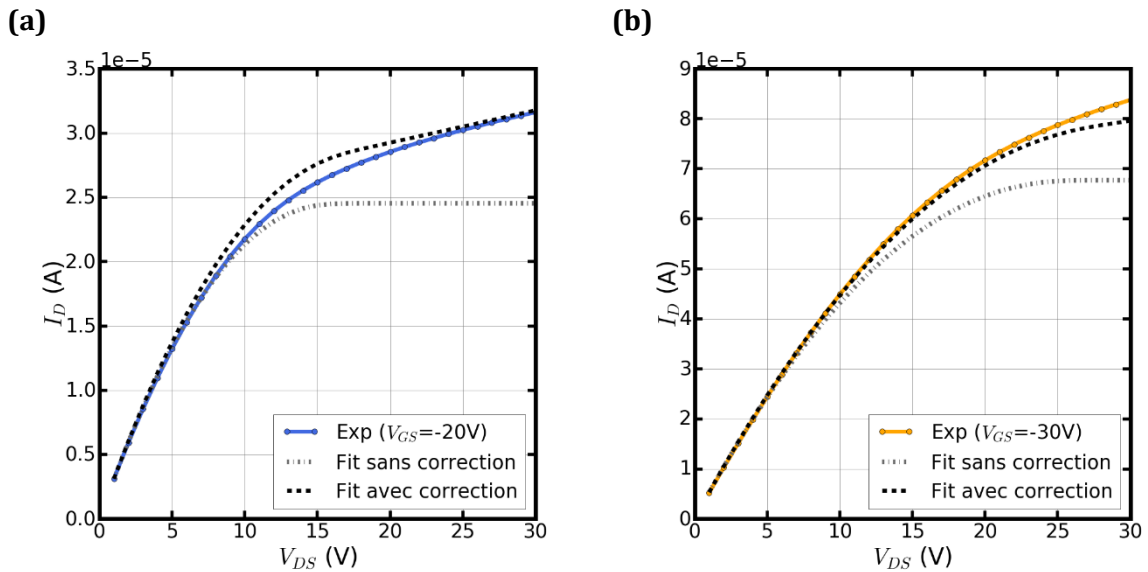


Figure 3-7 : Courbes de sortie expérimentales et modélisées avec et sans correction du DIBL pour (a) $V_{GS}=-20V$ et (b) $V_{GS}=-30V$. $W=2000\mu m$, $L=10\mu m$. Les paramètres de fit du modèle sont : $n=22$, $V_T=-4.1V$, $\mu_0=0.41cm^2/Vs$ et $\lambda=0.07$.

Bien que la modélisation ne soit pas parfaite, la prise en compte du DIBL pour les canaux courts améliore la précision du modèle.

Courbes de sortie et courbes de transfert

Cette correction du DIBL a été prise en compte afin de modéliser les courbes de transfert (**Figure 3-8**) en régime linéaire et saturé et les courbes de sortie (**Figure 3-9**) pour plusieurs longueurs

de canal ($L = 10, 20, 50$ et $100 \mu\text{m}$) et pour un même jeu de paramètres de fit présenté en **Table 3-1**.

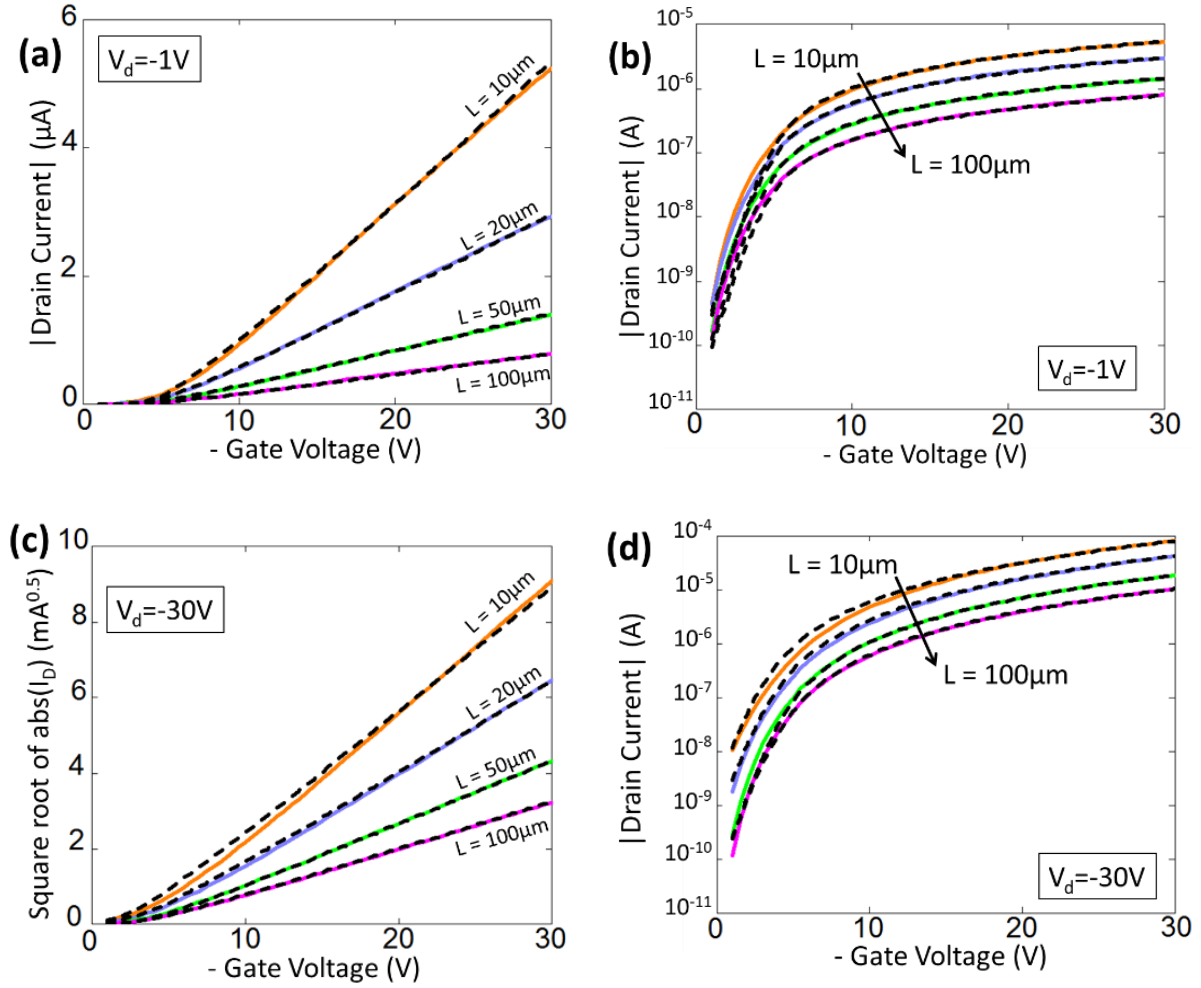
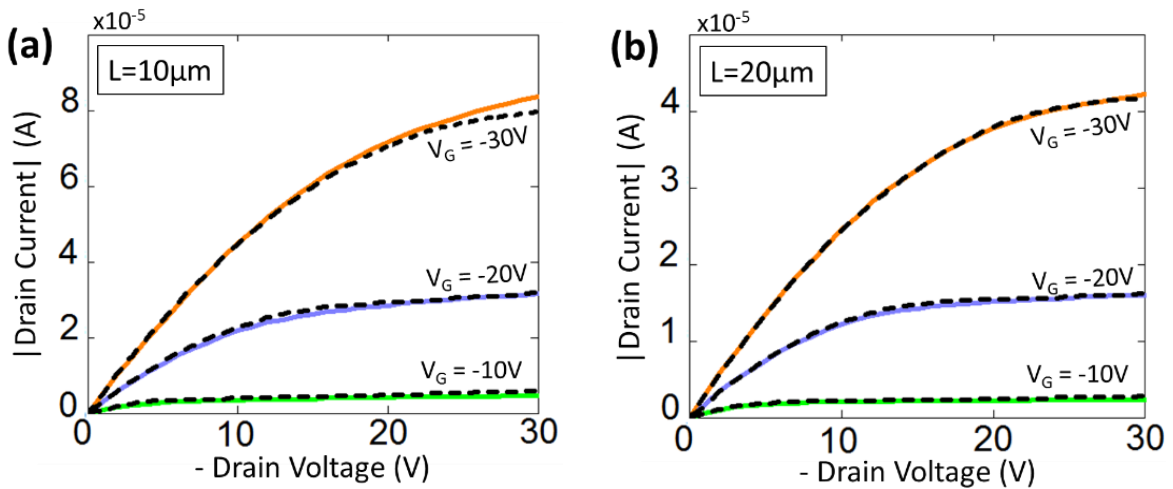


Figure 3-8 : Courbes de transfert expérimentales (lignes pleines) et modélisées (lignes pointillées) de P-OTFTs **(a)** et **(b)** en régime linéaire, **(c)** et **(d)** en régime saturé, en échelle linéaire (à gauche) et semi-logarithmique (à droite). $W = 2000 \mu\text{m}$ et $L = 10, 20, 50$ and $100 \mu\text{m}$. Le jeu de paramètres de fit utilisé est présenté en **Table 3-1**.



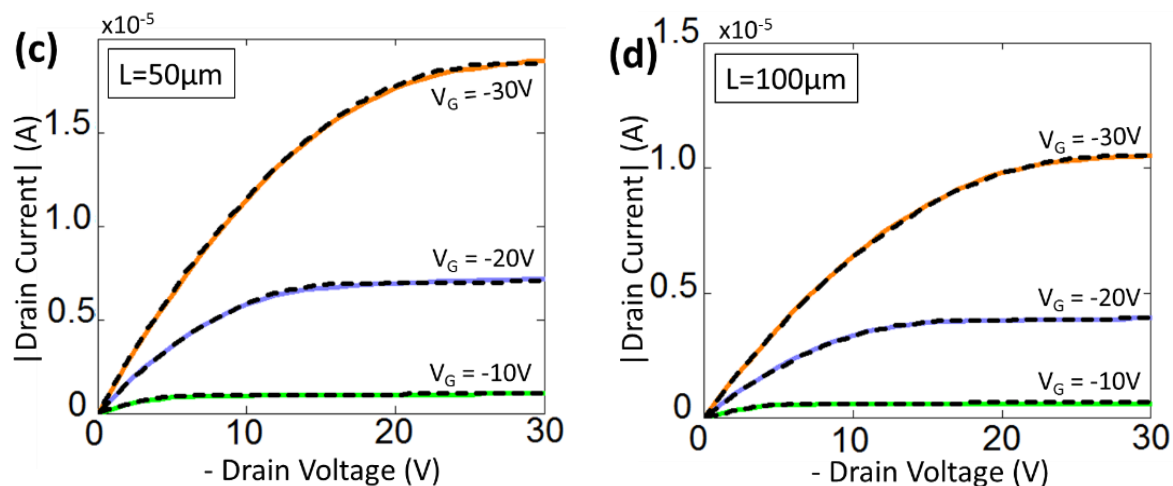


Figure 3-9 : Courbes de sortie expérimentales (lignes pleines) et modélisées (lignes pointillées de P-OTFTs pour différentes tensions de grille ($V_{GS} = -10, -20$ et $-30V$) et pour différentes longueurs de canal L égales à (a) $10\ \mu m$, (b) $20\ \mu m$, (c) $50\ \mu m$ et (d) $100\ \mu m$. $W = 2000\ \mu m$. Le jeu de paramètres de fit utilisé est présenté en **Table 3-1**.

Table 3-1 : Paramètres de fit utilisés pour la modélisation des courbes de transfert (**Figure 3-8**) et de sortie (**Figure 3-9**)

$L\ (\mu m)$	10	20	50	100
$V_{th}\ (V)$	- 4.1	- 3.8	- 3.6	- 3.6
$\mu_o\ (cm^2/Vs)$	0.41	0.45	0.53	0.59
n	22	23	21	22
λ	0.07	0.04	0.01	0.01

D'après les **Figure 3-8** et **Figure 3-9**, il est possible de modéliser de manière relativement précise et en conservant le même jeu de paramètres, les caractéristiques de transfert et de sortie des transistors pour différentes valeurs de L .

En résumé, le modèle physique basé sur la fonction Lambert W permet de décrire correctement la charge d'accumulation et ainsi les caractéristiques de transfert et de sortie des transistors pour différentes longueurs de canal. Il reste valable sous et au-dessus du seuil et dans les régimes linéaire et saturé. De plus, il prend en compte les effets de canaux courts apparaissant pour $L \leq 20\ \mu m$.

3.3. Application à des mesures basses températures

Le modèle basé sur la fonction LW a donc été validé à température ambiante. Dans cette partie, nous verrons s'il est possible de l'appliquer à des mesures basses températures. Tout d'abord, le protocole expérimental sera décrit. Puis le modèle sera utilisé pour modéliser les courbes de transfert et de sortie du transistor en température. Enfin, les paramètres de fit seront comparés aux valeurs extraites par d'autres méthodes pour valider l'utilisation de ce modèle pour l'extraction de paramètres. Les évolutions des caractéristiques de l'OTFT à basses températures

seront également discutées et notamment la mobilité, ce qui permettra d'identifier le mécanisme de transport dans le SCO.

3.3.1. PROTOCOLE EXPERIMENTAL

Les mesures à basses températures ont été réalisées à l'IMEP-LaHC grâce à un banc cryostat détaillé en partie 2.2.1. Afin de réaliser ces mesures, les transistors doivent être placés dans un boîtier qui permettra d'établir les connexions électriques. Pour cela, un module de transistors d'une plaque Polaris (voir Chapitre 2) a été découpé et leurs électrodes ont été reliées par Wirebonding aux contacts du boîtier (**Figure 3-10**). Le boîtier de connexion est ensuite mis en place dans la chambre cryogénique dans le noir complet. L'accès à la matrice de connexions extérieure permettra l'adressage des différents OTFTs.

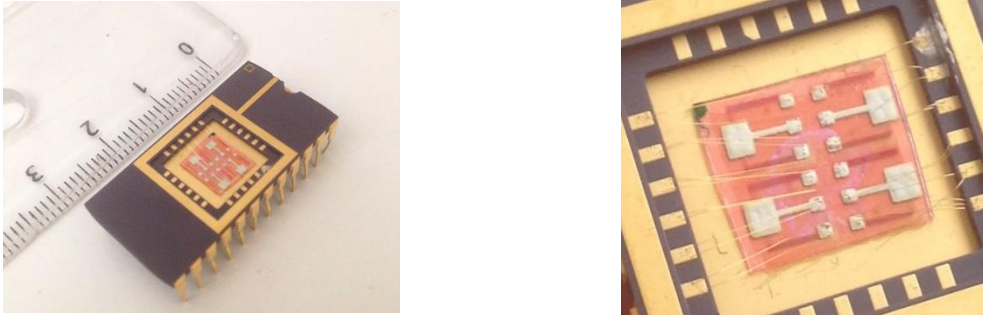
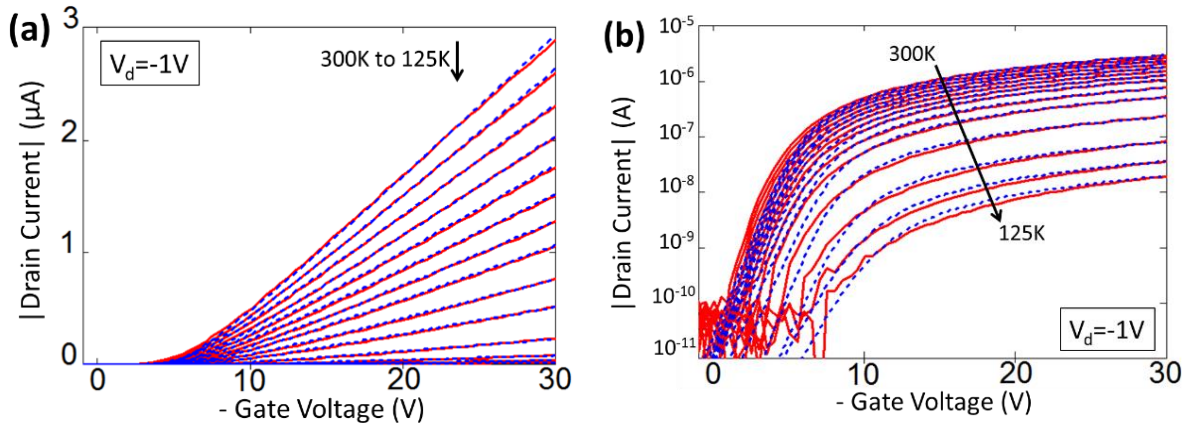


Figure 3-10 : Photos du boîtier utilisé pour les mesures à basse température (4 transistors connectés).

Après un temps de relaxation dans le noir suffisant, les transistors ont été mesurés à différentes températures de 300K à 125K, puis de 125K à 300K. Plusieurs transistors (avec $L=20$ et $50\mu\text{m}$) provenant de différentes plaques Polaris ont été testés. Les résultats obtenus étant similaires pour les différents transistors, nous ne présenterons ici que ceux obtenus sur un OTFT avec $W=2000\mu\text{m}$ et $L=20\mu\text{m}$.

3.3.2. VALIDATION POUR LES REGIMES LINEAIRE ET SATURE A BASSE TEMPERATURE

Les caractéristiques de transfert (**Figure 3-11**) en régime linéaire et saturé ainsi que les caractéristiques de sortie (**Figure 3-12**) présentées ont été mesurées pour des températures décroissantes de 300K à 125K.



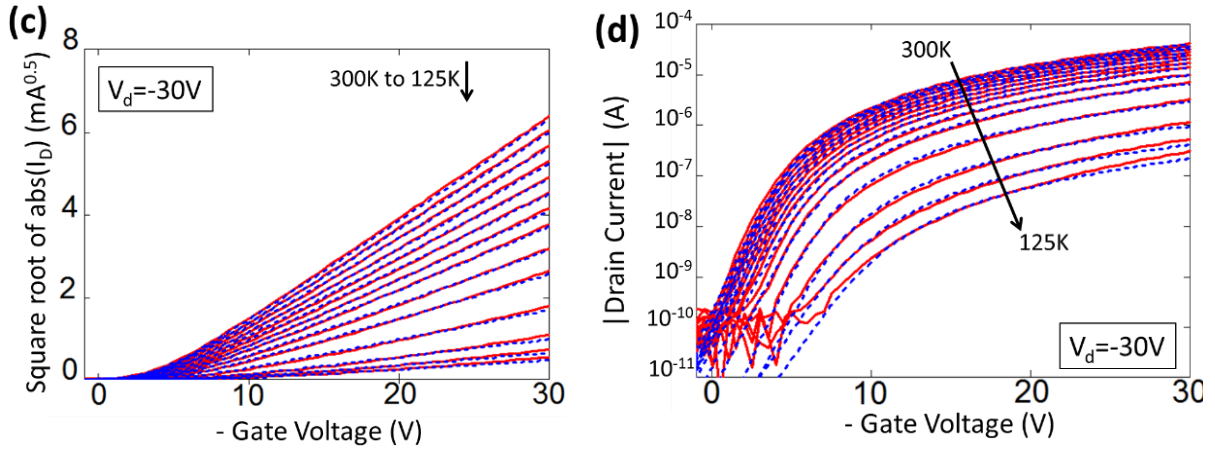


Figure 3-11 : Courbes de transfert expérimentales (lignes pleines) et modélisées (lignes pointillées) en régime linéaire **(a) et (b)** et saturé **(c) et (d)** d'un P-OTFT ($W=2000 \mu\text{m}$ et $L=20 \mu\text{m}$) en échelle linéaire et semi-logarithmique et pour différentes températures ($T=300, 290, 280, 270, 260, 250, 240, 230, 215, 200, 175, 150, 135$ et 125K). Les paramètres de fit utilisés seront détaillés dans la partie 3.3.3.

Le modèle peut ainsi décrire correctement les courbes $I_D=f(V_{GS})$ des transistors en régime linéaire et saturé, pour toutes les températures mesurées. On peut remarquer qu'à basse température ($\leq 150\text{K}$), la pente sous le seuil de la courbe expérimentale devient bruitée (**Figure 3-11 b et d**). Notre modèle va alors permettre d'extrapoler cette partie de la courbe afin de pouvoir en extraire SS à partir du facteur d'idéalité n . En effet :

$$n = \frac{q}{SS \cdot kT} \quad \text{Eq. 3-36}$$

Les courbes de sortie sont également correctement décrites par le modèle développé (**Figure 3-12**), ce qui montre la validité de celui-ci en régime linéaire et en régime saturé à basse température.

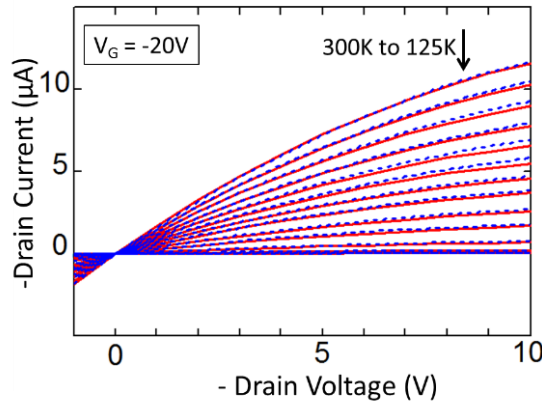


Figure 3-12 : Courbes de sortie expérimentales (lignes pleines) et modélisées (lignes pointillées) d'un P-OTFT ($W=2000 \mu\text{m}$ et $L=20 \mu\text{m}$) mesurées à différentes températures ($T=300, 290, 280, 270, 260, 250, 240, 230, 215, 200, 175, 150, 135$ et 125K) et pour $V_{GS}=-20\text{V}$. Les paramètres de fit utilisés seront détaillés dans la partie 3.3.3.

De plus, la continuité et la dérivabilité de la fonction Lambert W et par extension du modèle, permet à celui-ci de modéliser de façon correcte la transconductance g_m (**Figure 3-13**). Les courbes expérimentales de g_m correspondent à une dérivée discrète du courant I_D par rapport à

V_{GS} , elles sont donc davantage bruitées, ce qui justifie d'autant plus l'utilisation d'un modèle théorique pouvant extrapoler le comportement des transistors.

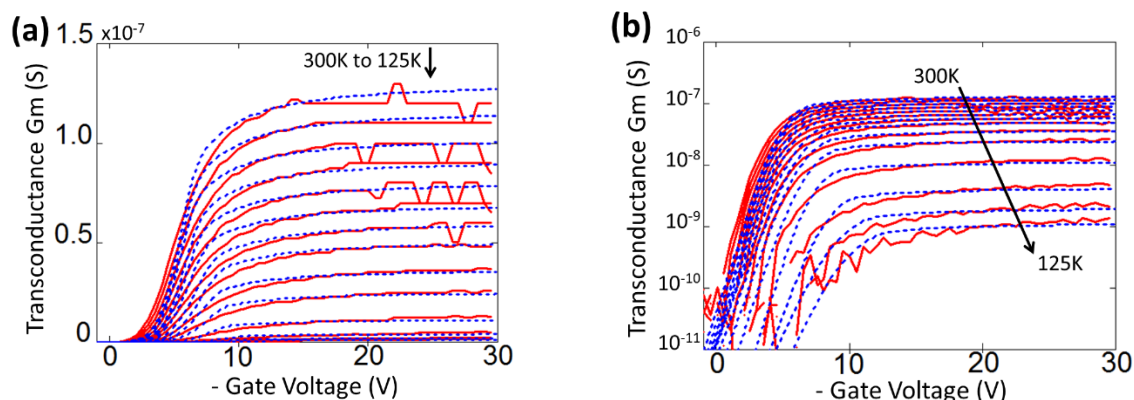


Figure 3-13 : Courbes expérimentales (lignes pleines) et modélisées (lignes pointillées) de la transconductance g_m d'un P-OTFT en échelle **(a)** linéaire et **(b)** semi-logarithmique pour différentes températures ($T=300, 290, 280, 270, 260, 250, 240, 230, 215, 200, 175, 150, 135$ et $125K$). $W=2000\mu m$ et $L=20\mu m$. Les paramètres de fit utilisés seront détaillés dans la partie 3.3.3.

3.3.3. EVOLUTION DES PARAMETRES DU TRANSISTOR AVEC LA TEMPERATURE

Afin de pouvoir valider le modèle basé sur la fonction Lambert W pour l'extraction des paramètres du transistor, celui-ci a été comparé à d'autres méthodes d'extraction présentées au cours du chapitre 1 [13]–[15].

3.3.3.1. EVOLUTION DE D_{it} ET V_T AVEC LA TEMPERATURE

La densité de charges piégées à l'interface D_{it} a été calculée à partir du facteur d'idéalité n . D'après les **Eq. 3-35** et **Eq. 3-36**, cette densité peut être extraite par le paramètre n du modèle basé sur la fonction Lambert W (Dit LW), mais également d'une façon plus classique par le maximum de la pente sous le seuil (Dit SS) (**Figure 3-14a**).

La méthode Y [15], présentée au chapitre 1, a été utilisée pour extraire la tension de seuil V_T . Les valeurs obtenues ont été comparées à celles extraites à travers le jeu de paramètres du modèle basé sur la fonction LW (**Figure 3-14b**).

La même tendance est observée entre les valeurs obtenues par les méthodes d'extraction classiques et celles obtenues par le modèle. Concernant la densité de charges piégées à l'interface D_{it} , le modèle pourrait même être plus précis à basses températures où la pente sous le seuil est d'avantage bruitée. Un écart constant d'environ 2V est observé entre les extractions de la tension de seuil V_T . Or, nous avons vu au cours du premier chapitre que l'évaluation de V_T pour les OTFTs est délicate ; cette différence peut donc être expliquée par l'utilisation de deux méthodes distinctes. En revanche, l'écart étant constant, l'évolution de V_T en fonction de la température est strictement similaire, ce qui indique que le modèle pourrait être utilisé pour l'extraction de ces deux paramètres.

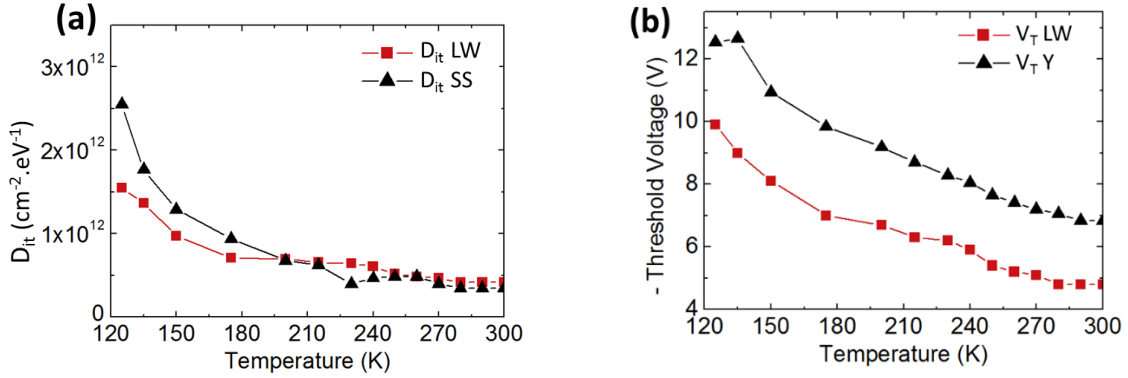


Figure 3-14 : Evolution de D_{it} et V_T d'un P-OTFT en fonction de la température. **(a)** Comparaison de D_{it} extrait par le modèle basé sur la fonction LW et par la pente sous le seuil SS. **(b)** Comparaison de V_T extrait par le modèle LW et par la méthode de la fonction Y. $W=2000\mu\text{m}$ et $L=20\mu\text{m}$.

D'après la **Figure 3-14**, D_{it} augmente lorsque la température diminue, ce qui peut être relié à l'augmentation du taux de remplissage des pièges, dû au déplacement du niveau de Fermi vers le bord des bandes d'énergie où la densité de pièges est plus importante. De plus, la tension de seuil V_T semble suivre la même évolution que D_{it} (**Figure 3-15**).

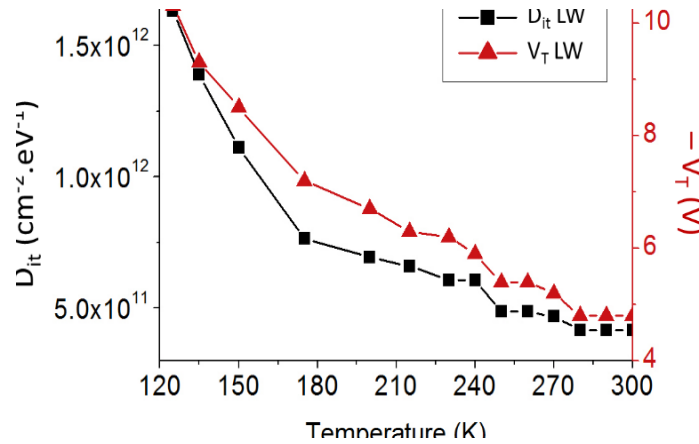


Figure 3-15 : Evolutions comparées de D_{it} et V_T d'un P-OTFT en fonction de la température. $W=2000\mu\text{m}$ et $L=20\mu\text{m}$.

Cette évolution corrélée entre D_{it} et V_T pourrait être expliquée par l'influence électrostatique des charges piégées à l'interface qui décalent en tension la formation du canal. Par conséquent, une plus grande tension de grille est nécessaire pour obtenir le même courant de drain et donc la valeur absolue de la tension de seuil augmente (**Figure 3-16**).

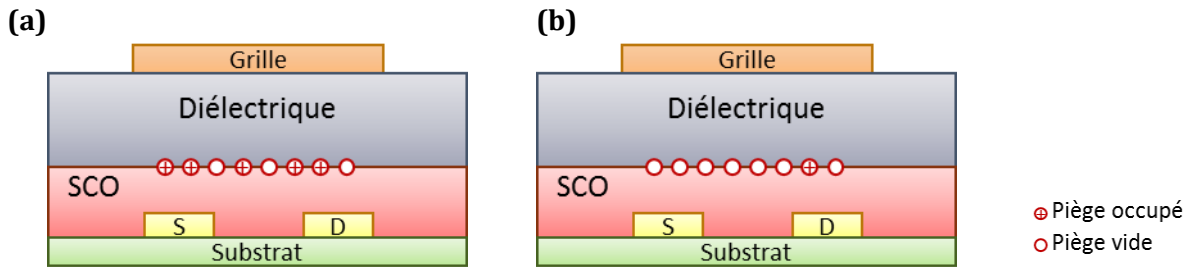


Figure 3-16 : Représentation schématique du remplissage des pièges d'interface d'un P-OTFT suivant que la température est **(a)** basse ou **(b)** élevée. Ces pièges vont alors perturber plus ou moins la formation du canal par effet électrostatique.

3.3.3.2. EVOLUTION DE LA MOBILITE AVEC LA TEMPERATURE

Les valeurs de mobilité obtenues avec le modèle ($\mu_{0\text{ LW}}$) ont été comparées à celles de la mobilité à effet de champ déterminée au maximum de la transconductance (μ_{FEmax}) [13] (**Figure 3-17**). Les variations de la mobilité avec la température obtenues par les deux méthodes sont similaires, le modèle développé permet donc une extraction correcte de ce paramètre.

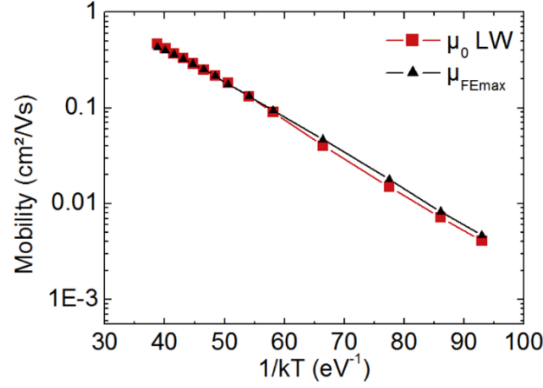


Figure 3-17 : Evolution de la mobilité d'un P-OTFT en fonction de $1/kT$ montrant une loi d'Arrhenius. $W=2000\mu\text{m}$ et $L=20\mu\text{m}$.

La **Figure 3-17** montre également que la mobilité suit une loi d'Arrhenius. Le transport dans le semi-conducteur est donc activé thermiquement et serait assimilable à un MTR ou transport limité par piégeage-dépiégeage multiples (voir partie 1.1.2.2). La mobilité peut alors s'écrire [16] :

$$\mu_0 = \mu_{BL} \cdot \exp\left(-\frac{E_A}{kT}\right) \quad \text{Eq. 3-37}$$

Avec E_A l'énergie d'activation correspondant à la profondeur moyenne des états localisés et μ_{BL} la mobilité « band-like » correspondant à la mobilité maximale possible, c'est-à-dire équivalente à un transport par bande, sans états localisés. Pour le cas de nos transistors, cette énergie d'activation E_A est de l'ordre de 100 meV (+/- 10 meV suivant les OTFTs testées). La mobilité μ_{BL} extraite à partir de la **Figure 3-17**, est, quant à elle, proche de $15 \text{ cm}^2/\text{V.s}$, ce qui est similaire à la mobilité des OTFTs avec du pentacène monocristallins [17].

De plus, dans le modèle de transport MTR, le piégeage étant le facteur limitant, la mobilité est ainsi dépendante du ratio de charges libres par rapport à la densité totale de charges (libres + piégées) [18] :

$$\mu_0 = \mu_{BL} \frac{n_f}{n_t + n_f} \quad \text{Eq. 3-38}$$

Avec n_f la densité de porteurs de charges libres, n_t la densité de porteurs de charges piégés dans les états localisés. Par conséquent, les porteurs de charges libres représentent environ 3% du nombre de porteurs de charge total à température ambiante.

En résumé, le modèle basé sur la fonction de Lambert W permet également de modéliser correctement le comportement électrique (courbes de transfert et de sortie) des OTFTs à basse température.

L'évolution des paramètres (D_{it} , V_T , μ_0) en température extraits avec notre modèle et calculés par les méthodes d'extraction standards sont similaires. Ce modèle permet donc une extraction précise des paramètres électriques du transistor.

Les expériences à basses températures ont ainsi montré que l'augmentation de $|V_T|$ à basse température est corrélée à l'augmentation de la densité de charges piégées à l'interface OSC/diélectrique. Enfin, nous avons également observé que le transport dans notre semi-conducteur organique est activé thermiquement avec une mobilité « band-like » proche du pentacène monocristallin.

3.4. Conclusions

Au cours de ce chapitre, le développement d'un modèle physique permettant de décrire mathématiquement le comportement électrique de nos OTFTs a été réalisé. En effet, l'utilisation de la fonction Lambert W permet de décrire la charge d'accumulation Q_{acc} dans le canal et par conséquent le courant de drain I_D des transistors organiques.

Ce modèle a ensuite été validé sur des courbes de transfert et de sortie expérimentales pour diverses longueurs de canal (de 10 à 100 μm). Les effets de canaux courts (DIBL dans notre cas) ont également été pris en compte dans la formule mathématique décrivant la charge Q_{acc} . Ainsi, le modèle théorique peut reproduire correctement le comportement du transistor organique en dessous et au-dessus du seuil, en régime linéaire et saturé. Il est également continu et dérivable et pourrait donc potentiellement être utilisé en tant que modèle compact des OTFTs.

Dépendant de trois variables (μ_0 , V_T et n), il a permis l'extraction de celles-ci au cours de mesures à basses températures. En effet, par comparaison avec des méthodes classiques, le modèle basé sur la fonction de Lambert W a été validé pour l'extraction des paramètres électriques des transistors comme μ_0 , V_T et SS .

Des mesures à basses températures ont été réalisées afin de mieux comprendre le transport de charges dans notre polymère semi-conducteur. D'après l'évolution de la mobilité avec la température, il s'agirait d'un transport activé thermiquement et limité par piégeage-dépiégeage multiples (MTR). Selon la loi d'Arrhenius, la mobilité « band-like » μ_{BL} serait proche du pentacène monocristallin tandis que la largeur des états localisés correspondant à l'énergie d'activation E_A serait de l'ordre de 100 meV. De plus, l'évolution de la tension de seuil avec la température serait en grande partie liée à l'effet électrostatique des charges piégées à l'interface SCO/ diélectrique.

Ainsi, ces mesures à basses températures nous ont permis de mieux comprendre le transport dans nos matériaux. Cependant, en vue de l'intégration à un circuit électronique, il est maintenant nécessaire d'étudier la stabilité électrique de nos OTFTs, notamment à travers des mesures de stress électrique.

RÉFÉRENCES

- [1] C.-H. Kim, Y. Bonnassieux, and G. Horowitz, "Compact DC Modeling of Organic Field-Effect Transistors: Review and Perspectives," *IEEE Trans. Electron Devices*, vol. 61, no. 2, pp. 278–287, Feb. 2014.
- [2] L. Wang, N. Lu, L. Li, Z. Ji, W. Banerjee, and M. Liu, "Compact model for organic thin-film transistor with Gaussian density of states," *AIP Adv.*, vol. 5, no. 4, p. 047123, Apr. 2015.
- [3] O. Marinov, M. J. Deen, U. Zschieschang, and H. Klauk, "Organic Thin-Film Transistors: Part I—Compact DC Modeling," *IEEE Trans. Electron Devices*, vol. 56, no. 12, pp. 2952–2961, Dec. 2009.
- [4] L. Colalongo, "SQM-OTFT: A compact model of organic thin-film transistors based on the symmetric quadrature of the accumulation charge considering both deep and tail states," *Org. Electron.*, vol. 32, pp. 70–77, May 2016.
- [5] T. A. Karatsori *et al.*, "Full gate voltage range Lambert-function based methodology for FDSOI MOSFET parameter extraction," *Solid-State Electron.*, vol. 111, pp. 123–128, Sep. 2015.
- [6] I. Ben Akkez *et al.*, "New parameter extraction method based on split C–V measurements in FDSOI MOSFETs," *Solid-State Electron.*, vol. 84, pp. 142–146, Jun. 2013.
- [7] A. Tsormpatzoglou, D. H. Tassis, C. A. Dimitriadis, G. Ghibaudo, G. Pananakakis, and N. Collaert, "Analytical modelling for the current–voltage characteristics of undoped or lightly-doped symmetric double-gate MOSFETs," *Microelectron. Eng.*, vol. 87, no. 9, pp. 1764–1768, Nov. 2010.
- [8] S. M. Sze and K. K. Ng, *Physics of semiconductor devices*, 3rd ed. Hoboken, N.J: Wiley-Interscience, 2007.
- [9] J. Koomen, "Investigation of the MOST channel conductance in weak inversion," *Solid-State Electron.*, vol. 16, no. 7, pp. 801–810, 1973.
- [10] Wikipedia, "Lambert W Function," https://en.wikipedia.org/wiki/Lambert_W_function.
- [11] A. Valletta *et al.*, "Modeling of Capacitance Characteristics of Printed p-Type Organic Thin-Film Transistors," *IEEE Trans. Electron Devices*, vol. 61, no. 12, pp. 4120–4127, Dec. 2014.
- [12] T. A. Karatsori, C. G. Theodorou, E. Josse, C. A. Dimitriadis, and G. Ghibaudo, "All Operation Region Characterization and Modeling of Drain and Gate Current Mismatch in 14-nm Fully Depleted SOI MOSFETs," *IEEE Trans. Electron Devices*, vol. 64, no. 5, pp. 2080–2085, May 2017.
- [13] G. Ghibaudo, "Critical MOSFETs operation for low voltage/low power IC's: Ideal characteristics, parameter extraction, electrical noise and RTS fluctuations," *Microelectron. Eng.*, vol. 39, no. 1–4, pp. 31–57, 1997.
- [14] E. Simoen, C. Claeys, and J. A. Martino, "Parameter Extraction of MOSFETs Operated at Low Temperature," *J. Phys. IV*, vol. 06, no. C3, pp. C3-29-C3-42, Apr. 1996.
- [15] G. Ghibaudo, "New method for the extraction of MOSFET parameters," *Electron. Lett.*, vol. 24, no. 9, p. 543, 1988.
- [16] C. Liu *et al.*, "A unified understanding of charge transport in organic semiconductors: the importance of attenuated delocalization for the carriers," *Mater. Horiz.*, vol. 4, no. 4, pp. 608–618, 2017.
- [17] M. Nakamura and R. Matsubara, "Carrier Mobility in Organic Thin-film Transistors: Limiting Factors and Countermeasures," *J. Photopolym. Sci. Technol.*, vol. 27, no. 3, pp. 307–316, 2014.

- [18] M. Shur and M. Hack, "Physics of amorphous silicon based alloy field-effect transistors," *J. Appl. Phys.*, vol. 55, no. 10, pp. 3831–3842, May 1984.

Chapitre 4

STABILITE ELECTRIQUE :
STRESS DE GRILLE NEGATIF

TABLE DES MATIÈRES

4.	STABILITÉ ÉLECTRIQUE : STRESS DE GRILLE NÉGATIF.....	107
4.1.	LE STRESS ELECTRIQUE.....	107
4.2.	CHOIX DE LA METHODE D'EXTRACTION UTILISEE.....	108
4.3.	IMPACT DU NGBS SUR LES CARACTERISTIQUES ELECTRIQUES DE P-OTFTS AVEC UNE GRILLE EN OR PULVERISEE	112
4.3.1.	<i>Evolution du ΔV_T au cours du stress et de la relaxation</i>	112
4.3.2.	<i>Modélisation</i>	116
4.3.3.	<i>Influence du diélectrique sur l'impact du NGBS</i>	119
4.3.3.1.	Comparaison de deux diélectriques	119
4.3.3.2.	Comparaison de la méthode de dépôt du diélectrique	121
4.4.	ETUDE DE LA STABILITE ELECTRIQUE SUR DES P-OTFTS AVEC GRILLE ARGENT IMPRIMEE	122
4.4.1.	<i>Etude du stress de grille négatif</i>	123
4.4.2.	<i>Comparaison avec la grille en or</i>	126
4.4.3.	<i>Modélisation</i>	128
4.5.	CONCLUSIONS	131

4

Les mesures à basses températures d'OTFTs détaillées dans le chapitre précédent nous ont permis de mieux comprendre les phénomènes de transport dans le semi-conducteur. Cependant, afin d'intégrer les transistors organiques dans un circuit électronique, il est important d'étudier leur stabilité électrique. Au cours de ce chapitre, nous détaillerons tout d'abord le protocole expérimental du stress électrique de grille, puis les différentes méthodes d'extraction seront comparées afin de déterminer la plus pertinente. Enfin, les résultats relatifs à l'impact du stress en tension sur les caractéristiques électriques de P-OTFTs avec une grille en or pulvérisée seront analysés, tandis que les effets du stress sur l'empilement avec une grille argent imprimée seront étudiés dans la dernière partie de ce chapitre.

4.1. Le stress électrique

Nous avons montré, lors de l'étude du vieillissement en stockage à l'air des OTFTs du chapitre 2, que la dégradation de leurs caractéristiques électriques était minime, sous réserve de limiter l'exposition de ces transistors à la lumière. Cependant, une étude de l'impact d'une polarisation prolongée des transistors est nécessaire, afin de vérifier la stabilité de ces dispositifs en fonctionnement, ce qui sera utile pour leur intégration dans des circuits électroniques.

Comme expliqué lors des chapitres précédents, l'étude en stress électrique consiste à mesurer la variation des caractéristiques électriques du transistor lors de l'application d'une tension de grille et/ou de drain de façon continue (ou pulsée). Les OTFTs de type p fonctionnant pour des tensions négatives (état passant), il est plus usuel d'analyser le stress en tension négative. Dans le cadre de cette thèse, des transistors organiques ont été soumis à des stress en tension de grille négatif, que nous appellerons NGBS (ou « Negative Gate Bias Stress »).

Le protocole de mesure mis en place pour cette étude a été détaillé dans le chapitre 2 (partie 2.2.3.2). Durant le stress d'une durée de 10^4 s, les courbes de transfert en régime linéaire ont été mesurées par intermittence afin de suivre l'évolution des caractéristiques électriques du transistor au cours du temps de stress (**Figure 2-24**). Plusieurs tensions de grille (allant de -20V à -80V) ont été appliquées pendant les phases de stress électrique. Lors de la relaxation après environ 3h de NGBS, l'évolution des paramètres électriques du transistor a été analysée suivant la même séquence de mesures, mais avec une tension nulle appliquée sur la grille (**Figure 2-25**).

Les représentations schématiques des P-OTFTs au cours des séquences de stress et de relaxation sont présentées en **Figure 4-1**.

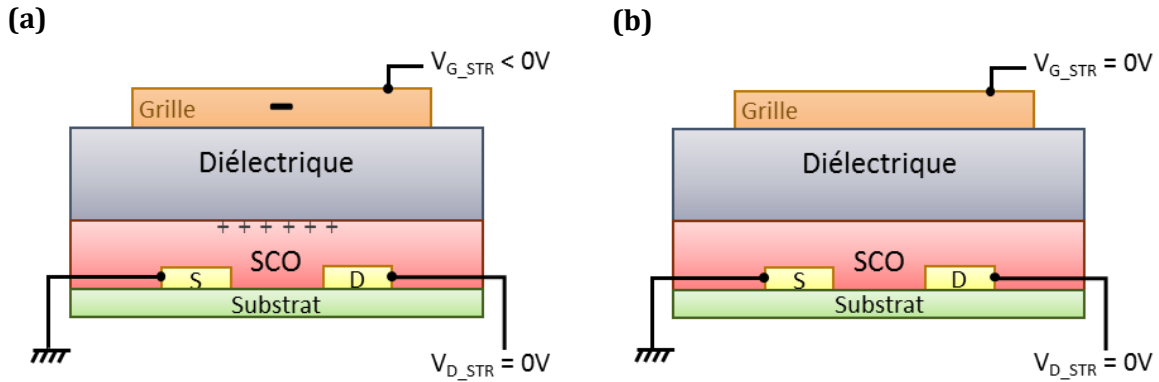


Figure 4-1 : Représentation schématique du transistor organique de type P et des tensions appliquées (a) lors d'un stress de grille négatif et (b) lors de la relaxation.

Les bancs de test pour réaliser ces mesures de NGBS ont été présentés en partie 2.2.1. La station sous pointe automatique a principalement été utilisée pour les mesures à température ambiante. En effet, un programme de test automatique a été mis en place permettant de réaliser plusieurs séquences de stress sur des transistors différents sans avoir à replacer les pointes manuellement. L'avantage étant de pouvoir s'affranchir des effets de la lumière, comme observé au cours du chapitre 2. Un seul temps de relaxation dans le noir de 3h est réalisé par campagne de mesures. En revanche, les mesures de stress électrique en température ont été réalisées avec la station sous pointe manuelle.

4.2. Choix de la méthode d'extraction utilisée

Afin de pouvoir analyser l'évolution des différents paramètres du transistor au cours du NGBS, il est important de choisir une méthode d'extraction adaptée. Les plus répandues ont été détaillées en partie 1.3 et ont été comparées au modèle développé au chapitre 3. Nous avons choisi de comparer les différentes méthodes d'extraction sur la courbe de transfert d'un P-OTFT avec une grille en or (empilement décrit au chapitre 2).

Méthode ELR

Comme expliqué dans la partie 1.3.1, le tracé de la tangente au maximum de la transconductance permet l'extraction de la tension de seuil (**Figure 4-2a**). La courbe de transfert ne présente pas de point d'inflexion, par conséquent le maximum de la transconductance correspond aux derniers points de la courbe. L'intersection de la tangente avec l'axe des abscisses, à laquelle on retranche $V_D/2$ ($= -0.5V$), permet d'obtenir une valeur de V_T de $-5.9V$ et la mobilité, calculée par la pente, est de $0.85 \text{ cm}^2/Vs$.

Méthode de la fonction Y

Présentée en partie 1.3.2, cette méthode repose sur le tracé de la courbe $Y = I_D / \sqrt{g_m}$ en fonction de V_{GS} (**Figure 4-2b**). La tension de seuil mesurée avec cette méthode, permettant théoriquement

de s’affranchir des effets de résistance de contact, est d’environ -6.3 V et la mobilité calculée est de 0.84 cm²/Vs. Cependant, le résultat obtenu dépend du nombre de points utilisés pour la régression linéaire de la courbe et donc de la plage de tensions choisies. En effet, il est possible d’obtenir une variation de 0.2V de la valeur de V_T si on double le nombre de points de la courbe commun à cette droite (**Table 4-1**).

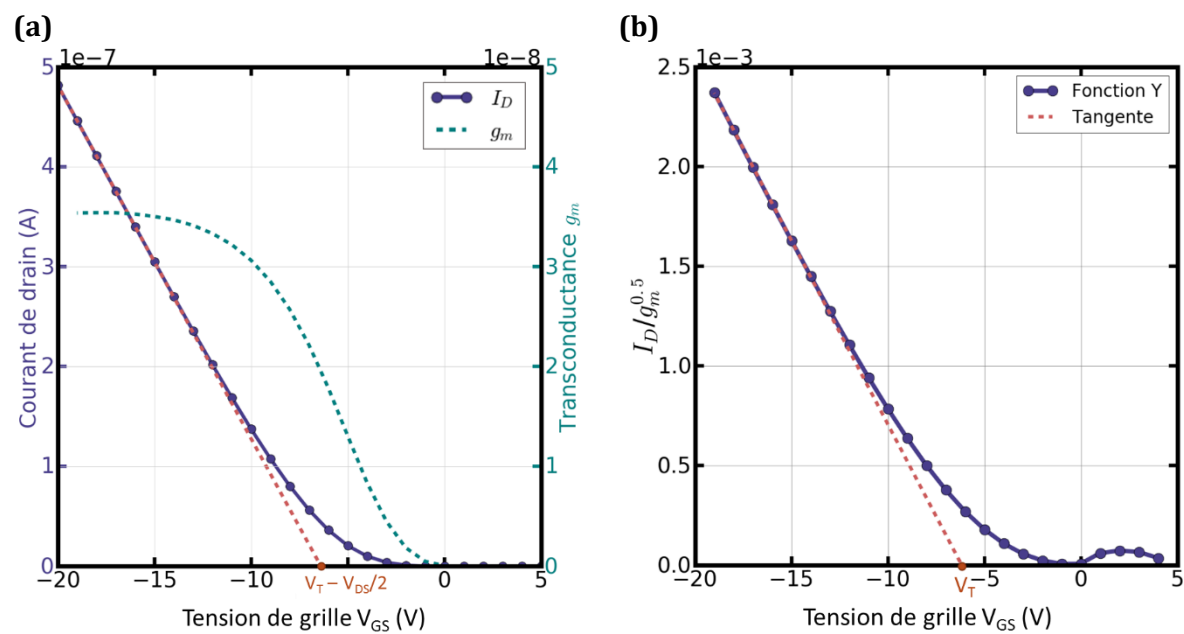
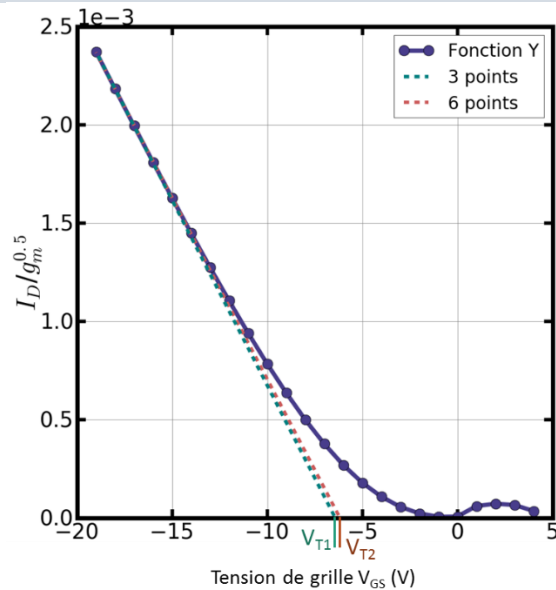


Figure 4-2 : Extraction de la tension de seuil V_T pour un transistor de type P avec $W=500\mu\text{m}$, $L=20\mu\text{m}$, (a) par la méthode ELR et (b) par la méthode de la fonction Y. $V_{DS}=-1\text{V}$.

Table 4-1 : Comparaison des valeurs extraites suivant le nombre de points utilisés pour la régression linéaire.

Nombre de points	3 points	6 points
Tension de seuil extraite (V)	$V_{T1} = -6.4$	$V_{T2} = -6.2$
Mobilité (cm ² /Vs)	0.86	0.82

Représentation graphique des V_T extraits



Méthode à courant constant

La 3^{ème} méthode d'extraction détaillée en partie 1.3.3 consiste à définir V_T comme la valeur de la tension de grille V_{GS} à un courant constant. Dans notre cas, la valeur de I_D choisie est 1 nA (**Figure 4-3a**). La valeur de V_T obtenue est -2V ce qui est assez éloigné des autres méthodes. Comme expliqué au chapitre 1, cette méthode est principalement utilisée pour étudier le décalage ΔV_T des courbes de transfert lorsqu'il n'y a pas de changement de pente sous le seuil important.

Modèle de la fonction Lambert W

Enfin, il est également possible d'extraire les paramètres du transistor grâce à notre modèle analytique du courant I_D basé sur la fonction Lambert W et développé au chapitre 3 (**Figure 4-3b**). Les variables de cette fonction utilisées pour modéliser I_D permettent l'extraction des paramètres du transistor : $V_T = -4.3V$, $\mu = 0.8 \text{ cm}^2/\text{Vs}$ et $n = 28$. Avec n le facteur d'idéalité dépendant de la pente sous le seuil.

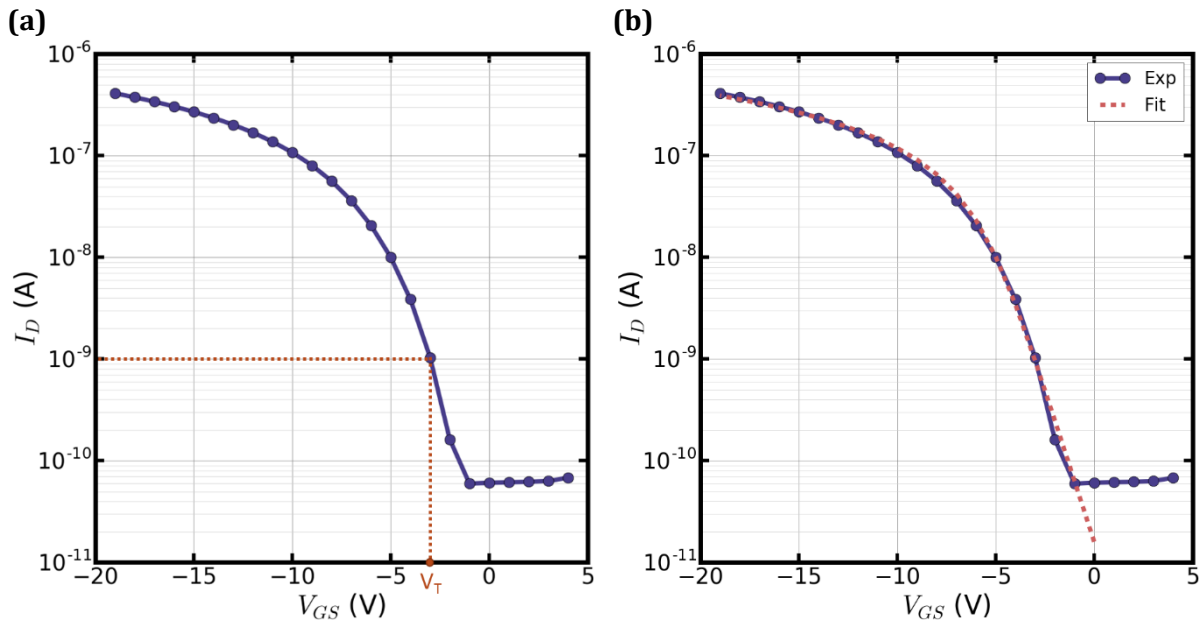


Figure 4-3 : (a) Extraction de la tension de seuil V_T par la méthode à courant constant pour $I_{D_constant} = 1 \text{ nA}$ (b) Modélisation de la courbe de transfert par la fonction de Lambert W pour un P-OTFT avec $W = 500 \mu\text{m}$ et $L = 20 \mu\text{m}$. Les variables de la fonction sont : $V_T = -4.3 \text{ V}$, $\mu = 0.8 \text{ cm}^2/\text{Vs}$ et $n = 28$. $V_{DS} = -1 \text{ V}$.

Comparaison des méthodes

Avec chacune des méthodes employées plus haut, la mobilité semble être similaire et d'environ $0.8 \text{ cm}^2/\text{Vs}$, cependant la valeur de V_T dépend fortement de la méthode choisie. Leurs avantages et inconvénients de chaque méthode sont répertoriés en **Table 4-2**.

Table 4-2 : Récapitulatif des avantages et inconvénients de chaque méthode d'extraction.

METHODE D'EXTRACTION	AVANTAGES	INCONVENIENTS
Méthode ELR	✓ Sens physique ✓ Extraction à un point physique donné (g_{m_max})	✗ La précision de g_{m_max} dépend du pas et de la plage de mesure

Méthode de la fonction Y	✓ Sens physique ✓ Permet de s'affranchir de R_c (chapitre 2)	✗ Dépend du nombre de points utilisés pour la droite de régression linéaire
Méthode à courant constant	✓ Informe du décalage de la courbe de transfert ✓ Simplifie l'extraction ✓ Précision	✗ Pas un V_T au sens « physique » ✗ Aucun sens s'il y a un fort changement de pente sous le seuil
Modèle de la fonction Lambert	✓ Sens physique ✓ Précision	✗ Lourd à mettre en place ✗ Fit manuel

Afin de pouvoir choisir la bonne méthode d'extraction, les courbes de transfert initiale et post-stress ont été comparées (**Figure 4-4**). On observe principalement un décalage de la courbe $I_D=f(V_{GS})$ et donc de la tension de seuil, sans changement significatif de la pente sous le seuil. La méthode à courant constant est donc la plus simple à mettre en place et la plus précise au vue du nombre limité de points de mesure sur une plage réduite. En effet, nous avons vu au cours du chapitre 2, qu'il était important d'avoir un temps de mesure plus court (et donc avec un pas plus important) afin que l'extraction soit plus juste pour les temps de stress inférieurs à 100s.

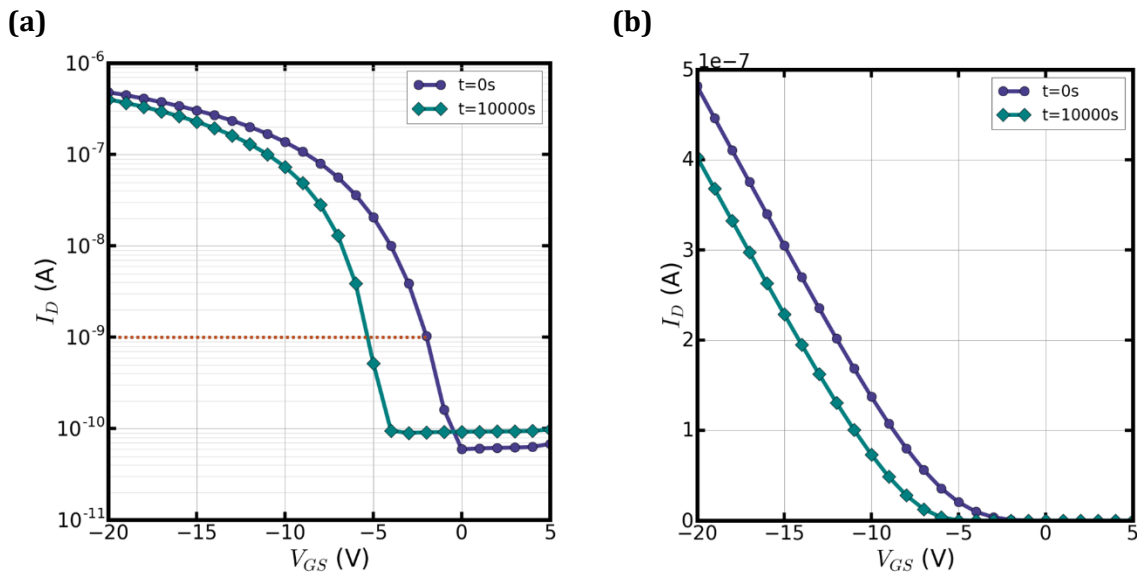


Figure 4-4 : Courbes de transfert initiale ($t=0s$) et post-stress ($t=10^4s$) pour un P-OTFT avec $W=500\mu m$ et $L=20\mu m$ **(a)** en échelle semi-logarithmique et **(b)** en échelle linéaire.

En résumé, différentes méthodes d'extraction ont été comparées. La méthode choisie pour suivre l'évolution du décalage des courbes $I_D=f(V_{GS})$ durant le stress électrique est la méthode à courant constant avec $I_{D_constant}=1nA$.

4.3. Impact du NGBS sur les caractéristiques électriques de P-OTFTs avec une grille en or pulvérisée

Tout d'abord, l'impact du stress électrique négatif a été étudié sur les transistors avec une grille en or déposée par pulvérisation cathodique (**Figure 4-5**). Le procédé de fabrication de ces OTFTs a été détaillé au chapitre 2.

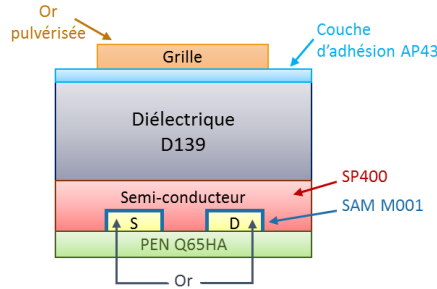


Figure 4-5 : Schéma de coupe d'un P-OTFT utilisé dans cette partie (les épaisseurs des couches ne sont pas à l'échelle).

4.3.1. EVOLUTION DU ΔV_T AU COURS DU STRESS ET DE LA RELAXATION

Afin d'observer l'influence de la tension de grille de stress (V_{G_STR}) sur l'évolution des caractéristiques du transistor au cours du NGBS, plusieurs V_{G_STR} (allant de -20V à -80V) ont été appliquées. Lors de la campagne de mesures et pour chaque condition de stress, un nouveau transistor de même géométrie (W , L) et issu de la même plaque a été choisi. Ce dernier n'aura donc pas été stressé électriquement au préalable. Ainsi, les caractéristiques des transistors testés sont identiques entre elles au début de chaque stress électrique ce qui permet la comparaison des données. Comme expliqué précédemment, le stress électrique est interrompu ponctuellement afin de réaliser une mesure de courbe de transfert (en régime linéaire et selon le protocole défini dans la partie 2.2.3.2), pour pouvoir suivre l'évolution des paramètres du transistor. Les courbes $I_D=f(V_{GS})$ correspondant au stress électrique à $V_{G_STR} = -20V$ et $V_{D_STR} = 0V$ et à la relaxation associée sont représentées en **Figure 4-6**.

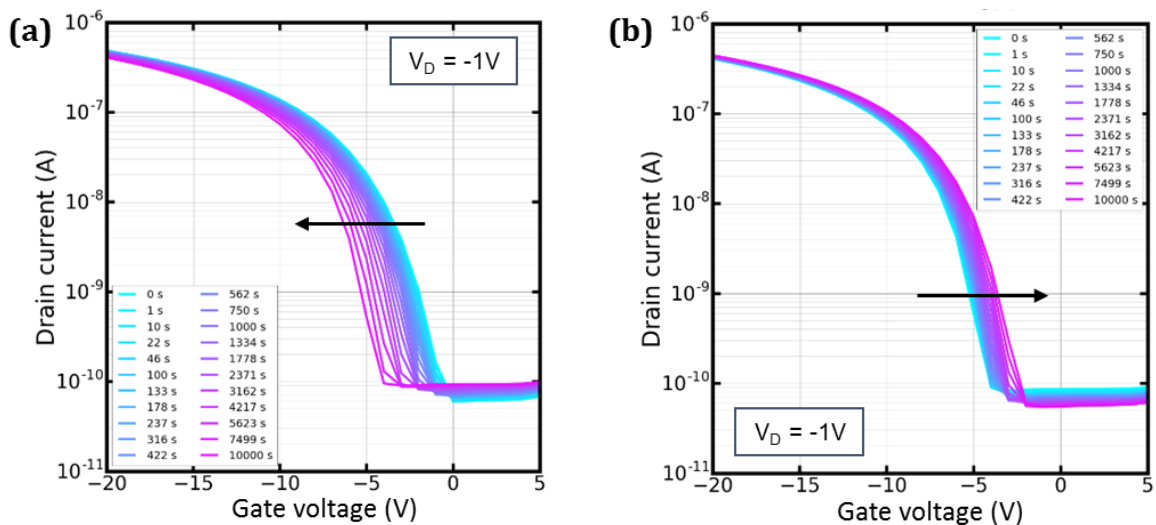


Figure 4-6 : (a) Evolution des courbes de transfert lors du stress électrique ($V_{G_STR} = -20V$ et $V_{D_STR} = 0V$) et (b) lors de la relaxation ($V_{G_STR} = 0V$ et $V_{D_STR} = 0V$) sur un P-OTFT avec $W=500\mu m$ et $L=20\mu m$.

Comme observé dans la littérature [1], on constate principalement un décalage des courbes de transfert durant le stress électrique vers les tensions négatives, ce qui se traduit par une augmentation en valeur absolue de la tension de seuil $|V_T|$ ($\Delta V_T < 0$). Lors de la relaxation, la tension de seuil se déplace vers les tensions positives, mais ne semble cependant pas revenir à la position initiale au bout de 3h. Il s'agirait donc d'un phénomène en partie réversible.

Les courbes de transfert à fort champ électrique ($V_{G_STR} = -60V$ et $V_{D_STR} = 0V$) et la relaxation associée sont représentées en **Figure 4-7**. Les courbes $I_D=f(V_{GS})$ durant le NGBS et la relaxation pour les autres conditions de stress étudiées ont été tracées en **ANNEXE II**.

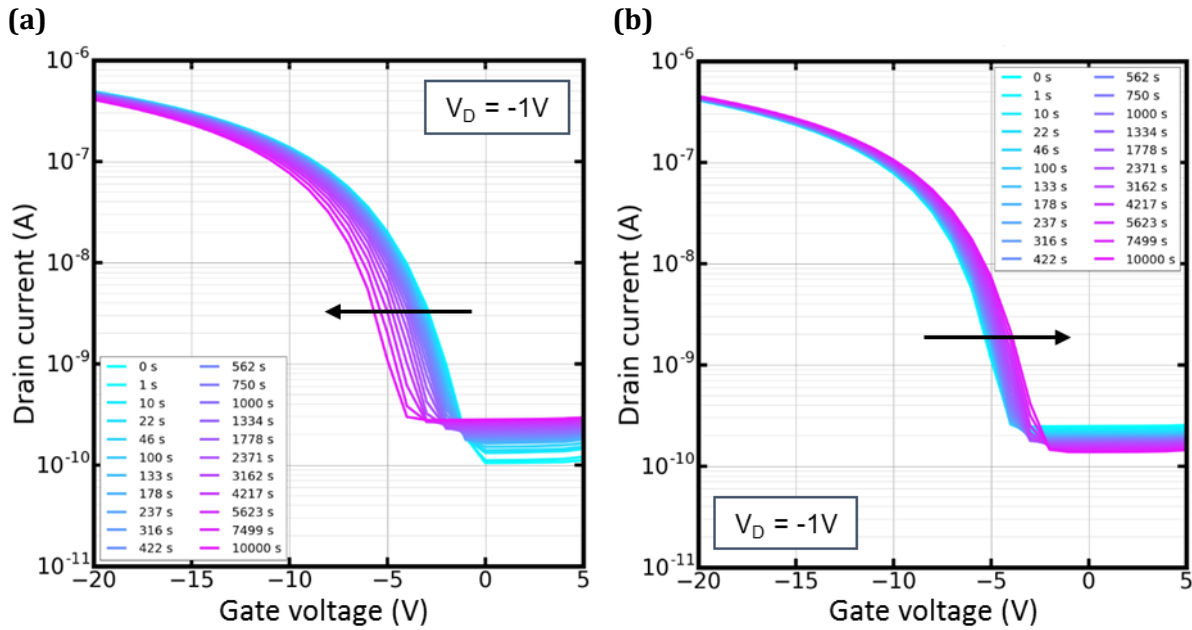


Figure 4-7 : (a) Evolution des courbes de transfert lors du stress électrique ($V_{G_STR} = -60V$ et $V_{D_STR} = 0V$) et **(b)** lors de la relaxation ($V_{G_STR} = 0V$ et $V_{D_STR} = 0V$) sur un P-OTFT avec $W=500\mu m$ et $L=20\mu m$.

Par rapport au NGBS à faible champ électrique (**Figure 4-6**), la **Figure 4-7** montre à priori un décalage similaire des courbes de transfert au cours du stress électrique et de la relaxation. Cependant, on observe une montée du courant I_{OFF} au cours du NGBS à fort champ électrique. Or, ce courant dépend de nombreux paramètres, dont les charges présentes dans le semi-conducteur. La montée du courant I_{OFF} pourrait, par exemple, être expliquée par le fait que le SCO est déposé en pleine couche sur la plaque de transistors. On remarque en effet que le courant I_{OFF} initial est plus élevée par rapport à des plaques de transistors avec un semi-conducteur défini suivant un motif précis au-dessus canal, ce qui pourrait être le résultat de la présence de lignes de champ plus ou moins étendues entre la source et le drain. Toutefois, il était plus simple, du point de vue de la fabrication des OTFTs, de déposer le SCO par spin-coating et donc en pleine couche.

L'origine de la montée courant I_{OFF} durant le stress électrique restant difficile à déterminer au vue des nombreux paramètres pouvant l'affecter, nous avons donc décidé de nous focaliser sur l'étude de la variation de la tension de seuil. En effet, les autres paramètres du transistor comme la mobilité et la pente sous le seuil ne semblent pas avoir été grandement impactés par le NGBS (**Figure 4-8**).

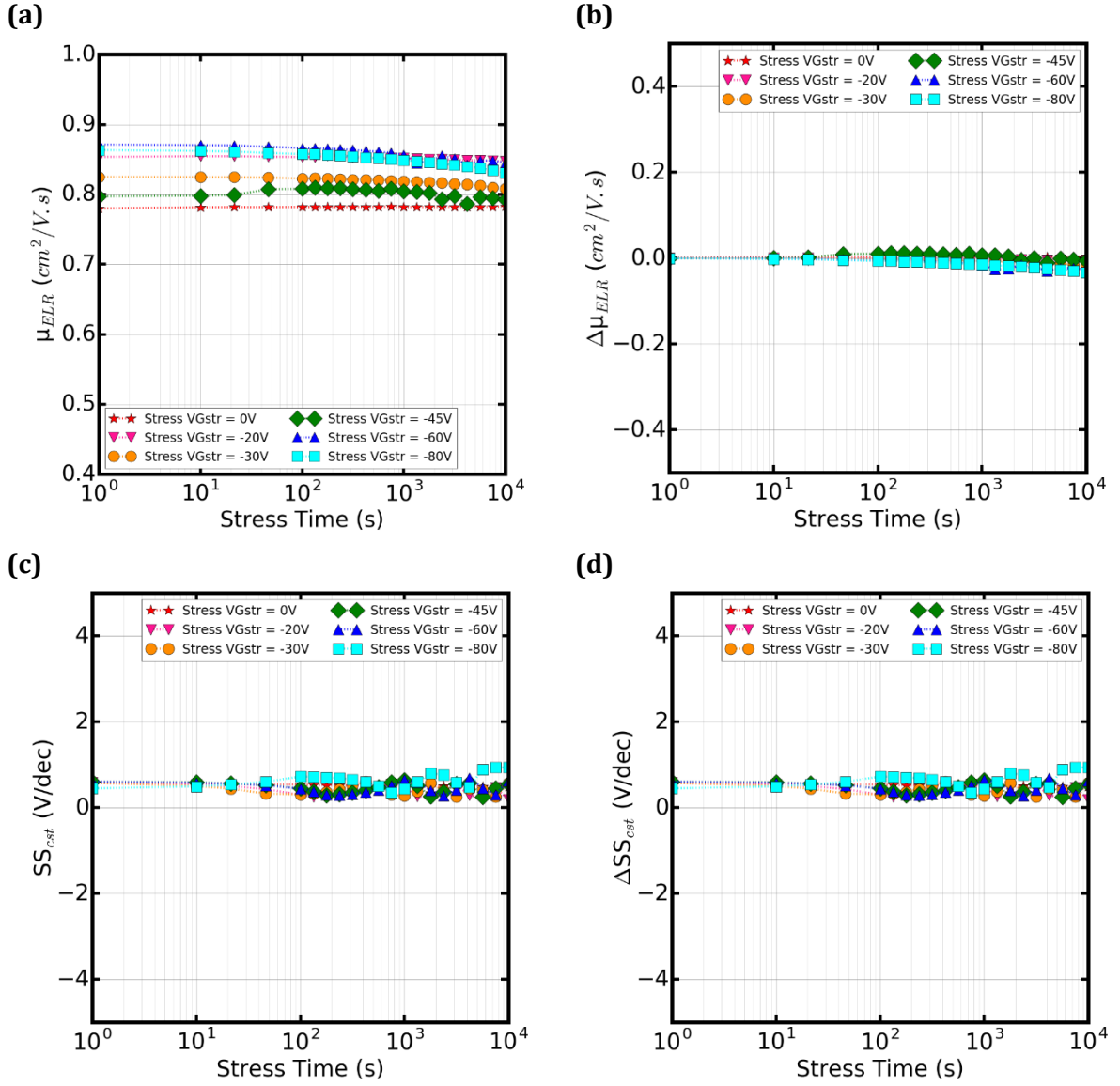


Figure 4-8 : Evolution (a) de la mobilité μ et (b) $\Delta\mu = \mu - \mu_{initiale}$ extraite par méthode ELR et (c) de la pente sous le seuil SS (d) $\Delta SS = SS - SS_{initiale}$ par méthode à courant constant (entre 1nA et 5nA) au cours d'un stress en tension de grille avec V_{G_STR} allant de 0 à -80V et $V_{D_STR} = 0V$ sur des P-OTFT avec $W=500\mu m$ et $L=20\mu m$ (1 transistor par condition).

Le nombre de points de mesure étant réduit afin que la mesure ne soit pas trop longue, l'extraction de la pente sous le seuil ne peut être très précise. Cependant, aucune tendance franche au cours du stress n'a été observée. Concernant la mobilité, une baisse d'environ 0.02 cm²/V.s. est observée en moyenne sur toutes les conditions de stress, ce qui correspond environ à 2% de la mobilité initiale moyenne.

Il n'y a donc pas de changement majeur de la mobilité ou de la pente sous le seuil dû au NGBS, ce qui confirme l'utilisation de la méthode à courant constant ($I_D=1nA$) pour suivre l'évolution de V_T au cours du stress et pour toutes les conditions de stress (Figure 4-9).

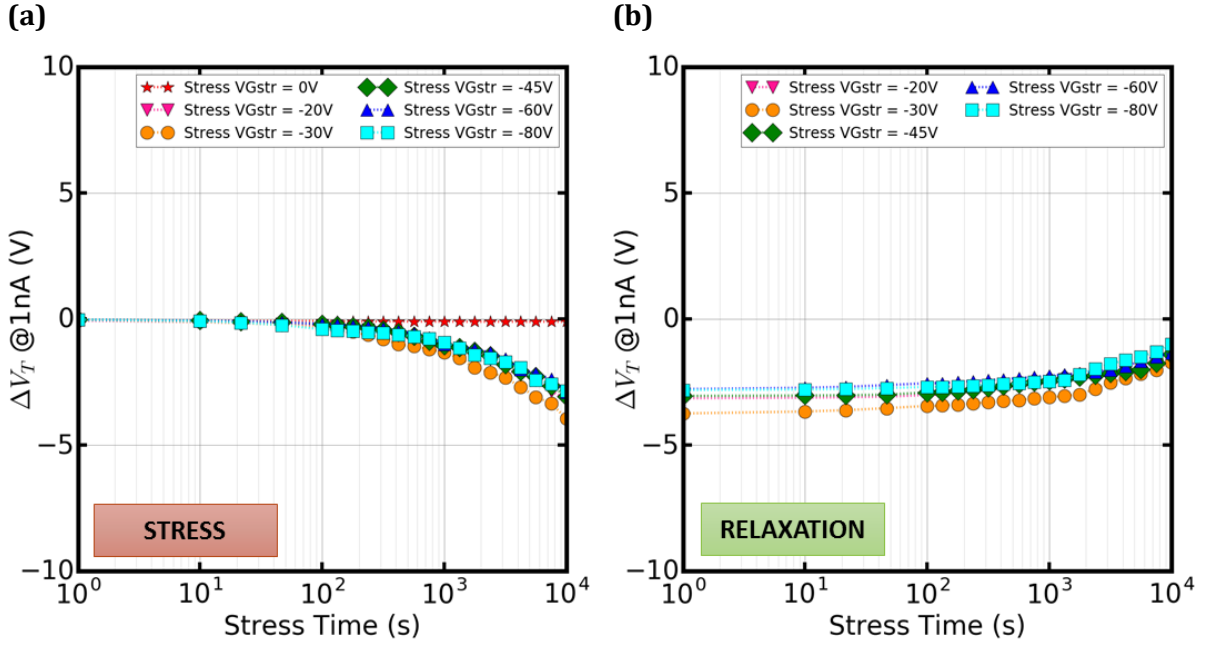


Figure 4-9 : Evolution de $\Delta V_T = V_T - V_{T_initial}$ au cours du temps **(a)** pendant le NGBS ($V_{D_STR} = 0V$ et V_{G_STR} varie entre 0 et -80V) et **(b)** pendant la relaxation ($V_{D_STR} = 0V$ et $V_{G_STR} = 0V$) sur des P-OTFT avec $W=500\mu m$ et $L=20\mu m$ (1 transistor par condition).

Le décalage des courbes de transfert, représenté par ΔV_T , semble être indépendant de la tension de grille V_{G_STR} appliquée durant le stress électrique et la relaxation. Après 10^4 s de stress, les courbes $I_D=f(V_{GS})$ se sont décalées en moyenne de -3V. Ces expériences de NGBS ont été réalisées sur d'autres plaques de transistors et aboutissent aux mêmes tendances, ce qui montre que cette indépendance en V_{G_STR} est reproductible.

Concernant la relaxation (**Figure 4-9b**), le décalage des courbes de transfert n'est plus que de -1.4V en moyenne après 3h, le ΔV_T a donc été réduit de moitié par rapport au ΔV_T de fin de stress électrique. Le phénomène est donc en partie réversible mais avec une cinétique de relaxation plus lente que celle du stress électrique.

Un tracé en échelle log-log des courbes **Figure 4-9a** (**Figure 4-10**), permet d'observer que la variation de V_T suit une loi en puissance : $\Delta V_T=b \cdot t^\alpha$ avec $\alpha \approx 0.5$, t le temps de stress et b une constante. De plus, le décalage des courbes de transfert d'un P-OTFT vers les tensions négatives durant le NGBS semble indiquer la présence de charges positives dans le diélectrique ou à l'interface SCO/diélectrique. Par effet électrostatique, ces charges repoussent les trous accumulés dans le canal et participent à un effet d'écrantage de V_{GS} . La tension de grille alors nécessaire pour observer le même courant I_D (V_T) est donc plus importante en valeur absolue (et $\Delta V_T < 0$). Puisqu'aucune variation significative de la pente sous le seuil n'est observée, les porteurs de charge ne se situeraient pas à l'interface SCO/isolant mais dans le diélectrique [2].

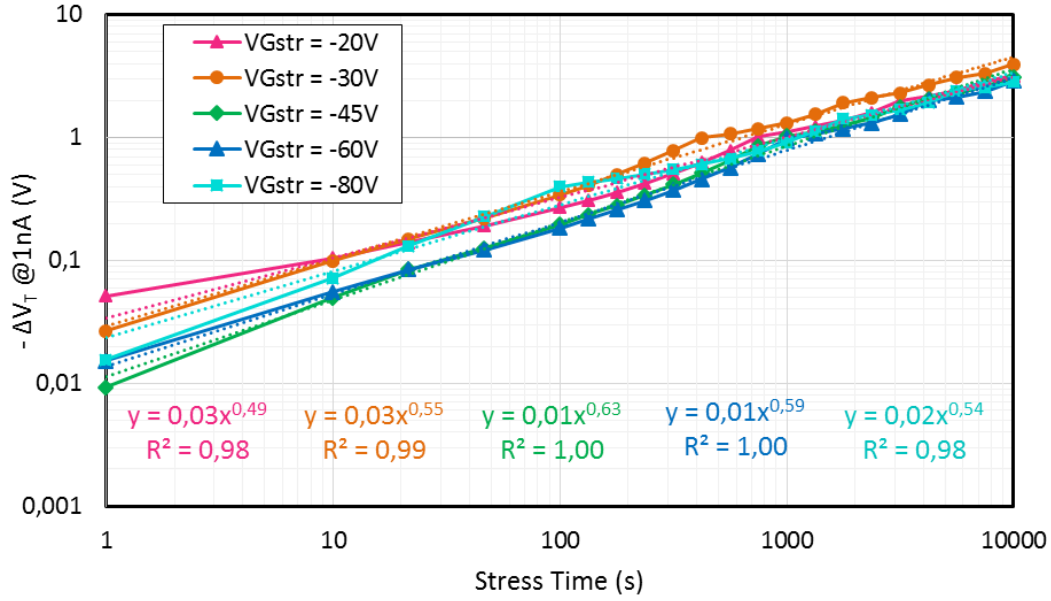


Figure 4-10 : Evolution de $\Delta V_T = V_T - V_{T_initial}$ en échelle logarithmique au cours du temps pendant le NGBS ($V_{D_STR} = 0V$ et V_{G_STR} varie entre 0 et -80V) sur des P-OTFTs avec $W=500\mu m$ et $L=20\mu m$ (1 transistor par condition).

En résumé, l'évolution de ΔV_T au cours d'un stress électrique négatif est indépendante de la tension appliquée et varie suivant $\sqrt{t}$, ce qui pourrait être expliqué par un phénomène de diffusion des porteurs de charge accumulés (les trous dans notre cas) depuis le canal dans le diélectrique (**Figure 4-11**).

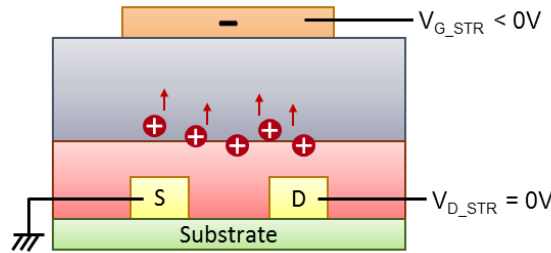


Figure 4-11 : Représentation schématique de la diffusion des porteurs de charge dans le diélectrique au cours du stress de grille négatif.

4.3.2. MODELISATION

Lors de l'application d'un potentiel négatif à la grille pendant les phases de stress électrique, les porteurs de charge s'accumulent à l'interface SCO/diélectrique. D'après la seconde loi de Fick et en faisant l'hypothèse d'une diffusion de trous dans le diélectrique suivant une seule direction (x) :

$$\frac{\partial c(x, t)}{\partial t} = D \cdot \frac{\partial^2 c(x, t)}{\partial x^2} \quad \text{Eq. 4-1}$$

Avec $c(x, t)$ la concentration des porteurs de charge par unité de volume à un point x et un temps t et D le coefficient de diffusion supposé constant. En assimilant le diélectrique à une couche semi-infinie avec une réserve constante de porteurs de charge à l'interface SCO/diélectrique, on obtient :

$$c(x, t) = c_0 \cdot \operatorname{erfc}\left(\frac{x}{2\sqrt{D \cdot t}}\right) \quad \text{Eq. 4-2}$$

Avec erfc la fonction erreur complémentaire ($\operatorname{erfc}(x) = 1 - \operatorname{erf}(x)$) et c_0 la concentration des porteurs de charge en $x=0$ i.e. à l'interface SCO/diélectrique (**Figure 4-12**). L'application continue d'une tension de grille (V_{G_STR}) durant le stress électrique permet l'accumulation permanente d'un grand nombre de trous à l'interface SCO/diélectrique. Par simplification, la concentration de trous c_0 est donc supposée constante pendant le stress électrique.

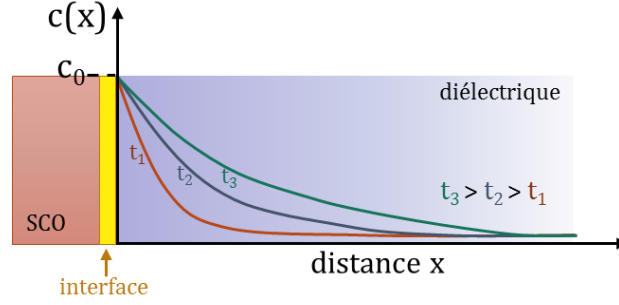


Figure 4-12 : Représentation de la variation d'une concentration lors de la diffusion en fonction de la distance x avec c_0 la concentration de trous constante à l'interface SCO/diélectrique.

Or, la densité de charge totale Q qui a diffusé dans le diélectrique à un temps t correspond à :

$$Q(t) = q \int_0^\infty c(x, t) dx = q \cdot c_0 \frac{2}{\sqrt{\pi}} (\sqrt{D \cdot t}) \quad \text{Eq. 4-3}$$

On peut alors en déduire l'expression de ΔV_T en fonction du temps de stress :

$$\Delta V_{TSTR}(t) = -\frac{q}{C_{OX}} \cdot c_0 \left[\frac{2}{\sqrt{\pi}} (\sqrt{D \cdot t}) \right] \quad \text{Eq. 4-4}$$

Avec q la charge élémentaire, C_{OX} la capacité surfacique du diélectrique, c_0 la concentration de porteurs de charge à l'interface SCO/diélectrique, D le coefficient de diffusion et t le temps de stress. Ce modèle a été appliqué aux valeurs expérimentales en **Figure 4-13**.

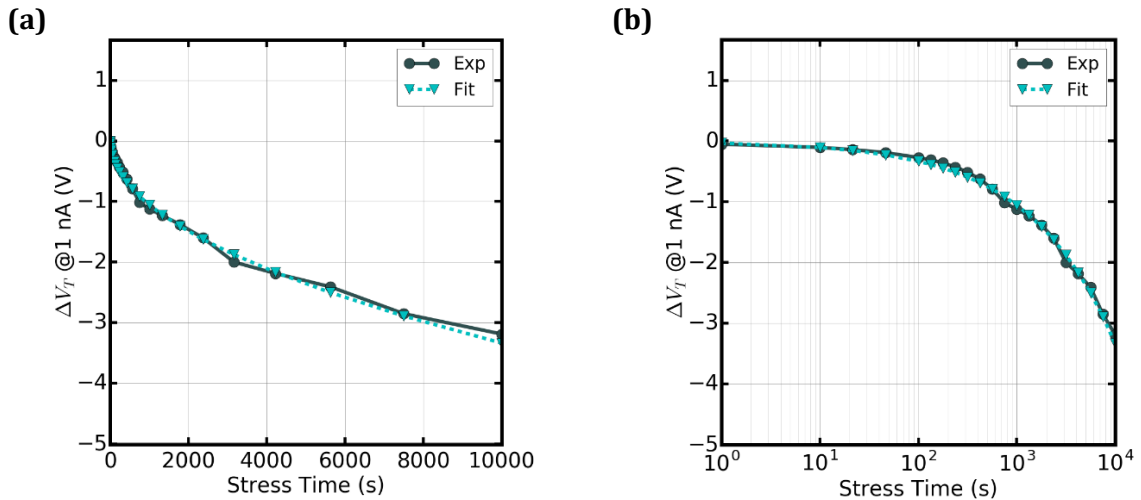


Figure 4-13 : Comparaison des valeurs expérimentales de l'évolution de ΔV_T au cours du stress avec le modèle de diffusion des trous dans le diélectrique en échelle de temps **(a)** linéaire et **(b)** logarithmique. Avec $V_{G_STR} = -20$ V, $V_{D_STR} = 0$ V, $C_{OX} = 1,66$ nF/cm², $c_0 = 5,4 \cdot 10^{10}$ cm⁻³, $D = 3 \cdot 10^{-5}$ cm²/s, $W = 2000$ μm et $L = 500$ μm.

La **Figure 4-13** montre une bonne corrélation entre le modèle et les courbes expérimentales durant le stress électrique. Cependant, la concentration de trous à l'interface c_0 dépend de la tension de grille appliquée. Or, nous avons vu précédemment que le décalage des courbes de transfert était similaire, quel que soit le V_{G_STR} . De plus, le coefficient de diffusion D est supposé constant pour un matériau à une température donnée. Ce modèle ne permet donc pas d'expliquer le fait que le ΔV_T soit indépendant de la tension de stress. En revanche, il permet une bonne approximation de l'évolution de ΔV_T pour un V_{G_STR} donné.

Puisque le coefficient de diffusion D est activé en température et afin de confirmer l'hypothèse de la diffusion, des mesures de stress à différentes températures ont été réalisées (**Figure 4-14a**).

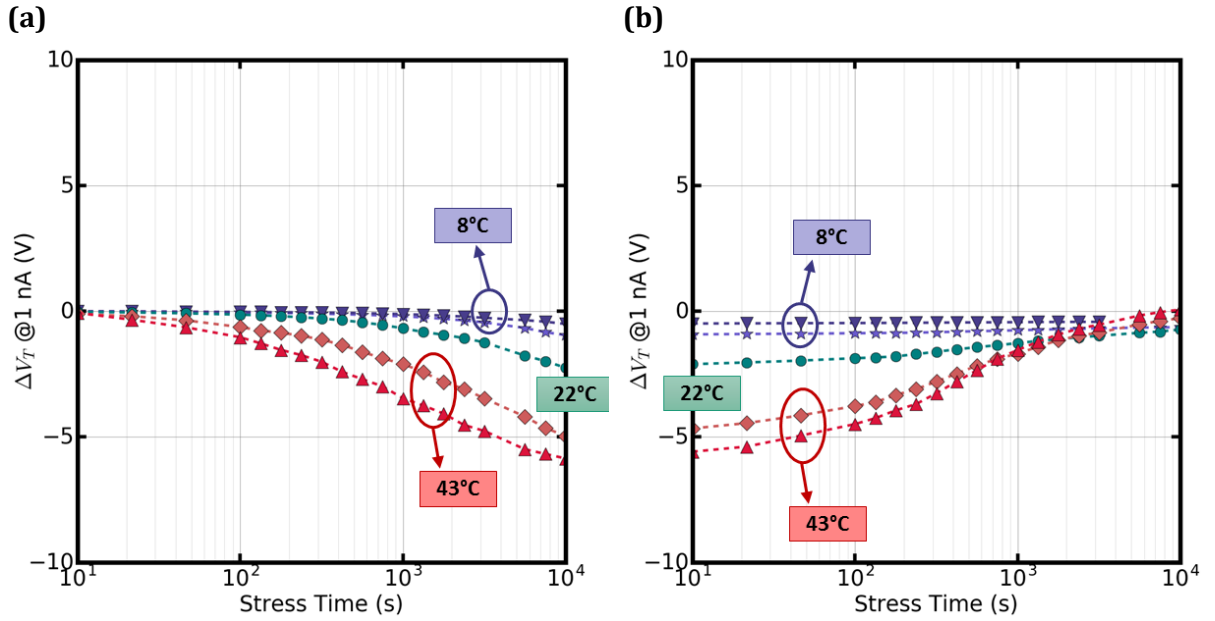


Figure 4-14 : Evolution de $\Delta V_T = V_T - V_{T_initial}$ au cours du temps pour plusieurs températures **(a)** pendant le NGBS ($V_{G_STR} = -20V$ et $V_{D_STR} = 0V$) et **(b)** pendant la relaxation ($V_{G_STR} = 0V$ et $V_{D_STR} = 0V$) sur des P-OTFTs avec $W=500\mu m$ et $L=20\mu m$ (1 transistor par courbe).

A température ambiante, le ΔV_T est d'environ -2,3V après 3h de stress électrique. En comparaison, pour des températures plus basses (8°C) le ΔV_{Tmax} est d'environ -0.7V en moyenne et pour les plus grandes températures (43°C), le décalage observé en fin de stress est de -5.4V en moyenne. On remarque que le ΔV_T moyen semble être dépendant de la température. La courbe de ΔV_{Tmax} en fonction de $1/kT$ est représentée en **Figure 4-15**.

D'après ce graphe, l'impact du stress électrique négatif semble suivre une loi d'Arrhenius et est donc activé en température avec une énergie d'activation extraite de 0,44 eV :

$$\Delta V_{Tmax} = a \cdot \exp\left(-\frac{E_A}{kT}\right) \quad \text{Eq. 4-5}$$

Avec a une constante, E_A une énergie d'activation et kT le produit de la constante de Boltzmann et de la température.

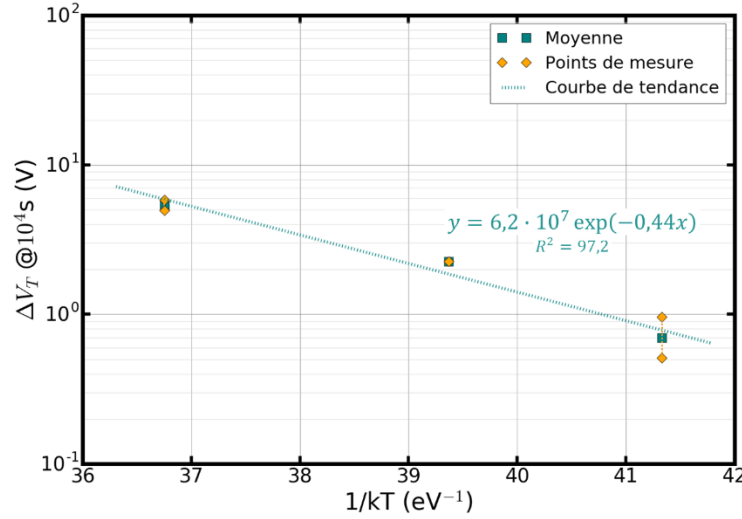


Figure 4-15 : Evolution de ΔV_T à 10^4 s de stress électrique ($V_{G_STR} = -20V$ et $V_{D_STR} = 0V$) en fonction de $1/kT$.

Même s'il aurait fallu davantage de données et notamment une plus grande plage de température, les résultats obtenus sont cohérents avec l'hypothèse de la diffusion de porteurs de charge. En ce qui concerne la relaxation (**Figure 4-14b**), on remarque qu'elle est accélérée par la présence de température, comme déjà observé en littérature [3]. Ces données sont intéressantes, notamment si l'on veut réduire le temps de relaxation.

4.3.3. INFLUENCE DU DIELECTRIQUE SUR L'IMPACT DU NGBS

4.3.3.1. COMPARAISON DE DEUX DIELECTRIQUES

Il s'agirait donc d'une diffusion des porteurs de charge (trous) dans le diélectrique. Pour observer l'influence de celui-ci, deux plaques avec le même empilement, hormis le diélectrique déposé par spin-coating, ont été réalisées. Ceci nous a permis de comparer le polymère fluoré utilisé habituellement (D139 de Merck lisicon®) avec une permittivité électrique relative de $\epsilon_{D139} = 2.0$ et d'une épaisseur d'environ 600 nm avec un polymère non fluoré (D320 de Merck lisicon®) dont la permittivité électrique relative est de $\epsilon_{D320} = 2.2$ avec une épaisseur d'environ 900 nm. D'après l'équation :

$$C_{OX} = \frac{\epsilon_0 \cdot \epsilon_r}{d_{diel}} \quad \text{Eq. 4-6}$$

Avec C_{OX} la capacité surfacique de l'isolant, ϵ_0 la permittivité électrique du vide, ϵ_r la permittivité relative du diélectrique (constante diélectrique) et d_{diel} l'épaisseur de la couche. Les capacités surfaciques théoriques des deux plaques sont $C_{D139} = 2.95$ nF/cm² et $C_{D320} = 2.16$ nF/cm². Par conséquent, les transistors de la plaque avec le diélectrique D320 ont un C_{OX} inférieur de 27% par rapport à la plaque ayant un empilement « standard ». L'épaisseur équivalente de la couche de D320, en prenant comme référence la couche de D139, est de 818 nm.

Les deux plaques de transistors ont été stressées suivant les mêmes conditions de NGBS que précédemment avec $V_{G_STR} = 0, -10, -20, -30, -45$ et $-60V$ et $V_{D_STR} = 0V$ pendant 10^4 secondes, les caractéristiques $I_D = f(V_{GS})$ sont en **ANNEXE III**. Les courbes correspondant au ΔV_T au cours du temps de stress sont représentées en **Figure 4-16**.

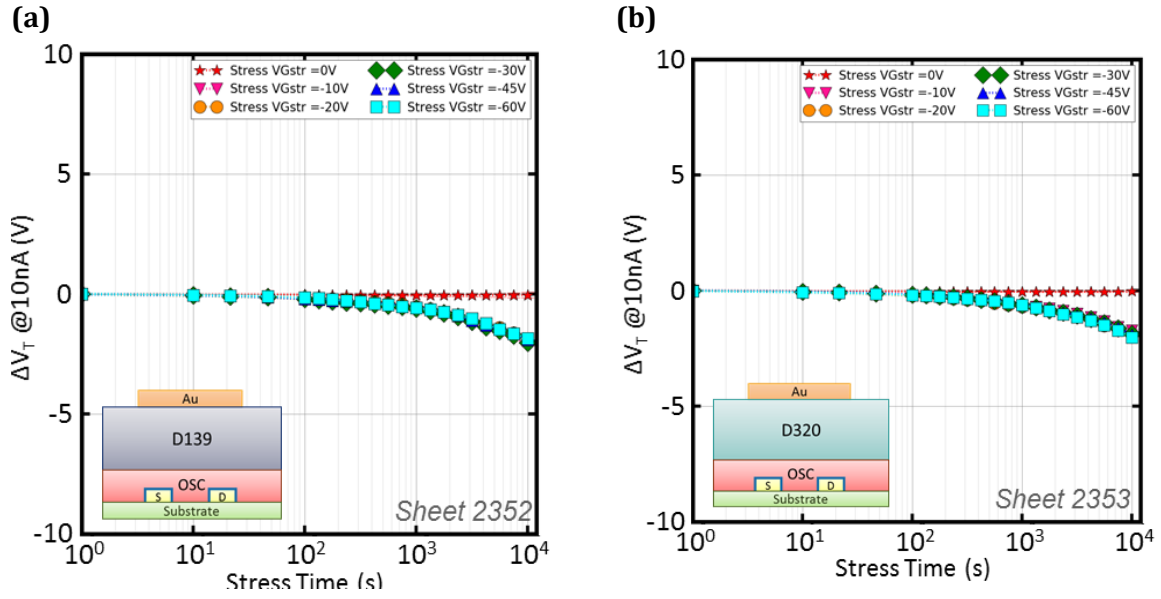


Figure 4-16 : Evolution de ΔV_T en fonction du temps de stress **(a)** pour la plaque avec le D139 et **(b)** avec le D320 sur des P-OTFTs avec $W=500\mu\text{m}$ et $L=20\mu\text{m}$. $C_{D139}=2.95\text{ nF/cm}^2$ et $C_{D320}=2.16\text{ nF/cm}^2$.

Comme observé dans la partie 4.3.1, le décalage des courbes de transfert semble être indépendant de la tension de stress appliquée. De plus, l'évolution de ΔV_T est similaire pour les deux diélectriques. Cependant, les C_{OX} n'étant pas totalement identiques entre les plaques, il est préférable de comparer les évolutions à champ électrique identique. Or, ΔV_T étant indépendant de la tension V_{G_STR} appliquée, il est alors possible de comparer les deux plaques directement grâce au calcul de la variation de densités de porteurs équivalentes qui auraient diffusé à l'interface SCO/diélectrique ΔN_{ot} , suivant l'équation :

$$\Delta N_{ot} = -\frac{C_{OX}}{q} \Delta V_T \quad \text{Eq. 4-7}$$

Les courbes ΔN_{ot} en fonction du temps de stress pour les deux diélectriques sont représentées en **Figure 4-17**.

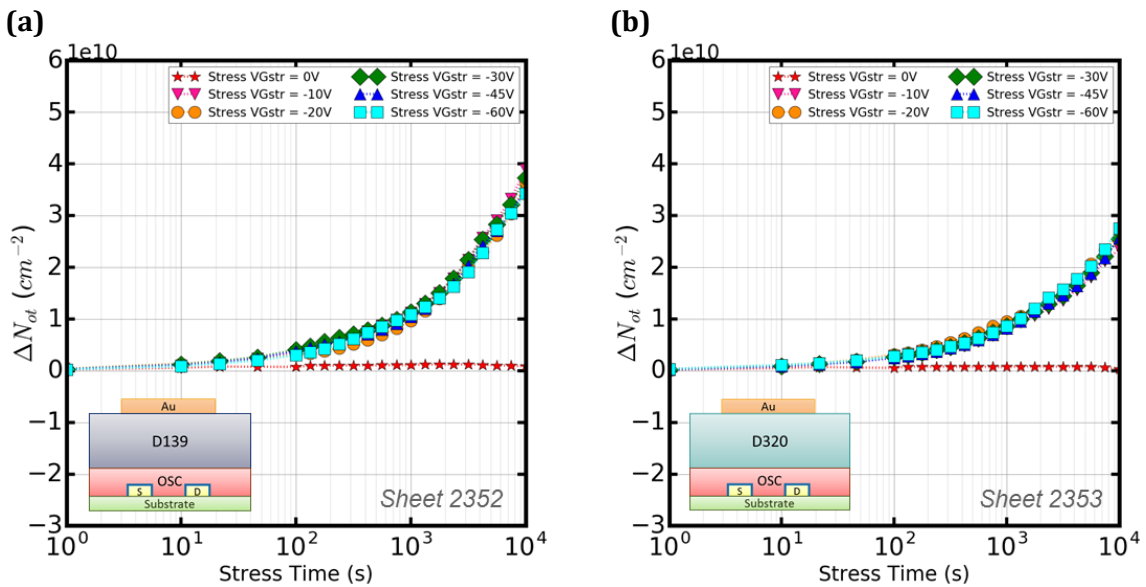


Figure 4-17 : Evolution de ΔN_{ot} en fonction du temps de stress pour les P-OTFTs **(a)** avec le D139 et **(b)** avec le D320 comme diélectrique avec $W=500\mu\text{m}$ et $L=20\mu\text{m}$.

Après 10^4 s de stress électrique négatif, un écart d'environ 1 cm^{-2} est observé entre les ΔN_{ot} des deux plaques. Pour les transistors avec le diélectrique standard (D139), la variation de charges équivalente à l'interface pour obtenir un même courant est alors plus grande que pour les OTFTs ayant du D320 en diélectrique, i.e. l'effet du NGBS sur les plaques d'empilement « standard » est plus important. Ceci suggère une diffusion des porteurs de charges facilitée et donc un coefficient de diffusion D plus important dans le diélectrique D139 par rapport au D320.

4.3.3.2. COMPARAISON DE LA METHODE DE DEPOT DU DIELECTRIQUE

Nous avons également observé l'influence de la méthode de dépôt du diélectrique D139 (spin-coating ou sérigraphie) sur l'évolution des paramètres du transistor durant un NGBS. Les OTFTs utilisés pour cette comparaison ont une grille en encre argent imprimée par sérigraphie tandis que le diélectrique a été déposé par spin-coating ($d_{\text{spin}} \approx 600 \text{ nm}$) ou imprimé par sérigraphie ($d_{\text{sérig}} \approx 680 \text{ nm}$) selon la plaque. L'évolution des courbes $I_D = f(V_{\text{GS}})$ au cours des différents stress électriques sont représentées en ANNEXE IV. Les variations de ΔV_T des plaques ont été étudiées pour plusieurs tensions de stress de grille $V_{\text{G,STR}}$ (Figure 4-18).

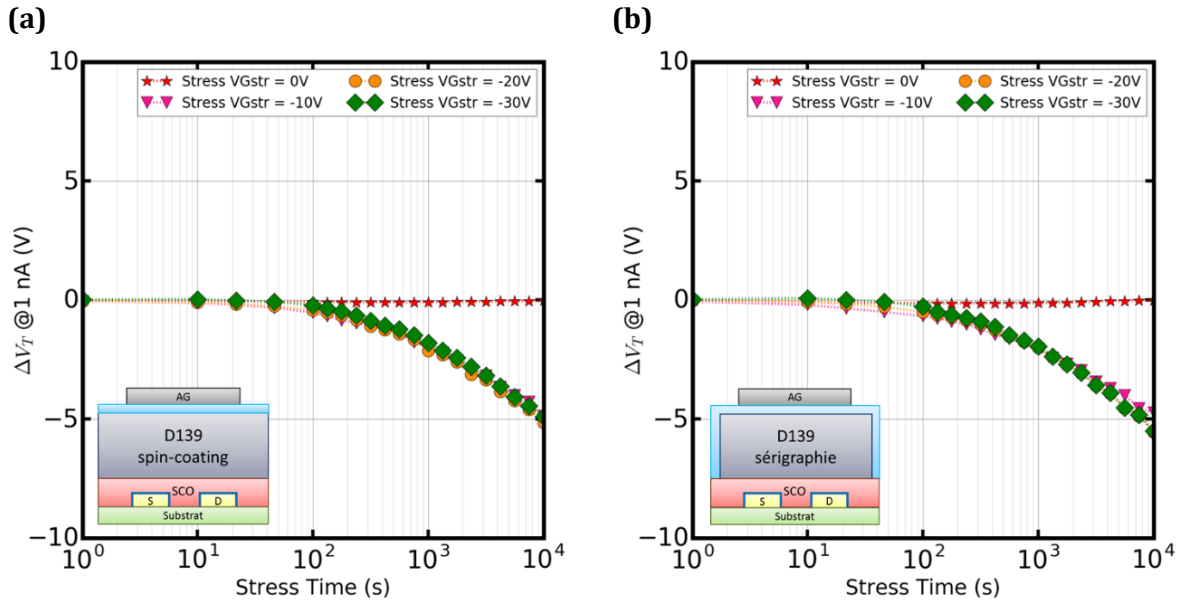


Figure 4-18 : Evolution de ΔV_T en fonction du temps de stress pour les P-OTFTs avec le D139 déposé (a) par spin-coating et (b) imprimé par sérigraphie. Avec $W=500 \mu\text{m}$ et $L=20 \mu\text{m}$. $C_{\text{D139_Spin}}=2.92 \text{ nF/cm}^2$ ($d_{\text{spin}} \approx 600 \text{ nm}$) et $C_{\text{D139_Sérig}}=2.62 \text{ nF/cm}^2$ ($d_{\text{sérig}} \approx 680 \text{ nm}$). (2 OTFTs par condition).

Des mesures en stress électrique à fort champ ($V_{\text{G,STR}} = -45$ et -60 V) ont également été réalisées mais un nouveau phénomène, dû à la présence d'une grille en encre argent, complique l'interprétation des courbes. Ce changement de comportement sera discuté dans la partie suivante. Ici, l'objectif est de comparer l'influence de la méthode de dépôt du diélectrique. Cependant, l'épaisseur de la couche de D139 étant légèrement différente suivant les plaques, les capacités surfaciques C_{ox} correspondantes ne sont pas exactement les mêmes. De la même façon que précédemment, les variations ΔN_{ot} sont calculées afin de pouvoir comparer les plaques (Figure 4-19).

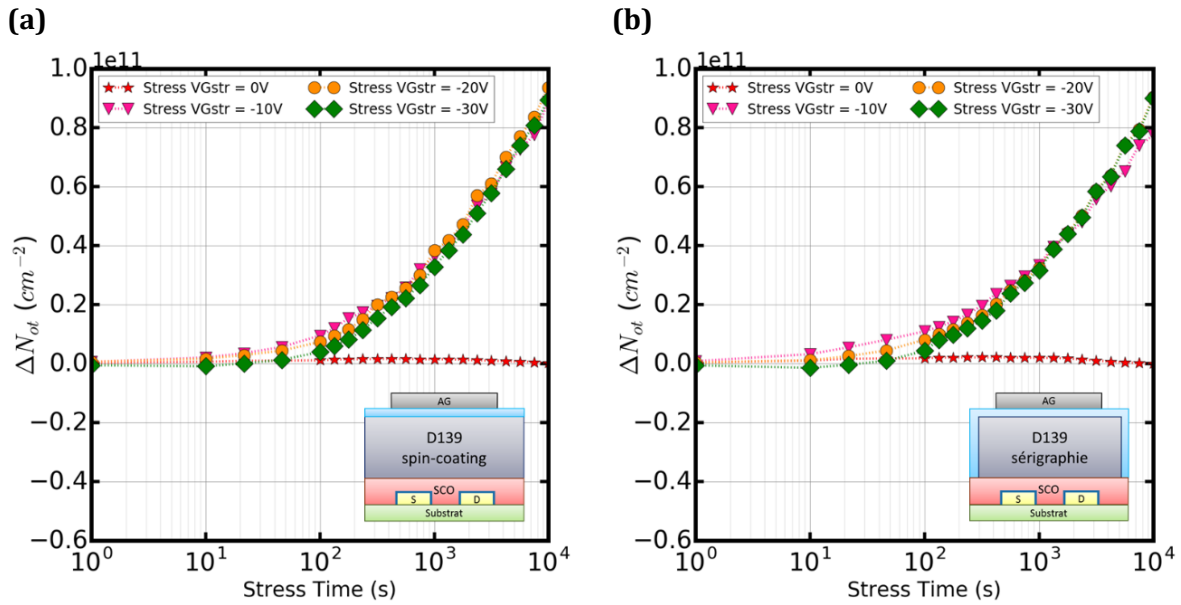


Figure 4-19 : Evolution de ΔN_{ot} en fonction du temps de stress pour les P-OTFTs avec le D139 déposé **(a)** par spin-coating et **(b)** imprimé par sérigraphie. Avec $W=500\mu\text{m}$ et $L=20\mu\text{m}$. (2 OTFTs par condition).

Des variations de densités de charge similaires sont observées sur les deux plaques, signifiant que la méthode de dépôt du diélectrique n'a pas d'influence sur l'évolution des caractéristiques des OTFTs durant le NGBS.

En résumé, un décalage des courbes de transfert vers les tensions négatives est observé lors du stress électrique de grille négatif sur des P-OTFTs avec une grille en or pulvérisée. Ce NGBS ne semble pas avoir d'impact sur la mobilité et la pente sous seuil, mais uniquement sur la tension de seuil des transistors. De plus, ce ΔV_T (<0) est indépendant de la tension de grille appliquée lors du stress électrique (V_{G_STR}) et suit une loi en $\sqrt{t}$, ce qui suggère l'hypothèse d'une diffusion des porteurs de charge (trous) dans le diélectrique, dont la cinétique de relaxation est plus lente que celle observée lors du stress électrique. Cette diffusion serait dépendante du matériau diélectrique choisi mais pas de la méthode de dépôt de celui-ci.

4.4. Etude de la stabilité électrique sur des P-OTFTs avec grille argent imprimée

Les premières expériences concernant le stress électrique ont été réalisées sur des P-OTFTs avec une grille en or déposée par pulvérisation cathodique. Il s'agissait d'avoir un métal pur pour les électrodes, dans le but d'étudier la structure SCO/diélectrique sans influence notable de celles-ci. Cependant, afin d'aller vers un empilement tout imprimé, la grille en or a été remplacé par une encre argent imprimable par sérigraphie. Celle-ci est composée de nanoparticules d'argent en suspension dans un mélange de solvants hydrophiles. Comme expliqué partie 2.1.2, une couche d'adhésion a été déposée sur le diélectrique hydrophobe afin de garantir l'adhérence de la grille argent lors de l'impression par sérigraphie.

Au cours de cette partie, la réponse en stress électrique négatif du nouvel empilement (**Figure 4-20**) sera analysée et comparée aux transistors précédents composés d'une grille en or pulvérisée. Les expériences concernant le NGBS des parties 4.3.1 et 4.4.1 ont été réalisées sur la même plaque de transistors que l'on a divisée juste après le dépôt de la couche d'adhésion et avant celui de la grille (pulvérisation d'or ou sérigraphie d'encre argent). Par conséquent, l'empilement et les conditions de procédé de fabrication, hormis la grille, sont strictement identiques. Il sera alors possible d'étudier directement l'influence de la grille sur la stabilité des OTFTs au cours du stress électrique.

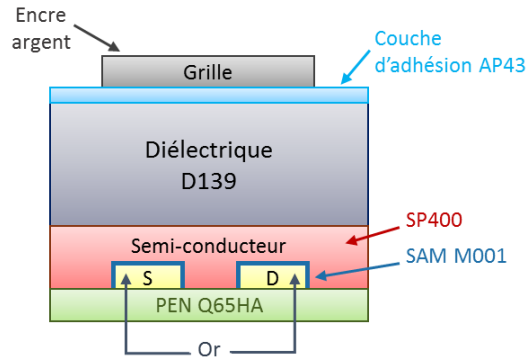


Figure 4-20 : Schéma de coupe des P-OTFTs avec une grille en encre argent imprimée par sérigraphie (les épaisseurs des couches ne sont pas à l'échelle).

4.4.1. ETUDE DU STRESS DE GRILLE NEGATIF

Tout d'abord, nous avons étudié la réponse en stress électrique de grille négatif, selon les mêmes conditions que pour la partie 4.3.1. Les courbes de transfert mesurées au cours du stress pour $V_{G_STR} = -20$ et -60 V sont représentées en **Figure 4-21**. Le reste des courbes $I_D(V_{GS})$ correspondant aux autres V_{G_STR} appliquées sont en **ANNEXE V**.

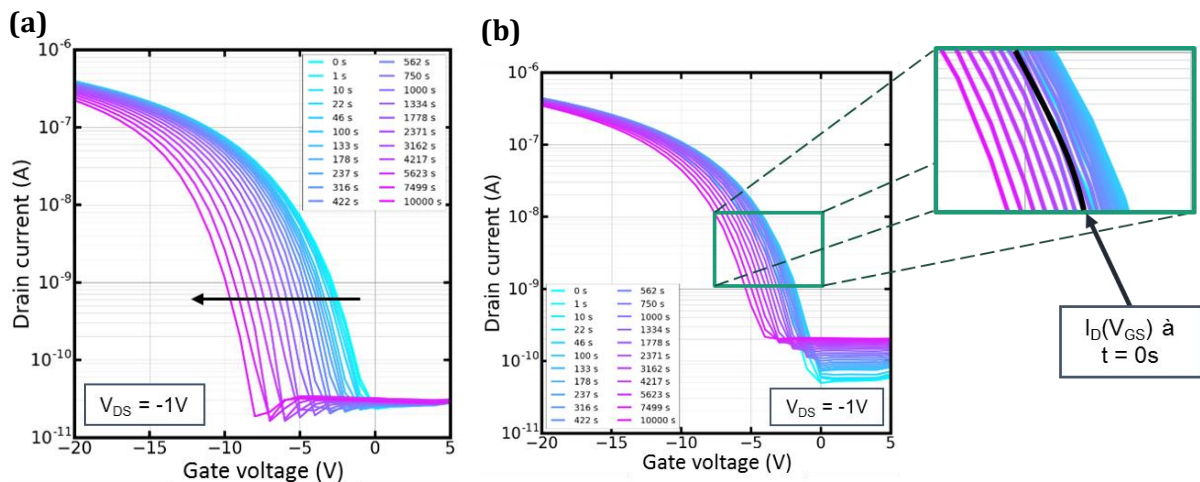


Figure 4-21 : (a) Evolution des courbes de transfert lors du stress électrique à faible champ ($V_{G_STR} = -20$ V et $V_{D_STR} = 0$ V) et (b) à fort champ ($V_{G_STR} = -60$ V et $V_{D_STR} = 0$ V) sur un P-OTFT avec $W=500\mu\text{m}$ et $L=20\mu\text{m}$.

Pour les faibles tensions de stress (**Figure 4-21a**), les courbes $I_D=f(V_{GS})$ semblent uniquement se décaler vers les tensions négatives, comme observé pour les transistors de la partie précédente, i.e. avec une grille en or pulvérisée. A fort champ (**Figure 4-21b**), deux autres phénomènes apparaissent. Le premier correspond à une montée du courant I_{OFF} , qui a également été discutée dans la partie précédente. En revanche, le second phénomène, lié au ΔV_T , n'a pas été observé au préalable. En effet, la partie zoomée des courbes permet de constater un premier décalage vers les tensions positives ($\Delta V_T > 0$), puis dans un second temps vers les tensions négatives ($\Delta V_T < 0$), comme attendu lors d'un NGBS.

Comme pour la grille en or, la mobilité et la pente sous le seuil des OTFTs ne présentent pas de changement significatif pendant le stress électrique (**Figure 4-22**).

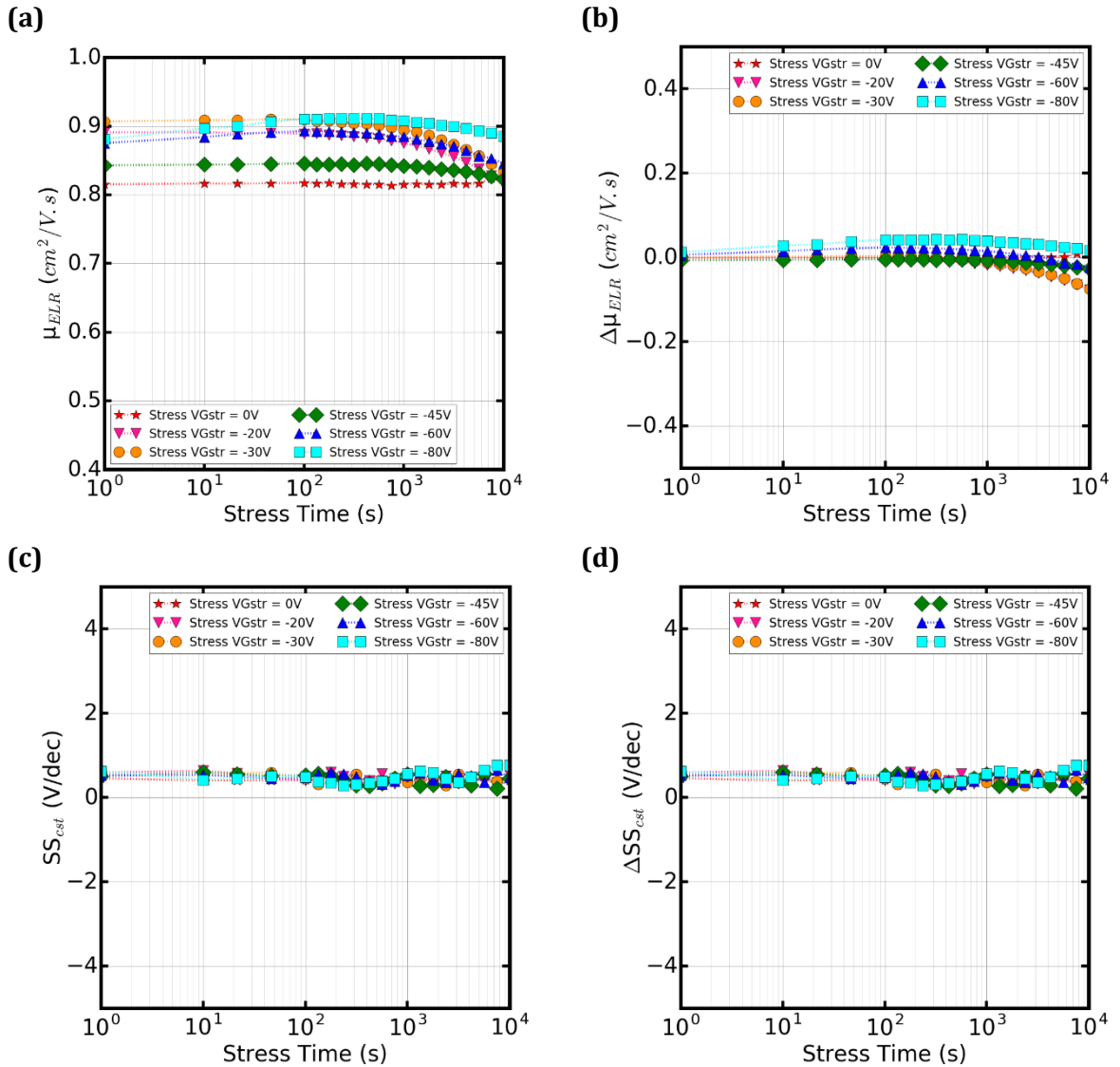


Figure 4-22 : Evolution (a) de la mobilité μ et (b) $\Delta\mu = \mu - \mu_{initiale}$ par méthode ELR et (c) de la pente sous le seuil SS (d) $\Delta SS = SS - SS_{initiale}$ par méthode à courant constant (entre 1nA et 5nA) au cours d'un stress en tension de grille avec V_{G_STR} allant de 0 à -80V et $V_{D_STR} = 0V$ sur des P-OTFT avec $W=500\mu m$ et $L=20\mu m$ (1 transistor par condition).

De la même façon que précédemment, aucune variation significative de la pente sous le seuil n'est observée durant le stress électrique négatif. En revanche, une légère baisse de $0.03 \text{ cm}^2/\text{V.s}$ est constatée en moyenne sur l'ensemble des transistors, représentant environ 4% de la mobilité initiale moyenne. Par conséquent, la principale variation observée au cours du NGBS concerne donc la tension de seuil. L'évolution de ΔV_T en fonction du temps de stress et pour les différentes valeurs de V_{G_STR} est représentée en **Figure 4-23**.

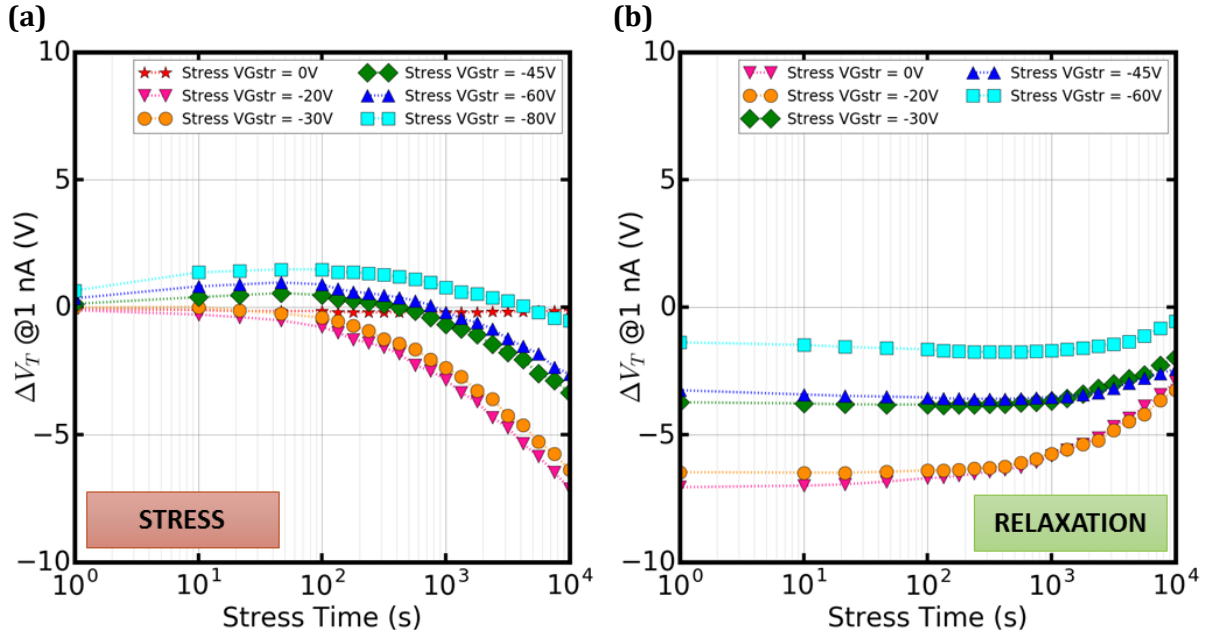


Figure 4-23 : Evolution de $\Delta V_T = V_T - V_{T_initial}$ au cours du temps **(a)** pendant le NGBS ($V_{D_STR} = 0\text{V}$ et V_{G_STR} varie entre 0 et -80V) et **(b)** pendant la relaxation ($V_{D_STR} = 0\text{V}$ et $V_{G_STR} = 0\text{V}$) sur des P-OTFTs avec $W=500\mu\text{m}$ et $L=20\mu\text{m}$ (1 transistor par condition).

Ce nouveau phénomène à temps court (inférieur à 100s) pendant lequel les courbes de transfert du transistor se décalent vers les tensions positives ($\Delta V_T > 0$), est dépendant de la tension de stress de grille appliquée (V_{G_STR}). En effet, plus la tension appliquée est grande, plus le décalage ΔV_T est important. Après 100s de stress, les courbes de transfert du transistor se décalent vers les tensions négatives comme attendu lors d'un NGBS. Les pentes des courbes $\Delta V_T = f(t)$ aux temps longs semblent être identiques pour tous les V_{G_STR} , ce qui signifierait que le stress aux temps longs serait indépendant du V_{G_STR} , comme observé précédemment. De plus, conformément à ce que nous avons également déjà constaté, le stress serait en partie réversible (**Figure 4-23b**). Ce changement de signe de ΔV_T durant le stress a été observé sur d'autres plaques de transistors avec une grille en encre argent (**ANNEXE VI**).

Il y a donc une compétition de deux phénomènes simultanés pendant le NGBS :

- Un **phénomène A** observé aux temps de stress courts traduit par un $\Delta V_T > 0$ et dépendant du V_{G_STR}
- Un **phénomène B** observé aux temps de stress longs traduit par un $\Delta V_T < 0$ et indépendant du V_{G_STR}

4.4.2. COMPARAISON AVEC LA GRILLE EN OR

Afin d'étudier plus en détails le phénomène observé aux temps courts, plusieurs cycles de 100 secondes alternant stress électrique à fort champ et relaxation ont été appliqués sur les transistors avec des grilles différentes, mais provenant de la même plaque comme expliqué plus haut. Pour comparer les OTFTs avec une grille en argent et ceux avec une grille en or, la tension de stress choisie est $V_{G_STR} = -80V$ (tension pour laquelle le phénomène A est bien présent). Les évolutions du ΔV_T des deux types de transistors en fonction du temps lors des cycles de stress et relaxation sont représentées en **Figure 4-24**.

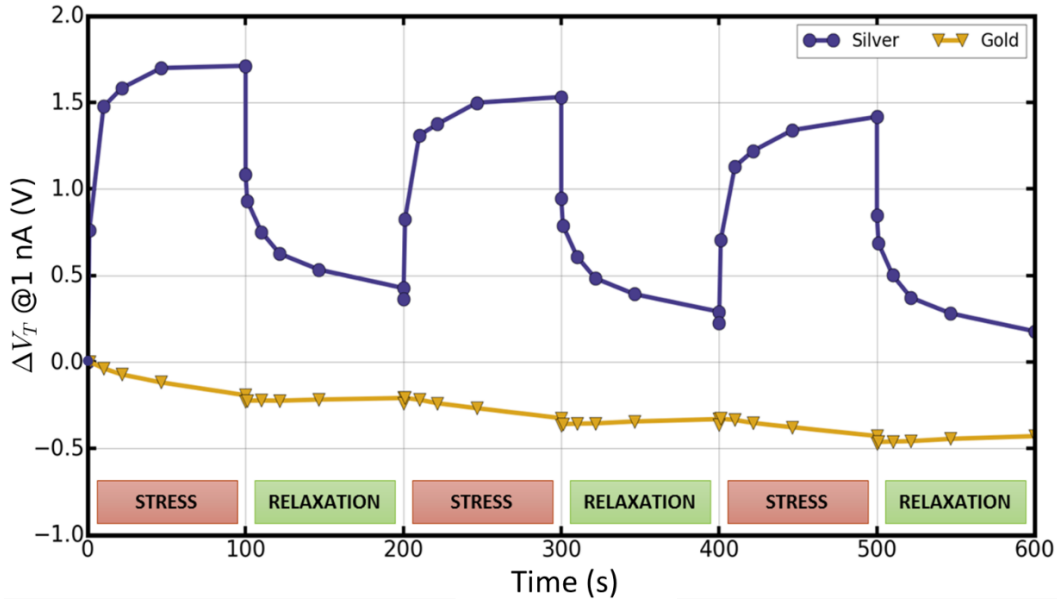


Figure 4-24 : Evolution de ΔV_T lors de 3 cycles successifs de stress ($V_{G_STR}=-80V$ et $V_{D_STR}=0V$) et relaxation ($V_{G_STR}=0V$ et $V_{D_STR}=0V$) en fonction du temps sur des P-OTFTs avec $W=500\mu m$ et $L=20\mu m$.

Tout d'abord, en ce qui concerne les transistors avec une grille en or pulvérisée, on observe, comme attendu, un décalage de V_T uniquement vers les tensions négatives lors des phases de stress ($\Delta V_T < 0$). La relaxation n'est pas complète après 100 secondes, ce qui indique qu'une partie de ce phénomène n'est pas réversible et/ou que la cinétique de relaxation est plus lente que celle du stress, comme observé précédemment. Par conséquent, une dérive de la tension de seuil V_T vers les tensions négatives au cours des cycles est constatée.

Contrairement à l'empilement avec la grille en or, le décalage des courbes de transfert de l'OTFT avec une grille argent imprimée se fait uniquement vers les valeurs positives lors des phases de stress ($\Delta V_T > 0$). La relaxation semble avoir également la même cinétique. Toutefois, le ΔV_T à la fin de chaque phase de stress est de moins en moins élevé au cours des cycles (les valeurs extraites sont répertoriées en **ANNEXE VII**). Cette diminution pourrait indiquer qu'il y a également un effet de dérive dû au phénomène B, comme observé sur les empilements avec la grille en or (pente similaire), qui se superpose au phénomène A.

Ainsi, le décalage des courbes de transfert des transistors avec une grille en encre argent pourrait s'écrire :

$$\Delta V_{T_AG} = \Delta V_{TA} + \Delta V_{TB} \quad \text{Eq. 4-8}$$

Avec ΔV_{T_AG} le ΔV_T correspondant au transistor avec une grille en encre argent, ΔV_{TA} le ΔV_T lié au phénomène A i.e. un décalage positif et dépendant du V_{G_STR} appliqué et ΔV_{TB} le décalage négatif relié au phénomène de diffusion observé aux temps longs indépendant du V_{G_STR} .

Au début d'un stress électrique lorsque $t < 100s$, $\Delta V_{TA} > \Delta V_{TB}$ ce qui résulte en un $\Delta V_{T_AG} > 0$. Puis, après 100s de NGBS, le rapport de force entre les deux phénomènes s'inverse : $\Delta V_{TA} < \Delta V_{TB}$ et les courbes de transfert du transistor se décalent vers les tensions négatives ($\Delta V_{T_AG} < 0$). Ce changement pourrait être expliqué par une possible saturation du premier phénomène (ou une accélération du deuxième).

Afin de comprendre et de modéliser ce phénomène propre aux transistors avec une grille imprimée en encre argent, on calcule $\Delta V_{TA} = \Delta V_{T_AG} - \Delta V_{T_OR}$. En admettant que le changement de grille n'a pas d'impact sur le phénomène à long-terme, on fait l'hypothèse que les valeurs de ΔV_{TB} sont celles extraites pour les OTFTs avec une grille en or. Autrement dit :

$$\Delta V_{TA} = \Delta V_{T_AG} - \Delta V_{T_OR} \quad \text{Eq. 4-9}$$

Avec ΔV_{T_OR} les valeurs extraites lors d'un stress électrique sur un transistor avec une grille en or (Figure 4-25).

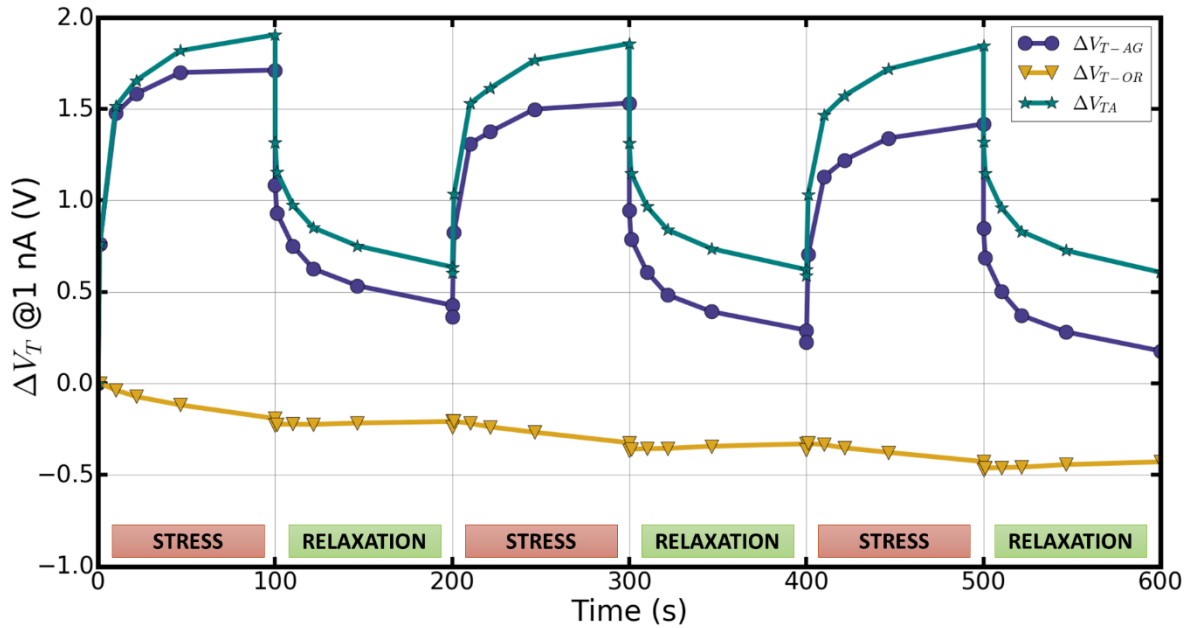


Figure 4-25 : Evolution de ΔV_T lors de 3 cycles successifs de stress ($V_{G_STR} = -80V$ et $V_{D_STR} = 0V$) et relaxation ($V_{G_STR} = 0V$ et $V_{D_STR} = 0V$) en fonction du temps sur des P-OTFTs avec $W = 500\mu m$ et $L = 20\mu m$. La courbe verte correspondant à la différence des ΔV_T obtenus pour une grille argent (courbe bleue) et pour une grille en or (courbe jaune).

La courbe verte correspondrait ainsi au décalage des courbes de transfert lié uniquement au phénomène A. Or, l'amplitude maximale de la courbe de ΔV_{TA} à la fin de chaque phase de stress semble être identique. Il n'y aurait donc plus l'effet de dérive lié au phénomène B. L'Eq. 4-9 permet donc une bonne approximation du phénomène A seul. Le premier cycle ($t < 200s$) de ΔV_{TA} sera modélisé dans la partie suivant afin de mieux comprendre ce phénomène.

4.4.3. MODELISATION

Le décalage des courbes de transfert lors du NGBS vers les tensions positives indique la présence de charges négatives qui faciliteraient l'accumulation des trous à l'interface SCO/diélectrique et baisserait donc la tension de seuil. Le V_{G_STR} étant négatif, ces charges négatives proviennent soit de la grille, soit du diélectrique. L'empilement des transistors étant parfaitement identique jusqu'au dépôt de la couche d'adhésion, la différence de comportement observée en **Figure 4-24** lors d'un NGBS à fort champ est donc dû soit à l'encre argent utilisée, soit à la méthode de dépôt de la grille.

Le changement de signe du ΔV_T au cours d'un stress en tension négative sur des P-OTFTs a été observé dans plusieurs études [4]–[6]. D'après Ng et al., cet effet pourrait être attribué à des mouvements ioniques dus à la présence d'eau comme expliqué dans la partie 1.4.2. Cette hypothèse pourrait s'appliquer à notre structure, car l'eau est un des solvants de l'encre argent utilisée. D'après la littérature, cette migration d'ions OH^-/H^+ pourrait être accentuée en augmentant le taux d'humidité de l'environnement [4]. Cependant, ces expériences n'ont pas pu être reproduites car elle nécessite un contrôle très précis de l'humidité. D'autre part, Zilker et al. ont observé que ce phénomène disparaissait lors de mesures sous vide après recuit à 50°C [5]. Des expériences de stress électrique en température ont été réalisées et sont non concluantes. En effet, nous avons vu dans la partie 4.4.2 qu'il s'agissait d'une compétition entre deux phénomènes. Or, l'impact du phénomène B, représenté par ΔV_{TB} observé pour les P-OTFTs avec une grille en or (hypothèse de diffusion des trous), augmente avec la température. Par conséquent, pour les températures les plus élevées, une diminution du ΔV_{T_AG} pourrait être expliquée par une baisse de l'impact du phénomène A (ΔV_{TA} positif) et/ou par un plus fort impact du phénomène B (ΔV_{TB} négatif), ne permettant pas de conclure. En revanche, dans notre cas, cet effet n'est visible qu'en présence d'une grille argent, il s'agirait donc d'un phénomène intrinsèque à la structure et non dû au taux d'humidité de l'environnement.

1ère hypothèse : diffusion d'ions négatifs

En se basant sur la littérature, une première hypothèse serait la diffusion d'ions négatifs depuis la grille vers le diélectrique. La **Figure 4-26** montre l'évolution de ΔV_{TA} au cours du premier NGBS en échelle log-log.

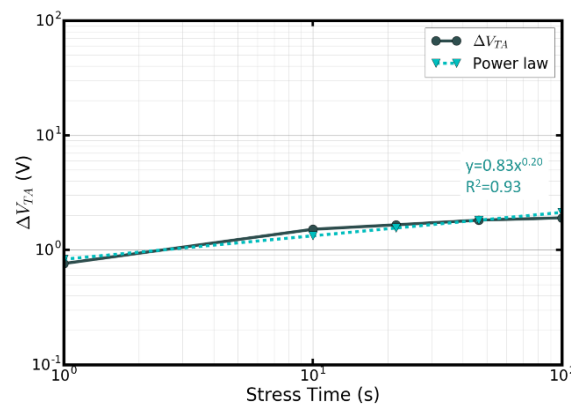


Figure 4-26 : Evolution de ΔV_{TA} au cours du premier stress électrique. Avec $V_{G_STR}=-80V$, $V_{D_STR}=0V$, $C_{OX}=1,66 \text{ nF/cm}^2$, $W=500\mu\text{m}$ et $L=20\mu\text{m}$.

D'après la loi de puissance appliquée aux valeurs expérimentales, la courbe ΔV_{TA} ne varie pas selon $\sqrt{t}$ (ΔV_{TA} est proportionnelle à t^α avec $\alpha \approx 0.2$ ici). Par conséquent, l'hypothèse d'une diffusion d'ions expliquant le décalage vers les tensions positives ne semble pas valide.

2^{ème} hypothèse : piégeage de charges négatives

La seconde hypothèse est donc un piégeage dans le diélectrique de charges négatives injectées depuis la grille argent. Une équation en « stretched exponential », adaptée du silicium amorphe, est généralement utilisée pour prédire l'évolution de ΔV_T en fonction du stress [7]. Comme expliqué au cours du chapitre 1, cette expression repose sur l'hypothèse d'une distribution énergétique des pièges en exponentielle. Dans notre cas, en première approximation, le modèle employé est un système de deux équations correspondant aux phases de stress et de relaxation. La phase de stress est modélisée par une loi cinétique du premier ordre :

$$\Delta V_{Ts} = \frac{q}{C_{OX}} \cdot N_{ot} \left[1 - \exp\left(-\frac{t}{\tau_s}\right) \right] \quad \text{Eq. 4-10}$$

Avec ΔV_{Ts} le décalage de la tension de seuil pendant la phase de stress, N_{ot} la densité de charges piégées équivalente à l'interface SCO/diélectrique, τ_s la constante de temps du stress. Et la phase de relaxation correspond à :

$$\Delta V_{Tr} = \Delta V_{Ts@100s} \left[\%_{Per} + (1 - \%_{Per}) \cdot \exp\left(-\frac{t}{\tau_r}\right) \right] \quad \text{Eq. 4-11}$$

Avec ΔV_{Tr} le décalage de la tension de seuil pendant la phase de relaxation, $\Delta V_{Ts@100s}$ la valeur de ΔV_{Ts} obtenue avec Eq. 4-10 pour $t=100s$, $\%_{Per}$ le pourcentage de pièges permanents ou profonds et τ_r la constante de temps de la relaxation.

Ce modèle exponentiel appliqué aux valeurs expérimentales ΔV_{TA} est représenté en **Figure 4-27a**. Cette hypothèse semble davantage correspondre à la dynamique observée expérimentalement. Il s'agirait donc d'un piégeage de charges négatives venant de la grille dans le diélectrique comme schématisé en **Figure 4-27b**.

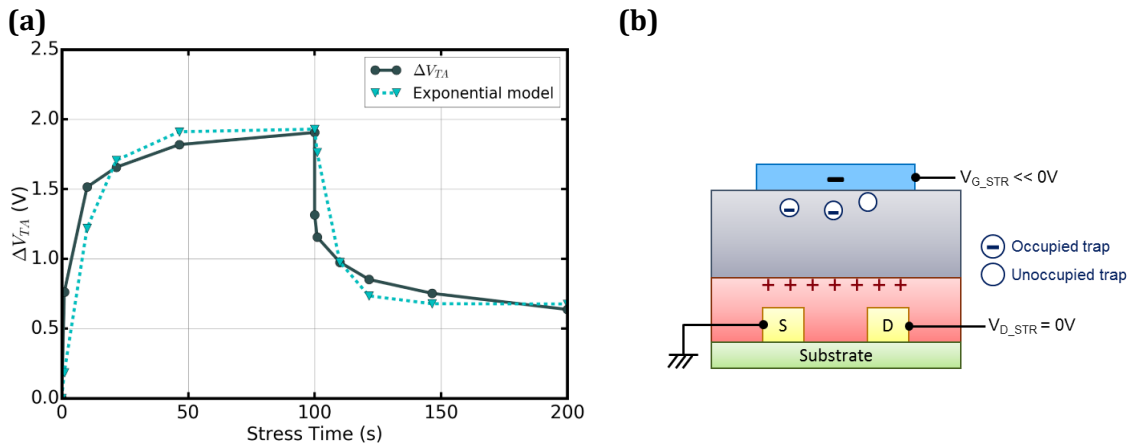


Figure 4-27 : (a) Comparaison des valeurs expérimentales de l'évolution de ΔV_{T1} au cours du stress avec le modèle exponentiel. Avec $V_{G_STR} = -80V$, $V_{D_STR} = 0V$, $C_{OX} = 1.66 \text{ nF/cm}^2$, $N_{ot} = 2 \cdot 10^{10} \text{ cm}^{-2}$, $\tau_s = 10s$, $\%_{Per} = 0.35$ et $\tau_r = 7s$ **(b)** Représentation schématique du piégeage de charges négatives dans le diélectrique au cours du stress de grille négatif.

Il est à noter que la valeur de N_{ot} dans **Eq. 4-10** correspond à la densité de charges « équivalente » à l'interface et qui influent donc fortement sur la conduction des porteurs de charge. Cependant, les charges piégées seraient en réalité dans le diélectrique et relativement proche de la grille (**Figure 4-27b**). Or, plus les charges piégées se situent loin du canal, moins elles auront d'influence sur les porteurs de charge. La densité de pièges en tenant compte de la distance d de la charge piégée par rapport à l'interface grille/diélectrique s'exprime par :

$$N_{ot} = \frac{\epsilon_0 \epsilon_r}{d} \cdot \frac{\Delta V_T}{q} \quad \text{Eq. 4-12}$$

Avec d la distance de la charge piégée par rapport à l'interface grille/diélectrique (**Figure 4-28**).

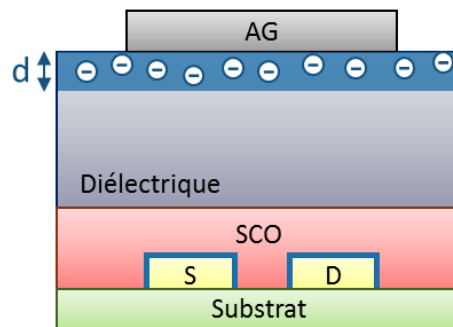


Figure 4-28 : Représentation schématique du piégeage de charges négatives depuis la grille dans le diélectrique et de la distance d .

En considérant par exemple que les pièges se situeraient à 100 nm de la grille et pour un ΔV_{TA} maximum de 2V, la densité de charges piégées serait alors de $2,2 \cdot 10^{11} \text{ cm}^{-2}$ ce qui n'est pas une valeur aberrante.

L'origine de ces pièges est encore à déterminer. Il est possible que les solvants de l'encre argent dégradent une partie du diélectrique entraînant la création de pièges. Une autre hypothèse pour expliquer la disparité entre les transistors avec des grilles différentes, serait la méthode de dépôt de cette dernière.

En effet, lors du dépôt de l'or par pulvérisation un vide est réalisé. Celui-ci pourrait désorber des espèces chargées électriquement indésirables contenues éventuellement dans le diélectrique, même si cela contredirait notre hypothèse de piégeage, et ainsi empêcher cet effet de décalage vers les tensions positives lors du stress électrique. A l'inverse, l'action mécanique de la sérigraphie pourrait influencer l'organisation de couches inférieures en créant des défauts dans le diélectrique.

En résumé, en ce qui concerne l'effet du NGBS sur des P-OTFTs avec une grille en argent imprimée par sérigraphie, deux mécanismes physiques distincts sont observés à fort V_{G_STR} . Ces phénomènes en compétition se traduisent par un changement de signe du ΔV_T au cours du stress électrique.

Pour $t < 100\text{s}$, un décalage des courbes de transfert vers les tensions positives est observé ($\Delta V_T > 0$), ce qui pourrait être associé à un piégeage de charges négatives depuis la grille dans le diélectrique. La dynamique de ce mécanisme est rapide et dépend de la tension de stress appliquée.

En revanche, à long-terme le phénomène prédominant est celui attendu et observé pour les P-OTFTs avec une grille en or, i.e. $\Delta V_T < 0$. Par analogie avec la partie précédente, ce décalage serait dû à une diffusion des porteurs de charge (trous) dans le diélectrique. C'est un mécanisme plus lent et probablement indépendant de la tension appliquée.

4.5. Conclusions

Au cours de ce chapitre, nous avons étudié l'impact du stress électrique de grille négatif sur différents empilements de transistors organiques de type p. Pour nos structures, un décalage des courbes de transfert au cours du stress est observé, sans changement de pente sous le seuil ou de mobilité. Le changement de tension de seuil est représenté par un $\Delta V_T = V_T - V_{T_initiale}$.

Dans un premier temps, nous avons analysé la réponse en stress de transistors avec une grille en or pulvérisée. Au cours du NGBS, les courbes $I_D = f(V_{GS})$ se décalent uniquement vers les tensions négatives ($\Delta V_T < 0$) et la valeur de ΔV_T , indépendante de la tension de stress appliquée V_{G_STR} , suit une loi en $\sqrt{t}$. Cette variation de V_T serait due à une diffusion des porteurs de charge (trous) dans le diélectrique. Cette hypothèse a été confortée par des mesures de stress en température.

Dans un deuxième temps, nous avons étudié l'impact du NGBS sur des transistors avec une grille argent imprimée par sérigraphie. Les résultats montrent la présence de deux phénomènes en compétition se traduisant par un changement de signe de ΔV_T au cours du stress en tension négative. Le nouveau phénomène a été observé pour les faibles temps de stress (< 100 secondes) et correspond à un ΔV_T positif et dépendant de V_{G_STR} . Ce décalage des courbes $I_D = f(V_{GS})$ vers les tensions positives pourrait être expliqué par un piégeage de charges négatives depuis la grille dans le diélectrique. La dynamique en exponentielle de ce mécanisme est plus rapide que le phénomène de diffusion mais semble saturer, c'est pourquoi il est prédominant dans les premiers temps du stress. Ainsi, pour les P-OTFTs avec une grille en argent imprimée, l'impact du NGBS pourrait être expliqué par un piégeage rapide d'électrons dépendant de V_{G_STR} d'une part et d'une diffusion plus lente de trous indépendante de la tension de stress appliquée d'autre part (même phénomène que pour les P-OTFTs avec une grille en or pulvérisée).

Parmi les perspectives, il serait intéressant de fabriquer deux plaques de transistors en simulant d'un côté un vide correspondant à la pulvérisation avant l'impression de la grille argent et d'un autre côté effectuer l'action mécanique de la sérigraphie sur le diélectrique (sans dépôt d'argent) avant de pulvériser une grille en or. Il serait alors possible de conclure si l'effet de $\Delta V_{TA} > 0$ provient de l'encre argent, de la sérigraphie ou si le vide de la pulvérisation cathodique permet de s'affranchir de ce phénomène.

RÉFÉRENCES

- [1] H. Sirringhaus, "Reliability of Organic Field-Effect Transistors," *Adv. Mater.*, vol. 21, no. 38–39, pp. 3859–3873, Oct. 2009.
- [2] S. M. Sze and K. K. Ng, *Physics of semiconductor devices*, 3rd ed. Hoboken, N.J: Wiley-Interscience, 2007.
- [3] N. Wrachien *et al.*, "Light, bias, and temperature effects on organic TFTs," in *Reliability Physics Symposium (IRPS), 2010 IEEE International*, 2010, pp. 334–341.
- [4] T. N. Ng, J. H. Daniel, S. Sambandan, A.-C. Arias, M. L. Chabinyc, and R. A. Street, "Gate bias stress effects due to polymer gate dielectrics in organic thin-film transistors," *J. Appl. Phys.*, vol. 103, no. 4, p. 044506, Feb. 2008.
- [5] S. J. Zilker, C. Detcheverry, E. Cantatore, and D. M. de Leeuw, "Bias stress in organic thin-film transistors and logic gates," *Appl. Phys. Lett.*, vol. 79, no. 8, pp. 1124–1126, Aug. 2001.
- [6] N. D. Young and A. Gill, "Water-related instability in TFTs formed using deposited gate oxides," *Semicond. Sci. Technol.*, vol. 7, no. 8, p. 1103, 1992.
- [7] S. G. J. Mathijssen *et al.*, "Dynamics of Threshold Voltage Shifts in Organic and Amorphous Silicon Field-Effect Transistors," *Adv. Mater.*, vol. 19, no. 19, pp. 2785–2789, Oct. 2007.

Conclusions générales

Durant ces trois années de thèse, nous avons réalisé la fabrication et la caractérisation électrique des transistors organiques imprimés au CEA-Liten, afin d'étudier la fiabilité électrique de ces dispositifs.

Au cours du **premier chapitre** de ce manuscrit, nous avons tout d'abord rappelé le fonctionnement des semi-conducteurs organiques et les différents modèles de transport de charges associés. Puis nous avons décrit le fonctionnement du transistor organique dans son ensemble, en mettant en avant les facteurs de mérite (mobilité, tension de seuil, pente sous le seuil...) extraits des courbes caractéristiques. Par la suite, les méthodes d'extraction les plus répandues ont été détaillées, soulignant l'importance du choix d'une méthode adaptée à l'expérience menée. Enfin, une étude bibliographique sur le stress électrique des transistors organiques a été réalisée. Certaines de ces études mettent en avant la diversité des matériaux en électronique organique et par conséquent la difficulté de trouver un consensus sur les mécanismes de dégradation durant le stress électrique. C'est pourquoi il est important d'étudier la stabilité électrique pour chaque nouvel empilement de transistor organique.

Le **deuxième chapitre** a été consacré en premier lieu au procédé de fabrication des transistors organiques utilisés durant ce travail de thèse. Puis les protocoles de caractérisation électrique des OTFTs ont été mis en place afin de s'affranchir des effets dus à l'environnement, la mesure ou le vieillissement des transistors.

La sensibilité à la lumière des OTFTs a tout d'abord été étudiée. L'exposition à la lumière du microscope se traduit principalement par une montée immédiate du courant à l'état bloqué (I_{OFF}) du transistor, associée à une dégradation de la pente sous le seuil. Ce phénomène est cependant réversible et un temps de relaxation dans le noir de 3h a été déterminé afin de mesurer les caractéristiques de transfert du transistor de manière reproductible.

Ensuite, l'impact de la mesure elle-même a été analysé, le but étant de trouver un compromis entre la précision et la vitesse de mesure des caractéristiques électriques des transistors. En effet, lors d'un stress électrique, une mesure rapide avec un pas de mesure plus important sera privilégiée afin d'obtenir une extraction correcte des paramètres du transistor pour les temps de stress inférieurs à 100s. En revanche, pour les autres types de caractérisations électriques, un pas de mesure plus faible permettra une plus grande précision lors de l'extraction des facteurs de mérite

et notamment de la pente sous le seuil. Pour les deux protocoles de mesure mis en place, aucun impact de la mesure n'a été mis en évidence.

Enfin, des transistors stockés à l'air et dans le noir, ont été mesurés sur une période d'environ 300 jours afin d'étudier l'évolution de leurs caractéristiques électriques. Cette étude a montré que diverses expositions à la lumière et à l'oxygène de l'air peuvent provoquer une dégradation prématurée du semi-conducteur organique. Il est donc nécessaire, pour nos matériaux, de limiter au mieux ces expositions (inévitables lors de la mise en place des tests électriques). Dans ces conditions, nous n'avons observé aucun changement significatif des caractéristiques électriques des transistors un an après leur fabrication.

Lors du **troisième chapitre**, un modèle physique permettant de décrire le comportement électrique de nos transistors a été développé. En effet, l'utilisation de la fonction Lambert W permet de décrire la charge d'accumulation Q_{acc} dans le canal et par conséquent le courant de drain I_D des transistors organiques. Ce modèle basé sur la fonction Lambert W a fait l'objet d'un article¹.

Tout d'abord, le modèle a été validé sur des courbes de transfert ($I_D=f(V_{GS})$) et de sortie ($I_D=f(V_{DS})$) pour différentes longueurs de canal de transistor (allant de 10 à 100 μm). Des effets de canaux courts ont alors été observés (DIBL dans notre cas) et ont été pris en compte dans le modèle de la charge Q_{acc} . Ce dernier permet une description correcte du transistor en dessous et au-dessus du seuil, en régime linéaire et saturé. De plus, ce modèle, comparé à des méthodes d'extractions classiques, a été validé pour l'extraction des paramètres clés des transistors lors de mesures à basses températures.

Ces mesures à basses températures ont été réalisées afin de mieux comprendre les mécanismes de transport de charges propres à notre polymère semi-conducteur. L'évolution de la mobilité avec la température suit une loi d'Arrhenius qui indique qu'il s'agirait d'un transport activé thermiquement et limité par piégeage-dépiégeage multiples (MTR). Cette équation nous a permis d'extraire deux grandeurs : une mobilité « band-like » proche du pentacène monocristallin et une énergie d'activation de l'ordre de 100 meV correspondant à la profondeur moyenne des états localisés. Enfin, l'évolution de la tension de seuil avec la température serait en grande partie liée à l'effet électrostatique des charges piégées à l'interface SCO/ diélectrique.

Finalement, le **quatrième chapitre** a été dédié à l'étude de la stabilité électrique des transistors organiques de type p à travers l'impact du stress électrique de grille négatif (NGBS). Plusieurs empilements ont été étudiés et seul un décalage des courbes de transfert a été observé, sans changement de pente sous le seuil ou de mobilité. Ce décalage a été quantifié par la méthode à courant constant et représenté par la valeur $\Delta V_T = V_T - V_{Tinitial}$.

Tout d'abord, la réponse en stress électrique a été mesurée pour des P-OTFTs avec une grille en or pulvérisée. Les courbes de transfert se décalant uniquement vers les tensions négatives au

¹ C. Haddad, S. Jacob, M. Charbonneau, A. Revaux, and G. Ghibaudo, "Lambert W-function based modelling of P-OTFTs and application to low temperature measurements," Org. Electron., Jun. 2018.

cours du NGBS, le décalage ΔV_T est donc strictement négatif. De plus, il est indépendant de la tension de stress appliquée (V_{G_STR}) et suit une loi en $\sqrt{t}$. Cette variation pourrait être attribuée à une diffusion de porteurs de charges (trous) dans le diélectrique. Cette hypothèse serait cohérente avec les résultats de stress en température également réalisés.

Ensuite, le NGBS a été étudié sur divers empilements de transistor permettant de comparer deux diélectriques et l'impact de la méthode de dépôt de celui-ci sur le stress électrique. Les résultats montrent une légère variation entre les deux diélectriques testés ce qui indiquerait que le diélectrique semble jouer un rôle dans la stabilité électrique. En revanche, la méthode de dépôt ne semble pas impacter les résultats des stress électriques.

Enfin, la stabilité électrique de transistors avec une grille en argent imprimée par sérigraphie a été étudiée. Par comparaison avec les P-OTFTs avec une grille en or pulvérisé, les résultats montrent la présence d'un nouveau phénomène à court terme et dépendant du V_{G_STR} . En effet, à faible temps de stress (<100s), les courbes de transfert se décalent vers les tensions positives, puis vers les tensions négatives pour les temps de stress plus longs. Il y aurait donc une compétition entre deux phénomènes résultant en un changement de signe de ΔV_T . Par analogie avec les transistors ayant une grille en or, le phénomène à long terme a été attribué à une diffusion plus lente des trous dans le diélectrique. Le phénomène à court terme serait, quant à lui, expliqué par un piégeage rapide d'électrons provenant de la grille dans le diélectrique et dépendant du V_{G_STR} .

Perspectives

Plusieurs résultats intéressants ont été obtenus durant ces trois années de thèse. Certaines études pourraient être approfondies.

Malgré les performances correctes des OTFTs étudiés, l'impact de la lumière pourrait être un éventuel frein au transfert de cette technologie vers l'industrie. Une étude approfondie de l'influence de la lumière sur la couche active semi-conductrice en atmosphère contrôlée permettrait de savoir si l'on observe une augmentation de la conduction due à la lumière seulement ou à la combinaison de celle-ci avec l'oxygène de l'air. Des solutions, comme une encapsulation des transistors, pourraient alors être envisagées afin de s'affranchir de cet effet.

D'autre part, durant le stress en tension de grille négatif, nous avons observé une montée du courant bloqué du transistor (I_{OFF}). Une hypothèse avancée est la présence de lignes de champ plus ou moins étendues entre la source et le drain du fait du semi-conducteur déposé en pleine couche. Il aurait été intéressant d'observer l'évolution du courant I_{OFF} durant le NGBS sur des transistors dont le semi-conducteur est patterné au-dessus du canal. Par comparaison, il serait alors possible de savoir si la montée du courant I_{OFF} durant le stress électrique est due au dépôt pleine couche du semi-conducteur.

Enfin, dans la partie 4.4, un nouveau phénomène a été observé lors du stress électrique négatif des transistors avec une grille en argent imprimée par sérigraphie. Or, ce phénomène pourrait être expliqué par l'encre argent elle-même ou bien par la méthode de dépôt de la grille. Il serait intéressant de fabriquer deux nouvelles plaques simulant d'un côté l'action mécanique de la sérigraphie sur le diélectrique (sans dépôt de l'encre) et d'un autre côté effectuer un vide semblable à celui réalisé lors de la pulvérisation cathodique. La comparaison des plaques pourrait alors permettre de discriminer l'origine du décalage vers les tensions positives lors d'un NGBS.

Annexe I : LW(x) solution de l'équation différentielle en Q_{acc}

D'après **Eq. 3-19** :

$$\frac{dQ_{acc}}{dV_G} = C_{ox} \frac{\frac{\beta Q_{acc}}{C_{ox}}}{\frac{\beta Q_{acc}}{C_{ox}} + 1} \quad \text{Eq. 13}$$

Soit :

$$\frac{dQ_{acc}}{dV_G} \cdot \frac{1}{C_{ox}} \left(\frac{\beta Q_{acc}}{C_{ox}} + 1 \right) = \frac{\beta Q_{acc}}{C_{ox}} \quad \text{Eq. 14}$$

Sachant que β et C_{ox} sont des constantes, on obtient :

$$\frac{d \left(\frac{\beta Q_{acc}}{C_{ox}} \right)}{dV_G} \cdot \frac{1}{\beta} \left(\frac{\beta Q_{acc}}{C_{ox}} + 1 \right) = \frac{\beta Q_{acc}}{C_{ox}} \quad \text{Eq. 15}$$

On pose $y = \frac{\beta Q_{acc}}{C_{ox}}$, on a alors :

$$\frac{dy}{dV_G} \cdot \frac{1}{\beta} (y + 1) = y \quad \text{Eq. 16}$$

Soit :

$$\frac{dy}{dx} \cdot \frac{dx}{dV_G} \cdot \frac{1}{\beta} (y + 1) = y \quad \text{Eq. 17}$$

On pose $x = e^{\beta(V_G - V_T - U_C)}$, alors la dérivée de x par rapport à V_G est :

$$\frac{dx}{dV_G} = \beta \cdot \exp(\beta(V_G - V_T - U_C)) = \beta x \quad \text{Eq. 18}$$

L'équation 5 devient alors :

$$\frac{dy}{dx} \cdot \beta x \cdot \frac{1}{\beta} (y + 1) = y \quad \text{Eq. 19}$$

Soit :

$$x(y + 1) \frac{dy}{dx} = y \quad \text{Eq. 20}$$

La fonction de Lambert W est donc bien solution de l'équation différentielle en Q_{acc} .

Annexe II : Courbes $I_D=f(V_{GS})$ durant le NGBS et la relaxation des P-OTFTs avec une grille en or pulvérisée

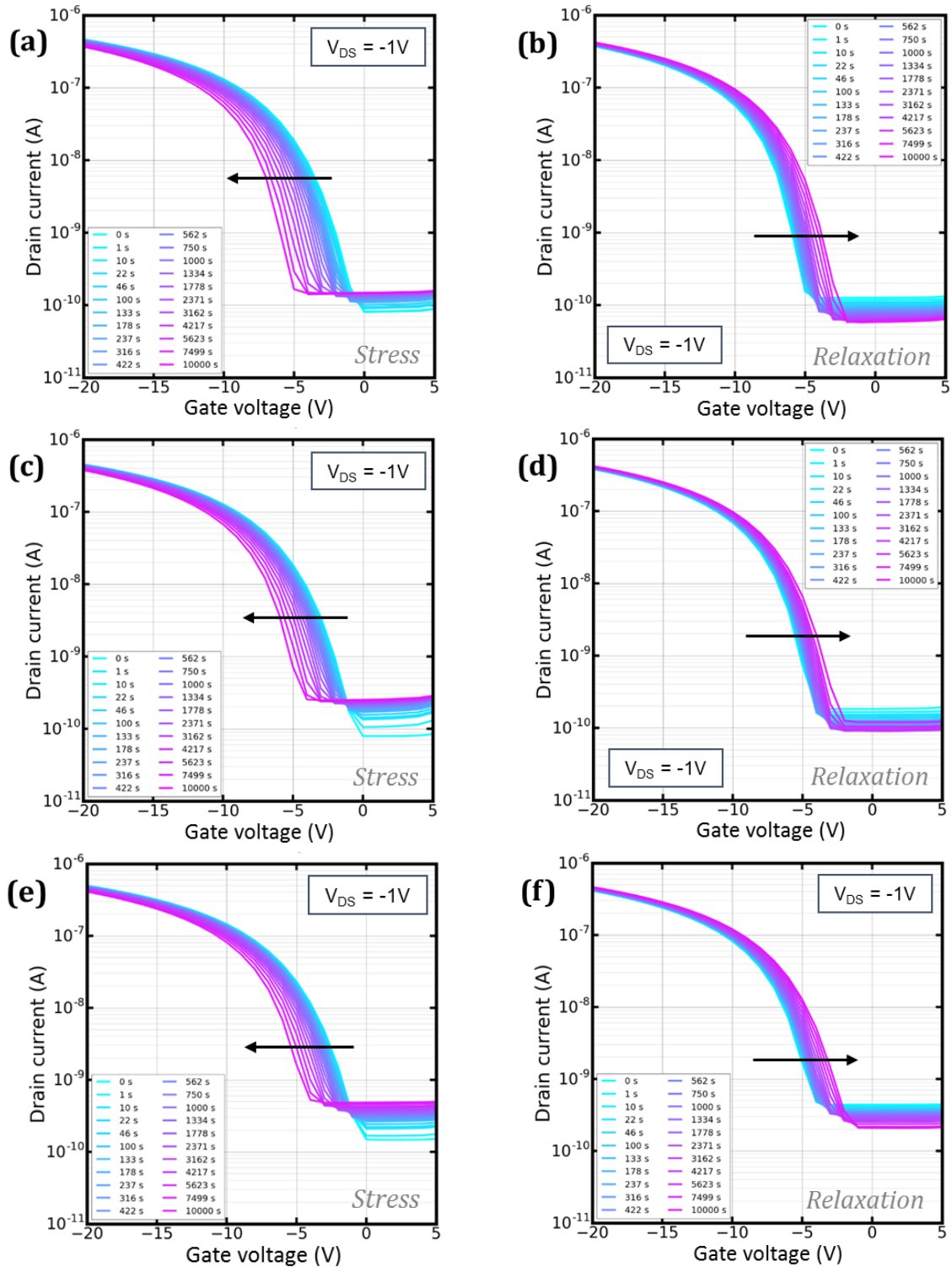


Figure II-1 : Evolution des courbes de transfert lors du stress électrique (a) ($V_{G,STR} = -30V$ et $V_{D,STR} = 0V$), (c) ($V_{G,STR} = -45V$ et $V_{D,STR} = 0V$), (e) ($V_{G,STR} = -80V$ et $V_{D,STR} = 0V$) et (b), (d), (f) de leur relaxation respective ($V_{G,STR} = 0V$ et $V_{D,STR} = 0V$) sur des P-OTFTs avec $W=500\mu m$ et $L=20\mu m$.

Annexe III : Courbes $I_D=f(V_{GS})$ durant le NGBS des P-OTFTs avec une grille en or pulvérisée (comparaison des diélectriques)

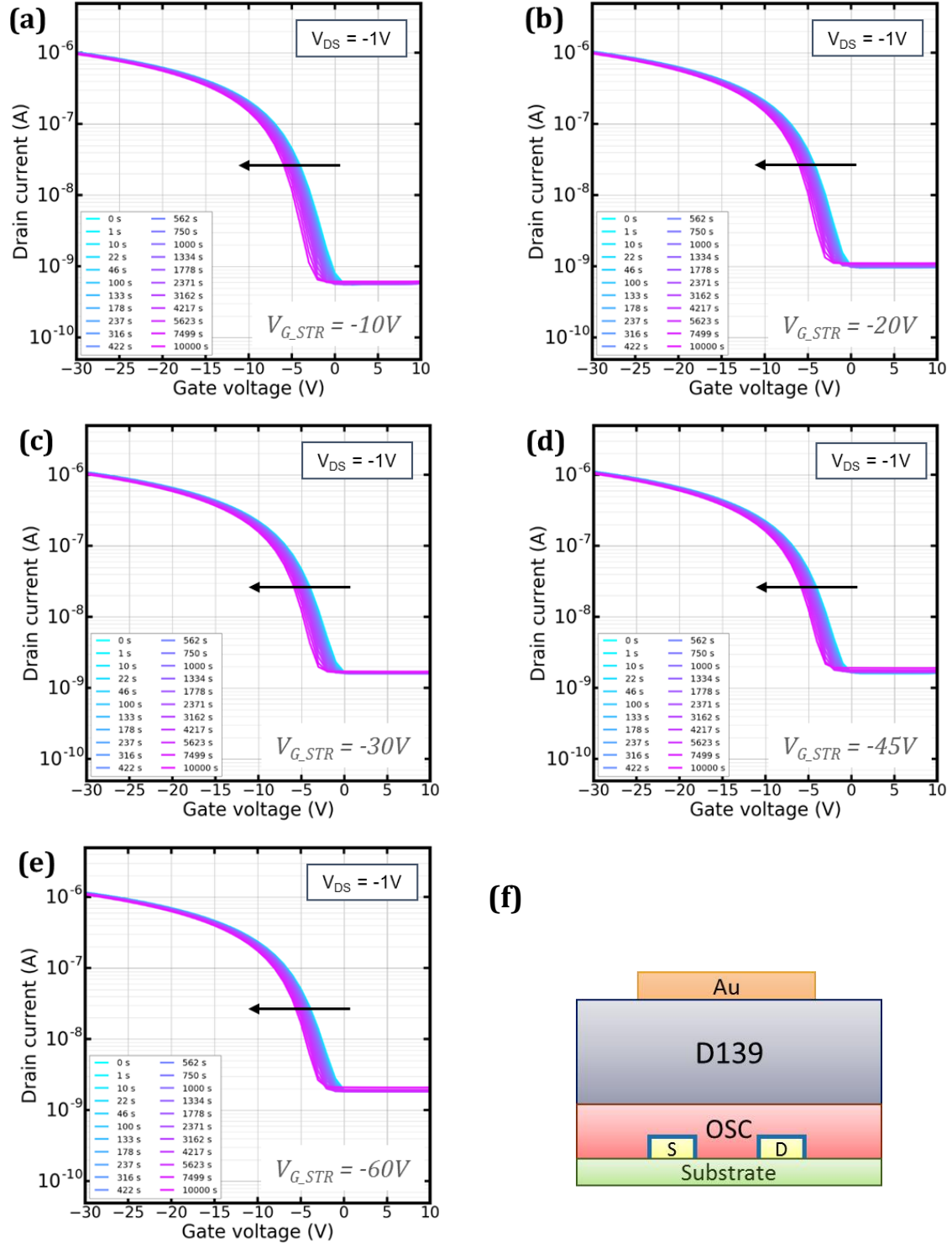


Figure III-1 : Evolution des courbes de transfert lors du stress électrique avec (a) $V_{G,STR} = -10V$, (b) $V_{G,STR} = -20V$, (c) $V_{G,STR} = -30V$, (d) $V_{G,STR} = -45V$ et (e) $V_{G,STR} = -60V$ sur des P-OTFTs avec le D139 en tant que diélectrique. (f) Représentation schématique de l'empilement. $W=500\mu m$ et $L=20\mu m$.

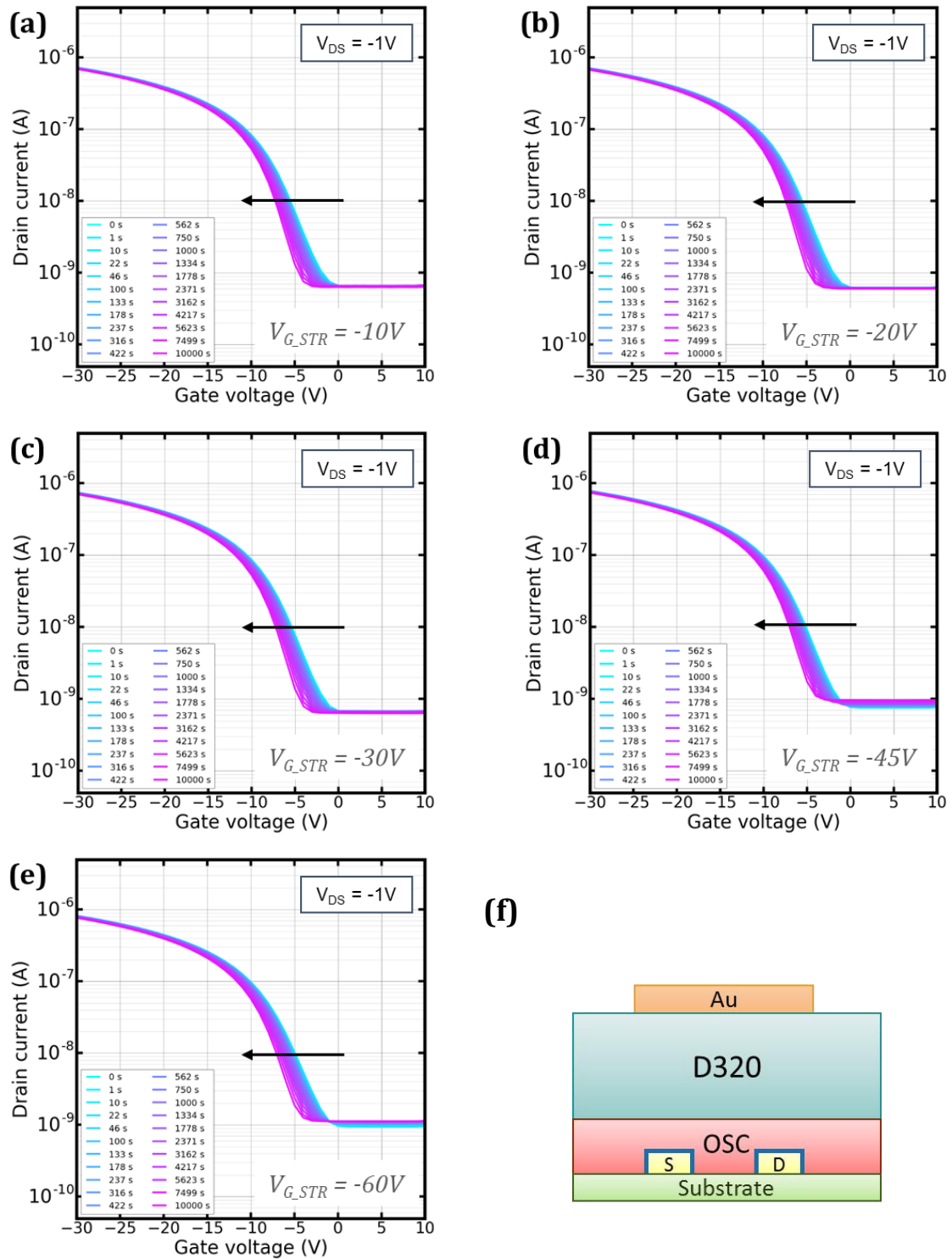


Figure III-2 : Evolution des courbes de transfert lors du stress électrique avec **(a)** $V_{G,STR} = -10V$, **(b)** $V_{G,STR} = -20V$, **(c)** $V_{G,STR} = -30V$, **(d)** $V_{G,STR} = -45V$ et **(e)** $V_{G,STR} = -60V$ sur des P-OTFTs avec le D320 en tant que diélectrique. **(f)** Représentation schématique de l'empilement. $W=500\mu m$ et $L=20\mu m$.

Annexe IV : Courbes $I_D=f(V_{GS})$ durant le NGBS des P-OTFTs (comparaison de la méthode de dépôt du diélectrique)

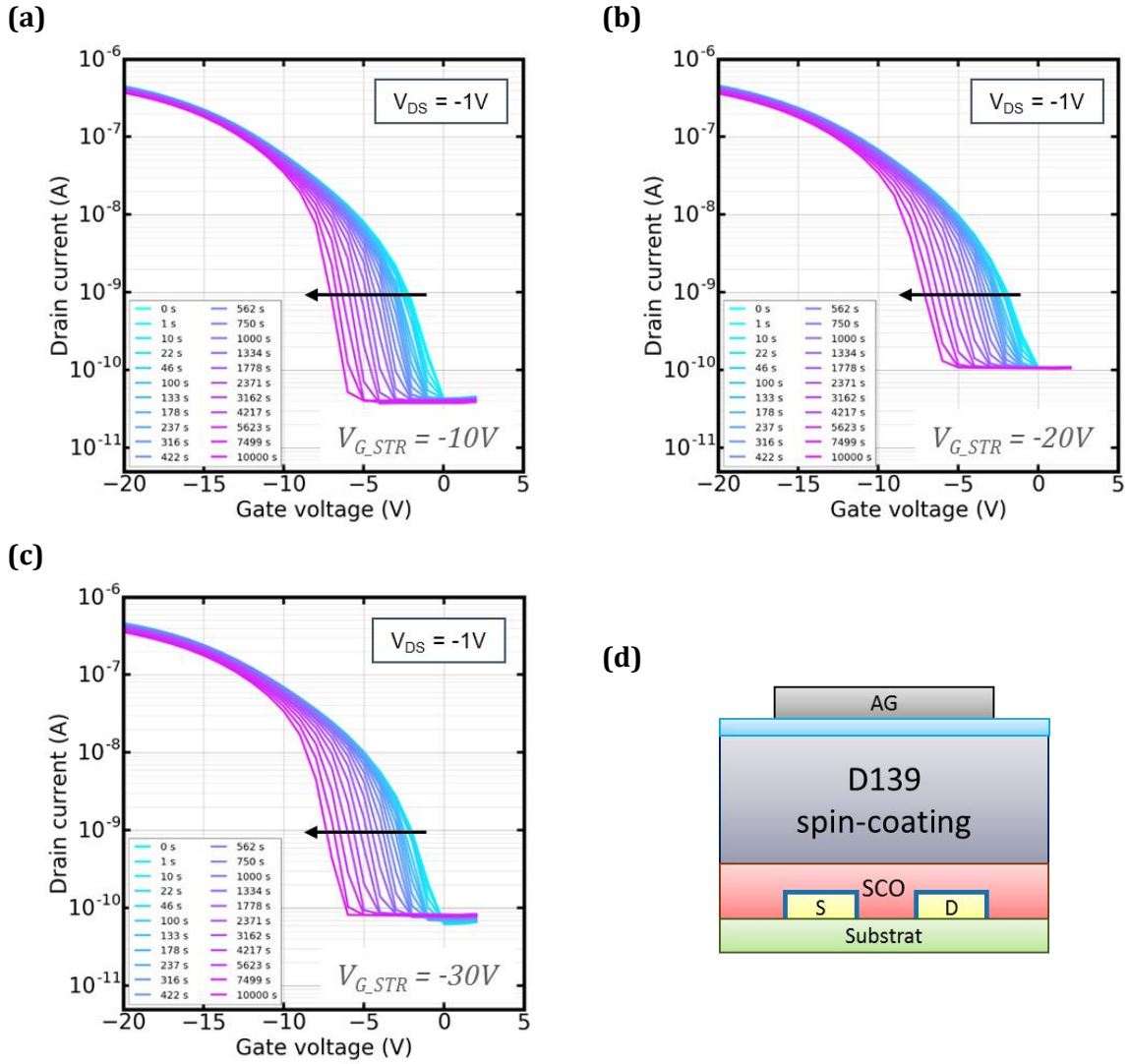


Figure IV-1 : Evolution des courbes de transfert lors du stress électrique avec (a) $V_{G,STR} = -10V$, (b) $V_{G,STR} = -20V$, (c) $V_{G,STR} = -30V$, (d) sur des P-OTFTs avec le diélectrique D139 déposé par spin-coating. (d) Représentation schématique de l'empilement. $W=500\mu m$ et $L=20\mu m$.

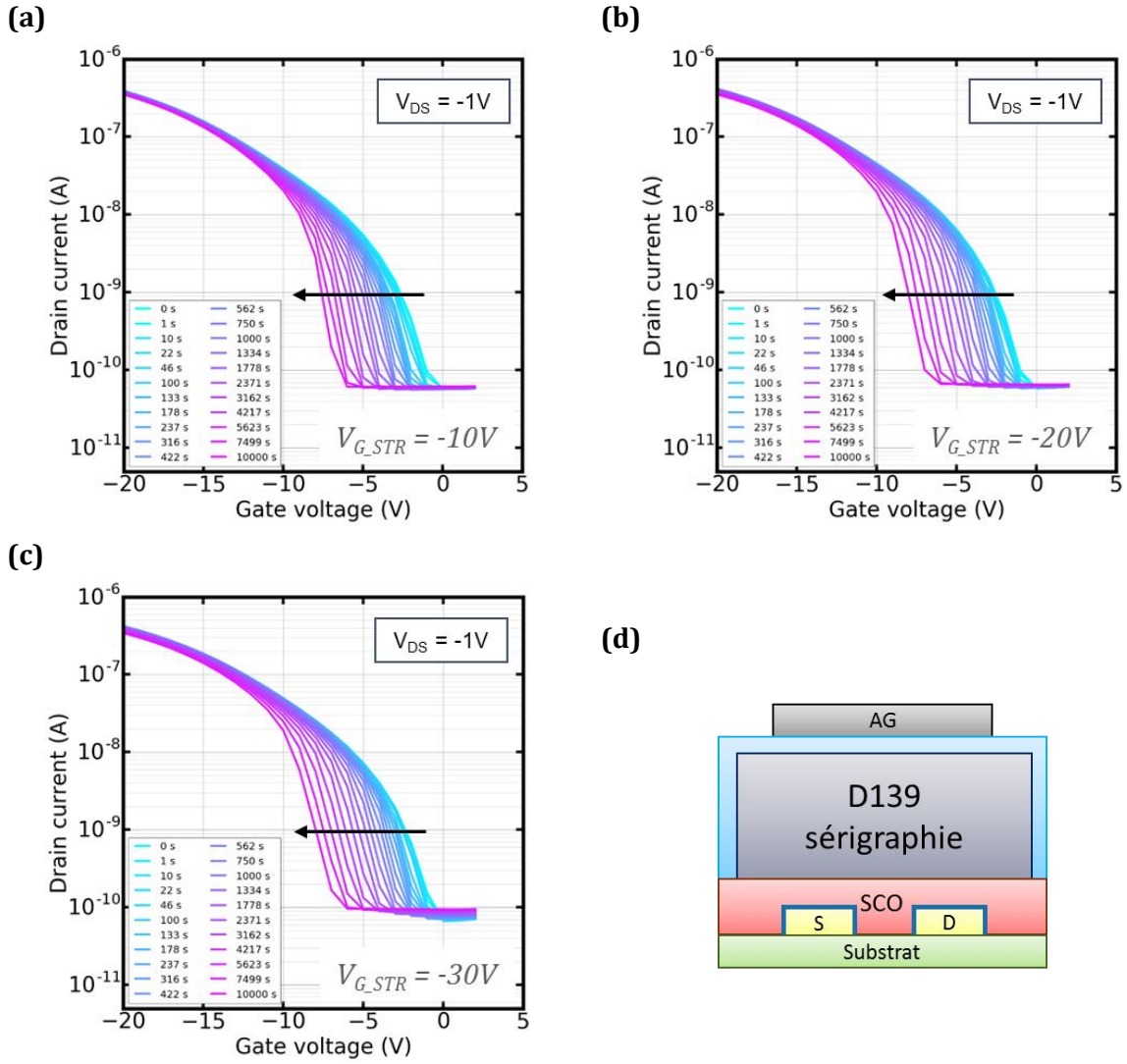


Figure IV-2 : Evolution des courbes de transfert lors du stress électrique avec **(a)** $V_{G,STR} = -10V$, **(b)** $V_{G,STR} = -20V$, **(c)** $V_{G,STR} = -30V$, **(d)** sur des P-OTFTs avec le diélectrique D139 imprimé par sérigraphie. **(d)** Représentation schématique de l'empilement. $W=500\mu m$ et $L=20\mu m$.

Annexe V : Courbes $I_D=f(V_{GS})$ durant le NGBS des P-OTFTs avec une grille en encre argent imprimée

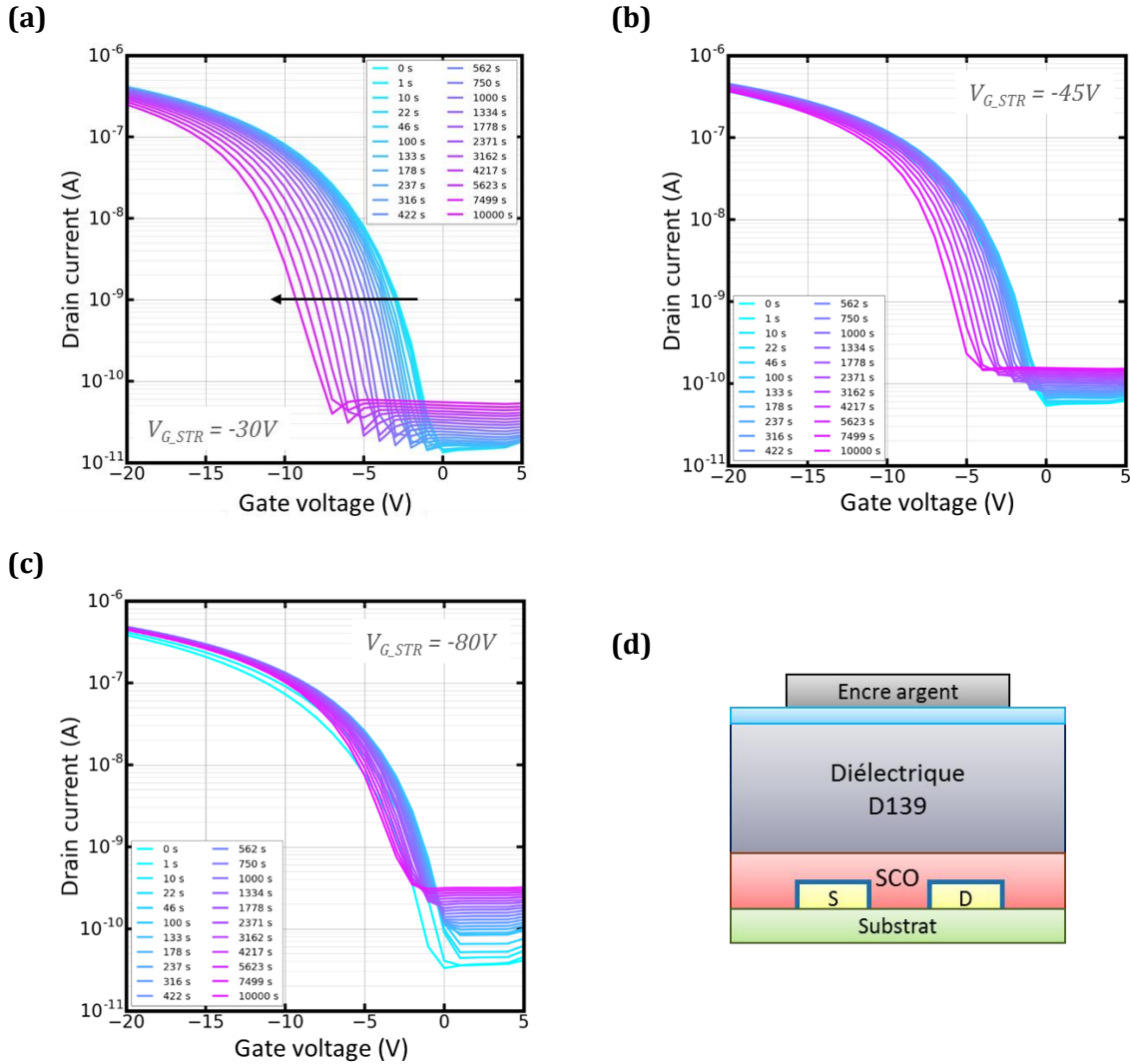


Figure V-1 : Evolution des courbes de transfert (en régime linéaire, $V_{DS} = -1V$) lors du stress électrique avec (a) $V_{G,STR} = -30V$, (b) $V_{G,STR} = -45V$, (c) $V_{G,STR} = -80V$, (d) sur des P-OTFTs avec une grille en encre argent imprimée par sérigraphie. (d) Représentation schématique de l'empilement. $W=500\mu m$ et $L=20\mu m$.

Annexe VI : Changement de signe de ΔV_T au cours du NGBS pour des plaques avec une grille en encre argent imprimée

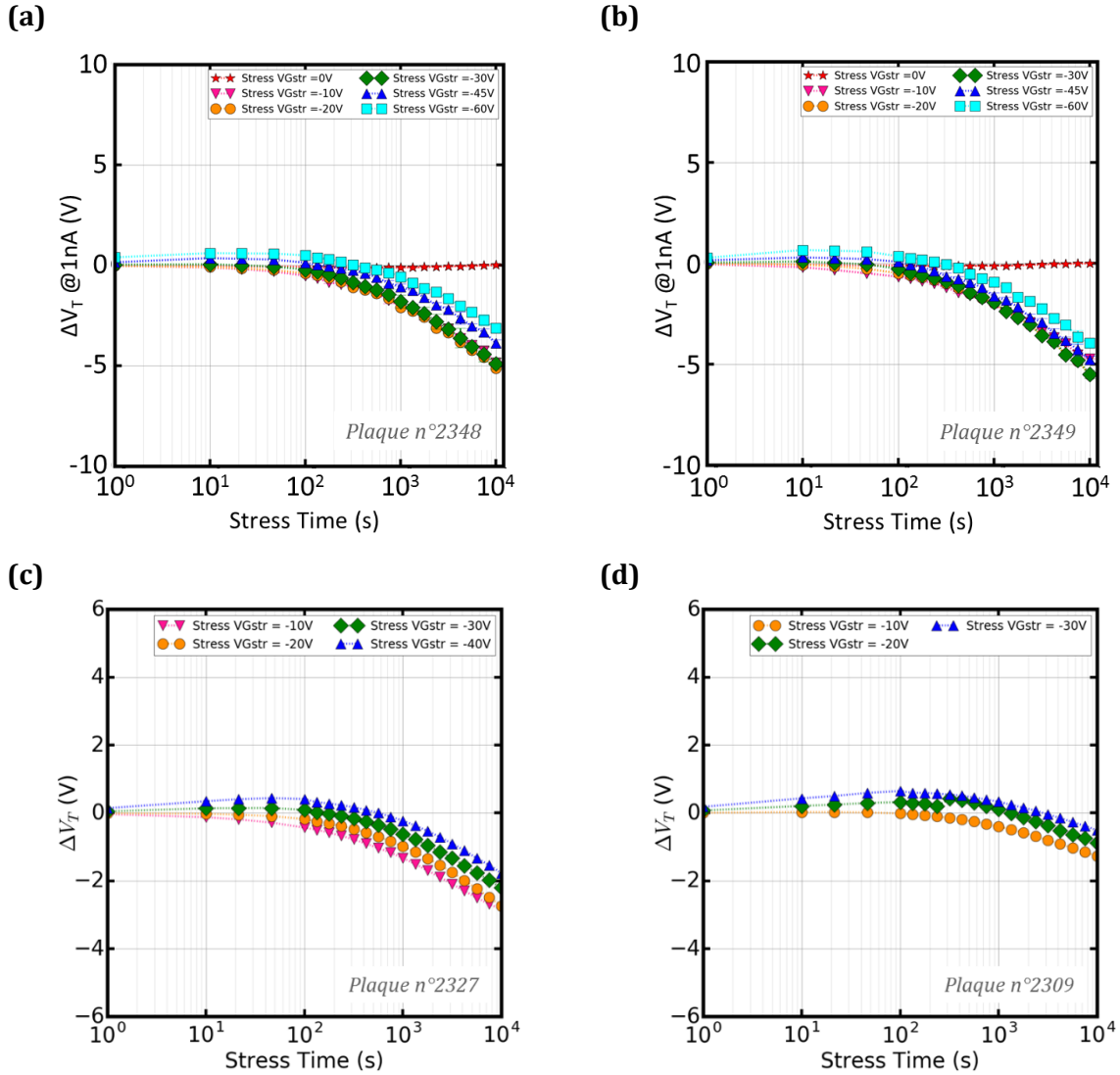


Figure VI-1 : Evolution de ΔV_T lors du stress électrique sur des P-OTFTs avec une grille en encre argent imprimée par sérigraphie provenant de plaques **(a), (b)** Backplane avec $W=500\mu\text{m}$ et $L=20\mu\text{m}$ et **(c), (d)** Polaris avec $W=4000\mu\text{m}$ et $L=20\mu\text{m}$.

Annexe VII : Valeurs extraites des ΔV_T lors des cycles courts de stress et relaxation (comparaison du type de grille)

Table VII-1 : Valeurs extraites à courant constant ($I_D=1\text{nA}$) de ΔV_T au cours des différents cycles de stress et relaxation correspondant à la **Figure 4-24**.

	1 ^{ER} CYCLE			2 ^{EME} CYCLE			3 ^{EME} CYCLE		
	Temps (s)	ΔV_T argent (V)	ΔV_T or (V)	Temps (s)	ΔV_T argent (V)	ΔV_T or (V)	Temps (s)	ΔV_T argent (V)	ΔV_T or (V)
STRESS	0	0,00	0,00	200	0,36	-0,24	400	0,22	-0,36
	1	0,76	0,00	201	0,82	-0,21	401	0,70	-0,33
	10	1,48	-0,04	210	1,31	-0,22	410	1,13	-0,34
	22	1,58	-0,07	222	1,37	-0,24	422	1,22	-0,35
	46	1,70	-0,12	246	1,50	-0,27	446	1,34	-0,38
	100	1,71	-0,19	300	1,53	-0,33	500	1,42	-0,43
RELAXATION	100	1,08	-0,23	300	0,95	-0,37	500	0,85	-0,47
	101	0,93	-0,22	301	0,79	-0,36	501	0,68	-0,46
	110	0,75	-0,22	310	0,61	-0,36	510	0,50	-0,46
	122	0,63	-0,22	322	0,48	-0,36	522	0,37	-0,46
	146	0,53	-0,22	346	0,39	-0,34	546	0,28	-0,44
	200	0,43	-0,21	400	0,29	-0,33	600	0,18	-0,43

Abstract/Résumé

ENGLISH

Manufacturing, electrical characterization and reliability of printed OTFTs on plastic substrate

Organic electronics has made possible the use of materials in solution which are compatible with printing techniques. This allows low temperature process and therefore the use of any type of flexible substrate such as plastic. For these reasons, organic electronics has a strong potential for easy customization of electronic circuits on large areas. Nowadays, organic semiconductors provide performances close to amorphous silicon, allowing to process organic thin-film transistor (OTFT) circuits and matrices for printed sensors driving. In this work, the stability and reliability of organic transistors printed at CEA-Liten has been studied in order to achieve a technology transfer to industry.

P-type OTFTs were manufactured on plastic substrate, with a p-type polymer semiconductor (SP400 from Merck) and a fluoropolymer as dielectric. First, an experimental protocol for electrical characterization was implemented in order to overcome potential effects due to environment, measurements or aging of OTFTs. Then, a model based on the expression of the accumulation charge in the transistor channel was developed. This model allowed the extraction of OTFTs parameters during low temperature measurements, showing a temperature-activated transport of the charge carriers in the OSC. Finally, the impact of negative gate bias stress on OTFTs characteristics was studied. Electrical stability measurements of P-OTFTs were performed on several gate stacks to study the influence of the nature and deposition method of the dielectric on the one hand and the influence of the gate material (printed silver ink or sputtered gold electrode) on the second hand.

Keywords: Organic electronics, OTFTs, printing, electrical characterization, bias stress

FRANÇAIS

Fabrication, caractérisation électrique et fiabilité des OTFTs imprimés sur substrat plastique

L'électronique organique, grâce à l'emploi de matériaux en solution, permet l'utilisation de procédés de fabrication par impression à basse température et par conséquent l'emploi de tout type de substrat flexible tel que le plastique. Ceci permet une grande flexibilité pour la conception et la réalisation de circuits électroniques sur de grandes surfaces. Ces dernières années, les semi-conducteurs organiques ont atteint des performances comparables à celles du silicium amorphe, permettant ainsi de réaliser des circuits et matrices de transistors organiques destinés à l'adressage de capteurs imprimés. Cette thèse porte sur l'étude de la stabilité et de la fiabilité de transistors organiques imprimés au CEA-Liten.

Des OTFTs de type P ont été fabriqués sur plastique, avec un polymère semi-conducteur (SCO) de type P (SP400 de Merck) et un fluoropolymère en tant que diélectrique. Tout d'abord, un protocole expérimental pour la caractérisation électrique a été mis en place afin de s'affranchir de potentiels effets dus à l'environnement, la mesure ou le vieillissement des OTFTs. Puis un modèle basé sur l'expression de la charge d'accumulation dans le canal du transistor a été développé. Ce modèle a permis l'extraction des paramètres des OTFTs lors de mesures à basse température, qui ont mis en évidence un transport de charges activé en température dans le SCO. Enfin, l'impact du stress électrique de grille négatif sur les caractéristiques des transistors a été étudié. La stabilité électrique des P-OTFTs a été analysée sur plusieurs empilements de grille afin d'étudier l'influence du diélectrique et de sa méthode de dépôt ainsi que l'influence de la grille (électrode en encre argent imprimée ou en or pulvérisé).

Mots-clés : Electronique organique, OTFTs, impression, caractérisation électrique, stress électrique