

TABLE DES MATIÈRES

	Page
INTRODUCTION	1
CHAPITRE 1 CARACTÉRISTIQUES IMPORTANTES DES AMPLIFICATEURS LINÉAIRES RF DE PUISSANCE ET DES DÉTECTEURS D'ENVELOPPE	17
1.1 Introduction.....	17
1.2 Bases et caractéristiques importantes des amplificateurs de puissance RF	17
1.2.1 Puissance de sortie, gain, et linéarité	18
1.2.2 Efficacité énergétique	19
1.2.3 Classe d'opération et angle de conduction.....	20
1.2.4 « Error Vector Magnitude »	22
1.2.5 Dimensionnement de la matrice d'amplification.....	24
1.3 Caractéristiques des détecteurs de puissance et d'enveloppe	26
1.3.1 Signal de sortie du détecteur	26
1.3.2 La fonction de transfert, la plage dynamique d'entrée, la plage dynamique de sortie et la sensibilité	27
1.3.3 Le temps de réponse et régime transitoire	28
1.3.4 La fréquence d'opération et la bande passante d'enveloppe	29
1.4 Résumé des caractéristiques importantes des amplificateurs linéaires et des détecteurs d'enveloppe	30
CHAPITRE 2 DÉTECTION DE PUISSANCE ET D'ENVELOPPE EN CMOS – ÉTAT DE L'ART	31
2.1 Introduction.....	31
2.2 Revue des détecteurs de puissance RF.....	31
2.2.1 Les détecteurs de puissance RMS et d'enveloppe à transistor MOSFET.....	32
2.3 Conclusion sur la technique de circuit sélectionnée pour la proposition d'une détection d'enveloppe	33
CHAPITRE 3 CONCEPTION ET CARACTÉRISATION D'UN DÉTECTEUR D'ENVELOPPE EN CMOS 0.18 UM ET DE SES CIRCUITS SECONDAIRES	35
3.1 Introduction.....	35
3.2 Principe de fonctionnement du détecteur d'enveloppe.....	35
3.2.1 Modes de fonctionnement du détecteur	36
3.3 Conception du détecteur d'enveloppe et de ses circuits secondaires.....	37
3.3.1 Schéma électrique de l'amplificateur de courant et du détecteur d'enveloppe.....	37
3.3.2 Explications théoriques du fonctionnement de l'amplificateur de courant.....	38

3.3.2.1	Isolation à l'entrée et conversion tension RF vers courant RF.....	38
3.3.2.2	Étages d'amplification du courant et ajustement pour maximiser le transfert vers l'entrée du détecteur d'enveloppe.....	41
3.3.3	Explication du fonctionnement du détecteur d'enveloppe.....	45
3.3.3.1	Impédance d'entrée, redresseur et ajustement intégré de la plage de détection.....	45
3.3.3.2	Conversion courant/tension, filtre RC et ajustement intégré de la plage dynamique de la tension de sortie.....	47
3.3.3.3	Filtre passe-bas de sortie.....	48
3.3.4	Description des circuits de polarisation.....	49
3.3.4.1	Polarisation par pont diviseur CMOS.....	49
3.3.4.2	Polarisation par référence de courant auto-polarisée.....	50
3.3.5	Schémas électriques du détecteur, de l'amplificateur de courant et des circuits de polarisation de la puce et dimensionnement des composantes.....	52
3.4	Considérations sur le comportement en stabilité relative du détecteur.....	54
3.4.1	Influence des lignes d'alimentation et des fils d'or et conception d'un réseau de filtrage de l'alimentation.....	54
3.4.1.1	Conception d'un réseau Z_0LC de filtrage de l'alimentation.....	55
3.4.2	Influence des circuits de polarisations sur le comportement transitoire du détecteur en simulation.....	58
3.5	Sommaire des résultats de simulation pour les deux versions du détecteur.....	59
3.6	Positionnement stratégique des points de mesures et des possibilités d'ajustement hors puce.....	60
3.6.1	Ajustement de l'impédance du transistor M1.....	60
3.6.2	Point de lecture M4M5a.....	62
3.6.3	Ajustement de V_{POL_M2}	62
3.6.4	Ajustement des références de courant auto-polarisée et possibilité d'utiliser des tensions de polarisation externes.....	63
3.7	Détails de la synthèse de la puce du détecteur d'enveloppe et de ses circuits secondaires en CMOS 0.18 μm	64
3.7.1	Présentation des composantes spécifiques à la technologie CMOS 0.18 μm de TSMC.....	65
3.7.1.1	Transistors NMOS et PMOS et structure « <i>Deep N Well</i> ».....	65
3.7.1.2	Résistances.....	67
3.7.1.3	Capacités.....	68
3.7.1.4	Diodes de protection contre les décharges électrostatiques.....	69
3.7.1.5	Traces conductrices.....	70
3.7.2	Considérations sur les plots, les lignes d'alimentation et la protection contre les décharges électrostatiques.....	71
3.7.2.1	Plots avec protection contre les décharges électrostatiques.....	72
3.7.3	Distribution des lignes d'alimentation sur la puce.....	74

3.7.4	Présentation de la synthèse des détecteurs d'enveloppe et des circuits de polarisation	77
3.7.4.1	Surfaces de puce utilisée par les détecteurs comparées à celle de la matrice d'amplification.....	79
3.8	Résultats expérimentaux et performances mesurées du détecteur d'enveloppe	79
3.8.1	Schéma de test et nœuds de mesures	80
3.8.2	Ajustement de la polarisation et consommation statique.....	81
3.8.3	Mesure de la fonction de transfert	81
3.8.4	Mesure de la résistance réelle de sortie avec une excitation AM	82
3.8.5	Réponse en fréquence et mesure de la bande passante	83
3.8.5.1	Hypothèses sur les sources potentielles des capacités parasites présentes à la sortie du détecteur	86
3.8.6	Mesure de l'excursion maximale du signal de sortie.....	88
3.8.7	Résumé des performances clés et comparaison avec d'autres détecteurs de puissance	89
3.9	Résumé de la conception et de la caractérisation du détecteur d'enveloppe et de ses circuits secondaires	91
CHAPITRE 4	CARACTÉRISATION DES PERFORMANCES D'UNE MATRICE D'AMPLIFICATION EN CMOS 0.18 UM	93
4.1	Introduction.....	93
4.2	Description de la matrice d'amplification RF réalisée en CMOS 0.18 μm	93
4.2.1	Schéma électrique de l'amplificateur.....	93
4.2.2	Dimensionnement de la matrice d'amplification	94
4.2.3	Polarisation, adaptations d'impédance et résumé des performances en simulation.....	94
4.3	Détails de la synthèse de la puce de la matrice d'amplification en CMOS 0.18 μm	96
4.3.1	Présentation des composantes spécifiques à la technologie CMOS 0.18 μm de TSMC utilisées dans la synthèse de la matrice d'amplification.....	96
4.3.1.1	Transistor NMOS RF.....	96
4.3.1.2	Plots et protection contre les décharges électrostatiques	97
4.3.2	Structure des lignes d'alimentations et distribution des plots d'entrées/sorties	98
4.3.2.1	Plan de la synthèse.....	99
4.4	Résultats expérimentaux et performances mesurées pour la caractérisation de la matrice d'amplification.....	101
4.4.1	Présentation du schéma de test de l'amplificateur.....	101
4.4.2	Points de polarisation et classe d'opération	102
4.4.3	Mesures des paramètres S en petit signal	103
4.4.4	Courbes de la puissance de sortie, du gain et de l'efficacité de l'amplificateur.....	104
4.5	Résumé de la caractérisation d'une matrice d'amplification en CMOS 0.18 μm	106

CHAPITRE 5	SYSTÈME RF POUR ÉVALUER L'EFFET DU DÉTECTEUR D'ENVELOPPE SUR LES PERFORMANCES DE L'AMPLIFICATEUR RF DE PUISSANCE.....	109
5.1	Introduction.....	109
5.2	Schéma du système RF et distribution de la puissance disponible.....	109
5.3	Schéma de test du système RF.....	111
5.4	Mesure expérimentale de la fonction de transfert du détecteur au sein du système RF.....	111
5.5	Mesures expérimentales pour l'étude de l'effet du détecteur d'enveloppe sur l'étage de sortie du PA.....	112
5.5.1	Évaluation de l'effet du détecteur sur le gain et l'efficacité énergétique de l'étage de sortie du PA.....	113
5.5.2	Mesure de l'enveloppe d'un signal CDMA et évaluation de la distorsion causée par le détecteur par une mesure d'« <i>error vector magnitude</i> ».....	114
5.6	Résumé sur l'évaluation de l'effet du détecteur d'enveloppe sur les performances de l'étage de sortie d'un amplificateur de puissance.....	115
CONCLUSION	117	
RECOMMANDATIONS	119
ANNEXE I	NOMENCLATURE DES PORTS D'ENTRÉES/SORTIES ET DISPOSITION DES PLOTS DE LA PUCE.....	121
ANNEXE II	INFORMATIONS ET CONSIDÉRATIONS IMPORTANTES POUR LA CONCEPTION DU PCB.....	125
ANNEXE III	BANCS D'ESSAI DES MESURES EXPÉRIMENTALES.....	139
ANNEXE IV	MESURES DE FIABILITÉS DE L'AMPLIFICATEUR DANS LA RÉGION DE SATURATION.....	145
ANNEXE V	DIVERS PROBLÈMES RENCONTRÉS.....	147
ANNEXE VI	ARTICLE SOUMIS AU IEEE CICC SYMPOSIUM 2015.....	155
LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES.....		159

LISTE DES TABLEAUX

		Page
Tableau 0.1	Spécifications ciblée du détecteur d'enveloppe	12
Tableau 1.1	Comparaison de travaux d'amplification de puissance en technologie CMOS 0.18 μ m	25
Tableau 3.1	Dimensionnement des composantes du détecteur et des circuits secondaires	54
Tableau 3.2	Sommaire des performances en simulation pour les deux versions du détecteur d'enveloppe	59
Tableau 3.3	Performances clés du détecteur d'enveloppe et comparaison avec d'autres travaux	90

LISTE DES FIGURES

		Page
Figure 1.1	a) Courbe typique du gain en fonction de la puissance de sortie b) Courbe typique de la puissance de sortie en fonction de la puissance d'entrée	18
Figure 1.2	Courbe typique du PAE en fonction de la puissance de sortie	20
Figure 1.3	Courbes théoriques normalisées de la tension de grille (V_G), du courant de drain (I_D) et le spectre en fréquence du courant de drain en classe A, AB B et C.....	21
Figure 1.4	Représentation graphique du vecteur d'erreur d'un symbole	23
Figure 1.5	Fonction de transfert idéale d'un détecteur de puissance RMS	28
Figure 1.6	Tension de sortie en réponse à un échelon.....	28
Figure 1.7	Réponse en fréquence typique du signal de sortie d'un détecteur d'enveloppe.....	29
Figure 3.1	Schéma bloc du fonctionnement du détecteur d'enveloppe	36
Figure 3.2	a) Schéma électrique de l'amplificateur de courant (Étage I) b) Schéma électrique du détecteur d'enveloppe (Étage II).....	37
Figure 3.3	a) Entrée de l'amplificateur de courant M2 et source de courant b) Onde RF de tension à la grille (v_{G_M2}) et à la source (v_{S_M2}) du NMOS M2	38
Figure 3.4	Tension V_{DS_M2} écrasée par une inversion de phase entre la source et le drain de M2.....	40
Figure 3.5	Miroir de courant M3 et M5 et sources de courant M4 et M6.....	41
Figure 3.6	a) Modèle petit signal d'un miroir de courant standard b) Modèle petit signal d'un miroir de courant modifié	42
Figure 3.7	a) Miroir de courant PMOS modifié b) Réponse en fréquence du miroir de courant pour des valeurs de R allant de 0 à 10k Ω	44
Figure 3.8	Condensateur de découplage C1, source de courant M9 et redresseur M7.....	45

XVIII

Figure 3.9	Fonction de transfert idéale illustrant l'ajustement de la plage de détection de puissance par V_{POL_M9}	46
Figure 3.10	Source de courant M8c, miroir de courant M8a/b, convertisseur courant/tension R4 et filtre RC R4, R5 et C2	47
Figure 3.11	Fonction de transfert idéale illustrant l'ajustement de la plage dynamique de sortie par V_{POL_M8}	48
Figure 3.12	Schéma électrique d'un pont diviseur	49
Figure 3.13	Schéma électrique d'une référence de courant auto-polarisée.....	50
Figure 3.14	Schémas électriques de l'amplificateur de courant, du détecteur d'enveloppe et des circuits de polarisation	53
Figure 3.15	Schéma électrique d'une cellule résonante.....	56
Figure 3.16	Schéma bloc du réseau Z_0LC de filtrage.....	57
Figure 3.17	a) Schéma de test pour l'évaluation du réseau Z_0LC de filtrage d'alimentation b) Isolation entre l'étage I et la source DC c) Isolation entre l'étage II et la source DC d) Isolation entre l'étage I et l'étage II	58
Figure 3.18	Illustration de la boucle de rétroaction de la référence de courant auto-polarisée.....	59
Figure 3.19	Schéma de test pour évaluer l'effet de $R_{M1_Rec_P}$ et $R_{M1_Rec_S}$	61
Figure 3.20	Schéma du deuxième étage de gain de l'amplificateur de courant avec ajout d'une lecture DC.....	62
Figure 3.21	Ajustements hors puce possibles des références de courant auto-polarisés	63
Figure 3.22	Coupe transversale de la structure de la technologie CMOS Tiré de (TSMC, 2002, p. 29).....	64
Figure 3.23	a) Schéma structurel de la synthèse d'un NMOS b) Schéma structurel la synthèse d'un PMOS	66
Figure 3.24	Schéma structurel d'un transistor NMOS avec la structure DNW	67
Figure 3.25	Exemple de synthèse d'une résistance de type N+ Poly sans silicium dans un puits de type N.....	68

Figure 3.26	a) Synthèse d'une capacité entre les couches M5 et CTM b) Coupe transversale de la même capacité	69
Figure 3.27	a) Synthèse d'une diode de type N b) Coupe transversale d'une diode de type N c) Synthèse d'une diode de type P d) Coupe transversale d'une diode de type P	69
Figure 3.28	Coupe transversale d'une trace conductrice à plusieurs couches de métaux	71
Figure 3.29	a) Schéma électrique du plot avec protection ESD proposé par CMC b) Synthèse du plot proposé par CMC	72
Figure 3.30	a) Schéma électrique du plot avec protection ESD utilisé pour le détecteur d'enveloppe b) Synthèse des plots utilisés dans la conception	73
Figure 3.31	Structure des lignes d'alimentation et des plots de la puce du détecteur	75
Figure 3.32	a) Schématisation de l'utilisation des DNW pour la distribution des différentes mises à la masse b) Nouvelle structure de fil d'or pour minimiser la différence de potentiel entre les deux masses de l'étage 1	76
Figure 3.33	a) Synthèse du détecteur d'enveloppe avec l'amplificateur de courant b) Synthèse du détecteur d'enveloppe sans l'amplificateur de courant	77
Figure 3.34	a) Circuit de polarisation de type pont diviseur b) Circuit de polarisation de type référence de courant auto-polarisée	78
Figure 3.35	Synthèse de la puce avec annotation des principaux éléments	78
Figure 3.36	Schéma de test soulignant les nœuds de mesures pour : (1) la tension DC à l'entrée du détecteur (2) la fonction de transfert statique du détecteur (3) l'excursion de tension de sortie du détecteur (4) la réponse en fréquence du détecteur	80
Figure 3.37	Mesure de la fonction de transfert du détecteur	82
Figure 3.38	Mesure de la réponse en fréquence du détecteur montrant une bande passante de ~110 MHz	84
Figure 3.39	a) Circuit prévu à la sortie du détecteur b) Circuit modifié à la sortie du détecteur c) Modèle Thevenin équivalent au circuit de sortie du détecteur	85

Figure 3.40	Vue « <i>extracted</i> » d'une diode ESD affichant les capacités parasites entre certains éléments de la diode et le substrat	87
Figure 3.41	Enveloppe de sortie à 1 MHz.....	89
Figure 4.1	Schéma électrique simplifié de l'amplificateur de puissance.....	93
Figure 4.2	Performances globales de l'amplificateur en simulation a) Courbe du gain et de l'efficacité (PAE) en fonction de la puissance de sortie (P_{S_PA}) b) Courbe de la puissance de sortie (P_{S_PA}) en fonction de la puissance disponible (P_{AVS}). c) Courbe de $10 \cdot \log(S_{11})$ en fonction de la fréquence	95
Figure 4.3	Synthèse d'un NMOS RF « <i>Thin Oxyde</i> » Tiré de (TSMC, 2004)	97
Figure 4.4	a) Schéma électrique du plot avec protection ESD b) Synthèse des plots utilisés à la sortie de l'amplificateur de puissance.....	98
Figure 4.5	Structure des lignes d'alimentation et des plots.....	99
Figure 4.6	a) Synthèse de la matrice d'amplification b) Agrandissement sur M_{PA_A} et M_{PA_B}	100
Figure 4.7	Schéma de test de la matrice d'amplification	101
Figure 4.8	Mesure de la variation du courant moyen en fonction de la puissance RF de sortie en classe A et en classe AB	102
Figure 4.9	Mesure de la courbe caractéristique en courant de la matrice d'amplification	103
Figure 4.10	Mesure des paramètres S	104
Figure 4.11	Puissance de sortie en fonction de la puissance disponible	105
Figure 4.12	Gain en fonction de la puissance de sortie.....	105
Figure 4.13	Efficacité (PAE) en fonction de la puissance de sortie.....	106
Figure 5.1	Schéma bloc du système RF implémenté	109
Figure 5.2	Distribution des lignes RF à l'entrée du système RF où (1), (2) et (3) sont des lignes de transmission avec $Z_0 = 50\Omega$	110

Figure 5.3	Schéma de test du système RF mettant en évidence les nœuds de mesure pour : (1) la fonction de transfert statique du détecteur (2) l'excursion de tension de sortie du détecteur (3) la puissance RMS de sortie du PA.....	111
Figure 5.4	Fonction de transfert du détecteur au sein du système RF comparée à la fonction de transfert du détecteur opéré seul.....	112
Figure 5.5	Gain de l'amplificateur au sein du système RF comparé au gain de l'amplificateur opéré seul	113
Figure 5.6	Efficacité (PAE) de l'amplificateur au sein du système RF comparée au PAE de l'amplificateur opéré seul.....	114
Figure 5.7	Mesure du signal de sortie du détecteur d'enveloppe avec un signal CDMA comme excitation d'entrée	115

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

CMOS	Complementary metal oxide semiconductor
IC	Circuit intégré (ou Integrated Circuit)
IMD	Distorsion d'intermodulation (ou Intermodulation distortion)
LACIME	Laboratoire de communication et d'intégration de la microélectronique
LTE	Long Term Evolution
LTE – A	LTE Advanced
LVS	Layout Versus Schematic
MiM	Capacité métal-isolant-métal
MOSFET	Metal – Oxide – Semiconductor Field-Effect transistor
NMOS	N- channel Metal – Oxide – Semiconductor
OTA	Amplificateur opérationnel de transconductance
P1dB	Point de compression de 1 dB
PA	Amplificateur de puissance (ou Power Amplifier)
PAE	Power Added Efficiency
PAPR	Peak-to-Average Power Ratio
PCB	Printed Circuit Board
PCS	Personal Communications Service
PMOS	P- channel Metal – Oxide – Semiconductor
PSS	Periodic Steady State Analysis
RF	Radio fréquence
RFMR	Request for Manufacturing Resource

XXIV

RMS	Root mean square
SOI	Silicon on insulator
TSMC	Taiwan Semiconductor Manufacturing Company
V/I	Convertisseur tension courant
WB	Fil d'or (ou Wirebond)

LISTE DES SYMBOLES ET UNITÉS DE MESURE

UNITÉS DE LONGUEUR ET D'AIRE

m	mètre
μm	micromètre
nm	nanomètre
mm^2	millimètre carré
μm^2	micromètre carré

UNITÉS DE FRÉQUENCES

kHz	kilohertz
MHz	mégahertz
GHz	gigahertz

UNITÉS ÉLECTRIQUES

mA	milliampère
μA	microampère
V	volt
mV	millivolt

SYMBOLE D'ÉLÉMENT CHIMIQUE

Si	Silicium
----	----------

UNITÉS DE PUISSANCE

mW	milliwatt
dB	décibel
dBm	décibel référencé à 1mW

UNITÉ COMPOSANTES ÉLECTRIQUES

Ω	ohm
$\text{m}\Omega$	milliohm
$\text{k}\Omega$	kiloohm
Ω/sq	ohm par carré (ou Ohm square)
fF	femtofarad
pF	picofarad
μH	microhenry
mH	millihenry

INTRODUCTION

Les télécommunications sans fil ont connu, et connaissent toujours, une évolution importante dans une multitude de secteurs d'opération. Afin d'agrémenter cette affirmation, une étude (CIA, 2012) soutient qu'il y avait rien de moins que 5.9 milliards de téléphones cellulaires en activités sur la planète en 2012. Il est donc difficile de nier l'effervescence de la téléphonie cellulaire qui est un secteur d'opération parmi tant d'autres utilisant les communications sans fil. Avec l'arrivée des téléphones intelligents et des tablettes avec un accès à internet sans fil, les utilisateurs utilisent des plateformes multimédias de plus en plus exigeantes sur la quantité d'informations que doivent transmettre les appareils sans fils. À ce titre, de nouvelles technologies sans fil tendent à augmenter leur largeur de bande comme le « *Long Term Evolution-Advance* » (LTE-A) aussi nommé « *LTE-Release 10* » (Ghosh et al., 2010) qui étend la bande passante de 20 MHz du LTE jusqu'à 100 MHz par agrégation de plusieurs porteuses.

Il y a plusieurs composantes importantes dans l'émetteur d'un appareil mobile, dont celle qui augmente suffisamment la puissance du signal afin de transmettre le signal à la station de base : l'amplificateur de puissance en radiofréquence sur puce qui est aussi nommé dans ce mémoire RFIC PA selon la terminologie anglaise « *Radio Frequency Integrated Circuit Power Amplifier* ». L'efficacité énergétique est toujours un enjeu majeur pour cette composante qui consomme une proportion importante de l'énergie de la batterie de l'appareil mobile. La linéarité et la puissance de sortie sont aussi d'autres points clés à considérer lors de la conception de cette composante. L'idée, encore spéculative, de pouvoir intégrer au complet l'émetteur et le récepteur en radiofréquence (RF) pour dispositif mobile sur une seule puce (Hajimiri, 2005) explique en partie la popularité grandissante des technologies « *Complementary metal-oxide-semiconductor* » (CMOS) dans le domaine des amplificateurs de puissances RF. En effet, les plus gros avantages du CMOS sont sa grande intégrabilité et son faible coût. Cependant, cette technologie comporte des contraintes importantes, telles que sa faible tension de claquage, les pertes importantes dans le substrat et la faible précision ainsi que le faible facteur de qualité de ses composantes passives sur puce. Ces contraintes

limitent significativement les performances en termes de linéarité, d'efficacité et de puissance de sortie des RFIC PAs en CMOS.

(Asbeck et al., 2012) discutent des derniers développements dans ce domaine et concluent que les technologies en Si deviennent plus prometteuses, malgré ses limitations, avec l'exploitation des techniques de reconfiguration de l'amplificateur ou de modulation de signaux d'alimentation en fonction de l'enveloppe. Le présent travail de recherche va dans ce sens. Il présente une architecture d'un amplificateur de puissance RF intégré sur puce (RFIC PA) à l'étude incluant un détecteur d'enveloppe en CMOS, dont la sortie commandera des signaux de contrôle pour la modulation du signal de polarisation à la grille du PA et pour la réduction de la consommation en courant des circuits de modulation de l'alimentation, en vue d'augmenter l'efficacité énergétique globale de l'architecture du PA. Cette architecture nécessite un détecteur d'enveloppe analogique à faible courant pouvant être intégré sur la puce du module PA. Ce mémoire se concentre donc sur l'étude et la conception d'un détecteur d'enveloppe en CMOS 0.18 μm ayant les caractéristiques suivantes :

- une faible consommation statique,
- une bande passante suffisante pour être applicable dans des technologies modernes sans fil comme le LTE et le LTE-A,
- une fréquence d'opération près de la bande PCS où se situe certaines bandes de fréquence pour le LTE,
- une grande impédance d'entrée pour ne pas altérer les performances du module PA,
- une faible surface de semi-conducteur pour faciliter son intégration à la puce du module PA,
- une calibration intégrée pour l'ajustement de la plage de tension de sortie qui facilite l'interfaçage avec les circuits de contrôle.

Ce mémoire comporte aussi un second volet sur l'étude d'une matrice d'amplification en CMOS 0.18 μm dans l'objectif de fournir des informations pertinentes, difficiles à trouver dans la littérature pour cette technologie, à quiconque voudrait concevoir une chaîne

d'amplification dans cette technologie pouvant délivrer une puissance de sortie de l'ordre du Watt, comme requis dans le domaine cellulaire.

0.1 Environnement de recherche

Cette recherche prend place au sein de l'équipe du professeur Nicolas Constantin. Cette équipe se compose d'un doctorant, Smarjeet Sharma, de deux étudiants à la maîtrise recherche David Berthiaume et Alexandre Thibodeau (diplômé), d'un étudiant à la maîtrise projet Omar Hammouch (diplômé), d'étudiants en fin de Baccalauréat et de quelques professionnels de recherches. Les intérêts de recherche de cette équipe portent sur la microélectronique analogique, sur la microélectronique hyperfréquence pour les communications sans fil, sur les émetteurs et récepteurs hyperfréquences, sur les amplificateurs de puissance RF et les méthodes de conception et de test en hyperfréquence. Les dernières publications témoignent de ces intérêts et du dynamisme grandissant de cette équipe de recherche (Berthiaume et Constantin, 2012a; Sharma et Constantin, 2013; Thibodeau, Kouki et Constantin, 2013).

Le professeur Nicolas Constantin est un membre du Laboratoire de communication et d'intégration de la microélectronique (LACIME). Le LACIME donne un accès privilégié à des équipements de mesure de circuits hyperfréquences et à des équipements de montages sur PCB de pointe qui facilitent les efforts de recherche expérimentale.

0.2 Motivations de recherche

0.2.1 Défis et motivations des récentes recherches sur les RFIC PAs en CMOS

L'industrie requiert des appareils mobiles de plus en plus petits et de moins en moins dispendieux. Une des solutions explorées pour y arriver, même comparées au *Saint Graal* par (Hajimiri, 2005), est l'intégration complète d'un émetteur/récepteur en CMOS en raison de son faible coût et de sa facilité d'intégration. L'une des difficultés majeures afin d'y parvenir

réside dans la conception de l'amplificateur de puissance, d'où une popularité grandissante sur l'étude des RFIC PAs en CMOS dans la littérature.

L'un des défis majeurs spécifiques aux amplificateurs de puissance en technologie CMOS réside dans l'obtention d'une puissance de sortie linéaire de l'ordre du Watt, que requièrent les émetteurs des appareils mobiles en cellulaire. La faible tension de claquage, l'imprécision et le faible facteur de qualité des condensateurs et des inductances sur puce, ainsi que les pertes RF significatives dans le substrat sont tous des facteurs spécifiques aux technologies CMOS qui font en sorte qu'il est difficile d'obtenir une puissance de sortie linéaire de l'ordre du Watt pour un RFIC PA complètement intégré sur puce (Hajimiri, 2005). Ces contraintes sont accentuées avec la diminution de la dimension des transistors en CMOS puisque la tension de claquage tend à diminuer davantage. De plus, les dispositifs actifs tendent vers un comportement moins linéaires pour de plus faibles dimensions de transistors (Hedayati et al., 2012). La stabilité fait aussi l'objet de difficultés pour des chaînes d'amplification développant de gros gains sur une puce unique en raison de la présence de mécanismes de couplage pouvant causer des rétroactions significatives de la sortie vers l'entrée.

Un autre défi que pose la conception des RFIC PAs, propre à toutes les technologies, est la difficulté intrinsèque d'obtenir de hautes efficacités énergétiques pour de faibles puissances d'opération. Il est possible d'observer cette tendance sur la courbe typique d'efficacité énergétique d'un amplificateur de puissance à la Figure 1.2 de la section 1.2.2 où l'on peut observer que l'opération à faible puissance est restrictive au niveau de l'efficacité. Or, le débit de données grandissant des techniques modernes de modulation, comme le LTE, cause une augmentation de la puissance maximale de l'enveloppe du signal modulé par rapport à sa puissance moyenne (« *Peak to average power ratio* » ou PAPR). En d'autres termes, il faut reculer la puissance moyenne d'opération par rapport au point de compression de P_{1dB} afin que les pics de l'enveloppe n'atteignent pas la zone de distorsion de l'amplificateur, ce qui indique qu'il est important d'étudier le comportement des RFIC PAs à plus faible puissance. Outre l'augmentation du PAPR des récentes technologies, (Teeter et al., 2006) se sont intéressés à la densité de probabilités de la puissance de sortie de l'amplificateur pour une

modulation CDMA. Cette étude montre que l'amplificateur de puissance est le plus souvent opéré à faibles puissances autant en milieu urbain qu'en milieu rural, insistant sur l'importance d'améliorer l'efficacité en basse puissance des RFIC PAs.

Malgré la connaissance de tous ces défis, (Asbeck et al., 2012) concluent, après une étude pertinente sur les développements récents des RFIC PAs pour cellulaire, que les techniques de modification du comportement du PA en fonction de la lecture de la puissance d'entrée ou de l'enveloppe du signal modulé sont prometteuses pour les RFIC PAs à base de silicium pour des technologies telles que le LTE.

0.2.2 Récentes recherches sur les RFIC PAs en CMOS

Cette section offre une vue d'ensemble des récents développements dans le domaine des RFIC PAs en technologie à base de silicium. Plusieurs techniques ont pour concept la modification du comportement de l'amplificateur en fonction de la puissance du signal RF d'entrée. La section 0.2.2.1 est une revue plus détaillée de ces techniques étant donné que le sujet de ce mémoire y est étroitement lié. Voici une brève revue des autres développements les plus significatifs.

Il est possible d'implémenter sur puce certaines techniques originellement implémentées dans les circuits des stations de base. Par exemple, les amplificateurs Doherty (Kim et al., 2006), composés d'un inverseur et de deux cellules d'amplification, l'une pour amplifier la porteuse et l'autre dédiée à l'amplification des pics du signal RF d'entrée. Les Doherty augmentent significativement l'efficacité énergétique à plus faible puissance. (Randall, 2008, p. 95) est un exemple d'implémentation sur puce CMOS. Les amplificateurs Chireix, aussi nommés LINC (pour « LInear amplification using Nonlinear Components) (Cripps, 2006, p. 240) ont aussi originellement été utilisés pour les stations de base. Ceux-ci sont formés de deux amplificateurs non-linéaires précédés d'un modulateur de phase qui convertit la modulation d'amplitude du signal d'entrée en deux signaux modulés en phase, mais de sens opposés.

Cette alternative permet d'utiliser des amplificateurs non-linéaires caractérisés par de grandes efficacités énergétiques.

Une autre méthode, pour améliorer l'efficacité énergétique des amplificateurs de la classe AB, est de façonner la forme d'onde de sortie de l'amplificateur en une onde carrée à l'aide de circuits de résonance des harmoniques d'ordre supérieur (Raab, 1997). Ce type d'amplificateur est classé sous l'appellation « classe F » et nécessite une attention particulière à l'adaptation de l'impédance de sortie.

Afin de contourner la difficulté de produire des puissances de l'ordre du Watt en CMOS, en raison de la faible tension de claquage, il est possible de combiner la puissance de plusieurs cellules d'amplification en utilisant des transformateurs RF sur puce (Kyu Hwan et al., 2008).

On note dans la littérature qu'il est possible de combiner certaines des techniques présentées dans cette section entre elles ou avec celles ciblant la modification du comportement de l'amplificateur en fonction de la puissance RF d'entrée dont il est question en section 0.2.2.1.

0.2.2.1 Récentes recherches sur les techniques d'amélioration de l'efficacité énergétique des RFIC PAs en CMOS par détection de puissance

Plusieurs travaux de recherche des dernières années dans le domaine des amplificateurs linéaires de puissance sur puce en technologie CMOS sont axés sur l'optimisation de l'efficacité énergétique, dont certains parmi les derniers développements sont décrits dans cette section. Plusieurs méthodes utilisant une détection de la puissance ou d'enveloppe (« *Envelope tracking* » (ET)) sont à l'étude dans la littérature afin d'améliorer l'efficacité énergétique des RFIC PAs en CMOS; en voici une brève revue.

La première méthode est la reconfiguration matérielle de l'amplificateur. Autrement dit, l'activation et la désactivation de cellules d'amplification en fonction de la puissance ou de l'enveloppe d'entrée (Jooseung et al., 2013; Yan et al., 2012). Il a aussi été proposé de

reconfigurer l'adaptation d'impédance de sortie de l'amplificateur (Hedayati et al., 2012) afin d'opérer l'amplificateur dans différents modes.

La deuxième méthode est la modulation en tension aux drains (V_{DD}) des transistors RF de l'amplificateur en fonction de la puissance de l'enveloppe dans l'objectif de moduler la consommation de courant DC (Feipeng et al., 2007; Kim et al., 2013). Il est aussi proposé de moduler de façon dynamique le signal de polarisation (« *Dynamique biasing* ») à la grille de l'amplificateur (V_{CTRL}) en fonction de l'enveloppe du signal modulé (Po-Chih et al., 2008). Certaines publications utilisent une modulation simultanée de V_{CTRL} et de V_{DD} (Tafari et al., 2013). Un inconvénient commun à plusieurs de ces propositions est la présence de « sauts » dans le signal de sortie au moment de la commutation des circuits de comparaison, ce qui est néfaste à la linéarité du PA (Kim et al., 2013). La modulation de V_{DD} et de V_{CTRL} comporte leurs propres particularités. Les courants aux drains des transistors RF, qui proviennent de l'alimentation, sont élevés. Les circuits de contrôle de modulation du signal d'alimentation (V_{DD}) consomment donc beaucoup de courant et sont de grandes dimensions. Cette technique est souvent utilisée pour améliorer l'efficacité énergétique de l'amplificateur dans la région des hautes puissances, tandis que la modulation de V_{CTRL} doit être précise puisqu'elle dicte majoritairement le comportement de l'amplificateur. Par exemple, la classe d'opération est déterminée par V_{CTRL} . À ce jour, on note une faible popularité de cette seconde option malgré un grand potentiel puisque les circuits de contrôle consomment peu.

Finalement, il y a l'élimination et la restauration de l'enveloppe ou « *Elimination and envelope restoration* » (EER). Tout d'abord introduit par (Kahn, 1952), la technique EER consiste à séparer l'enveloppe et la modulation de la phase à l'aide d'un limiteur et d'un détecteur d'enveloppe à l'entrée du PA pour finalement restaurer le signal modulé à l'aide d'un amplificateur non-linéaire à commutation, polarisé par un signal d'alimentation modulée par l'enveloppe (Oishi et al., 2014).

La source de l'enveloppe ou du signal de contrôle, pour plusieurs des propositions dans la littérature, est le processeur (« *Digital signal processing* » ou DSP) produisant les signaux IQ

(Yan et al., 2012). Ce choix requière une structure d'émetteur spécifique afin d'y ajouter un chemin et un convertisseur digital à analogue (DAC) et ne permet donc pas une utilisation autonome de l'amplificateur. Ces propositions décrivent peu l'impact qu'a la conversion (DAC) de l'enveloppe provenant du DSP sur l'efficacité énergétique globale. Pour les propositions incluant un détecteur d'enveloppe sur puce, la détection est souvent sur une autre puce et consomme souvent beaucoup de courant ou bien sa bande passante est insuffisante pour les techniques de modulation modernes.

0.2.3 Présentation d'une nouvelle architecture d'un RFIC PA en CMOS à l'étude et motivation de la proposition d'une détection d'enveloppe intégrée sur puce

Une problématique qui mérite d'être étudiée davantage est qu'un amplificateur de puissance opéré à basse puissance est peu efficace. Une modulation continue de la tension de polarisation V_{CTRL} en basse puissance montre un grand potentiel d'augmentation de l'efficacité et ce type de technique requiert une détection analogique de l'enveloppe large bande à faible consommation, idéalement intégrée sur la puce du PA. Or, la faible quantité d'articles sur la modulation continue de V_{CTRL} de la revue de littérature démontre une opportunité d'innovation dans cet axe de recherche.

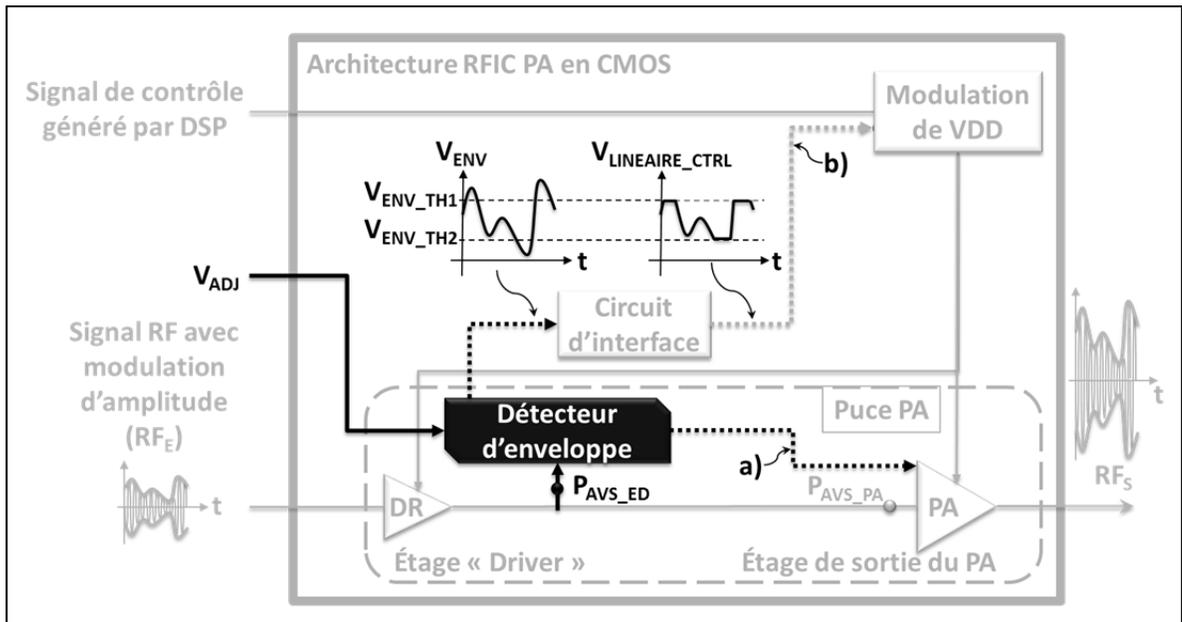


Figure 0.1 Architecture d'un RFIC PA à l'étude (en gris pâle) nécessitant le détecteur d'enveloppe conçu dans ce mémoire (en noir) avec trois signaux de contrôle pour :
 a) la modulation de la polarisation du PA en fonction de l'enveloppe b) la réduction du courant des circuits du bloc de modulation de V_{DD} en fonction des basses composantes en fréquence de l'enveloppe

La Figure 0.1 illustre l'architecture, à l'étude par l'équipe de recherche du professeur Nicolas Constantin, d'un RFIC PA en CMOS utilisant une modulation de V_{DD} de l'amplificateur (en gris sur la figure) et une modulation de la tension de polarisation (V_{CTRL}) de l'étage de sortie du PA. Cette architecture nécessite un détecteur d'enveloppe (en noir sur la figure) rapide, à faible courant, à grande impédance d'entrée et de petite dimension. Ce détecteur offre aussi l'utilisation d'un signal de contrôle (V_{ADJ}) pour une calibration intégrée afin d'ajuster la tension de sortie du détecteur (V_{ENV}), montrée par les tensions seuils V_{ENV_TH1} et V_{ENV_TH2} , sur la Figure 0.1, de façon optimale en fonction de la puissance du signal RF d'entrée (RF_E). L'objectif principal de l'ajout d'un détecteur d'enveloppe dans cette architecture est d'effectuer une action drastique sur l'efficacité énergétique globale de la chaîne d'amplification. La contrepartie de cet ajout, en raison de la réponse du détecteur, est d'augmenter les non-linéarités de l'amplificateur. Le compromis ciblé est donc d'augmenter l'efficacité énergétique jusqu'à la limite possible d'une pré-distorsion numérique générée par le DSP.

La beauté de la proposition d'un détecteur d'enveloppe sur puce ciblant des techniques de modification du comportement de l'étage de sortie du PA en basses puissances, montrées par a) sur la Figure 0.1, est qu'elle est aussi complémentaire aux autres propositions de la littérature ciblant des techniques hautes puissances. Cette complémentarité possible est illustrée par la suggestion du signal de contrôle b) sur la Figure 0.1, qui a pour objectif de diminuer la consommation de courant de la circuiterie de la modulation de l'alimentation en fonction des basses composantes en fréquence de l'enveloppe (souvent appelé « *Slow Envelope tracking* » dans la littérature)

D'ailleurs, l'équipe de recherche du professeur Nicolas Constantin se concentre présentement sur le potentiel d'une modulation analogique instantanée. Les travaux de S. Sharma, doctorant à l'ÉTS, ont pour objectif l'étude d'un module RFIC PA en technologie SOI (« *Silicon On Insulator* ») avec modulation de la tension de polarisation (V_{CTRL}) de façon continue, donc sans « saut » dans la courbe de puissance de sortie, nécessitant une détection d'enveloppe telle que proposée dans ce mémoire.

0.2.4 Motivations pour la caractérisation d'une matrice d'amplification en CMOS 0.18 μm

La difficulté d'une bonne modélisation et d'une simulation précise des amplificateurs de puissance RF sur puce est un fait connu. Malheureusement, la récente popularité des technologies CMOS dans ce domaine fait en sorte que peu de données sont disponibles sur les performances à haute puissance d'une matrice d'amplification de grande dimension en CMOS 0.18 μm . Ces conditions font en sorte que des mesures expérimentales sur une matrice d'amplification RF en CMOS permettent de recueillir des informations pertinentes à de futures conceptions d'architecture complètes comme proposée en Figure 0.1. Des mesures expérimentales clairement exposées en termes de robustesse, de gain, de puissance linéaire maximale et d'efficacité pourraient être favorable à de futures réalisations de RFIC PAs en technologie à base de Si. C'est pourquoi ce projet vise à la réalisation et la caractérisation d'une matrice dans cette technologie.

L'autre aspect justifiant la réalisation d'une matrice d'amplification est la possibilité d'évaluer le comportement du détecteur d'enveloppe en termes d'impédance d'entrée et d'influence sur les performances d'un amplificateur de puissance RF lorsque le détecteur est couplé à son entrée. La réalisation d'un système RF composé d'un étage d'amplificateur en CMOS 0.18 μm et du détecteur à l'étude augmente considérablement la validité de ces travaux de recherche.

0.3 Spécifications recherchées du détecteur d'enveloppe instantanée

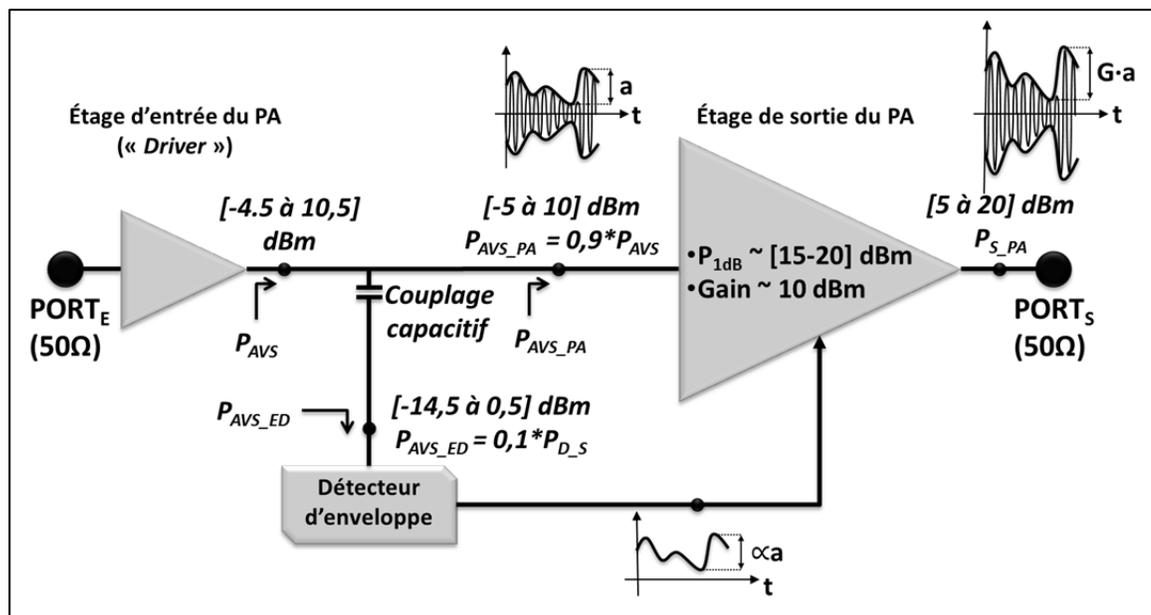


Figure 0.2 Bilan de puissance d'une chaîne d'amplification avec le détecteur d'enveloppe positionné entre les deux étages

Le bilan de puissance estimé à la Figure 0.2 ainsi que les contraintes liées aux techniques modernes de communication sans fil permettent de positionner les spécifications ciblées du détecteur, telles que montrées au Tableau 0.1.

Le bilan de puissance de la Figure 0.2 est déterminé à l'aide de simulations préliminaires et par la revue de la littérature présentée au Tableau 1.1 de la section 1.2.5 en apportant une attention particulière sur le point de compression de 1dB (P_{1dB}) des amplificateurs. La

puissance linéaire maximale de sortie ciblée (P_{S_PA} à la Figure 0.2) de l'amplificateur est de 20 dBm et elle est le point de départ pour élaborer ce bilan de puissance. Avec un gain de l'étage de sortie du PA estimé à 10 dB, on calcule une puissance disponible maximale d'entrée de l'étage de sortie du PA (P_{AVS_PA}) à 10 dBm. On estime que 90 % de la puissance disponible (P_{AVS}) à la sortie de l'étage d'entrée du PA (« *Driver* ») doit être transférée vers l'étage de sortie du PA pour que ce système soit viable en termes d'efficacité énergétique. Le couplage entre l'entrée de l'étage de puissance et le détecteur est assuré par une capacité dont la valeur est ajustée afin que $\sim 10\%$ de la puissance disponible à la sortie du premier étage de gain (P_{AVS}) soit dirigée vers le détecteur. Comme on cible des fonctions à basses puissances, on souhaite une détection à un recul de 15 dB par rapport à la région de P_{1dB} référée à l'entrée de l'étage de sortie du PA. Sachant que la région de P_{1dB} référée à l'entrée de l'étage de sortie du PA est estimée à 10 dBm et qu'elle représente 90 % de la puissance disponible à la sortie du « *Driver* », on calcule que la puissance disponible maximale à l'entrée du détecteur (P_{AVS_ED}) est de ~ 0.5 dBm, d'où une plage de détection estimée de -15 dBm à 0 dBm.

Tableau 0.1 Spécifications ciblée du détecteur d'enveloppe

Spécification	Objectif	
Plage de détection de puissance	-15 à 0	dBm
Fréquence d'opération	1.88	GHz
Bande passante	> 100	MHz
Consommation	< 3.6	mW
Impédance d'entrée	$\gg Z_{E_PA}$	

On souhaite positionner la fréquence d'opération du détecteur près de la bande cellulaire PCS (« *Personal Communications Service* »), d'où la fréquence d'opération de 1.88 GHz. La bande passante ciblée doit répondre aux spécifications des technologies de communications cellulaires modernes, comme le LTE qui requiert une bande passante de ~ 20 MHz. De plus, on étend la bande passante ciblée à 100 MHz pour aussi répondre à d'autres technologies comme le LTE-A qui étend la bande passante du LTE jusqu'à 100 MHz par agrégation de plusieurs porteuses (Ghosh et al., 2010). Même si le comportement du détecteur est évalué selon un signal qui utilise une bande de 100 MHz centrée sur une seule porteuse,

contrairement au LTE-A qui utilise une agrégation de plusieurs porteuses, cette étude est révélatrice sur le comportement du détecteur d'enveloppe à un signal RF d'entrée ayant des caractéristiques semblables au cas du LTE-A. Selon une revue de littérature des amplificateurs CMOS présentée au Tableau 1.1 de la section 1.2.5, on estime la consommation totale des courants de drain de la chaîne d'amplification entre 40 mA et 125 mA pour une fréquence d'opération entre 1.9 GHz et 3 GHz. Dans l'objectif de minimiser l'impact sur l'efficacité énergétique globale du module PA, on souhaite limiter la consommation du détecteur à environ ~ 1 % de celle du PA. Une limite de 2 mA est arbitrairement sélectionnée, ce qui équivaut à une puissance statique de ~ 3.6 mW pour une alimentation de 1.8 V. Finalement, l'impédance d'entrée sera un enjeu important dans le choix du détecteur. Si celle-ci n'est pas significativement plus élevée que l'impédance d'entrée du PA, les pertes du signal RF dans le détecteur seront trop importantes et nuiront significativement aux performances de l'amplificateur.

0.4 Contributions scientifiques de ce travail de recherche

0.4.1 Principales contributions de ce mémoire

Les contributions clés présentées dans ce mémoire sont :

- la conception, la fabrication et la caractérisation d'un détecteur d'enveloppe en CMOS $0,18 \mu\text{m}$ consommant seulement 2.3 mW et ayant une bande passante excédant 100 MHz pour une opération à 1.88 GHz et pouvant être intégré sur la puce d'un RFIC PA en CMOS (voir CHAPITRE 3);
- la proposition d'une technique novatrice de circuit pour une calibration intégrée de la sortie du détecteur d'enveloppe afin de faciliter l'interfaçage avec les circuits de contrôle facilitant l'intégration du détecteur sur un module PA (voir section 3.3.3.2);
- la validation par mesures expérimentales du fonctionnement adéquat du détecteur d'enveloppe (voir section 3.8) et de la faible dégradation des performances de l'étage de sortie du PA avec le détecteur couplé à son entrée (voir CHAPITRE 5);

- la conception et la fabrication d'une matrice d'amplification RF (voir section 4.2 et 4.3) démontrant un gain de 13,7 dB à faible puissance, délivrant une puissance de sortie de ~19 dBm au point de compression de 1 dB (P_{1dB}) et démontrant une efficacité énergétique (PAE) de 17,4 % à P_{1dB} ;
- la caractérisation d'une matrice d'amplification en CMOS 0.18 μm exposant des informations pertinentes ayant le potentiel de faciliter la conception d'un module PA complet dans cette technologie (voir section 4.4);
- la conception de bancs de tests pour mesures complexes ayant une entrée en RF et une sortie dans la bande de fréquence de l'enveloppe et pour la caractérisation précise en termes de gain, de puissance de sortie et d'efficacité d'un amplificateur RF à 1.88 GHz (voir ANNEXE III).

0.4.2 Communication et publication dans des conférences avec comité de lecture dans la cadre de la maîtrise

- Article qui sera soumis au symposium « Custom Integrated Circuits Conference » (CICC) (Berthiaume, Sharma et Constantin, 2015) .
- Présentation d'une affiche à l'Association francophone pour le savoir (ACFAS) (Sharma, Berthiaume et Constantin, 2014).

0.4.3 Communications et publication dans des conférences avec comité de lecture dans la cadre du projet APRI

Le projet APRI (Activités Préparatoires pour la Recherche et l'Innovation) est un projet de formation complémentaire pour des étudiants du baccalauréat à l'ÉTS. L'objectif de ce projet est de sensibiliser, d'attirer et de préparer des étudiants de premier cycle pour des études supérieures dans le domaine de la microélectronique analogique et des circuits hyperfréquences. Ces activités ont eu lieu en fin de baccalauréat et ont servi de préparation spécifiquement en vue du projet de maîtrise traité dans ce mémoire.

- Présentation du projet APRI à la Journée carrière de l'École de technologie supérieure (Berthiaume et Constantin, 2013).
- Présentation orale devant auditoire à la conférence « IEEE Canadian Conference on Electrical & Computer Engineering » (CCECE) (Berthiaume et Constantin, 2012a).
- Présentation d'une affiche à l'Association francophone pour le savoir (ACFAS) (Berthiaume, 2012).
- Présentation d'une affiche au symposium du Centre de Recherche En Électronique Radiofréquence du Québec (CRÉER) (Berthiaume et Constantin, 2012b).

0.5 Plan du mémoire

Ce mémoire est divisé en cinq chapitres. Le CHAPITRE 1 résume certaines notions théoriques majeures sur les amplificateurs de puissance et sur les détecteurs d'enveloppe utilisés dans les chapitres suivants. Le CHAPITRE 2 donne une revue de la littérature des détecteurs de puissance RMS et des détecteurs d'enveloppe en technologie CMOS. La revue de littérature aide au choix de la topologie de circuit qu'utilise la conception du détecteur d'enveloppe proposée au CHAPITRE 3. Le CHAPITRE 4 présente la conception d'un amplification et une caractérisation de son gain, de sa puissance de sortie et de son efficacité énergétique par mesures expérimentales. Finalement, le CHAPITRE 5 présente un système RF, incluant un détecteur et un amplificateur, qui a pour rôle de valider le fonctionnement du détecteur lorsque couplé à l'entrée de l'étage de sortie d'un PA.

CHAPITRE 1

CARACTÉRISTIQUES IMPORTANTES DES AMPLIFICATEURS LINÉAIRES RF DE PUISSANCE ET DES DÉTECTEURS D'ENVELOPPE

1.1 Introduction

Avant d'entrer dans le vif du sujet, c'est-à-dire la conception d'un détecteur d'enveloppe et la caractérisation d'une matrice d'amplification, il est important d'avoir en mémoire certains aspects théoriques importants dans ces champs d'intérêt.

Le domaine de l'amplification de puissance RF en CMOS sur puce requiert une bonne compréhension de nombreux éléments importants. La section 1.2 explique les caractéristiques clés des amplificateurs de puissance qui seront utilisées comme fondements tout au long de ce mémoire. La section 1.3 passe en revue les caractéristiques clés des détecteurs de puissance et d'enveloppe servant de référence pour la suite de ce document.

1.2 Bases et caractéristiques importantes des amplificateurs de puissance RF

Le rôle de l'amplificateur de puissance de l'appareil mobile est de fournir un niveau de puissance suffisamment élevé à l'antenne, tout en minimisant la distorsion du signal modulé, afin que la station de base puisse démoduler adéquatement le signal transmis. Puisque le fonctionnement de cette composante requiert une consommation de puissance élevée, elle joue un rôle prépondérant dans la durée de vie de la batterie des appareils mobiles entre deux cycles de recharge. De ces faits, les caractéristiques importantes des amplificateurs de puissance RF sur puce sont le gain, la puissance de sortie, la linéarité, l'efficacité énergétique, l'angle de conduction, la distorsion mesurée par « *Error Vector Magnitude* » (EVM) et le dimensionnement de la matrice d'amplification.

1.2.1 Puissance de sortie, gain, et linéarité

La puissance de sortie est définie par l'équation (1.1) et est majoritairement notée en décibel référencé à 1 mW, dont l'unité est le dBm.

$$P_S = \frac{(V_{RMS})^2}{R} = \frac{\left(\frac{V_{Peak-to-Peak}}{2}\right)^2}{2 \cdot R} \quad (1.1)$$

Le gain de l'amplificateur est le rapport entre la puissance de sortie (P_S) et la puissance d'entrée (P_E). Une courbe de gain typique en fonction de la puissance de sortie est illustrée en Figure 1.1a.

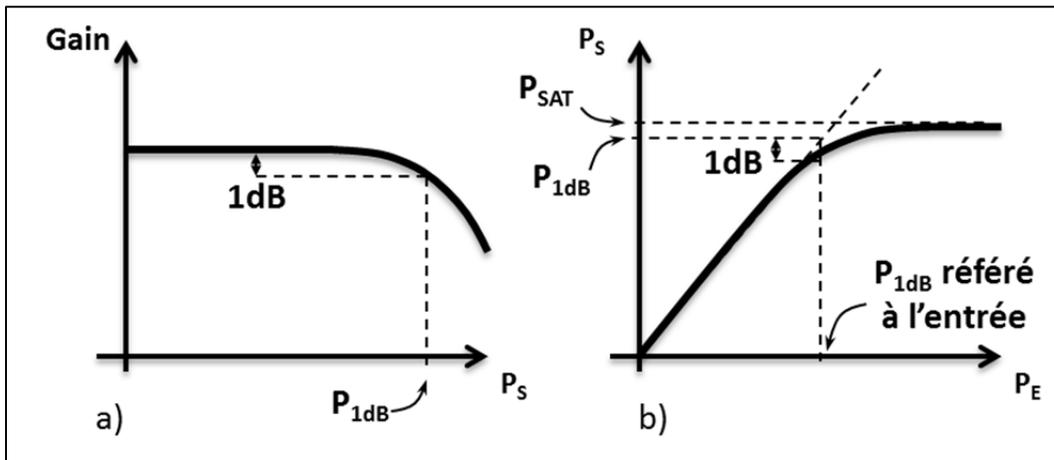


Figure 1.1 a) Courbe typique du gain en fonction de la puissance de sortie
b) Courbe typique de la puissance de sortie en fonction de la puissance d'entrée

Un aspect critique d'un amplificateur RF de puissance est la puissance linéaire maximale pouvant être délivrée, c'est-à-dire avec un minimum de distorsion. La courbe typique de la puissance de sortie en fonction de la puissance d'entrée est illustrée à la Figure 1.1b. On note sur cette courbe une puissance de sortie linéaire pour de faibles puissances. La zone où l'amplificateur est considéré linéaire est délimitée approximativement par une puissance où l'on observe une chute du gain de 1 dB. On discute ici du point de compression de 1 dB,

nommé P_{1dB} , qui donne une indication sur la puissance linéaire maximale pouvant être délivrée.

La linéarité peut être caractérisée selon plusieurs méthodes différentes en fonction du choix de la modulation du signal RF d'entrée et du type d'amplificateur. Par exemple, une lecture de la distorsion d'intermodulation (IMD) peut être pertinente pour une entrée à plusieurs tonalités. Pour cette recherche, l'intérêt se porte principalement sur le point de compression de 1 dB du gain.

1.2.2 Efficacité énergétique

L'efficacité énergétique est décrite comme étant le ratio de la puissance RF délivrée à la charge et de la puissance totale consommée. La méthode utilisée la plus commune dans ce domaine est appelée « *Power Added Efficiency* » (PAE) et est décrite par l'équation (1.2) où P_{RFE} est la puissance RF d'entrée, P_{RFS} est la puissance RF de sortie et P_{DC} est la puissance totale consommée de l'alimentation DC. La puissance d'entrée, étant non négligeable dans le calcul de l'efficacité, est soustraite à la puissance de sortie puisqu'elle n'est pas produite par le dispositif à l'étude.

$$PAE = \frac{P_{RFS} - P_{RFE}}{P_{DC}} \quad (1.2)$$

La courbe de PAE typique d'un amplificateur est caractérisée par une faible efficacité énergétique à basse puissance de sortie et par une meilleure efficacité à haute puissance comme observée à la Figure 1.2. La croissance de la courbe en faible puissance s'explique par la presque constance de la consommation statique en fonction de la puissance RF d'entrée (P_{RFE}) et du gain. En d'autres termes, l'augmentation de P_{RFE} cause une augmentation encore plus importante de P_{RFS} , en raison du gain de l'amplificateur, tout en maintenant P_{DC} constant. La chute de PAE, une fois que P_{RFS} ait passé le seuil de saturation (P_{SAT}), s'explique par la constance de P_{RFS} , souvent appelée la saturation en puissance,

malgré l'augmentation de la puissance d'entrée P_{RFE} . Cette zone est majoritairement évitée en raison de sa forte non-linéarité.

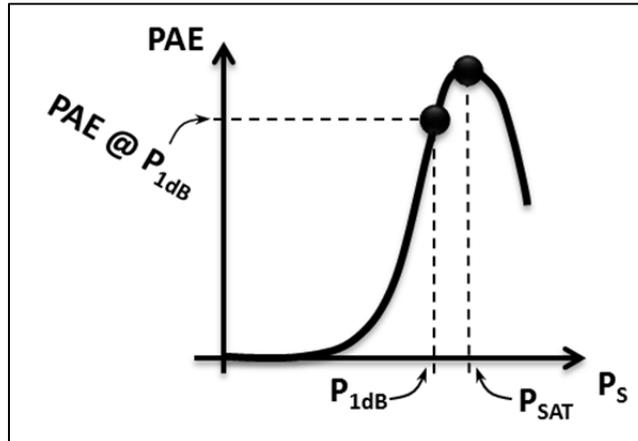


Figure 1.2 Courbe typique du PAE en fonction de la puissance de sortie

D'autres types d'efficacité peuvent être utilisés. Par exemple, le PAE global ou « *Overall PAE* » qui inclut la consommation DC de tous les systèmes. Il est souhaitable d'utiliser cette méthode lorsque des circuits complémentaires sont ajoutés dans l'architecture afin d'en mesurer l'impact sur l'efficacité énergétique globale du PA.

1.2.3 Classe d'opération et angle de conduction

Les amplificateurs sont catégorisés par leur classe d'opération qui est déterminée en fonction de l'angle de conduction de l'onde de tension d'entrée. L'angle de conduction est ajusté par le point de polarisation de la grille du transistor MOS positionnant la moyenne de l'onde d'entrée par rapport au seuil de conduction de l'amplificateur. Par exemple, un amplificateur en classe A, étant polarisé au centre de sa plage dynamique d'entrée, maximise l'excursion de la tension d'entrée sans écrêtage du signal amplifié et permet donc un angle de conduction de 2π radian et minimise la distorsion de l'onde de courant de sortie.

La réduction de l'angle de conduction mène vers une réduction du courant moyen au drain, ce qui est une alternative bénéfique à l'efficacité énergétique du PA étant donné la réduction de la puissance DC consommée. La contrepartie est une coupure de l'onde du courant AC au drain, résultant en une tendance vers la non-linéarité de l'amplificateur. Une analyse de Fourier de l'onde AC de courant de drain (Cripps, 2006) montre un comportement intéressant du signal à la sortie de l'amplificateur en termes de génération d'harmoniques.

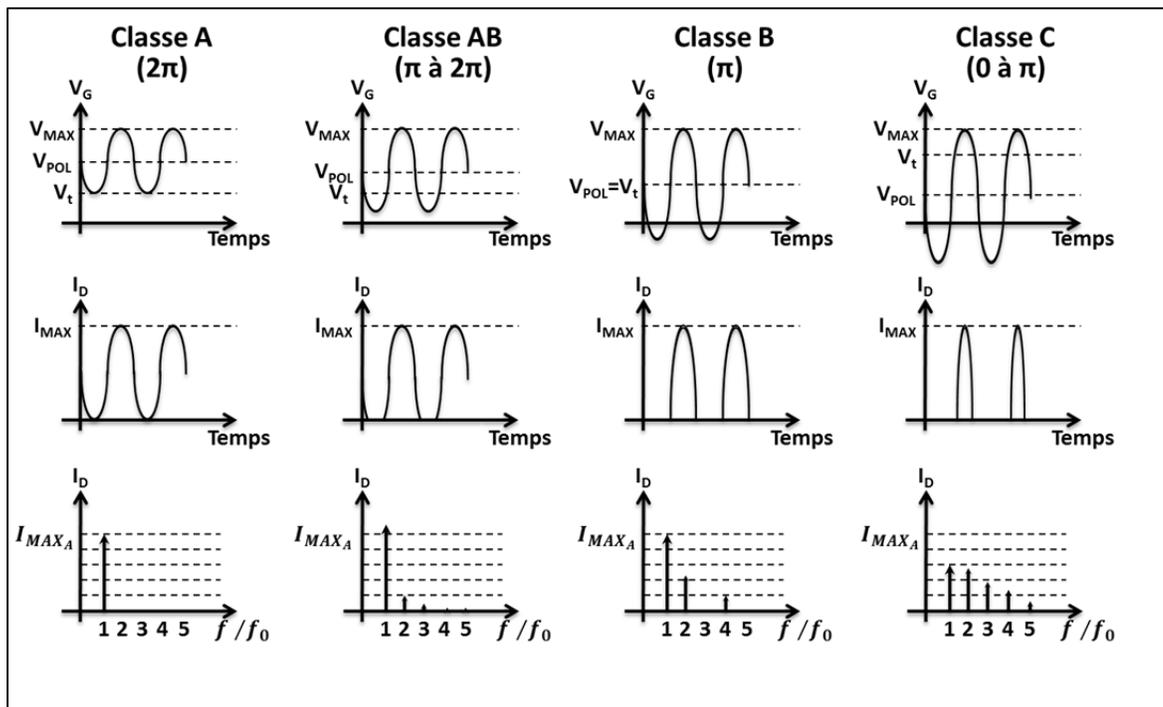


Figure 1.3 Courbes théoriques normalisées de la tension de grille (V_G), du courant de drain (I_D) et le spectre en fréquence du courant de drain en classe A, AB B et C

La Figure 1.3 résume le comportement de l'onde de courant de drain en fonction de l'angle de conduction à l'entrée de l'amplificateur où V_{POL} est la tension de polarisation et V_{TH} est le seuil de conduction. Cela confirme premièrement que la classe A est un amplificateur parfaitement linéaire par l'absence complète de composantes autre qu'à la fréquence fondamentale. La classe AB est caractérisée par une augmentation de l'amplitude de l'onde de courant à la fréquence fondamentale malgré la diminution de l'angle de conduction de la tension d'entrée. Cet aspect en fait un choix privilégié pour le domaine des RFIC PAs. Les

composantes à la 2e et 3e fréquence harmonique produites par la coupure de l'onde de sortie sont en général assez faibles pour être éliminées. La classe B est caractérisée par une amplitude de la fondamentale égale à celle de la classe A, mais avec une augmentation de la 2e harmonique. Un fait intéressant est l'annulation de la 3e et 5e harmonique pour un angle de conduction de π . La réduction de l'angle de conduction vers la classe C tend à diminuer l'amplitude de l'onde de courant de sortie à la fréquence fondamentale tout en augmentant l'apport des harmoniques.

Les mesures expérimentales ne permettent pas toujours de déterminer directement l'angle de conduction, particulièrement si la fréquence de l'onde se situe dans les radiofréquences. Le critère utilisé pour positionner l'amplificateur en classe A en expérimentation dans ces travaux de recherche est la constance du courant moyen de drain avec l'augmentation de la puissance RF d'entrée. Car, dans une autre classe d'opération, comme en classe AB, l'asymétrie du courant de sortie fait en sorte que la moyenne de l'onde de courant, donc le courant moyen consommé de l'alimentation, tend à augmenter avec la puissance RF de sortie.

1.2.4 « Error Vector Magnitude »

L'« *Error Vector Magnitude* » (EVM) est l'évaluation de l'erreur de la position d'un symbole d'information sur un plan vectoriel orthogonal I et Q mesurée après la démodulation par rapport à la position idéale de ce même symbole (National_Instruments, 2014). La Figure 1.4 illustre ce vecteur d'erreur où \bar{v} est le vecteur du symbole idéal, \bar{w} est le vecteur du symbole mesuré, $\bar{e} = (\bar{w} - \bar{v})$ est le vecteur d'erreur et \bar{e}/\bar{v} est l'EVM.

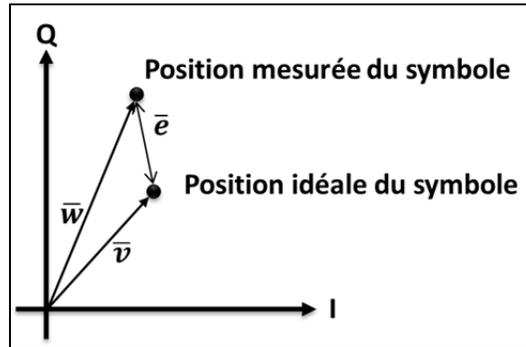


Figure 1.4 Représentation graphique du vecteur d'erreur d'un symbole

Pour un grand nombre de symboles transmis, l'EVM est présenté sous forme de pourcentage avec N échantillons selon l'équation suivante (National_Instruments, 2014) :

$$EVM = \frac{\sqrt{\frac{1}{N} \sum_{i=1}^N [I_i - \tilde{I}_i]^2 + [Q_i - \tilde{Q}_i]^2}}{|\bar{v}|} \quad (1.3)$$

Où I_i est la composante I du $i^{\text{ème}}$ symbole mesuré

Q_i est la composante Q du $i^{\text{ème}}$ symbole mesuré

\tilde{I}_i est la composante I idéale du $i^{\text{ème}}$ symbole mesuré

\tilde{Q}_i est la composante Q idéale du $i^{\text{ème}}$ symbole mesuré

\bar{v} est le vecteur du symbole idéal

Cette mesure est une quantification de la qualité de la démodulation très utile. Par contre, elle ne permet pas de discerner quel phénomène cause l'erreur. Par exemple, il est impossible de distinguer une erreur de phase par rapport à une erreur d'amplitude du vecteur avec une lecture d'EVM.

1.2.5 Dimensionnement de la matrice d'amplification

Le dimensionnement de la matrice d'amplification est caractérisé par le choix de la longueur (L) de canal du transistor, par la largeur (W) de canal de la même cellule, ainsi que par le nombre de cellules (N) dans la matrice. La largeur totale (W_{TOT}) est la multiplication de W avec N . La longueur L et la largeur W sont limitées par le choix de la technologie, par contre W_{TOT} est un choix du concepteur en variant N . Le dimensionnement influence les performances de la matrice d'amplification.

Une revue de la littérature qui se concentre sur la technologie CMOS 0.18 μm est effectuée afin de cerner ce qui a été proposé pour le dimensionnement de la matrice d'amplification. Le Tableau 1.1 présente quelques travaux avec une identification des dimensions utilisées où f_0 est la fréquence d'opération, I_{D_TOT} est le courant de drain total, donc de l'étage de puissance (PA) et de l'étage d'attaque qui précède l'étage du puissance (« *driver* »), V_{DD} est la tension d'alimentation et PAE @ P_{1dB} est la valeur de l'efficacité énergétique pour une puissance de sortie au point de compression de 1dB.

Tableau 1.1 Comparaison de travaux d'amplification de puissance en technologie CMOS 0.18 μ m

Article	« Driver »			PA			f ₀ (GHz)	I _{D_TOT} (mA)	V _{DD} (V)	P _{1dB} (dBm)	PAE @ P _{1dB} (%)
	W _{TOT}	L	W/L	W _{TOT}	L	W/L					
	(μ m)	(μ m)		(μ m)	(μ m)						
(Weimin, Ee-Sze et Tear, 2002)	150	0,18	833	600	0,18	3333	5,0	82	1,8	15	20
(Srirattana et al., 2005)	1200	0,4	3000	6000	0,4	15000	1,9		2,4	23	23
(Jongchan et al., 2006)				2400	0,18	13333	2,5		2,4	19	31
(Solar et al., 2006)	420	0,18	2333	840	0,18	4667	5,0	240*	3,3	21	7
(Randall, 2008)				320	0,18	1778	2,5	77	1,8	13	27
(Yuen Sum, Leung et Ka Nang, 2009)	210	0,18	1167	840	0,18	4667	3,0	125*	3,3	15	13
(To-Po, Ji-Hong et Cheng-Yu, 2011)	120	0,18	667	254	0,18	1411	5,8	59	3,6	17	20
(Youngchang et al., 2012)	320	0,18	1778	2000	0,18	11111	2,4	40	3,3	23	40

* La valeur affichée est $\frac{I_{D_TOT}}{2}$ en raison d'une structure différentielle.

Ce tableau ne prétend pas comparer en détail ces travaux, mais bien de se situer en termes de dimensionnement. La première information pertinente de ce tableau est que la plus grande valeur de P_{1dB} de ce tableau (Srirattana et al., 2005) correspond aussi au plus grand ratio W/L. Cette observation s'explique puisque l'optimisation pour de grandes puissances de sortie requiert une augmentation de la largeur de W, afin de maintenir une densité de courant dans les limites du procédé CMOS 0.18 μ m. En contrepartie, l'augmentation de la dimension des transistors pour atteindre de grandes puissances augmente aussi la valeur des capacités parasites du MOS, par exemple la capacité grille source (C_{GS}). La tendance liée à l'augmentation des capacités est de limiter la fréquence d'opération ou d'augmenter la complexité des adaptations d'impédance. Une méthode pour augmenter la transconductance, pour une même dimension de MOS, est d'augmenter le courant de drain. Cette option vient au prix d'une diminution de l'efficacité énergétique de l'amplificateur. D'ailleurs, on note aussi une corrélation (Tableau 1.1) inversement proportionnelle entre le courant de drain et l'efficacité énergétique (PAE). Pour une fréquence d'opération de moins de 3 GHz, on note

des ratios W/L entre 1780 (Randall, 2008) et 15000 (Srirattana et al., 2005) dénotant une grande variance dans la littérature pour le dimensionnement des matrices d'amplification. En sommes, le choix de la dimension d'une matrice d'amplification requiert une étude judicieuse des besoins à combler et de tous les compromis en jeux en termes de gain, de PAE, de puissance de sortie, de fréquence d'opération, etc.

1.3 Caractéristiques des détecteurs de puissance et d'enveloppe

Le rôle du détecteur est d'extraire l'enveloppe d'un signal modulé d'une grande largeur de bande, tout en minimisant son impact sur le signal RF et sur l'efficacité énergétique globale du système. De ces faits, les caractéristiques importantes pour le détecteur d'enveloppe sont la plage dynamique de détection, la bande passante, la consommation de puissance et la plage dynamique de tension de sortie.

1.3.1 Signal de sortie du détecteur

Si le signal d'entrée du détecteur d'enveloppe est une onde sinusoïdale non-modulée, sa sortie (V_{ENV}) est un signal DC variant avec l'amplitude de la porteuse à l'entrée selon (1.4), où K_P est un facteur de proportionnalité entre la tension DC de sortie et l'amplitude de la porteuse d'entrée, A_P est l'amplitude du signal sinusoïdale et V_{RMS_P} est sa tension RMS. Dans ce modèle simplifié, K_P est considéré constant en fonction de l'amplitude de la tension d'entrée.

$$V_{ENV} = K_P \cdot \frac{A_P}{\sqrt{2}} = K_P \cdot V_{RMS_P} \quad (1.4)$$

Dans le cas où le signal d'entrée est modulé en amplitude (AM) selon une modulante $f_{ENV}(t)$, la forme d'onde à la sortie du détecteur ($V_{ENV}(t)$) est linéairement proportionnelle à l'ondulation positive de l'enveloppe du signal d'entrée. En supposant un signal AM avec une porteuse sinusoïdale, on trouve (1.5), où $K_P \cdot \frac{A_P}{\sqrt{2}}$ est la tension moyenne du signal de sortie du

détecteur calculé selon (1.4) et K_{ENV} est un facteur de proportionnalité entre l'amplitude de l'enveloppe d'entrée et l'amplitude du signal de sortie du détecteur.

$$V_{ENV}(t) = K_P \cdot \frac{A_P}{\sqrt{2}} + K_{ENV} \cdot f_{ENV}(t) \quad (1.5)$$

L'amplitude en tension de la porteuse (A_P) positionne donc la tension moyenne du signal de sortie du détecteur. Cette tension moyenne correspond au point d'opération du détecteur sur la courbe de sa fonction de transfert (Figure 1.5). Dans ce modèle simplifié, K_P et K_{ENV} sont considérés constants en fonction de l'amplitude de la tension d'entrée de la porteuse, de l'amplitude de l'enveloppe et de la fréquence de l'enveloppe.

1.3.2 La fonction de transfert, la plage dynamique d'entrée, la plage dynamique de sortie et la sensibilité

La plage dynamique d'entrée est la plage de puissance pour laquelle le détecteur sera en mesure de détecter le signal d'entrée. Cette plage est bornée entre la puissance minimale et la puissance maximale détectée adéquatement et est mesurée en dB. La plage dynamique de sortie est la plage de tension de sortie correspondant à la plage dynamique d'entrée. La sensibilité est la variation de la tension de sortie pour la variation de 1 dB de la puissance d'entrée et est exprimée en V/dB. La Figure 1.5 illustre ces éléments sur une fonction de transfert idéale d'un détecteur d'enveloppe.

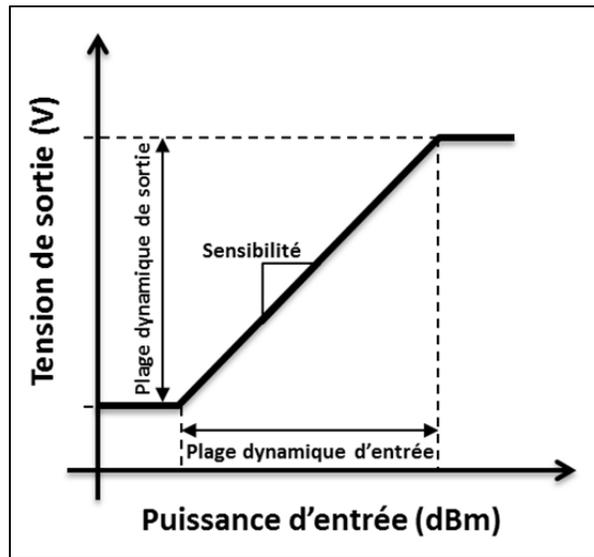


Figure 1.5 Fonction de transfert idéale d'un détecteur de puissance RMS

1.3.3 Le temps de réponse et régime transitoire

Le temps de réponse est le temps que prend le détecteur à se stabiliser en réponse à un échelon. On borne souvent ce temps entre le temps zéro et le moment où la sortie est à 90 % de la valeur d'entrée. Sur la Figure 1.6, le temps de réponse serait égale à $t_{stab} - t_0$.

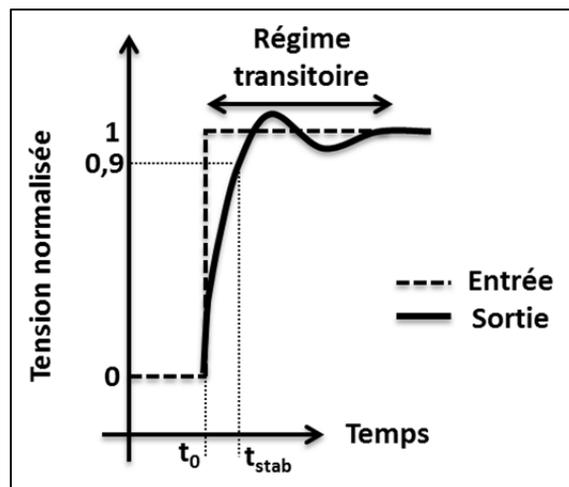


Figure 1.6 Tension de sortie en réponse à un échelon

Dans ce mémoire, la réponse à un échelon est principalement utilisée comme test de simulation afin d'évaluer le comportement en régime transitoire et la stabilité relative du détecteur. Ce test est implémenté avec une onde d'entrée sinusoïdale pulsée.

1.3.4 La fréquence d'opération et la bande passante d'enveloppe

En télécommunication sans fil, la fréquence d'opération est la fréquence de la porteuse. Un signal à deux tonalités, dont l'espacement correspond à la fréquence de l'enveloppe, centré sur la porteuse est nécessaire à la mesure de la courbe typique (Figure 1.7) de la réponse en fréquence du signal de sortie d'un détecteur d'enveloppe. On observe qu'une chute de 3 dB de la tension du signal de sortie (V_{ENV}) comparativement à la tension à basse fréquence de l'enveloppe caractérise la limite supérieure de cette bande passante. Cette mesure repose sur la condition que la puissance disponible à l'entrée du détecteur ne varie pas avec la fréquence de l'enveloppe (f_{ENV}).

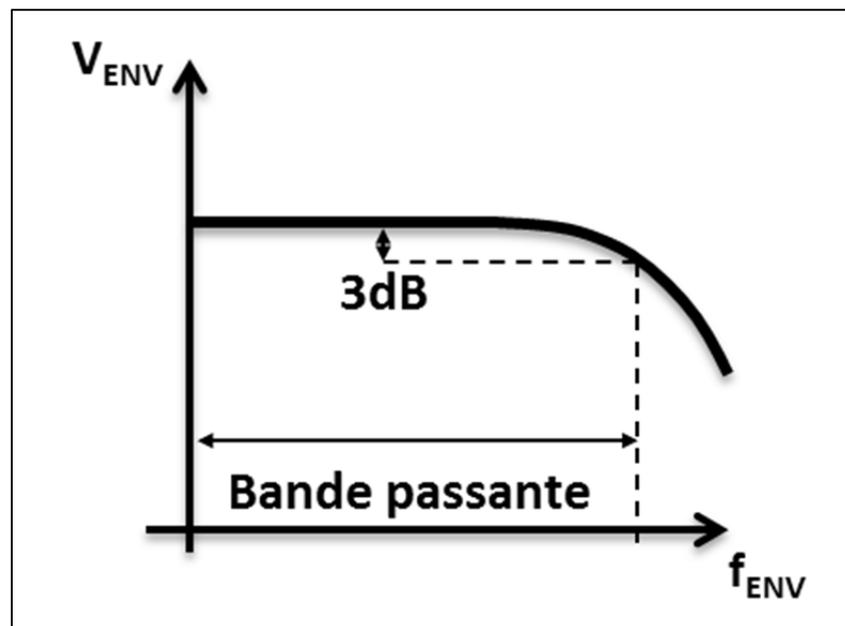


Figure 1.7 Réponse en fréquence typique du signal de sortie d'un détecteur d'enveloppe

1.4 Résumé des caractéristiques importantes des amplificateurs linéaires et des détecteurs d'enveloppe

Dans ce chapitre, les caractéristiques importantes des amplificateurs linéaires RF de puissance et des détecteurs d'enveloppe sont expliquées et seront utilisées comme référence théorique pour la suite de ce mémoire.

Le rôle de l'amplificateur linéaire de puissance RF pour appareil mobile est de fournir un niveau de puissance suffisamment élevé à l'antenne, tout en minimisant la distorsion du signal modulé et en maximisant l'efficacité énergétique. Les caractéristiques expliquées dans ce chapitre sont :

- la puissance de sortie, le gain et la linéarité;
- l'efficacité énergétique (PAE);
- la classe d'opération et l'angle de conduction;
- l'« error vector magnitude » (EVM);
- la dimension de la matrice d'amplification.

Le rôle du détecteur d'enveloppe est d'extraire l'enveloppe d'un signal modulé en amplitude d'une grande largeur de bande, tout en minimisant son impact sur le signal RF et sur l'efficacité énergétique globale du système. Les caractéristiques expliquées dans ce chapitre sont :

- le signal de sortie du détecteur;
- la fonction de transfert, la plage dynamique d'entrée, la plage dynamique de sortie et la sensibilité;
- le temps de réponse et le régime transitoire;
- la fréquence d'opération et la bande passante.

CHAPITRE 2

DÉTECTION DE PUISSANCE ET D'ENVELOPPE EN CMOS – ÉTAT DE L'ART

2.1 Introduction

Ce chapitre présente une revue des différentes catégories de détecteurs de puissance RF pour cheminer vers des travaux sur des détecteurs de puissance et d'enveloppe en technologie CMOS. Finalement, cette revue permet de converger vers une topologie de circuit de base sélectionnée pour la proposition de cette recherche.

2.2 Revue des détecteurs de puissance RF

Les trois principales catégories de détecteur de puissance sont les détecteurs à thermocouple, les détecteurs à diode et les détecteurs à transistor MOSFET. Un avantage des détecteurs à thermocouple et à diode est qu'ils consomment uniquement la puissance RF et ne requièrent aucune autre source d'alimentation. En contrepartie, les détecteurs à thermocouple ne sont pas assez rapides pour la détection d'enveloppe dans les MHz d'un signal RF. En plus, les détecteurs à thermocouple intégrés sur puce CMOS requièrent des étapes postproductions afin de les libérer de la masse thermique du substrat et demandent un confinement particulier puisqu'il y a plusieurs sources de chaleur pouvant grandement nuire à leurs performances (Richardson, 2011), éliminant ce choix. Les diodes disponibles en technologie CMOS n'offrent pas de bons temps de réponse pour des détecteurs rapides. Il est possible d'utiliser des étapes postproductions afin de créer des diodes Schottky (Jeon, 2005) qui sont assez rapides, mais cette solution n'est pas envisageable pour ce projet qui nécessite une facilité d'intégration. D'ailleurs, (Jeon, 2005, p. 94) a effectué une comparaison entre des détecteurs à diode Schottky et des détecteurs à transistors MOSFET sur puce CMOS mettant en évidence la rapidité des détecteurs MOSFET au prix d'une plus petite plage dynamique. La capacité d'obtenir une bonne rapidité, la facilité d'intégration, la possibilité d'obtenir une grande impédance d'entrée influencent positivement le choix vers les détecteurs MOSFET.

2.2.1 Les détecteurs de puissance RMS et d'enveloppe à transistor MOSFET

Plusieurs détecteurs dits rapides utilisent une détection basée sur un redressement de l'onde RF pour créer une asymétrie en fonction de son amplitude suivie d'un filtrage pour éliminer les composantes RF. Une approche de conception de système sur puce appelée « *Built-in-self-test* » (BIST) propose des capteurs de test pour circuiterie RF intégrés sur puce. L'utilité de ces capteurs est de faciliter la conception de RFICs en intégrant sur la même puce des circuits de test afin de déduire la valeur d'une puissance ou d'une tension RF par une simple lecture DC, ou basse fréquence, sans l'utilisation d'équipement coûteux et complexe. Les détecteurs de puissance et d'enveloppe ont grandement profité de la popularité grandissante des BISTs dans les dernières années. Certains détecteurs RMS, même s'ils ne répondent pas aux besoins de cette recherche qui vise une détection d'enveloppe, démontrent des caractéristiques pertinentes. (Valdes-Garcia et al., 2008; Valdes-Garcia et al., 2005) décrivent brillamment un détecteur RMS dont l'impédance d'entrée est augmentée par l'utilisation d'un amplificateur de courant au coût d'une plus grande complexité et d'une plus grande consommation. Le redressement de l'onde est effectué en attaquant un miroir de courant nMOS faiblement polarisé par le drain. Cette méthode est la plus classique pour un redresseur demi-onde. (Duong et Dabrowski, 2012) proposent un détecteur d'amplitude en CMOS 65 nm pour des calibrations sur puce. Ces derniers ont ajouté une boucle de gain (« *boosting loop* ») en vue d'augmenter la sensibilité du détecteur. Un autre aspect intéressant de ce travail est l'ajustement des tensions de polarisation afin d'utiliser le même détecteur pour différentes plages dynamiques de détection.

Cependant, on note une petite quantité d'articles dédiée à la détection d'enveloppe de signaux RF en technologie CMOS; en voici quelques-uns. (Jeongwon et al., 2009; Yanping et al., 2008) proposent des détecteurs d'enveloppe qui utilisent un amplificateur opérationnel de transconductance en boucle ouverte pour la conversion de la tension RF en courant RF. L'utilisation de l'amplificateur limite toutefois la bande passante à quelque mégahertz. (Asbeck et Fallesen, 2002) proposent un détecteur d'enveloppe d'une bande passante de 50 MHz pour la linéarisation d'un amplificateur de puissance en CMOS 0.25 μm . Le

détecteur utilise un transistor nMOS polarisé adéquatement afin que les lobes négatifs de l'onde RF de courant au drain soient éliminés. Une capacité placée au drain de ce même transistor court-circuite l'onde RF laissant uniquement la composante de l'enveloppe de la demi-onde de courant. Malheureusement, cette conception nécessite une référence en tension RF représentant une puissance RF spécifique causant un dédoublement du détecteur, ce qui est nuisible à la complexité et à la consommation du détecteur. Aussi, cette conception est caractérisée seulement avec des signaux modulés de faible PAPR. (Zhang, Gharpurey et Abraham, 2012) décrivent un détecteur d'enveloppe utilisé pour des tests sur puce qui utilise une entrée différentielle pMOS et qui possède une bande passante de 100 MHz. Cependant, il n'est que caractérisé en simulation et à l'aide d'une entrée à deux tonalités simplement additionnées et non par un signal AM. Cela ne répond pas aux objectifs de détecter une enveloppe d'un signal modulé centrée sur une porteuse, comme requis dans cette recherche.

2.3 Conclusion sur la technique de circuit sélectionnée pour la proposition d'une détection d'enveloppe

La revue de la littérature démontre qu'il est possible d'obtenir une impédance d'entrée suffisamment grande afin de limiter l'impact du détecteur sur le signal RF pour une opération à des fréquences autour de 1,9 GHz tout en limitant la surface de puce utilisée. Par contre, ces détecteurs ne proposent pas des temps de réponse assez faibles pour la détection d'enveloppe instantanée large bande et peu d'efforts sont dirigés vers la diminution de la consommation DC. L'idée de modifier la plage dynamique détectée en ajustant certains points de polarisation clés, comme proposée par (Duong et Dabrowski, 2012), est utilisée non pas uniquement pour ajuster la plage de détection, mais aussi pour proposer une calibration intégrée pour faciliter l'interfaçage entre le détecteur d'enveloppe et les circuits de contrôle. La simplicité et la possibilité d'une grande impédance d'entrée de la structure classique, un redressement demi-onde suivie d'un filtrage, en font un point de départ adéquat dans ce travail pour les besoins d'un détecteur d'enveloppe intégré dans une chaîne d'amplification RF. Par contre, des efforts de conceptions ont été portés sur la diminution de la consommation, sur l'augmentation de la bande passante et sur la proposition d'une méthode d'ajustement de la plage dynamique de la tension de sortie du détecteur d'enveloppe.

CHAPITRE 3

CONCEPTION ET CARACTÉRISATION D'UN DÉTECTEUR D'ENVELOPPE EN CMOS 0.18 UM ET DE SES CIRCUITS SECONDAIRES

3.1 Introduction

Ce chapitre se concentre sur la conception d'un détecteur d'enveloppe et de ses circuits secondaires et sur la caractérisation de ce même détecteur par des mesures de performances expérimentales. Il est question de deux versions du même détecteur qui utilisent le même circuit de détection. La différence entre les deux versions est l'ajout d'un amplificateur de courant entre le nœud RF et le circuit de détection en vue d'augmenter l'impédance d'entrée comme proposé par (Valdes-Garcia et al., 2005).

Ce chapitre est divisé comme suit; le principe de fonctionnement est tout d'abord expliqué, ensuite les détails de conception du détecteur et de l'amplificateur de courant sont exposés. La conception d'un filtrage des alimentations pour l'amélioration de la réponse en fréquence du détecteur est aussi décrite. La section suivante présente la synthèse (« *Layout* ») de la puce pour terminer avec les mesures expérimentales.

3.2 Principe de fonctionnement du détecteur d'enveloppe

Deux versions du même détecteur sont implémentées. L'une des versions est composée d'un amplificateur de courant (étage I sur la Figure 3.1) et du circuit de détection d'enveloppe (étage II sur la Figure 3.1). Tandis que l'autre version utilise uniquement le circuit de détection d'enveloppe.

L'amplificateur de courant (étage I) a deux rôles; une conversion tension/courant de la puissance disponible à l'entrée du détecteur (P_{AVS_ED}) et une amplification en courant. On pourrait aussi dire que cet étage est un « *buffer* » puisqu'il présente une haute impédance d'entrée et qu'il n'est pas caractérisé par un gros gain en puissance. Une capacité de

découplage entre les deux étages est nécessaire afin d'éliminer la composante DC à l'entrée du circuit de détection (étage II).

Le circuit de la détection d'enveloppe, point clé de cette conception, inclus un redresseur, un étage de gain en courant, une conversion courant/tension et un filtre passe-bas. Étant donné que le signal RF est centré prêt du seuil de conduction, le redresseur élimine les lobes négatifs de courant. Le filtre vient par la suite éliminer l'ondulation RF à la sortie du détecteur pour finalement produire un signal (V_{ENV}) linéairement proportionnel à l'ondulation positive de l'enveloppe du signal RF d'entrée. Un signal de contrôle (V_{ADJ}) ajuste la plage dynamique de la tension de sortie du détecteur.

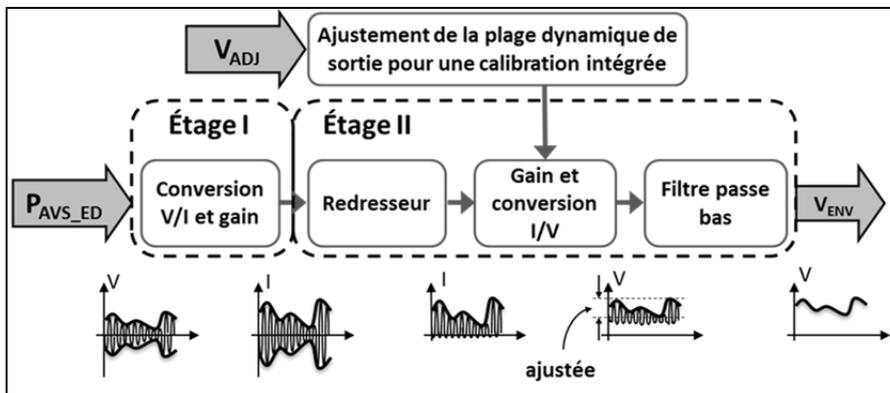


Figure 3.1 Schéma bloc du fonctionnement du détecteur d'enveloppe

3.2.1 Modes de fonctionnement du détecteur

Le mode de fonctionnement dépend de la nature du signal d'entrée. Si le signal est une onde RF sinusoïdale, le détecteur produit un signal DC en fonction de l'amplitude de l'onde RF d'entrée. Ce mode est utilisé pour déterminer certaines caractéristiques du détecteur comme sa fonction de transfert. Le second mode est caractérisé par un signal d'entrée modulé en amplitude (AM) centrée sur une porteuse RF. Dans ce cas, le détecteur produit un signal linéairement proportionnel à l'enveloppe d'entrée. Il se comporte en détecteur d'enveloppe.

3.3 Conception du détecteur d'enveloppe et de ses circuits secondaires

Cette section présente le fonctionnement et la conception du détecteur tout au long du cheminement de l'onde RF et des circuits secondaires, c'est-à-dire l'amplificateur de courant d'entrée et les circuits de polarisation.

3.3.1 Schéma électrique de l'amplificateur de courant et du détecteur d'enveloppe

La Figure 3.2 présente le schéma électrique de l'amplificateur de courant (en a) et du détecteur d'enveloppe (en b).

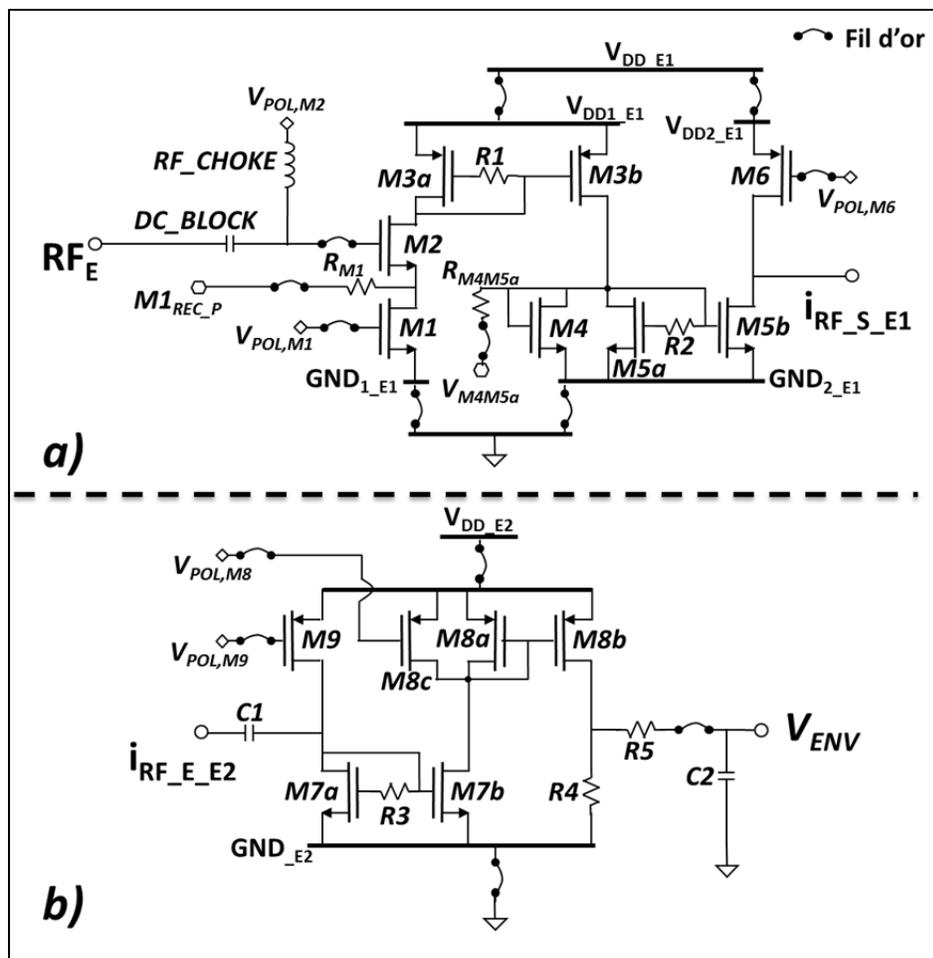


Figure 3.2 a) Schéma électrique de l'amplificateur de courant (Étage I)
b) Schéma électrique du détecteur d'enveloppe (Étage II)

Pour jumeler les deux circuits, on couple la sortie de l'amplificateur ($i_{RF_S_E1}$) à l'entrée du détecteur d'enveloppe ($i_{RF_E_E2}$). On note l'utilisation de différentes tensions d'alimentation (V_{DDX_EX}) et de mises à la masse (GND_{X_EX}). Ce choix nécessite différents points de masse, donc l'utilisation d'une structure de transistors isolés du substrat nommée « *Deep N Well* » présentée à la section 3.7.1.1. Aussi, ce choix est justifié en section 3.4 qui discute des considérations sur le comportement en stabilité relative du détecteur.

3.3.2 Explications théoriques du fonctionnement de l'amplificateur de courant

L'amplificateur de courant effectue une conversion tension/courant pour ensuite amplifier le courant. Il a pour rôle d'augmenter l'impédance d'entrée du circuit de détection et d'amplifier le signal à une amplitude adéquate pour le circuit de détection. Cette section présente une explication détaillée de ce circuit et de chacune de ses composantes.

3.3.2.1 Isolation à l'entrée et conversion tension RF vers courant RF

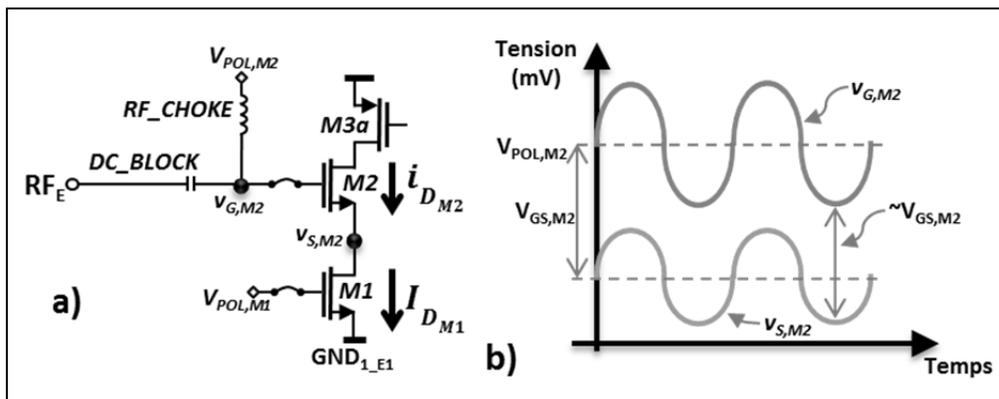


Figure 3.3 a) Entrée de l'amplificateur de courant M2 et source de courant
b) Onde RF de tension à la grille (v_{G_M2}) et à la source (v_{S_M2}) du NMOS M2

L'entrée de l'amplificateur de courant (Figure 3.3a) comporte deux éléments d'isolation limitant les interactions entre le signal de polarisation et le signal RF. Il s'agit d'une inductance (« *RF Choke* ») et d'une capacité (« *DC Block* »). Ces deux éléments sont placés à l'extérieur de la puce en raison de leurs grandes dimensions. Aussi, M2 assure une grande

impédance d'entrée de ce circuit en présentant une configuration source commune avec dégénération à la source par la résistance drain-source de M1 ($r_{DS,M1}$).

La conversion de la tension RF vers un courant RF est assurée par le transistor d'entrée M2, avec sa configuration en source commune, et la source de courant M1 (Figure 3.3a). Tout d'abord, M1 a pour rôle de polariser dans un mode de conduction les MOS M2 et M3a en fixant un courant DC à son drain ($I_{D,M1}$ sur la Figure 3.3a). Par exemple, la tension $V_{GS,M2}$ est déterminée selon l'équation (3.1) qui explique la tension V_{GS} en fonction du courant de drain I_D d'un MOS dans la région de saturation, où $I_{D,M1}$ est le courant moyen de drain de M1, μ_n est la mobilité des électrons, C_{OX} est la capacitance de l'oxyde d'un MOS, W/L est le rapport de la largeur sur la longueur du canal du transistor et V_{TH} est la tension seuil de conduction déterminée par le procédé et par la tension moyenne entre la source et le substrat (Razavi, 2000, p. 303).

$$V_{GS_{M2}} = V_{TH} + \sqrt{\frac{2I_{D_{M1}}}{\mu_n C_{OX} \left(\frac{W}{L}\right)_{M2}}} \quad (3.1)$$

Afin de simplifier l'analyse en petit signal du comportement des ondes RF à l'entrée de l'amplificateur de courant, on considère que la tension $V_{GS,M2}$ est constante malgré la présence d'une onde RF. Dans les faits, on note que l'amplitude du nœud $v_{G,M2}$ diffère de l'amplitude de $v_{S,M2}$ puisque la tension $V_{GS,M2}$ est influencée par la valeur instantanée de l'onde RF de courant au drain de M2 ($i_{D,M2}$). Par contre, cette simplification n'affecte pas la logique de cette analyse. Avec $V_{GS,M2}$ constant et $v_{G,M2}$ en phase avec $v_{S,M2}$ (Figure 3.3b), il est possible d'estimer la tension à la source de M2 selon l'équation (3.2).

$$v_{S_{M2}} \approx v_{G_{M2}} - V_{GS_{M2}} \quad (3.2)$$

L'impédance en RF que présente M1 est la résistance r_{DS} . Cette résistance modélise la modulation de longueur du canal d'un MOS et son effet sur le courant de drain I_D pour un

changement de la tension V_{DS} . L'équation (3.3) décrit la résistance r_{DS} (Johns et Martin, 2008, p. 31)

$$r_{DS} = \frac{\delta I_D}{\delta V_{DS}} \quad (3.3)$$

L'amplitude du courant RF au drain de M2 (i_{D_M2} sur la Figure 3.3a) est donc déterminée par la source de courant M1 selon l'équation suivante :

$$i_{D_M2} = \frac{V_{S_M2}}{r_{DS_M1}} \quad (3.4)$$

Afin de maintenir M1 et M2 dans un mode d'opération en saturation, il faut aussi maintenir leur tension drain-source (v_{DS}) au-dessus de la condition sur la surtension de grille (« *overdrive voltage* ») déterminée selon $V_{GS} - V_{TH}$. Pour y arriver, on considère le comportement des ondes de tension AC aux bornes drain/source des transistors M1 et M2 (Figure 3.4) pour une entrée RF sinusoïdale près de la puissance maximale ciblée. On note sur la Figure 3.4 un phénomène de collet causé par le déphasage de π entre la source et le drain de M2 qui s'explique par un montage en source commune.

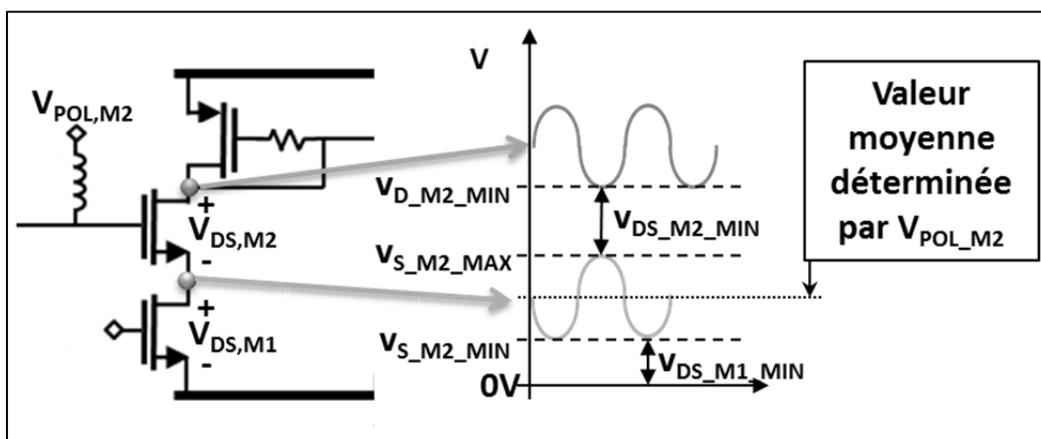


Figure 3.4 Tension V_{DS_M2} écrasée par une inversion de phase entre la source et le drain de M2

Il faut donc que V_{POL_M2} maintienne une valeur minimale de l'onde de tension aux bornes de M1 ($V_{S_M2_MIN}$) supérieure à la surtension de grille associée à M1 tout en maintenant la soustraction de la tension AC minimale au drain ($V_{D_M2_MIN}$) de M2 à la tension AC maximale à la source de M2 ($V_{S_M2_MAX}$) au-dessus de la surtension de grille associée à M2. Ces deux conditions pour l'opération en mode de saturation de M1 et M2 sont résumées selon les équations (3.5) et (3.6).

$$V_{S_M2_MIN} > V_{GS_M1} - V_{TH} \quad (3.5)$$

$$V_{D_M2_MIN} - V_{S_M2_MAX} > V_{GS_M2} - V_{TH} \quad (3.6)$$

On positionne V_{POL_M2} , par simulation, au point milieu entre ces deux extrêmes afin de maximiser la plage dynamique d'entrée.

3.3.2.2 Étages d'amplification du courant et ajustement pour maximiser le transfert vers l'entrée du détecteur d'enveloppe

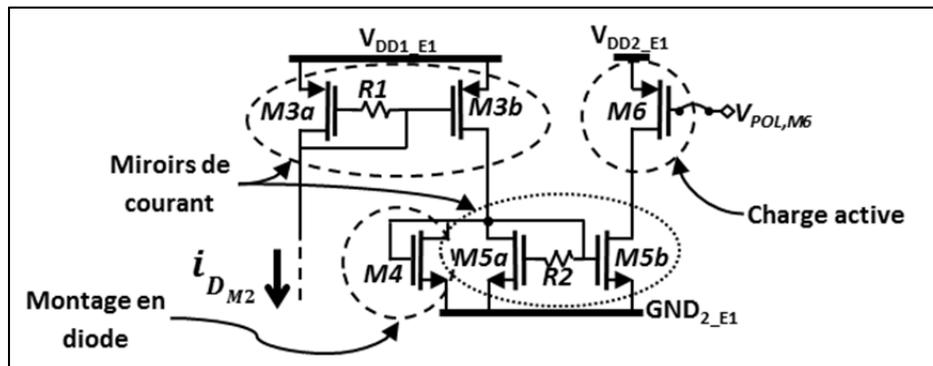


Figure 3.5 Miroir de courant M3 et M5 et sources de courant M4 et M6

Le rôle des miroirs de courant (M3a/b et M5a/b), illustrés à la Figure 3.5, est d'amplifier l'onde de courant au drain de M2 (i_{D_M2}) à une amplitude adéquate pour le détecteur en fonction de la puissance disponible d'entrée (P_{AVS_ED}) ciblée. En technologie CMOS 0,18

μm , il est difficile de concevoir un miroir de courant développant de gros gains à 1.88 GHz. C'est pourquoi il faut utiliser deux étages de miroirs de courant modifiés (Voo et Toumazou, 1995) en ajoutant une résistance entre les deux grilles (R_1 et R_2). Le modèle petit signal des miroirs de courant standard (Figure 3.6a) et modifié (Figure 3.6b) avec des MOS (M_A et M_B) de mêmes dimensions ($C_{GS,A} = C_{GS,B}$) illustrent la différence entre les deux. À noter qu'il faut inclure la capacité grille-source dans ce modèle afin d'observer le bénéfice de cette résistance.

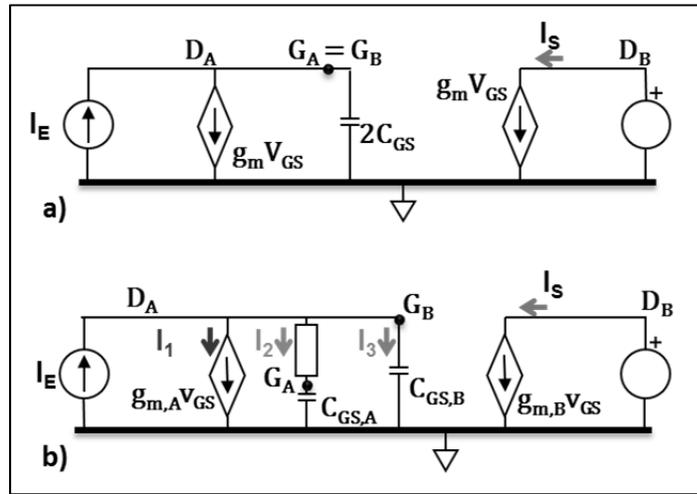


Figure 3.6 a) Modèle petit signal d'un miroir de courant standard b) Modèle petit signal d'un miroir de courant modifié

L'équation (3.7) décrit, dans le domaine de Laplace ($s = j\omega$), le système passe-bas du premier ordre du miroir de courant standard contenant un seul pôle dont la fréquence de coupure est décrite à l'équation (3.9) dans la condition où les deux MOS sont de mêmes dimensions (donc $C_{GS,A} = C_{GS,B}$ et $g_{m,A} = g_{m,B}$).

$$H(s)_{\text{standard}} = \frac{I_S}{I_E} = \frac{g_{m,B}}{g_{m,A}} \frac{1}{1 + s \left(\frac{C_{GS,A} + C_{GS,B}}{g_{m,A}} \right)} \quad (3.7)$$

L'ajout de la résistance dans le miroir de courant modifié change le système à un passe-bas du second ordre décrit par l'équation (3.8). On note que ce système contient un zéro et une paire de pôles complexes.

$$H(s)_{\text{modifié}} = \frac{I_S}{I_E} = \frac{g_{m,B}(sRC_{GS,A} + 1)}{RC_{GS,A}C_{GS,B}s^2 + (C_{GS,A} + C_{GS,B})s + g_{m,A}} \quad (3.8)$$

Le miroir de courant modifié devient plus rapide et est plus sujet à des tendances oscillatoires en déplaçant le zéro vers l'origine. On note que dans une condition particulière où les deux transistors sont de mêmes dimensions et que $R = \frac{1}{g_m}$, le zéro annule un des pôles du système et le résultat est un nouveau système du premier ordre. Dans ces conditions, la bande passante du miroir de courant modifié est décrite selon l'équation (3.10) où on note que la fréquence de coupure est doublée par rapport à celle du miroir de courant standard.

$$\omega_{0\text{Standard}} \Big|_{\substack{C_{GS,A}=C_{GS,B}=C_{GS} \\ g_{m,A}=g_{m,B}=g_m}} = \frac{g_m}{2C_{GS}} \quad (3.9)$$

$$\omega_{0\text{Modifié}} \Big|_{\substack{R=\frac{1}{g_m} \text{ et} \\ C_{GS,A}=C_{GS,B}=C_{GS} \\ g_{m,A}=g_{m,B}=g_m}} = \frac{g_m}{C_{GS}} \quad (3.10)$$

L'effet de R est aussi illustré à la Figure 3.7. On détermine la valeur de cette résistance afin d'augmenter le gain à 1.88 GHz tout en limitant le dépassement causant une grande variabilité du système pour de petites différences de fréquence de la porteuse.

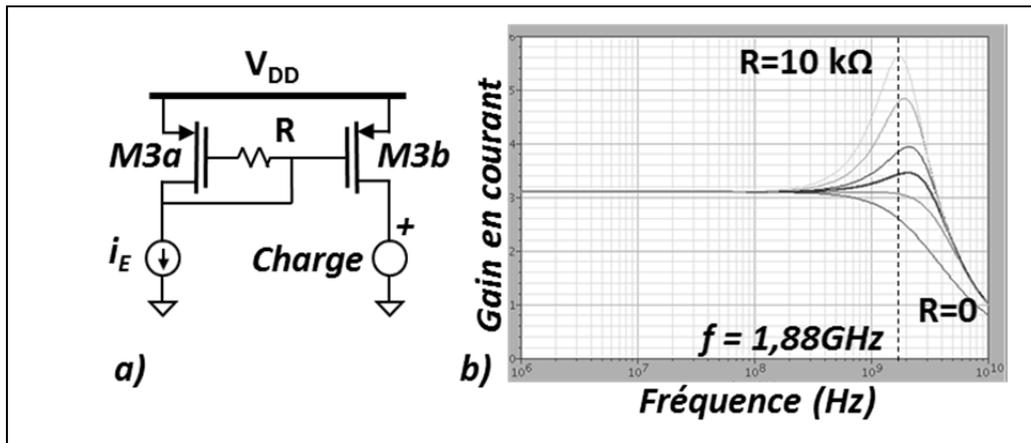


Figure 3.7 a) Miroir de courant PMOS modifié b) Réponse en fréquence du miroir de courant pour des valeurs de R allant de 0 à 10kΩ

M4, qui est un montage en diode, polarise adéquatement M5a et M5b (Figure 3.5) en déviant une partie du courant I_{M3b} dépendamment du choix de la dimension de M4 par rapport à la dimension de M5a. Il est aussi possible, en ajustant la dimension de M4, d'ajuster sa tension V_{GS} en fonction du courant DC de sortie du miroir de courant M3a/b. De cette façon, on polarise les transistors M5a et M5b dans un mode de conduction.

On note que la modulation de longueur de canal du transistor de sortie d'un miroir de courant simple cause une variation significative du courant DC de sortie en fonction de sa tension V_{DS} en raison de l'absence d'une structure « cascode ». Ce phénomène est encore plus marqué lorsque les courants augmentent, comme dans le cas du miroir de courant M5a/b. La charge active M6 a donc deux rôles. Le premier est de présenter une haute impédance en AC afin que la majorité du courant RF disponible à la sortie du miroir de courant M5a/b soit transférée vers le circuit de détection. L'impédance que présente le PMOS M6 est r_{DS} , qui est décrite selon l'équation (3.3). Le deuxième rôle de M6 est de fixer la tension V_{DS} de M5b en fixant le courant DC dans cette branche à l'aide de la tension de polarisation V_{POL_M6} . Il est à noter que l'ajustement idéal de la polarisation de M6 correspond au point milieu de la plage en courant DC, causée par la modulation de la longueur de canal, de la source de courant M5b. Cet ajustement optimise la plage dynamique de sortie de l'amplificateur de courant.

3.3.3 Explication du fonctionnement du détecteur d'enveloppe

Le circuit de détection, l'étage II du schéma bloc de la Figure 3.1, effectue un redressement de l'onde d'entrée et filtre les composantes RF. Il en résulte que la sortie du détecteur est un signal linéairement proportionnel à l'ondulation positive de l'enveloppe du signal AM d'entrée. Ce circuit ne nécessite pas l'amplificateur de courant décrit en section 3.3.2 pour fonctionner. Par contre, l'amplificateur augmente son impédance d'entrée et ce au prix d'une plus grande complexité et d'une plus grande consommation de courant DC. Cette section offre une explication détaillée de chacune des composantes du circuit de détection ainsi que les ajustements intégrés dans le détecteur.

3.3.3.1 Impédance d'entrée, redresseur et ajustement intégré de la plage de détection

Dans le cas où l'amplificateur de courant est utilisé, C1 (Figure 3.8) est intégré sur la puce et isole les niveaux DC entre l'étage I et l'étage II. De cette façon, on centre l'onde RF autour de zéro. Le choix de C1 influence la réponse en fréquence du système. Il faut donc limiter sa valeur pour ne pas nuire à la réponse transitoire du système. Du même coup, la limitation de sa valeur diminue sa dimension. Par contre, sa diminution augmente l'impédance de C1 nuisant au transfert de l'onde RF de l'étage I vers l'étage II. Dans le cas où le détecteur est opéré seul, c'est-à-dire sans l'utilisation de l'amplificateur de courant, C1 est situé hors puce et sert à augmenter l'impédance d'entrée du détecteur en plus de bloquer le DC.

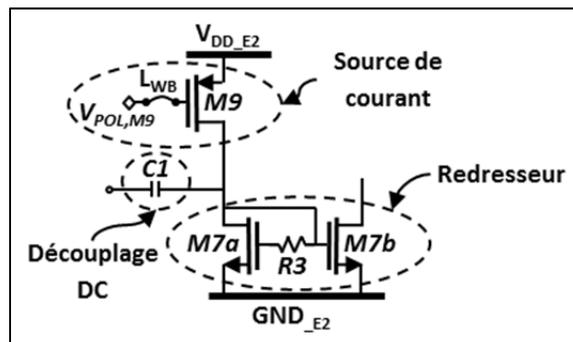


Figure 3.8 Condensateur de découplage C1, source de courant M9 et redresseur M7

M9 est une source de courant polarisant le redresseur composé de M7a/b (Figure 3.8). M9 ajuste le courant de drain I_{DM7a} afin que la tension V_{GS_M7a} soit ajustée par rétroaction près de la valeur seuil de conductibilité (V_{TH_M7a}). Il est possible d'ajuster la plage de puissance détectée avec V_{POL_M9} en éloignant ou en approchant V_{GS_M7a} du seuil de conductibilité V_{TH_M7a} , comme illustré par le mouvement horizontal sur la fonction de transfert idéale du détecteur en fonction de la puissance disponible à l'entrée (P_{AVS_ED}) de la Figure 3.9

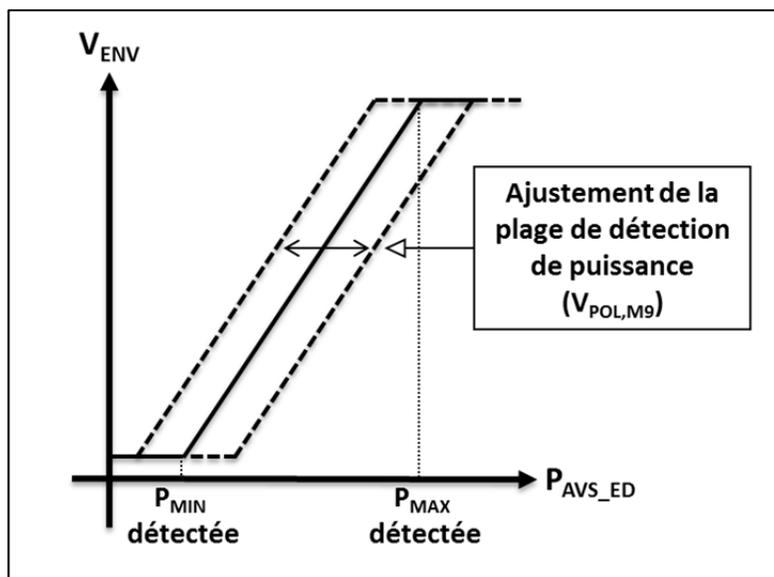


Figure 3.9 Fonction de transfert idéale illustrant l'ajustement de la plage de détection de puissance par V_{POL_M9}

Le redresseur, composé de M7a/b, est un miroir de courant avec la même modification pour améliorer la bande passante que dans les miroirs de courant de l'étage I (section 3.3.2.2). La différence se trouve au niveau de son point de polarisation. On souhaite que sa polarisation au repos soit autour du seuil de conductibilité. De cette façon, les lobes positifs du courant RF sont significativement mieux copiés vers la sortie du redresseur. En théorie, on voudrait éliminer complètement les lobes négatifs. Par contre, les simulations ont montré un redressement de l'onde altérée par un fort courant de substrat lorsque survient les lobes négatifs. Malgré tout, on note que la valeur moyenne instantanée de l'onde de sortie est proportionnellement linéaire à l'enveloppe d'entrée.

Le gain du redresseur n'est pas un enjeu majeur et c'est pourquoi on le limite afin de maximiser sa bande passante. Aussi, dans l'objectif de maximiser le transfert de courant entre l'étage I et l'étage II, on souhaite limiter à une faible valeur l'impédance d'entrée de l'étage II. Cette impédance est constituée de C1 en série avec l'impédance d'entrée vue au drain M9 en parallèle avec l'impédance présentée par le miroir de courant M7a/b. M9 étant une source de courant, son impédance d'entrée est élevée. C'est donc l'impédance vue au drain de M7a l'élément dominant. Sachant que cette impédance est inversement proportionnelle à la dimension d'un MOS, on souhaite augmenter la dimension de M7a. Par contre, ce choix va dans la logique contraire à l'opération autonome du détecteur qui demande une grande impédance d'entrée. Dans ce cas, malgré la grande dimension de M7a, l'impédance d'entrée est assurée par le choix de C1 qui est situé hors puce.

3.3.3.2 Conversion courant/tension, filtre RC et ajustement intégré de la plage dynamique de la tension de sortie

Le miroir de courant M8a/b est un dernier amplificateur de courant afin de transposer l'onde de courant vers une résistance R4 qui effectue une conversion courant/tension (Figure 3.10). Son gain en courant DC influence significativement la sensibilité du détecteur.

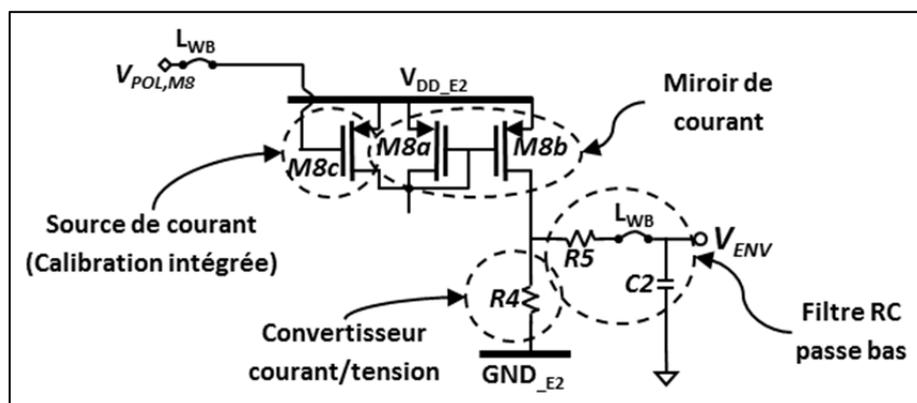


Figure 3.10 Source de courant M8c, miroir de courant M8a/b, convertisseur courant/tension R4 et filtre RC R4, R5 et C2

La fonctionnalité novatrice de calibration intégrée de la plage de sortie du détecteur est implémentée par la source de courant contrôlée M8c. La tension de contrôle (V_{ADJ} ou $V_{POL,M8}$) ajuste le courant minimum dans la branche formée par le drain de M8b et R4. En ajustant le courant minimal du convertisseur V/I, on contrôle la tension minimale de l'onde de sortie présentée par le mouvement vertical sur la Figure 3.11.

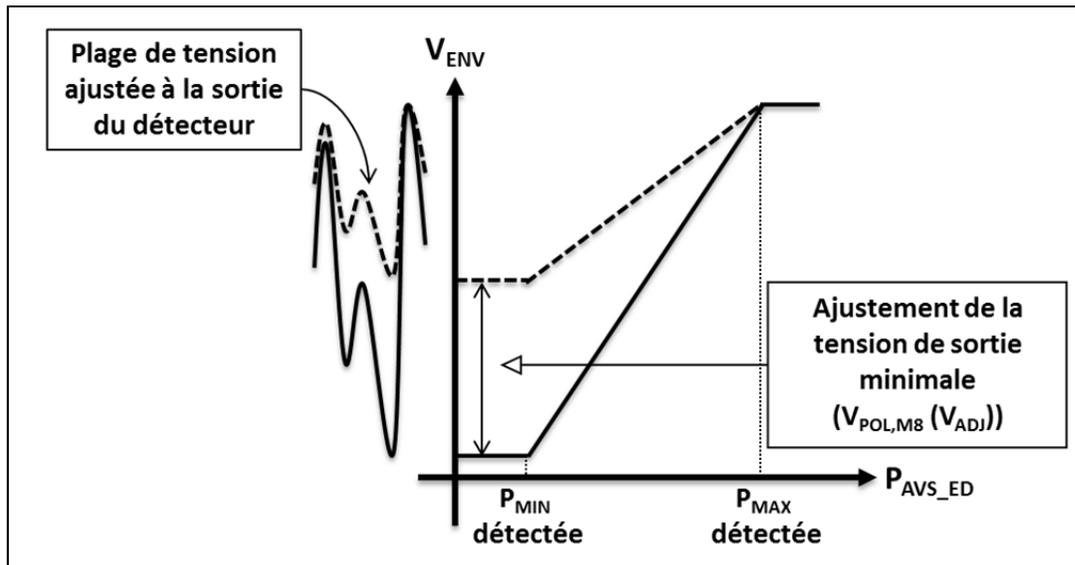


Figure 3.11 Fonction de transfert idéale illustrant l'ajustement de la plage dynamique de sortie par $V_{POL,M8}$

3.3.3.3 Filtre passe-bas de sortie

La composante influençant significativement la réponse en fréquence du détecteur est le filtre RC de sortie composé de C_2 , R_4 et R_5 (Figure 3.10). Sa fonction de transfert et sa fréquence de coupure sont respectivement (3.11) et (3.12)

$$H(j\omega) = \frac{1}{1 + jR_5C_2\omega} \quad (3.11)$$

$$f_0 = \frac{1}{2\pi R_5C_2} \quad (3.12)$$

L'objectif est d'obtenir une fréquence de coupure autour de 100 MHz. Notons que la capacité est externe à la puce pour avoir au moins un degré de liberté sur l'ajustement de la bande passante lors des mesures expérimentales. Aussi, on souhaite limiter la valeur de C2 pour faciliter son intégration sur puce en vue d'une conception future, nécessitant une augmentation de R5 (Figure 3.10).

3.3.4 Description des circuits de polarisation

Deux types de circuit de polarisation sont utilisés : le pont diviseur et la référence de courant auto-polarisée. Le pont diviseur polarise le nœud $V_{POL,M2}$, tandis que les références de courant polarisent les nœuds $V_{POL,M1}$, $V_{POL,M6}$, $V_{POL,M8}$ et $V_{POL,M9}$.

3.3.4.1 Polarisation par pont diviseur CMOS

La polarisation à l'entrée de l'amplificateur de courant nécessite une référence de tension. La surface des résistances sur la puce est plus grande que celle des composantes actives et la faible précision des résistances éliminent le choix du diviseur de tension purement résistif. C'est pourquoi on utilise un pont diviseur CMOS montré la Figure 3.12.

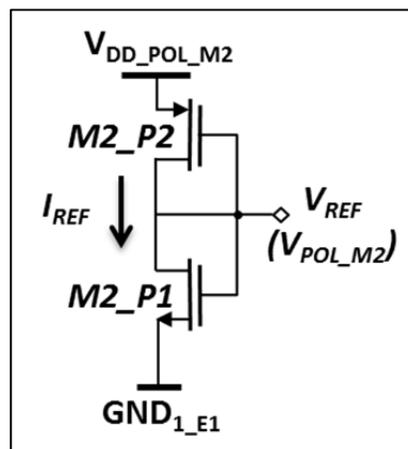


Figure 3.12 Schéma électrique d'un pont diviseur

L'ajustement de la tension de sortie (V_{REF}) s'effectue selon (3.13) (Baker, 2011, p. 749) où V_{THN} est la tension seuil du NMOS, V_{THP} est la tension seuil de conduction du PMOS, $\beta_N = \frac{\mu_N C_{OX}}{2} \left(\frac{W}{L}\right)_N$ et $\beta_P = \frac{\mu_P C_{OX}}{2} \left(\frac{W}{L}\right)_P$.

$$V_{REF} = \frac{V_{THN} + \sqrt{\frac{\beta_P}{\beta_N}} (V_{DD} - |V_{THP}|)}{1 + \sqrt{\frac{\beta_P}{\beta_N}}} \quad (3.13)$$

On note que le ratio $\frac{\beta_P}{\beta_N}$ détermine majoritairement la valeur de V_{REF} . Par contre, la présence de V_{DD} dans cette équation dénote une sensibilité de V_{REF} aux variations de V_{DD} .

3.3.4.2 Polarisation par référence de courant auto-polarisée

Les tensions DC des nœuds V_{POL_M1} , V_{POL_M6} , V_{POL_M8} et V_{POL_M9} sont régulées par une référence de courant auto-polarisée présentée à la Figure 3.13.

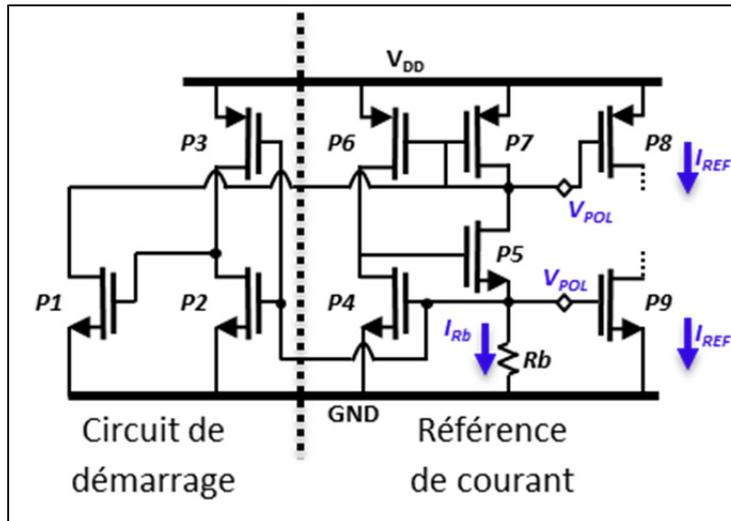


Figure 3.13 Schéma électrique d'une référence de courant auto-polarisée

Les transistors P8 et P9 font partie du circuit à être polarisé. La référence de courant contrôle donc le courant au sein du circuit d'intérêt par miroir de courant. L'ajustement du courant I_{Rb} est calculé selon (3.14) (Gray et Meyer, 1993, p. 307) où on note une désensibilisation à la tension V_{DD} ce qui est un atout majeur à cette topologie de circuit. Cette équation est valide seulement si P6 et P7 sont de même dimension.

$$I_{Rb} = \frac{\beta_{P4} R_b \cdot V_{THN} + 1 - \sqrt{2\beta_{P4} R_b \cdot V_{THN} + 1}}{\beta_{P4} R_b^2} \quad (3.14)$$

Avec $\beta_{P4} = \mu_n C_{OX} \left(\frac{W}{L}\right)_{P4}$, l'ajustement du courant I_{REF} s'effectue en sélectionnant une valeur de R_b , une dimension du NMOS P4 et un rapport entre P9/P4 ou bien P8/P7.

Ce type de référence auto-polarisée nécessite toutefois des conditions de départ spécifiques sans quoi il pourrait rester dans un état neutre dans lequel seuls de faibles courants sont générés. Un circuit de démarrage constitué de P1, P2 et P4 permet de fixer au moins un des nœuds du circuit de polarisation à une tension suffisante afin que ce dernier se mette en fonction lors du démarrage. Une fois le circuit de polarisation correctement activé, le circuit de démarrage se place dans un mode qui sera transparent pour le reste du circuit.

Il aurait été possible d'utiliser une seule référence alimentant plusieurs miroirs de courant. Dans l'objectif d'éviter un manque de fonctionnalités et de performances en raison d'un seul circuit de polarisation, on choisit dans cette conception d'utiliser plusieurs petits circuits de polarisation au prix d'un plus grand nombre de plots et d'une plus grande consommation DC.

3.3.5 Schémas électriques du détecteur, de l'amplificateur de courant et des circuits de polarisation de la puce et dimensionnement des composantes

Tous les schémas électriques des circuits intégrés sur la puce du détecteur sont présentés à la Figure 3.14. Le Tableau 3.1 présente les dimensions de chacune des composantes trouvées à la suite d'une optimisation par simulation en considérant tous les choix de conception mentionnés dans les sections 3.3.2 à 3.3.4. À noter que la longueur de canal de tous les transistors est de $0.18 \mu\text{m}$ d'où l'absence de ce paramètre dans le tableau.

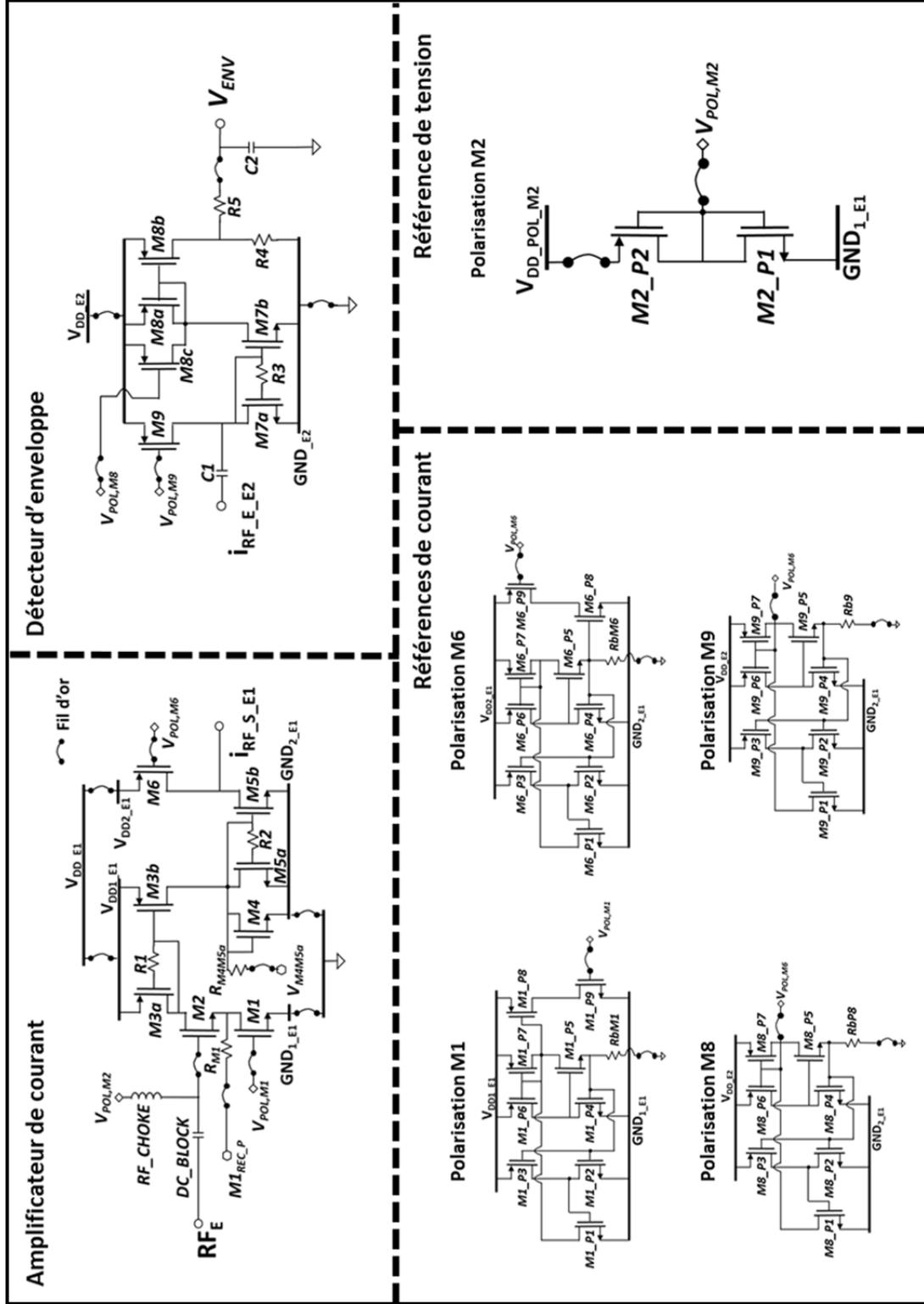


Figure 3.14 Schémas électriques de l'amplificateur de courant, du détecteur d'enveloppe et des circuits de polarisation

Tableau 3.1 Dimensionnement des composantes du détecteur et des circuits secondaires

Ampli. de courant ($\mu\text{m} / \text{k}\Omega$)	W_{M1}	W_{M2}	W_{M3a}	W_{M3b}	W_{M4}	W_{M5a}	W_{M5b}	W_{M6}	R_1	R_2	
	16	20	8	24	8	8	24	16	3,75	1,25	
Détecteur d'enveloppe ($\mu\text{m} / \text{k}\Omega / \text{pF}$)	W_{M7a}	W_{M7b}	W_{M8a}	W_{M8b}	W_{M8c}	W_{M9}	R_3	R_4	R_5	C_1	C_2
	10	30	8	2	32	8	4	3.5	1.5	0.3	1.5
Polarisation M1 ($\mu\text{m} / \text{k}\Omega$)	W_{P1}	W_{P2}	W_{P3}	W_{P4}	W_{P5}	W_{P6}	W_{P7}	W_{P8}	W_{P9}	R_{bM1}	
	0,42	30	0,42	2	2	6	6	10	6	15	
Polarisation M2 (μm)	W_{P1}	W_{P2}									
	0,42	1,5									
Polarisation M6 ($\mu\text{m} / \text{k}\Omega$)	W_{P1}	W_{P2}	W_{P3}	W_{P4}	W_{P5}	W_{P6}	W_{P7}	W_{P8}	W_{P9}	R_{bM6}	
	0,42	5	0,42	2	2	10	10	12	4	13.2	
Polarisation M8 ($\mu\text{m} / \text{k}\Omega$)	W_{P1}	W_{P2}	W_{P3}	W_{P4}	W_{P5}	W_{P6}	W_{P7}	R_{bM8}			
	0,42	20	0,42	2	2	2	2	13.1			
Polarisation M9 ($\mu\text{m} / \text{k}\Omega$)	W_{P1}	W_{P2}	W_{P3}	W_{P4}	W_{P5}	W_{P6}	W_{P7}	R_{bM9}			
	0,42	6	0,42	2	2	8	8	18.5			

3.4 Considérations sur le comportement en stabilité relative du détecteur

La stabilité relative du détecteur d'enveloppe est évaluée à l'aide d'une analyse transitoire en utilisant une entrée RF sous la forme d'une porteuse pulsée. Le comportement du système suivant les fronts montants et descendants démontre si le système tend vers un comportement instable ou oscillatoire. Certains éléments jouent un rôle prépondérant sur le comportement en régime transitoire comme les inductances parasites dans la source d'alimentation, le réseau de filtrage des lignes d'alimentations, l'inductance des fils d'or, l'omission ou l'ajout d'inductance de blocage RF dans les lignes de polarisation, etc.

3.4.1 Influence des lignes d'alimentation et des fils d'or et conception d'un réseau de filtrage de l'alimentation

Dans la réalité, la présence de signaux indésirables dans les lignes d'alimentations peut être une cause de mauvais fonctionnement et même d'instabilité. Par exemple, une rétroaction des signaux de plus grandes amplitudes présents à la sortie de l'amplificateur de courant vers son

entrée par le réseau d'alimentation est possible et peut introduire l'instabilité ou dégrader l'instabilité relative. D'autre part, la sortie du redresseur est riche en harmoniques et il est difficile de prévoir l'interaction de ces harmoniques avec d'autres signaux s'il y a une forte rétroaction dans le circuit.

On adopte donc plusieurs stratégies afin de maximiser les chances pour un bon fonctionnement du détecteur lors des mesures expérimentales. Premièrement, on utilise plusieurs plots (« *pads* ») d'alimentations et plusieurs plots de mise à la masse dans le schéma électrique du détecteur, dans le but d'isoler différents nœuds clés de la puce les uns des autres. Deuxièmement, on modélise dans le schéma du système les lignes d'alimentation du PCB avec des lignes de transmission de longueurs réalistes et on modélise les imperfections de la source d'alimentation avec une inductance et une longue ligne de transmission pour permettre de simuler les interactions et les rétroactions possibles des signaux RF à travers les lignes d'alimentation. On modélise tous les fils d'or par des inductances de 0.6 nH, ce qui détériore la qualité de la mise à la masse de la puce. Finalement, on conçoit un réseau de filtrage de l'alimentation, présenté à la section 3.4.1.1, pour améliorer la réponse transitoire du détecteur et pour limiter les rétroactions et les pertes ohmiques des signaux RF à travers le réseau d'alimentation. Notons qu'une rétroaction à des signaux d'amplitudes élevées à la sortie de l'étage II vers l'étage I (Figure 3.1) peut sévèrement compromettre le bon fonctionnement de l'étage I. Ce réseau de filtrage est implémenté en simulation et sur le PCB pour les mesures expérimentales.

3.4.1.1 Conception d'un réseau Z_0 LC de filtrage de l'alimentation

Le filtrage de l'alimentation est effectué sous la forme de coupe-bandes aux fréquences RF. Ces coupe-bandes sont des circuits résonnants LC aux fréquences désirées. On utilise une capacité en technologie de composante discrète en exploitant l'inductance série parasite que celle-ci présente afin d'introduire une fonction de coupe-bande par résonance série. Les fabricants de composantes passives RF donnent la valeur de fréquence de résonances série des capacités (JohansonTechnology, 2011). Il est ainsi possible de déterminer la valeur de

l'inductance série (L_s) d'une capacité à l'aide de l'équation (3.15) de la fréquence de résonance d'un circuit LC où $f_{r,CAP}$ est la fréquence de résonance et C est la valeur de la capacité.

$$L_s = \frac{1}{4\pi^2(f_{r,CAP})^2 C} \quad (3.15)$$

La résistance série des capacités (R_s) est négligée dans ce calcul puisqu'elle n'influence pas la valeur de la fréquence de résonance. En contrepartie, cette résistance diminue le facteur de qualité et donc augmente la largeur de bande de la courbe de résonance, tout en réduisant la réjection de la fonction coupe-bande à la fréquence de résonance. La Figure 3.15 présente un circuit résonnant, nommé « cellule résonante » ou « trappe RF », qui est formé d'une capacité discrète et d'un VIA qui est modélisé, empiriquement, par une inductance de 0.6 nH.

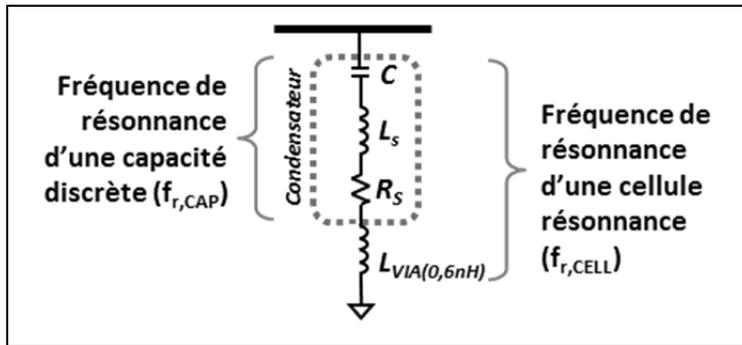


Figure 3.15 Schéma électrique d'une cellule résonante

On détermine la valeur de la fréquence de résonance ($f_{r,CELL}$) d'une cellule résonante à l'aide de l'équation (3.16).

$$f_{r,CELL} = \frac{1}{2\pi\sqrt{(L_s + L_{VIA}) \cdot C}} \quad (3.16)$$

La conception des lignes d'alimentation en simulation doit inclure des longueurs de ligne de transmission réalistes entre les cellules résonnantes, inclure les imperfections de la source DC modélisées par une ligne de transmission de 2 cm et une inductance de 4 nH et inclure les fils d'or afin de simuler leur impact. Le réseau de filtrage Z_0LC sur les lignes de transmission du PCB doit filtrer la composante f_0 au niveau de l'alimentation de l'étage I, filtrer les composantes f_0 , $2f_0$ et $3f_0$ au niveau de l'alimentation de l'étage II, filtrer le chemin de rétroaction entre l'étage I et l'étage II, filtrer les basses fréquences et utiliser des capacités de dimensions réalistes. La Figure 3.16 présente le schéma bloc du réseau de filtrage sur le PCB qui répond à tous ces aspects et donne la dimension et la valeur des lignes de transmission et des capacités de filtrage sélectionnées.

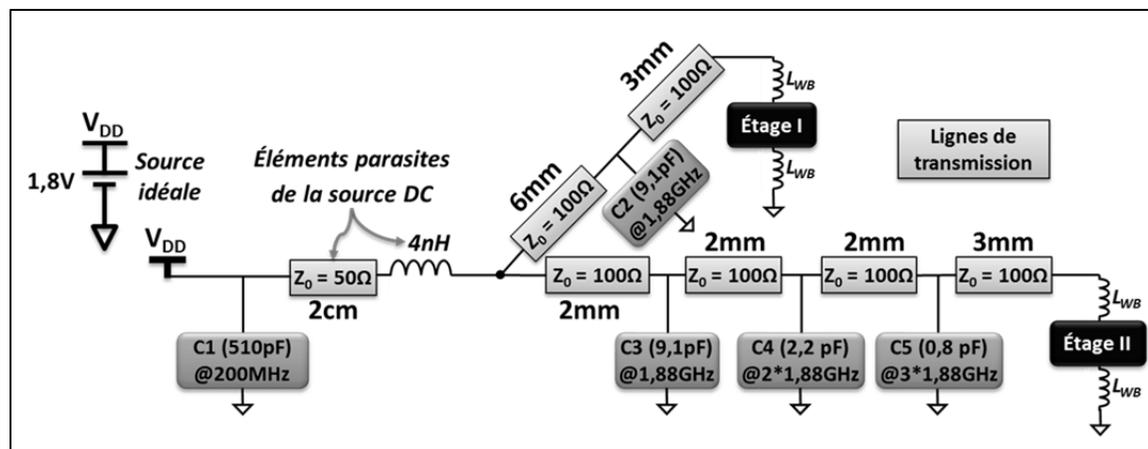


Figure 3.16 Schéma bloc du réseau Z_0LC de filtrage

La fonctionnalité du réseau Z_0LC est démontrée à l'aide d'une simulation de paramètres S. La Figure 3.17a présente le réseau Z_0LC qui comprend trois ports modélisés à l'aide d'impédances de terminaison de 50Ω . Ces simulations ne représentent donc pas exactement la réalité puisque les impédances en jeu ne sont pas exactement de 50Ω , mais offrent une bonne estimation et indiquent les tendances. La Figure 3.17 démontre la qualité de l'isolation entre les trois ports. Par exemple, on note en b) qu'un signal d'une fréquence de f_0 (1.88 GHz) est atténué de ~ 65 dB lors de sa transmission entre l'étage I et la source DC et on note en c) que les composantes f_0 , $2f_0$ et $3f_0$ sont atténuées adéquatement par les cellules résonnantes C3, C4 et C5 de la Figure 3.16.

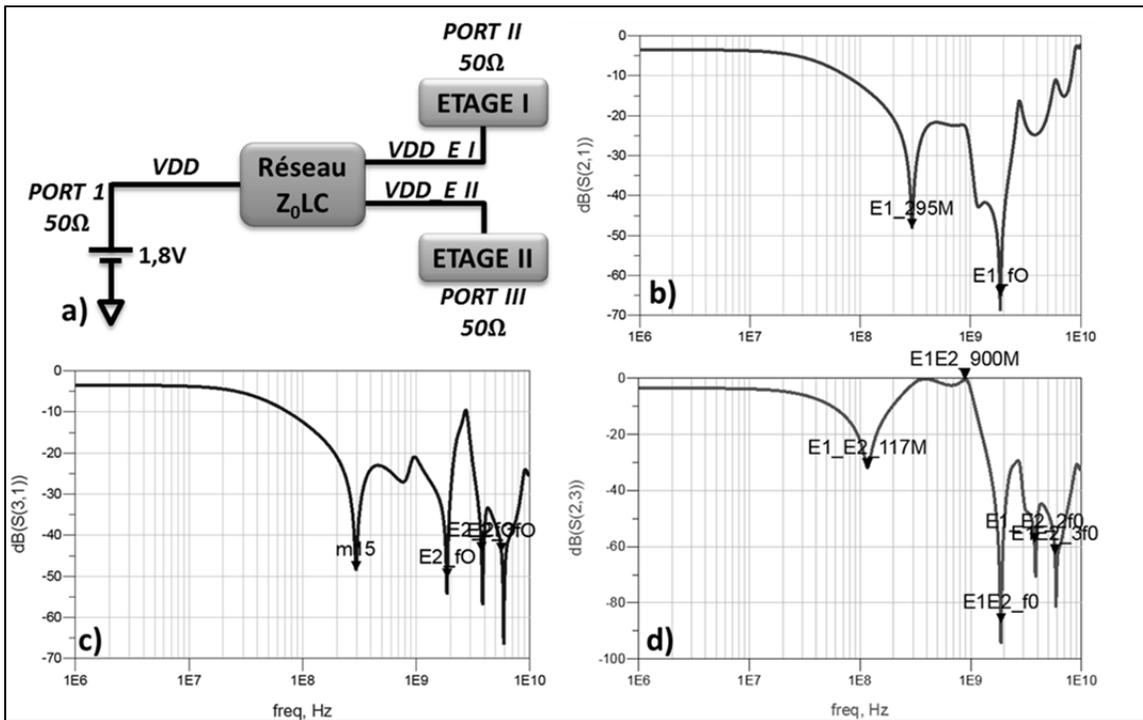


Figure 3.17 a) Schéma de test pour l'évaluation du réseau Z_0LC de filtrage d'alimentation b) Isolation entre l'étage I et la source DC c) Isolation entre l'étage II et la source DC d) Isolation entre l'étage I et l'étage II

3.4.2 Influence des circuits de polarisations sur le comportement transitoire du détecteur en simulation

La possibilité de la modification sur PCB de la valeur de résistance R_b des références de courant auto-polarisés (section 3.6.4) requière l'ajout d'un chemin électrique en parallèle avec R_b . Or, les simulations convergent vers un comportement transitoire indésirable des ondes RF au sein du détecteur lorsqu'un plot est ajouté en parallèle avec R_b . Les simulations ne permettent pas de cerner avec précision la source de cette problématique. Mais sachant que la capacité d'un plot (~ 400 fF selon section 3.7.2) à la fréquence d'opération de 1.88 GHz est non-négligeable, il est possible de rétablir un comportement transitoire normal en isolant le plot du reste du circuit en ajoutant une résistance d'isolation (R_{bp} sur la Figure 3.18). Cette technique d'isolation RF est d'ailleurs utilisée dans cette conception à tous les endroits dans les circuits sur puce où un plot est ajouté en parallèle avec un nœud où il y a la présence de signaux RF.

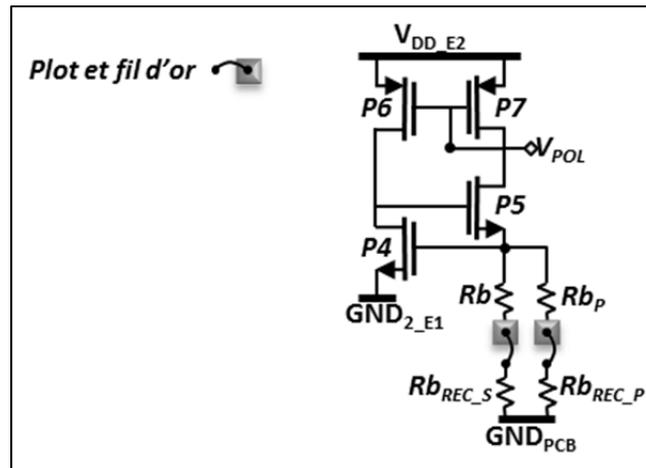


Figure 3.18 Illustration de la boucle de rétroaction de la référence de courant auto-polarisée

3.5 Sommaire des résultats de simulation pour les deux versions du détecteur

En utilisant les valeurs de composantes du Tableau 3.1 et en incluant dans le banc d'essais de simulation les éléments des lignes d'alimentation et de filtrage décrits à la section 3.4, les simulations pré-synthèses, c'est-à-dire avant le tracé de la puce, démontrent les performances exposées au Tableau 3.2 pour les deux versions du détecteur.

Tableau 3.2 Sommaire des performances en simulation pour les deux versions du détecteur d'enveloppe.

	Détecteur sans amplificateur de courant	Détecteur avec amplificateur de courant
Puissance statique de l'amplificateur de courant et/ou du détecteur	0.4 mW	3,4 mW
Puissance statique des circuits de polarisation	0.4 mW	1.3 mW
Puissance minimale détectée	-16 dBm	-15 dBm
Plage de détection de puissance	15 dB	15 dB
Bande passante	110 MHz	100 MHz
Impédance d'entrée à 1.88 GHz	430 Ω	2200 Ω

On conclut de ces résultats de simulations qu'il est possible de démontrer la conception d'un détecteur d'enveloppe d'une bande passante de ~ 100 MHz à faible consommation DC. L'impédance d'entrée est un point intéressant. On note une impédance d'entrée du détecteur sans l'utilisation de l'amplificateur de courant de $\sim 430 \Omega$ ce qui est ~ 9 fois plus grand qu'une impédance de l'ordre de 50Ω . Cette observation permet l'hypothèse que l'amplificateur de courant ne sera pas obligatoire pour répondre aux besoins de cette recherche en termes d'impédance d'entrée. Par contre, l'augmentation de l'impédance d'entrée de 430Ω à 2200Ω démontre l'utilité potentielle dans cette application ou pour d'autres applications de l'amplificateur de courant.

3.6 Positionnement stratégique des points de mesures et des possibilités d'ajustement hors puce

Étant donné que ce circuit est un prototype, il est important de cibler les nœuds critiques afin de prévoir leur mesure en tension lors des mesures expérimentales et de prévoir des possibilités d'ajustements hors puce pour maximiser les chances d'un fonctionnement optimal en expérimentation.

3.6.1 Ajustement de l'impédance du transistor M1

Nous nous référons d'abord à la Figure 3.2a. Tel que décrit en section 3.3.2.1, l'impédance que présente M1 (Figure 3.3b) en RF détermine l'amplitude du courant RF (i_{D_M2}) à l'entrée de l'amplificateur de courant, ce qui influence significativement le comportement global de ce circuit. C'est pourquoi on prévoit une possibilité d'ajustement hors puce de l'impédance du transistor M1. Pour ce faire, on ajoute un plot en parallèle à M1 pour la possibilité de diminuer son impédance, ce qui donnera aussi accès à une lecture pour évaluer le comportement DC à l'entrée de l'amplificateur de courant. Pour ne pas dégrader le signal RF avec une capacité de plot (expliqué en section 3.4.2), on ajoute une résistance d'isolation sur puce entre le nœud RF et le plot (Figure 3.19). Afin d'avoir la possibilité d'ajouter une dégénération à la source de M1, on ne lie pas électriquement le substrat de M1 à sa source, ce qui est normalement effectué, et on isole la source de M1 sur un plot pour effectuer sa mise à

la masse sur le PCB et non sur la puce (Figure 3.19). On évalue l'effet de l'ajout de ces corrections à l'aide du circuit de test de la Figure 3.19.

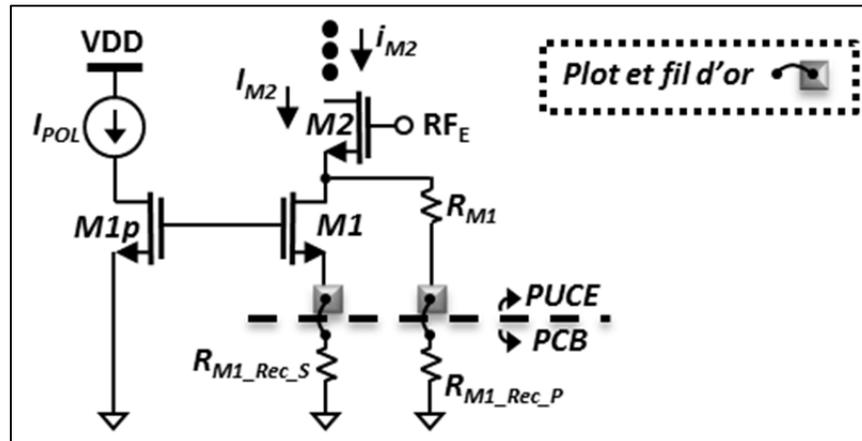


Figure 3.19 Schéma de test pour évaluer l'effet de $R_{M1_Rec_P}$ et $R_{M1_Rec_S}$

L'opération normale du circuit est lorsque $R_{M1_Rec_P} = \infty$, $R_{M1_Rec_S} = 0$ et qu'aucune erreur n'est induite sur la dimension de W_{M1} , c'est-à-dire de $16 \mu\text{m}$ selon le Tableau 3.1. L'effet de $R_{M1_Rec_P}$ et de $R_{M1_Rec_S}$ est évalué en simulation avec une modélisation d'une erreur sur M1 par la modification de sa dimension tout en maintenant constant les niveaux de polarisation en ajustant M1p en fonction de l'erreur modélisée. Cette évaluation démontre tout d'abord que le changement de W_{M1} influence effectivement l'amplitude du courant RF dans la branche d'entrée du détecteur. Cette évaluation démontre ensuite qu'il est possible de compenser une erreur sur l'amplitude du courant RF en ajustant $R_{M1_Rec_P}$, pour une réduction de l'amplitude, ou en ajustant $R_{M1_Rec_S}$, pour une augmentation de l'amplitude. En contrepartie, l'ajout de $R_{M1_Rec_P}$ augmente le courant DC au drain de M2 et M3a ce qui influence leur niveau de polarisation. Si on compense en diminuant le courant DC au drain de M1, on risque de le faire fonctionner dans la région triode. Aussi, l'ajout de $R_{M1_Rec_S}$ tend à réduire la tension V_{GS} de M1, ce qui tend aussi vers un fonctionnement dans la région triode.

En résumé, cette évaluation prouve qu'il est pertinent d'ajouter les résistances $R_{M1_Rec_S}$ et $R_{M1_Rec_P}$ pour une correction hors puce du comportement à l'entrée de l'amplificateur de courant. Par contre, cette correction est limitée par l'influence de ces résistances sur les niveaux de polarisation de M1, M2 et M3a.

3.6.2 Point de lecture M4M5a

Rappelons encore une fois le schéma général de la Figure 3.2a. Une lecture en tension (V_{M4M5a}) à la grille de M4, M5a et M5b (repris à la Figure 3.20) est intéressante afin de connaître la tension V_{GS} en DC des transistors M4 M5a et M5b. Cette lecture donne des données importantes sur la polarisation des miroirs de courants. Une résistance d'isolation sur puce, pour les mêmes raisons qu'évoquées à la section 3.4.2, est ajoutée entre le nœud désiré et le plot.

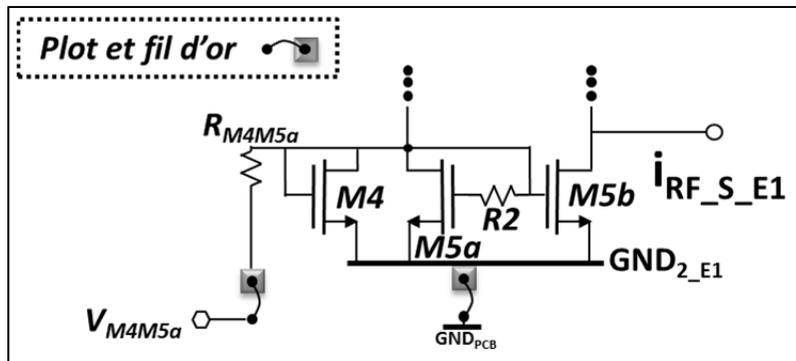


Figure 3.20 Schéma du deuxième étage de gain de l'amplificateur de courant avec ajout d'une lecture DC

3.6.3 Ajustement de V_{POL_M2}

On tire profit de la sensibilité du pont diviseur à sa tension d'alimentation (comme décrit à la section 3.3.4.1) pour un ajustement hors puce de la tension V_{POL_M2} . Pour y arriver, il faut prévoir une tension d'alimentation $V_{DD_POL_M2}$ indépendante de toutes les autres sources d'alimentation.

Le substrat de cette technologie est de type P. Six couches de métal et une couche de poly silicium (PoL) sont disponibles. Les capacités sont situées entre les couches M5 et M6 et la couche poly silicone est en contact avec la région active. Aussi, l'épaisseur de la couche du métal 6 est plus grande que les autres pour les signaux de plus grandes puissances et les plots sont automatiquement électriquement liés avec cette même couche de métal 6.

3.7.1 Présentation des composantes spécifiques à la technologie CMOS 0.18 μm de TSMC

On décrit ici la synthèse de toutes les composantes actives et passives utilisées dans cette conception. Les composantes décrites sont les transistors CMOS, la structure « *Deep N Well* » (DNW), les capacités métal-isolant-métal (MiM), les résistances poly silicium, les diodes de protection contre les décharges électrostatiques (ESD) ainsi que les traces conductrices.

3.7.1.1 Transistors NMOS et PMOS et structure « *Deep N Well* »

La technologie 0.18 μm de TSMC utilise des NMOS et des PMOS, d'où l'appellation CMOS pour « *complementary metal-oxide-semiconductor* ». Le modèle de simulation utilisé par Cadence Spectre est BSIM3v3. Ce modèle comporte une centaine de paramètres pour les composantes actives afin de décrire leur comportement. Cette technologie propose plusieurs types de transistors soit; N/PMOS 1.8V, N/PMOS 3.3V, N/PMOS 1.8V RF, N/PMOS RF 3.3V. La fréquence d'opération étant de 1.88 GHz et l'utilisation d'une tension d'alimentation de 1.8 V motivent le choix de l'utilisation des CMOS 1.8 V pour la conception du détecteur. Leurs structures respectives sont présentées à la Figure 3.23.

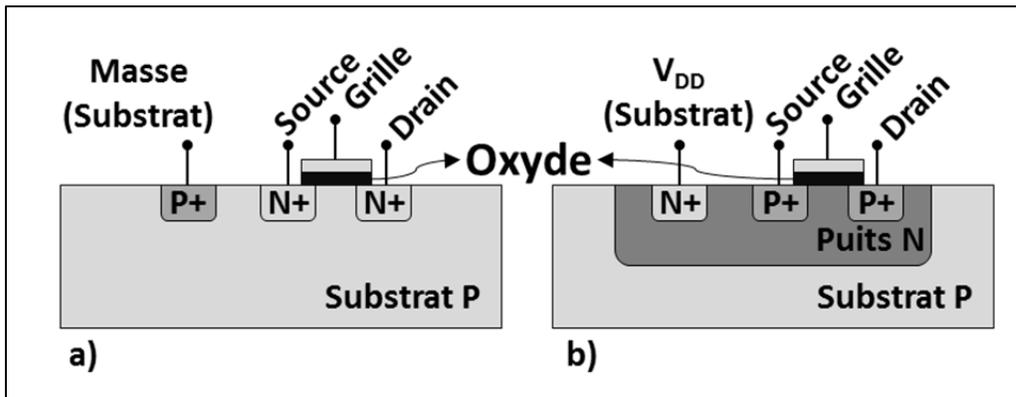


Figure 3.23 a) Schéma structurel de la synthèse d'un NMOS
b) Schéma structurel la synthèse d'un PMOS

Les transistors 1.8V NMOS et PMOS sont limités à une longueur de $0.18 \mu\text{m}$ à $20 \mu\text{m}$ et à une largeur de $0.22 \mu\text{m}$ à $100 \mu\text{m}$. La mise en parallèle de plusieurs petits transistors de façon « interdigité » (Johns et Martin, 2008, p. 107) est une bonne pratique afin d'assurer une distribution uniforme de courants.

Il est possible de construire un NMOS directement dans le substrat de type P de la puce. La technologie CMOS $0.18 \mu\text{m}$ de TSMC offre aussi l'option de construire un NMOS dans un substrat de type P à l'intérieur d'un puits profond de type N nommé « *deep N well* » (Figure 3.24) (Randall, 2008, p. 24; TSMC, 2004). Cette structure donne plusieurs avantages. Premièrement, le puits de type P peut être polarisé à la même tension que la source du transistor évitant ainsi les effets de « *back-gate* » nuisible à la linéarité en limitant une modulation du seuil de conduction (V_{TH}) qui dépend de la tension $V_{\text{source-substrat}}$. L'autre avantage est l'isolation significativement accrue d'un transistor au substrat de la puce étant donné la jonction PN en inverse entre le puits P et le « DNW ». Cet aspect minimise les couplages indésirables par le substrat et permet aussi d'utiliser plusieurs masses sur une même puce.

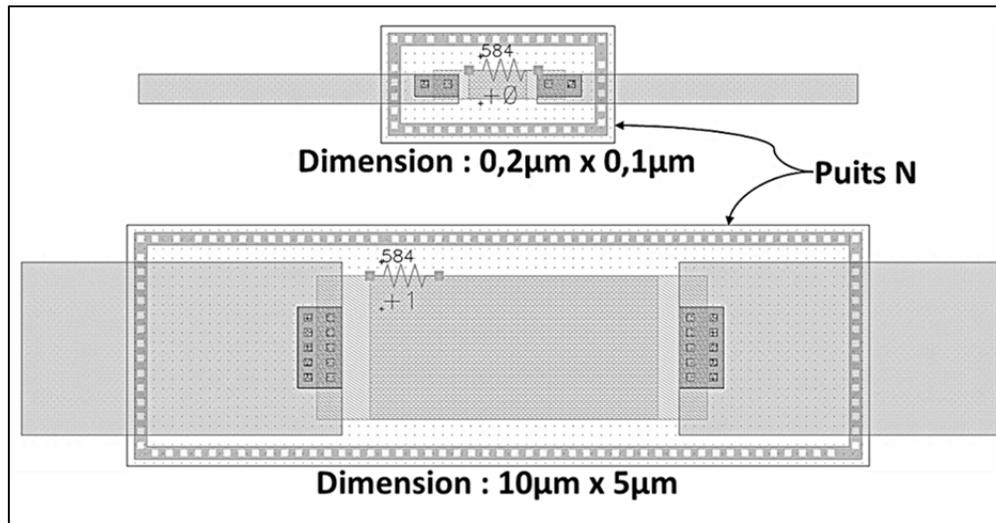


Figure 3.25 Exemple de synthèse d'une résistance de type N+ Poly sans silicium dans un puits de type N

3.7.1.3 Capacités

La fabrication des capacités consiste en deux plaques conductrices en parallèle séparées par un diélectrique. Il est donc possible de construire une capacité à l'aide de n'importe quel duo de couches métalliques. Cependant, l'oxyde situé entre ces couches est relativement épais et mal contrôlé par le procédé. D'ailleurs, le modèle de ces capacités n'est pas disponible dans la trousse de conception. Une couche de conducteur CTM entre les métaux 5 et 6, telle qu'illustré à la Figure 3.26b, est ajoutée pour la réalisation des capacités métal-isolant-métal (MiM). De cette façon, on diminue significativement l'épaisseur du diélectrique, augmentant ainsi la valeur de la capacité pour une même surface. La précision de ces capacités est relativement faible, soit de l'ordre de 15 %. Certaines techniques de synthèse peuvent améliorer cette précision, telles que d'utiliser plusieurs petites capacités en parallèle et d'ajouter des capacités factices autour de celles-ci puisque plusieurs erreurs de procédés surviennent en périphérie. La dimension des capacités peut varier de $4 \mu\text{m} \times 4 \mu\text{m}$ à $30 \mu\text{m} \times 30 \mu\text{m}$ pour des valeurs de $\sim 20 \text{ fF}$ à $\sim 950 \text{ fF}$.

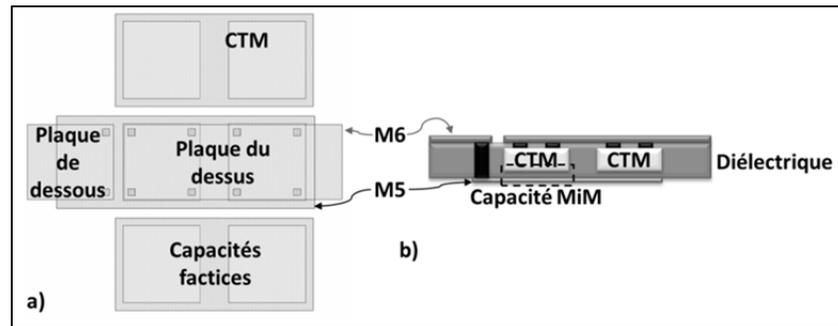


Figure 3.26 a) Synthèse d'une capacité entre les couches M5 et CTM b) Coupe transversale de la même capacité

3.7.1.4 Diodes de protection contre les décharges électrostatiques

La particularité des diodes de protection contre les décharges électrostatiques (ESD) est que sa structure maximise la surface de la jonction PN augmentant ainsi la robustesse en termes de courant maximal. La synthèse de ces diodes est disponible dans la trousse de conception que propose CMC. Malheureusement, aucune documentation précise n'est disponible. Il est donc difficile de connaître les performances au niveau de la protection ESD qu'elles offrent et en termes de valeur de capacité de jonction PN en inverse.

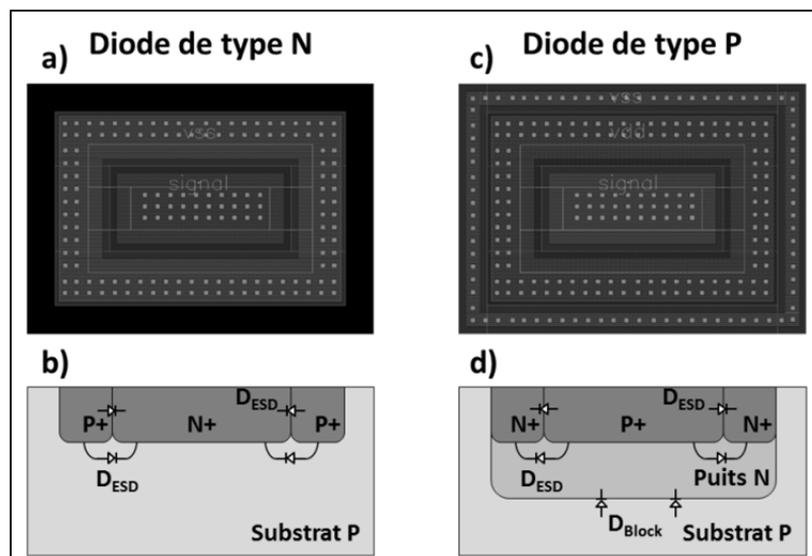


Figure 3.27 a) Synthèse d'une diode de type N b) Coupe transversale d'une diode de type N c) Synthèse d'une diode de type P d) Coupe transversale d'une diode de type P

On note sur la Figure 3.27 que la diode de type N est une jonction formée d'une cathode N⁺ et d'une anode P⁺ avec l'anode nécessairement liée au substrat, donc à la masse. L'inconvénient de cette diode est l'impossibilité d'en placer plusieurs en série. Un puits de type N est nécessaire à la construction de la diode de type P. Cet aspect comporte deux avantages. Premièrement, des diodes de blocages (D_{Block}) intrinsèques à la structure isolent automatiquement la diode de type P du substrat. Deuxièmement, il est possible de mettre en série ce type de diode. L'inconvénient est qu'elle consomme une plus grande surface de semi-conducteur sur la puce. De ce fait, elle introduit plus de capacité de jonction indésirables.

3.7.1.5 Traces conductrices

Les traces conductrices sont simplement des traces de métaux. Par contre, certaines contraintes doivent être respectées. Par exemple, en ce qui concerne le courant maximal par section de ligne conductrice (TSMC, 2006a, p. 73). De plus, ces couches de métaux étant très minces, peuvent être significativement résistives et inductives. Par exemple, les couches de métaux M1 à M5 ont une résistivité de $0.071 \pm 0.23 \Omega/\text{sq}$. En superposant plusieurs couches de métaux pour une même trace, on diminue la résistance de cette trace et on diminue la contrainte du courant maximal par section de trace. C'est donc une bonne pratique de maximiser le nombre de couches de métaux pour une même trace en ajoutant des VIAs tout au long de la trace afin d'uniformiser le contact entre les différentes couches. La Figure 3.28 illustre une coupe transversale d'une trace incluant cinq couches de métaux où les VIAs entre les traces sont décalés. Cette méthode assure une meilleure uniformité de la distribution électrique et offre une meilleure solidité mécanique.

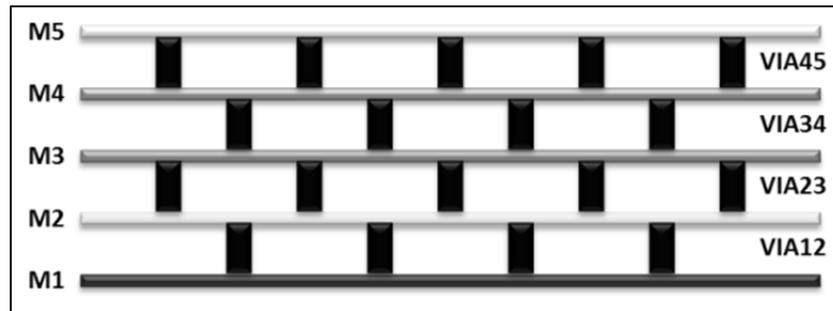


Figure 3.28 Coupe transversale d'une trace conductrice à plusieurs couches de métaux

3.7.2 Considérations sur les plots, les lignes d'alimentation et la protection contre les décharges électrostatiques

Un plot est une interface de petite surface servant de borne sur le circuit intégré et permettant la connexion avec le monde extérieur. Plusieurs méthodes existent pour lier une puce au PCB. Dans le cas de ce projet de recherche, des fils d'or (« *bondwires* ») d'un diamètre de 25 μm lient électriquement la puce au PCB. Il est possible d'utiliser cette méthode grâce à l'infrastructure de recherche que possède le LACIME. Plus précisément le LACIME possède un « *Analogue Manual Ball Bonder* » de la compagnie « *Kulicke & Soffa* ». Il est important de connaître les limitations de l'équipement afin de bien dimensionner et de bien positionner les plots sur la puce.

Les décharges électrostatiques (ESD) surviennent lorsqu'un objet ayant accumulé des charges touche à la puce. Les humains et les appareils de mesures sont quelques sources potentielles pouvant causer ses décharges indésirables. Puisque les ESD ont un grand potentiel de destruction des circuits intégrés, il est important d'inclure une certaine protection. Par contre, il faut minimiser l'impact de cette protection sur le fonctionnement et sur les performances du circuit.

3.7.2.1 Plots avec protection contre les décharges électrostatiques

Une méthode simple de protection ESD est présentée à la Figure 3.29. La trousse de conception de CMC donne accès à des plots incluant une structure de diodes comme circuit ESD. La synthèse de ce plot est disponible dans la cellule « PSHORTESD » de la librairie « CMCshare ».

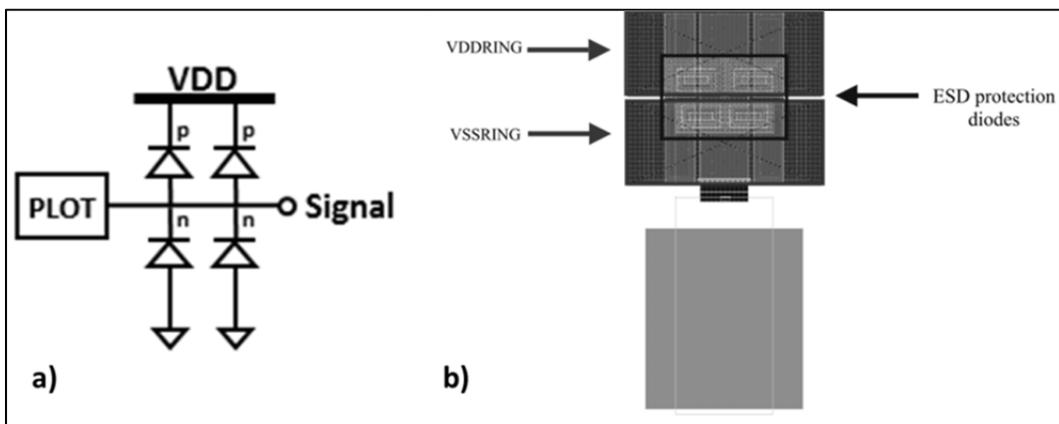


Figure 3.29 a) Schéma électrique du plot avec protection ESD proposé par CMC b) Synthèse du plot proposé par CMC

Tiré de (Microsystems, 2001)

Si le potentiel du plot augmente au-dessus de $V_{DD} + V_{T,Diode}$, où $V_{T,Diode}$ est la tension de seuil de conduction, alors les diodes de type P sont polarisées en direct et présente une impédance très faible. Les charges en excès sont ainsi drainées par la source V_{DD} et non dirigées vers le circuit intégré. Le même cas de figure survient lorsque le potentiel du plot descend en dessous de $GND - V_{T,Diode}$. C'est ainsi que la protection ESD est implémentée. La mise en parallèle des diodes a pour objectif d'augmenter la performance de la protection ESD en doublant la densité de courant que les diodes peuvent absorber en direct avant de s'endommager

Le plot de la Figure 3.29 présente deux inconvénients pour la conception du détecteur d'enveloppe. Premièrement ce plot est limité à une plage en tension de $[V_{DD} + V_{T,Diode}]$ à $[GND - V_{T,Diode}]$. En posant V_{DD} à 1.8 V et $V_{T,Diode}$ à ~ 0.8 V, on trouve que la plage

dynamique en tension de ce plot est de ~ -0.8 V à ~ 2.6 V. Or, l'entrée du détecteur n'est pas bornée par V_{DD} et la mise-à-la terre. Une simulation montre que la tension à l'entrée du détecteur peut varier de -0.25 V à 2.2 V pour une puissance disponible de 5 dBm, ce qui n'offre pas une marge de manœuvre acceptable. Deuxièmement, une diode en inverse présente en même temps une capacité de jonction (Gray et Meyer, 1993). Comme la fréquence d'opération est de 1.88 GHz, cet aspect ne peut pas être négligé. D'ailleurs, la mise en parallèle de deux diodes double la valeur de cette capacité.

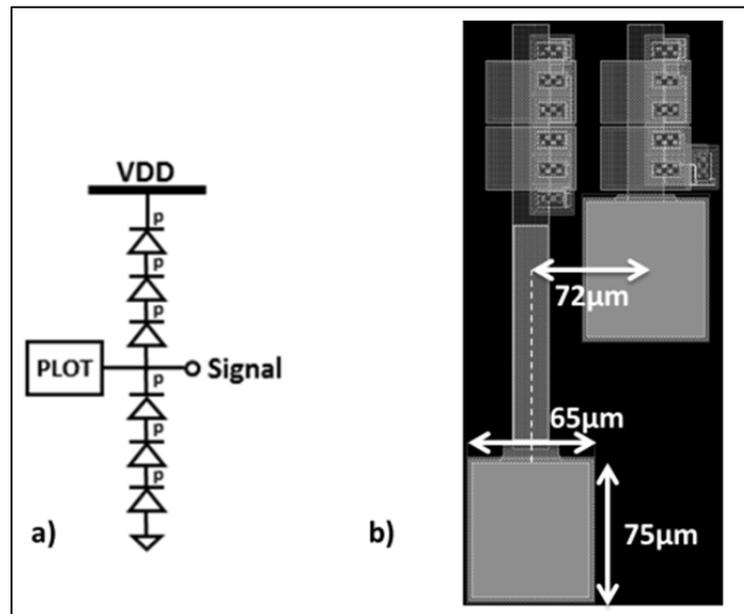


Figure 3.30 a) Schéma électrique du plot avec protection ESD utilisé pour le détecteur d'enveloppe
b) Synthèse des plots utilisés dans la conception

Afin de contrer ces inconvénients, on modifie la cellule « PSHORTESD » en y ajoutant deux diodes en série pour augmenter la plage dynamique en tension des plots et pour diminuer les capacités de jonction du circuit ESD et on élimine la mise en parallèle des diodes pour aussi diminuer les capacités de jonction. Le circuit ESD appliqué à tous les plots d'entrées/sorties est composé de trois diodes en série vers V_{DD} et vers la masse (Figure 3.30a). L'impossibilité de mettre en série les diodes de type N (section 3.7.1.4) force l'utilisation unique des diodes de type P.

Les plots proposés à la Figure 3.30b respectent les règles de conception de TSMC (TSMC, 2001) et les contraintes sur le « *Analogous Manual Ball Bonder* » en termes de dimensionnement et d'espacement entre deux plots. Ces règles incluent toutefois l'utilisation de toutes les couches de métaux, la couche de poly silicium et une région fortement dopée P sous chacun des plots afin d'assurer une solidité lors du montage des fils d'or. Par contre, selon le modèle d'extraction de la synthèse, ces plots forment une capacité MiM (C_{PLOT}) de ~ 400 fF avec le substrat, ce qui n'est pas négligeable à une fréquence d'opération de 1.88 GHz. Afin d'augmenter la distance entre le plot et le substrat, on élimine les couches M1, poly silicium et P+ pour tous les plots où il y a la présence de signaux RF, ce qui diminue C_{PLOT} à ~ 200 fF.

3.7.3 Distribution des lignes d'alimentation sur la puce

La Figure 3.31 illustre l'utilisation, dans cette conception, de lignes d'alimentation formant des anneaux entourant les circuits actifs de la puce, le positionnement des plots et de leur circuit ESD à l'extérieur des anneaux d'alimentation (Baker, 2011, p. 102) et l'ajout de plots factices dans les coins de la puce. Tous ces aspects sont effectués en fonction des règles de conception de TSMC à l'exception des coins à 90° des lignes d'alimentation comme discuté à l'ANNEXE V.

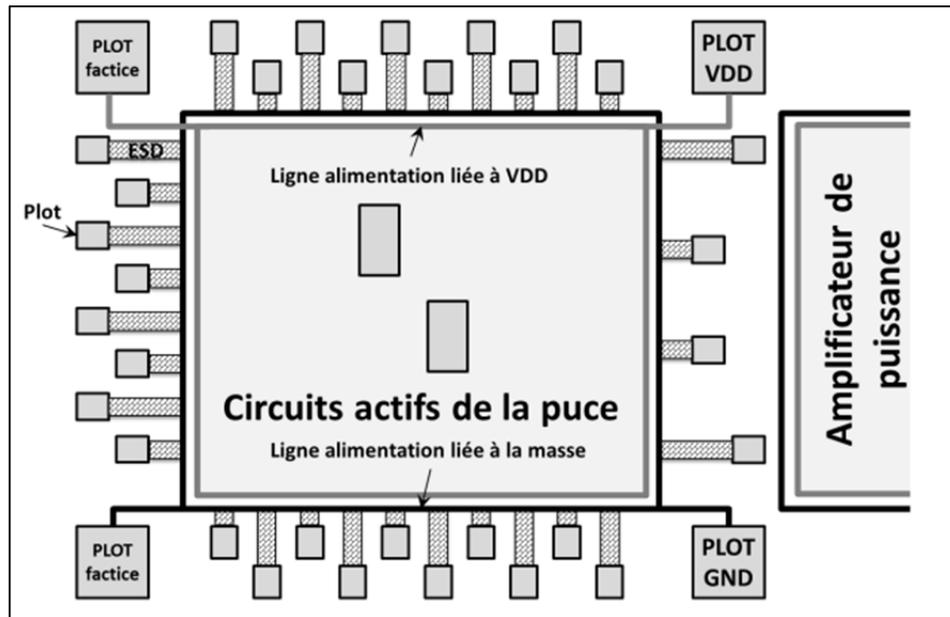


Figure 3.31 Structure des lignes d'alimentation et des plots de la puce du détecteur

Afin d'augmenter le nombre de plots disponible pour la même dimension de puce, les plots d'alimentation PLOT_VDD et PLOT_GND ont été placés à l'extérieur des anneaux. Pour les mêmes raisons, deux plots utilisés pour la correction d'un circuit de polarisation ont été placés au centre des circuits actifs de la puce. Aucun signal RF et uniquement de faibles courants passent à travers ces deux plots afin que les longs fils d'or ne compromettent pas le fonctionnement du détecteur.

Plusieurs masses différentes sont utilisées pour des raisons exposées à la section 3.4.1, nécessitant l'utilisation de « *Deep-N-Well* » (section 3.7.1.1) comme présentée à la Figure 3.32a. Il ne faut pas lier l'anneau de masse (« *ground ring* » ou PLOT_GND) à l'entrée de l'amplificateur pour éviter un chemin de rétroaction vers cette entrée. C'est pourquoi c'est plutôt la sortie de l'amplificateur de courant (DNW2 sur la Figure 3.32) qui est liée à l'anneau de masse.

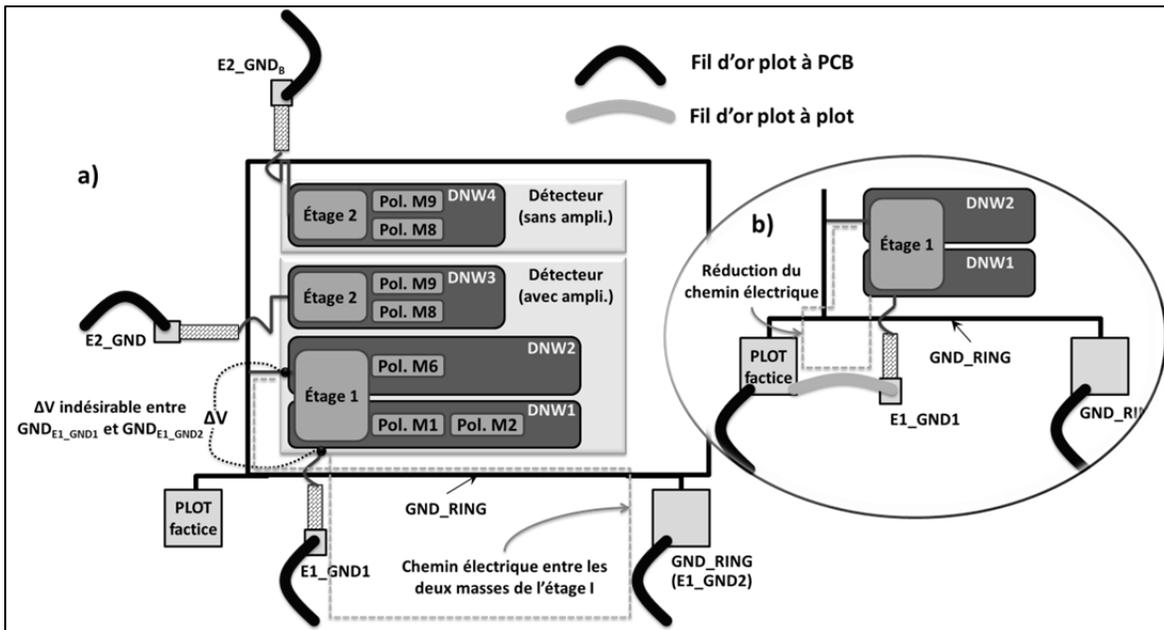


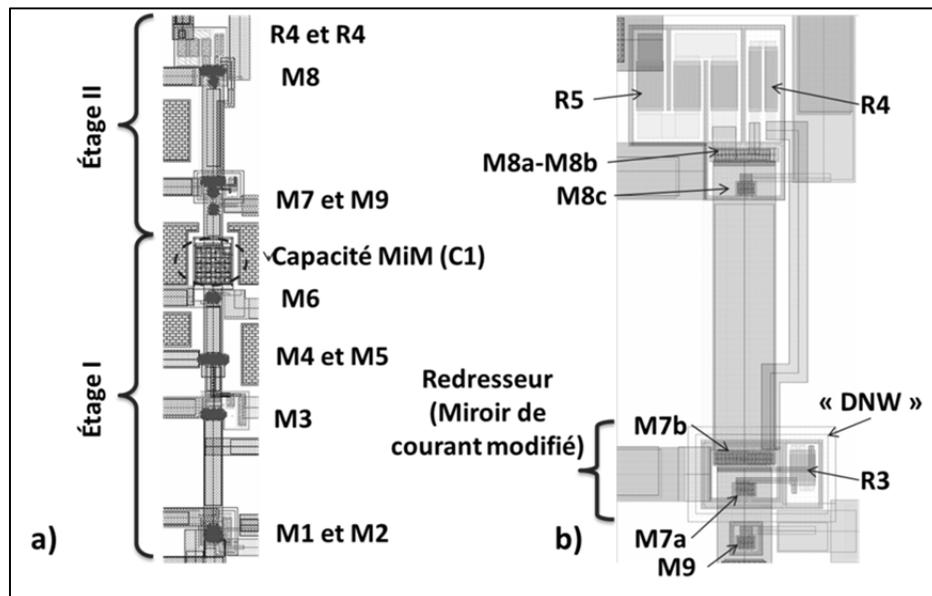
Figure 3.32 a) Schématisation de l'utilisation des DNW pour la distribution des différentes mises à la masse b) Nouvelle structure de fil d'or pour minimiser la différence de potentiel entre les deux masses de l'étage 1

Il aurait été préférable qu'aucune connexion physique sur puce ne soit présente entre l'anneau de masse et un circuit RF, mais plutôt ajouter un plot supplémentaire pour E1_GND2. Faute de cela, la conséquence est que le chemin électrique entre les masses des deux étages d'amplification (E1_GND1 et E1_GND2 de l'étage I) est significativement long et pourrait causer une différence de potentiel entre les deux masses, ce qui serait nuisible à son fonctionnement. À la Figure 3.32b), on propose une configuration de fils d'or minimisant cette différence de potentiel indésirable entre deux masses en utilisant le plot factice, qui est lié au GND_RING, et un fil d'or plot à plot.

L'utilisation d'un anneau d'alimentation complet constitue aussi une option indésirable puisque cette boucle peut agir comme antenne en hautes fréquences. Idéalement, une coupure physique dans la boucle devrait être présente. La liaison d'une masse RF à l'anneau d'alimentation et l'utilisation d'un anneau d'alimentation complet sont des choix non optimaux qui ont été détectés après la soumission de la conception pour la fabrication de la puce

3.7.4 Présentation de la synthèse des détecteurs d'enveloppe et des circuits de polarisation

La puce comprend l'équivalent de deux structures, l'une dédiée à l'étude de la détection d'enveloppe et l'autre à l'étude d'une matrice d'amplification (CHAPITRE 4). La structure pour l'étude de la détection comprend deux versions du détecteur et cinq circuits de polarisation.



La synthèse du schéma électrique du détecteur présenté à la Figure 3.2 est illustrée à la Figure 3.33. On distingue l'utilisation de DNW, la résistance poly entre deux grilles d'un miroir de courant (R3) et une capacité MiM (C1) entre l'étage I et l'étage II.

La synthèse des deux types de circuits de polarisation présentés à la section 3.3.4 est présentée à la Figure 3.34.

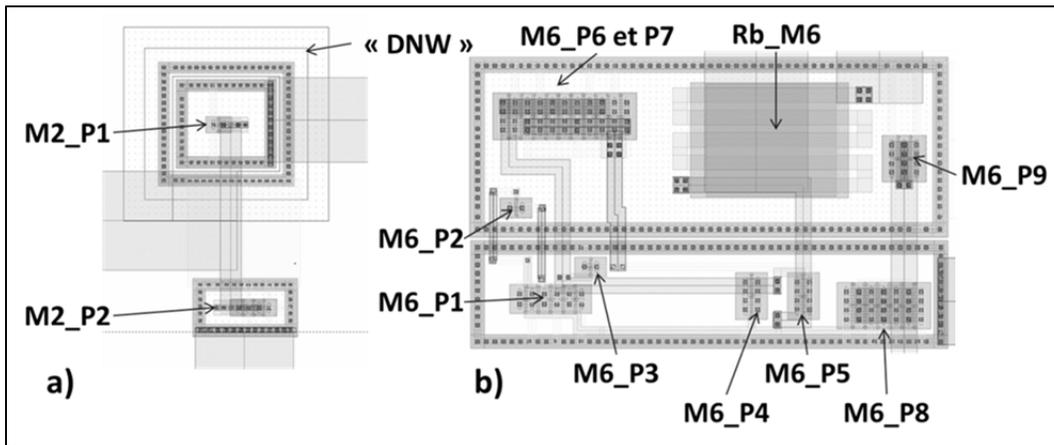


Figure 3.34 a) Circuit de polarisation de type pont diviseur
b) Circuit de polarisation de type référence de courant auto-polarisée

La synthèse complète de la puce est illustrée à la Figure 3.35. La nomenclature, la dimension et l'espacement des plots sont donnés à l'ANNEXE I.

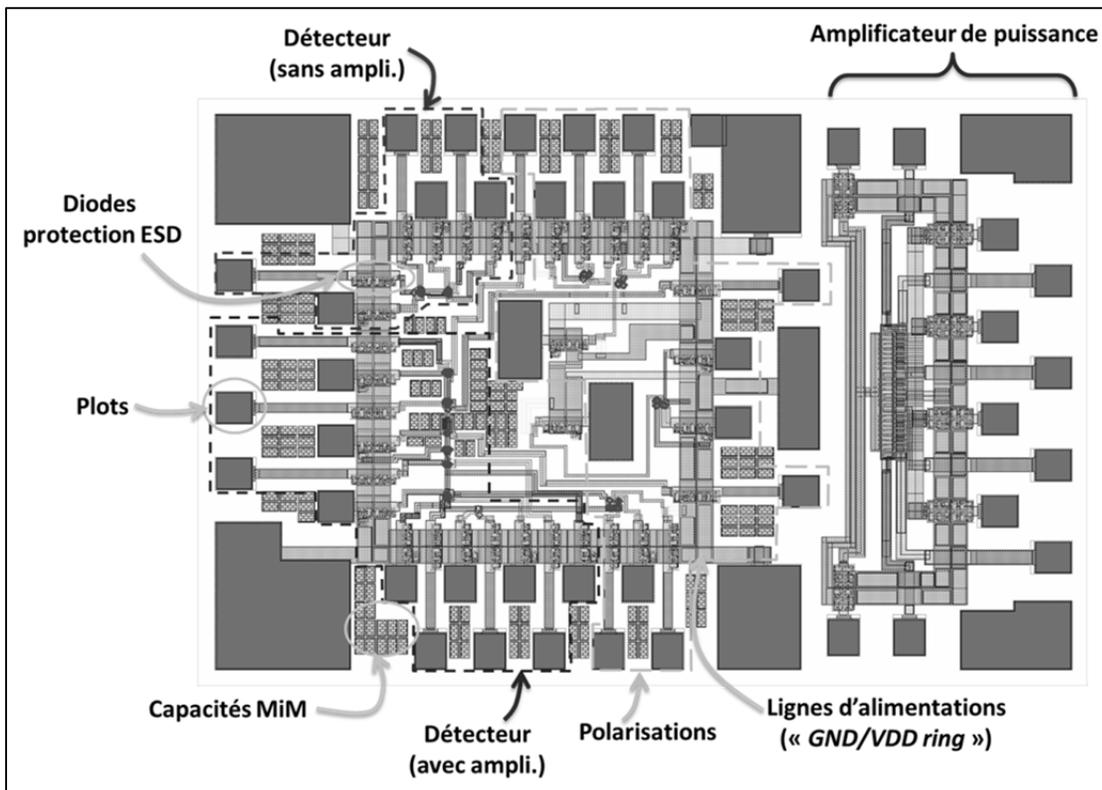


Figure 3.35 Synthèse de la puce avec annotation des principaux éléments.

3.7.4.1 Surfaces de puce utilisée par les détecteurs comparées à celle de la matrice d'amplification

La version du détecteur qui utilise l'amplificateur de courant et celle qui ne l'utilise pas occupent respectivement une surface de semi-conducteur de $\sim 19200 \mu\text{m}^2$ et $\sim 6000 \mu\text{m}^2$ en incluant les circuits de polarisation comparativement à $33900 \mu\text{m}^2$ pour la matrice d'amplification. On note que peu d'efforts ont été dirigés vers cet aspect de la conception en raison du grand nombre de plots requis, dictant une grandeur de puce plus grande que requise par la circuiterie. Par exemple, on note sur la Figure 3.33b une longue ligne entre le miroir de courant M7a/b et le miroir de courant M8a/b pouvant être éliminée éventuellement dans une conception optimisée pour une plus faible surface.

3.8 Résultats expérimentaux et performances mesurées du détecteur d'enveloppe

Afin de valider expérimentalement la fonctionnalité de la détection d'enveloppe dans la technologie CMOS $0.18 \mu\text{m}$ de TSMC, une puce a été fabriquée par l'entremise de CMC Microsystème. La demande d'espace de semi-conducteur sur le lot de fabrication 1302CF a été soumise en juin 2013, la conception a été acceptée en juillet 2013 et les puces ont été reçues en juin 2014.

La version du détecteur utilisant l'amplificateur de courant à son entrée a pour rôle d'augmenter l'impédance d'entrée au prix d'une plus grande surface de semi-conducteur et d'une augmentation de la consommation de puissance statique. Or, la version du détecteur qui n'utilise pas l'amplificateur de courant démontre un comportement de charge adéquat lorsqu'utilisé à l'entrée d'une matrice d'amplification, comme démontré au CHAPITRE 5. Ces mesures suivent la tendance des résultats de simulations proposant que son impédance d'entrée est de l'ordre de $\sim 430\Omega$ à 1.88 GHz (section 3.5). C'est pourquoi, malgré la conception et la fabrication des deux versions de détecteur, seuls les résultats de la version n'utilisant pas l'amplificateur de courant à son entrée ont été évalués expérimentalement.

Aussi, en raison de la quantité limitée de puces disponibles pour les mesures expérimentales et d'une plus grande complexité du profil de la configuration des fils d'or lorsque les circuits de polarisations sont utilisés, les résultats expérimentaux obtenus utilisent uniquement des sources DC externes pour la polarisation du détecteur d'enveloppe.

Les résultats seront présentés selon le déroulement suivant. Le comportement DC est tout d'abord présenté suivi de la fonction de transfert. Une mesure de la résistance de sortie est d'abord nécessaire avant d'évaluer et d'expliquer la réponse en fréquence et la bande passante du détecteur.

3.8.1 Schéma de test et nœuds de mesures

La Figure 3.36 présente un schéma de test simplifié qui positionne les principaux nœuds de mesures. Le signal d'entrée du détecteur est nommé P_{AVS_ED} et le signal de sortie V_{ENV} . Une résistance R est ajoutée en série avec l'impédance d'entrée du *Vector Signal Analyser* (VSA), qui est de 50Ω , pour éviter de charger la sortie du détecteur.

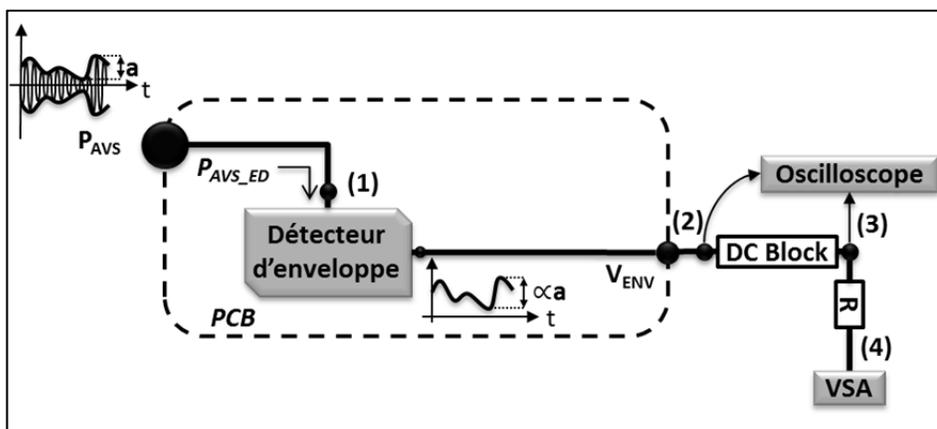


Figure 3.36 Schéma de test soulignant les nœuds de mesures pour :
 (1) la tension DC à l'entrée du détecteur (2) la fonction de transfert statique du détecteur (3) l'excursion de tension de sortie du détecteur
 (4) la réponse en fréquence du détecteur

À noter que les détails de la conception du PCB sont disponibles à l'ANNEXE II, qu'une photo du montage de la puce sur le PCB est disponible à la Figure-A II-9 et que tous les bancs d'essai utilisés en laboratoire sont présentés en ANNEXE III afin de faciliter la reproduction des résultats expérimentaux.

3.8.2 Ajustement de la polarisation et consommation statique

Deux tensions de polarisation sont présentes dans le circuit de détection soit V_{POL_M9} et V_{POL_M8} . Leur rôle respectif est décrit en section 3.3.3.1 et en section 3.3.3.2. Le comportement du détecteur statique visé est une tension DC d'entrée près de la tension seuil de conduction du redresseur et une tension DC de sortie d'environ 50 mV pour maximiser la plage dynamique de sortie. Des mesures ont démontré que la puissance disponible d'entrée minimale détectée est obtenue avec l'ajustement du courant de polarisation du redresseur (I_{D_M7a}) pour une mesure de la tension V_{GS} du NMOS du redresseur (M_{7a}) de ~ 610 mV (nœud 1 sur la Figure 3.36). Dans ces conditions, le détecteur consomme un courant de ~ 1.3 mA équivalent à une puissance statique de ~ 2.3 mW.

3.8.3 Mesure de la fonction de transfert

La Figure 3.37 présente la fonction de transfert mesurée du détecteur au nœud (2) de la Figure 3.36 en fonction de la puissance disponible au nœud (1) dans les conditions de polarisation décrite en section 3.8.2 et à l'aide du banc d'essais présenté à la Figure-A III-1 de ANNEXE III.

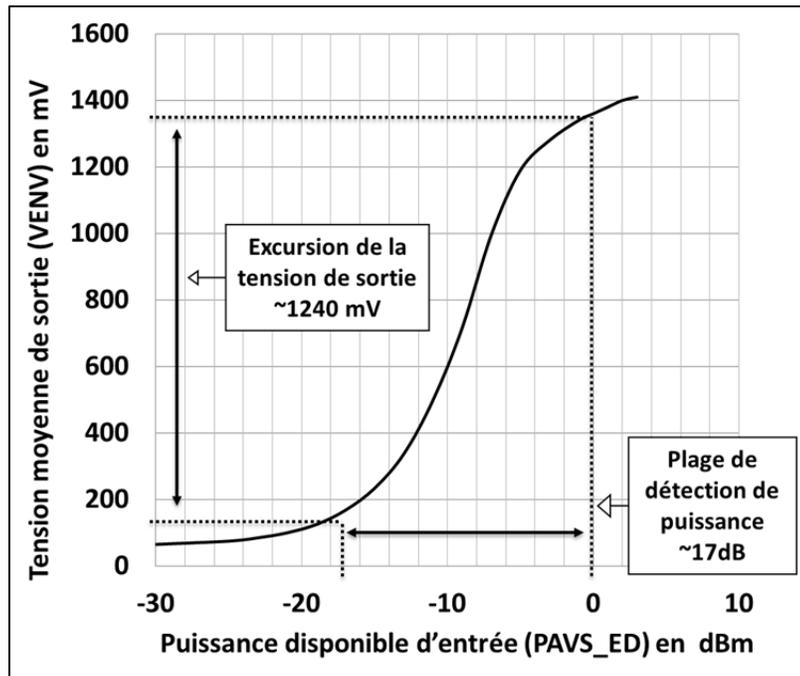


Figure 3.37 Mesure de la fonction de transfert du détecteur

On conclut de cette courbe que la puissance minimale détectée est de ~ -15 dBm, que la plage de détection de puissance est de ~ 17 dB, que la sensibilité est de ~ 120 mV/dBm à $P_{AVS_ED} = -8$ dBm et que la plage de tension de sortie est de ~ 1240 mV.

Aussi, des mesures expérimentales démontrent que la calibration intégrée de la plage de tension de sortie se comporte comme prévue. C'est-à-dire qu'il est possible d'ajuster la tension minimale de la fonction de transfert en ajustant la tension de polarisation V_{POL_M8} sans affecter significativement la plage de puissance détectée.

3.8.4 Mesure de la résistance réelle de sortie avec une excitation AM

La sortie du détecteur se comporte comme un filtre RC passe-bas. La bande passante dépend majoritairement de deux paramètres du filtre, soit la résistance réelle et la capacité présente à la sortie du détecteur. La mesure de la résistance réelle de sortie du détecteur en AC aide à la compréhension du comportement de la réponse en fréquence du détecteur.

La Figure-A III-2 de l'ANNEXE III présente le banc d'essais utilisé pour cette mesure où l'on note l'ajout d'une capacité de découplage (« *DC Block* »), d'une résistance série (R_S) et d'une résistance (R_{22}) en remplacement à la capacité de sortie (C_2) (vue à la Figure 3.2b). L'excitation d'entrée est un signal AM à deux tonalités. La première est positionnée à 1.88 GHz et l'espacement en fréquence entre les deux tonalités correspond à la fréquence de l'enveloppe du signal AM. En mesurant les amplitudes en tension de l'enveloppe aux bornes de R_{22} pour différentes valeurs de cette même résistance, il est possible d'appliquer la relation $R_{TH} = \frac{-\Delta v}{\Delta i}$ de la résistance Thevenin en AC. On détermine finalement la résistance en AC à la sortie du détecteur (R_{SORTIE}) en soustrayant R_S à la valeur de R_{TH} calculée. Ces mesures ont convergé vers une valeur de résistance réelle à la sortie du détecteur de ~ 5 k Ω pour de basses fréquences (~ 1 MHz) ce qui est cohérent avec l'addition de la valeur des résistances R_4 et R_5 (vue à la Figure 3.2b et leur valeur est donnée au Tableau 3.1). Ce résultat est capital puisqu'il sera utilisé pour la compréhension du comportement à la sortie du détecteur à la section 3.8.5.

La validation du résultat de l'impédance de sortie du détecteur a nécessité une méthode de mesure équivalente, mais dans un mode où le détecteur est polarisé en mode linéaire. C'est-à-dire que le détecteur se comporte en amplificateur et que l'onde de sortie est linéairement proportionnelle à l'onde d'entrée. Dans ce cas, l'excitation d'entrée est une tonalité unique (CW) aux fréquences équivalentes à celles de l'enveloppe. Ces mesures ont convergé vers le même résultat d'une valeur de résistance de sortie de ~ 5 k Ω éliminant les incertitudes dues à des phénomènes de non-linéarités pouvant être liés à la présence d'une porteuse de 1.88 GHz ou à l'opération de transistors dans un mode indésirable (triode).

3.8.5 Réponse en fréquence et mesure de la bande passante

La méthode de mesure pour évaluer la réponse en fréquence du détecteur consiste à appliquer un signal AM à deux tonalités autour d'une fréquence de 1.88 GHz, dont l'espacement en fréquence varie de 100 kHz à 150MHz, et de mesurer la puissance du signal de sortie en fonction de la fréquence au nœud (4) de la Figure 3.36. Le banc d'essais qui met en pratique

cette méthode est présentée à la Figure-A III-3 de l'ANNEXE III. On s'assure tout d'abord, par une mesure du paramètre S11, que l'impédance d'entrée du détecteur est stable sur toute la plage de fréquence de l'enveloppe confirmant qu'aucun phénomène à l'entrée n'influence significativement la réponse en fréquence. La mesure de la Figure 3.38 démontre une bande passante de ~ 110 MHz.

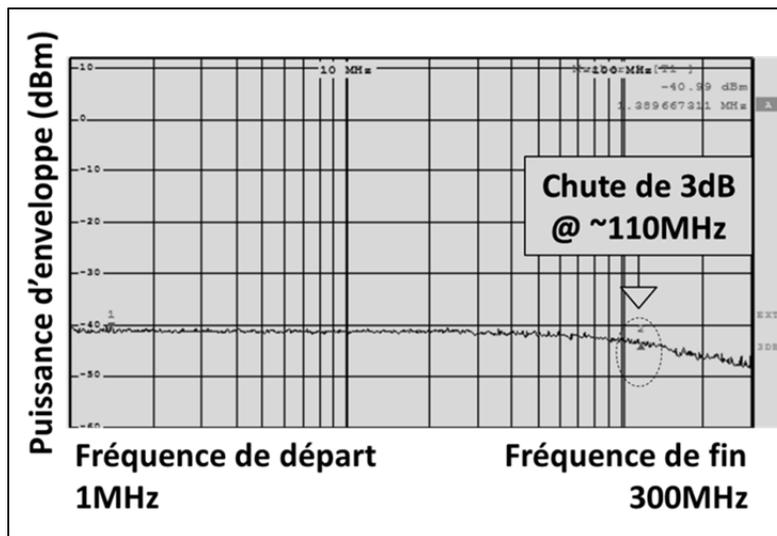


Figure 3.38 Mesure de la réponse en fréquence du détecteur montrant une bande passante de ~ 110 MHz

La conception du détecteur avait pour objectif de limiter la valeur de C2 à une centaine de femtofarads ou à quelques picofarads dans l'objectif de faciliter son intégration sur puce dans une conception future. Or, les mesures de bandes passantes ont démontré la présence d'une capacité parasite de valeur significative à la sortie du détecteur dont les sources hypothétiques sont analysées en section 3.8.5.1. C'est pourquoi il a été nécessaire de modifier le circuit sur le PCB pour atteindre une bande passante de ~ 110 MHz. Un modèle Thevenin équivalent au circuit de sortie du détecteur est utilisé en Figure 3.39 pour illustrer la modification effectuée.

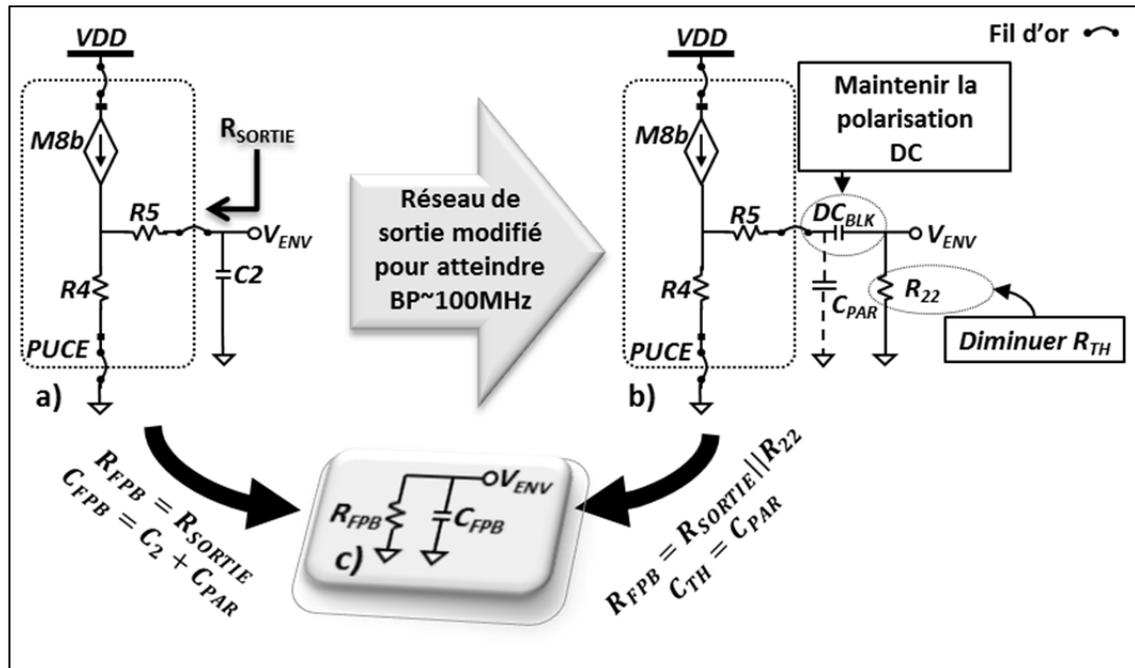


Figure 3.39 a) Circuit prévu à la sortie du détecteur b) Circuit modifié à la sortie du détecteur c) Modèle Thevenin équivalent au circuit de sortie du détecteur.

Comme la bande passante est inversement proportionnelle à la résistance équivalente du filtre (R_{FPB}) et à la capacité équivalente du filtre passe-bas (C_{FPB}), la stratégie d'augmentation de la bande passante consiste à minimiser la valeur C_{FPB} et à réduire la valeur de R_{FPB} . La modification consiste donc à l'élimination de C_2 et à l'ajout de R_{22} en parallèle avec R_{SORTIE} . Cette modification vient au prix de l'atténuation de l'amplitude du signal AC de sortie par la mise en parallèle de R_{22} et de R_{SORTIE} , créant ainsi un diviseur de tension. Une capacité de découplage (DC_{BLK}) est aussi nécessaire afin d'éviter la modification de la polarisation DC du détecteur par l'ajout de R_{22} .

La validation du résultat de la bande passante du détecteur a nécessité une méthode de mesure équivalente, mais dans un mode où le détecteur est polarisé en mode linéaire. C'est-à-dire que le détecteur se comporte en amplificateur et que l'onde de sortie est linéairement proportionnelle à l'onde d'entrée. Dans ce cas, l'excitation d'entrée est une tonalité unique (CW) aux fréquences équivalentes à celles de l'enveloppe. Ces mesures ont convergé vers des mesures de la bande passante équivalentes éliminant des phénomènes de non-linéarités

pouvant être liés à la présence d'une porteuse de 1.88 GHz ou à l'opération de transistors dans un mode indésirable (triode).

3.8.5.1 Hypothèses sur les sources potentielles des capacités parasites présentes à la sortie du détecteur

Les mesures de bandes passantes ont déterminé par calculs, selon l'équation (3.12) et en utilisant la valeur de la résistance de sortie mesurée à la section 3.8.4, qu'une capacité parasite de l'ordre de 750 fF à 1000 fF est présente à la sortie du détecteur. Les sources potentielles de capacités parasites dans le réseau de sortie du détecteur sont les résistances sur puce R4 et R5 (Figure 3.2b), le drain du PMOS M8b, le plot du signal de sortie et ses six diodes ESD ainsi que les éléments du PCB. Voici une analyse sommaire sur le potentiel de présenter des capacités parasites pour chacun de ces éléments.

- Résistances sur puce R4 et R5 :

La documentation (TSMC, 2002, p. 28) et la synthèse permettent de déterminer les surfaces des résistances, le diélectrique ($\epsilon_{FOX} = 3.9$) du matériel entre la résistance et le substrat et la distance entre la résistance et le substrat ($D = 400$ nm). Avec ces informations, on calcule une capacité parasite totale de l'ordre de ~ 13 fF pour les résistances R4 et R5 selon l'équation (3.17) d'une capacité entre deux plaques parallèles (Giancoli, 1993, p. 88), où ϵ_0 est la permittivité du vide. Cette valeur suit la tendance de la vue « *extracted* » de la synthèse avec le logiciel Cadence où l'on observe une valeur de capacité totale pour R4 et R5 de l'ordre de ~ 25 fF. Ces résistances ne forment donc pas une composante significative de la capacité parasite de sortie.

$$C_{\text{plaques}} = \epsilon_0 \epsilon \frac{\text{Surface}}{\text{Distance}} \quad (3.17)$$

- Drain du PMOS M8b :

Le PMOS M8b étant d'une petite dimension comparativement aux autres composantes en jeux et polarisé dans le mode de saturation d'un MOS, sa capacité de drain est négligeable.

- Diodes ESD :

Peu d'information sont disponibles sur les diodes ESD. La seule méthode disponible pour évaluer les capacités parasites est la vue « *extracted* » d'une de ces diodes illustrée à la Figure 3.40.

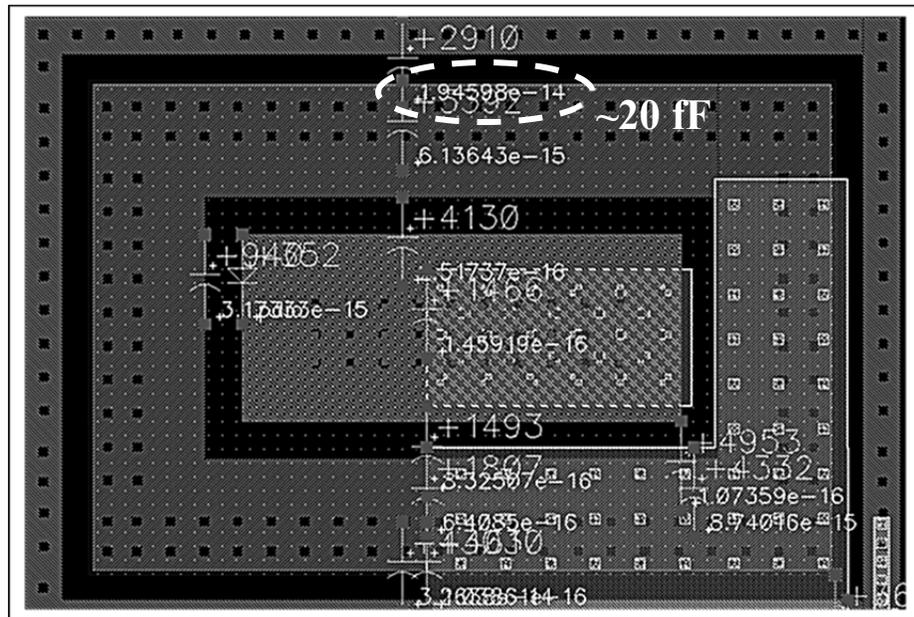


Figure 3.40 Vue « *extracted* » d'une diode ESD affichant les capacités parasites entre certains éléments de la diode et le substrat

On observe plusieurs capacités de l'ordre du femtofarad qui ne sont pas significatives pour cette analyse. Par contre, une valeur de ~ 20 fF est présente. En considérant qu'il y a six diodes ESD présentes, on peut calculer la présence d'une capacité parasite totale ~ 120 fF, ce qui n'est pas négligeable. Les capacités de jonction des diodes ESD ne sont pas présentes sur la vue « *extracted* ». Par contre, la mise en série de trois capacités réduit considérablement cette valeur, comme expliquée à la section 3.7.2.1, que l'on néglige dans cette analyse.

- Plot du signal de sortie :

Le plot, comme discuté à la section 3.7.2, présente une capacité entre le nœud du signal et le substrat de l'ordre de ~ 200 fF, ce qui n'est pas négligeable pour cette analyse.

- Éléments du PCB :

On utilise des sondes coaxiales miniatures soudées directement sur le PCB dans l'objectif d'effectuer la mesure de la réponse en fréquence le plus près que possible de la puce, dont le positionnement est illustré à la Figure-A II-5 de l'ANNEXE II. Cette méthode de mesure a révélé une réduction de la capacité parasite calculée d'environ ~ 500 fF comparativement aux mesures prises avec des « *header pins* » plus loin sur la trace du PCB. En d'autres termes, les mesures sans l'utilisation de sondes coaxiales miniatures montraient une capacité parasite de l'ordre de 1 pF à 1.5 pF. La valeur capacitive significative entre la ligne de signal et la masse sur le PCB est attribuable à la présence de lignes d'alimentation près de la ligne du signal de sortie et au choix de minimiser l'épaisseur du substrat du PCB pour réduire la largeur des lignes d'impédance caractéristique 50Ω . Cette analyse démontre que les capacités parasites présentes sur le PCB ne sont pas négligeables, même si elles sont réduites par l'utilisation des sondes coaxiales miniatures.

3.8.6 Mesure de l'excursion maximale du signal de sortie

La méthode de mesure de l'excursion maximale du signal de sortie consiste à augmenter l'indice de modulation du signal AM d'entrée afin que l'onde de sortie utilise toute la plage dynamique de sortie du détecteur pour une basse fréquence d'enveloppe. La Figure-A III-3 de l'ANNEXE III présente le banc d'essais utilisé pour cette mesure. La Figure 3.41 est la mesure temporelle du signal de sortie au nœud (3) de la Figure 3.36 et cette mesure démontre une excursion maximale de l'onde de sortie de ~ 240 mV.

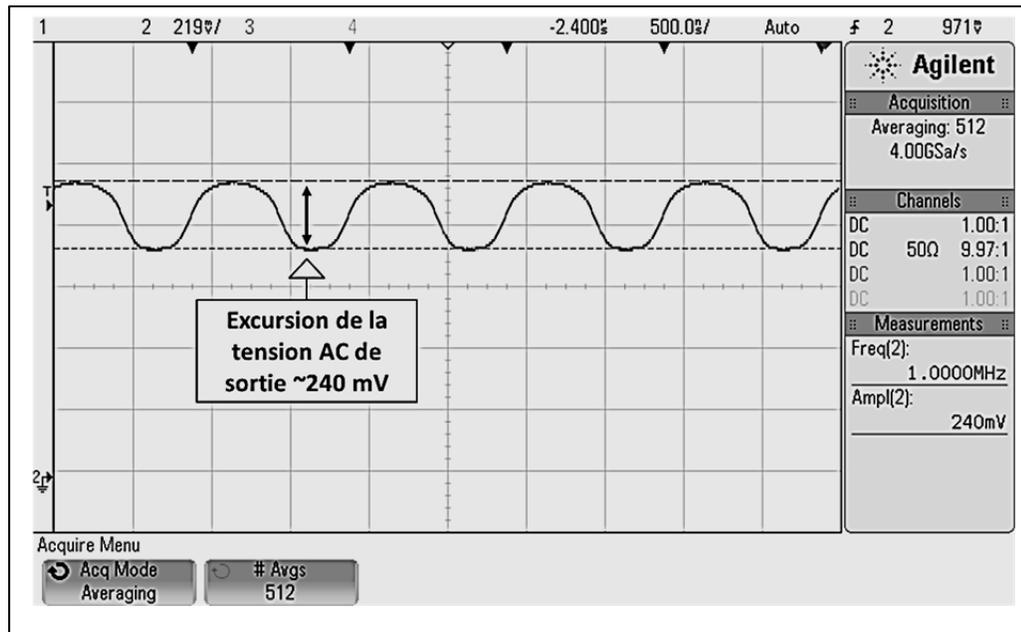


Figure 3.41 Enveloppe de sortie à 1 MHz

En connaissant le rapport des résistances R_5 et R_4 selon leur valeur respective et la valeur réelle de la résistance de sortie du détecteur (section 3.8.4), il est possible de calculer, par le désenchâssement (« *de-embedding* ») de R_4 , la valeur de l'amplitude maximale au drain de M8b. Il en résulte une amplitude calculée de ~ 580 mV suggérant qu'il est possible de réorganiser le réseau de résistances de sortie afin de maximiser l'excursion maximale de l'enveloppe de sortie.

3.8.7 Résumé des performances clés et comparaison avec d'autres détecteurs de puissance

Le Tableau 3.3 présente la liste des performances clés du détecteur proposé démontrant le respect des spécifications ciblées et listées au Tableau 0.1. Ce tableau compare également le détecteur proposé à deux travaux pertinents démontrant des aspects similaires et faisant l'objet de mesures expérimentales.

Tableau 3.3 Performances clés du détecteur d'enveloppe et comparaison avec d'autres travaux

	Détecteur proposé	(Valdes-Garcia et al., 2008)	(Jeongwon et al., 2009)
Procédé CMOS [nm]	180	350	180
Surface [μm^2]	6000**	31000**	14000
Sensibilité [mV/dB] @ P_{AVS}[dBm]	~120 @ -5	~50 @ -15	~14 @ 2.5
Plage de détection de puissance [dB] @ Fréquence de porteuse [GHz]	17 @ 1.88	>30 de 0.9 à 2.4	35 @ 1.9
Tension d'alimentation [V]	1.8	3.3	1.8
Puissance statique [mW]	2.3	8.6**	1.8
Bande passante [MHz]	110	NA*	5

*Détecteur RMS **Avec circuits de polarisation

(Jeongwon et al., 2009) est un détecteur d'enveloppe conçu et fabriqué en CMOS démontrant une bande passante de 5 MHz. Les mesures de 110 MHz de ces travaux démontrent donc une amélioration importante tout en utilisant une plus petite surface de semi-conducteur.

(Valdes-Garcia et al., 2008) est un détecteur de puissance moyenne démontrant des caractéristiques similaires au détecteur proposé à l'exception importante que ce n'est pas un détecteur d'enveloppe. Cette comparaison montre une grande amélioration au niveau de la surface de semi-conducteur et de la puissance statique due à l'omission de l'amplificateur de courant à l'entrée du détecteur. L'ajout novateur de la source de courant M8c afin d'ajuster la plage de tension dynamique de sortie permet aussi d'optimiser cette plage pour être maximale. Dans ces conditions, la sensibilité de la fonction de transfert est maximale (120 mV/dB) et démontre une amélioration comparativement à 50 mV/dB.

3.9 Résumé de la conception et de la caractérisation du détecteur d'enveloppe et de ses circuits secondaires

La Figure 3.1 de la page 36 est un schéma résumant tous les éléments que comportent le détecteur d'enveloppe, c'est-à-dire un circuit d'amplification de courant pour augmenter l'impédance d'entrée, un redresseur qui conserve uniquement l'ondulation positive du signal RF modulé en amplitude et un filtre passe-bas pour éliminer l'onde RF. Ainsi, la sortie du détecteur est un signal linéairement proportionnel à l'ondulation positive de l'enveloppe du signal AM d'entrée. La section 3.3 expose tous les détails de la conception du détecteur et de ses circuits secondaires. La proposition d'une fonction novatrice de calibration intégrée sur puce pour l'ajustement de la plage de tension de sortie est un élément clé de cette conception et est introduite à la section 3.3.3.2. La section 3.7 explique les détails importants de la synthèse où l'on observe une surface de semi-conducteur de $600 \mu\text{m}^2$ et finalement la section 3.8 présente des résultats expérimentaux. Les mesures ont démontré une faible consommation statique (2.3 mW) et une bande passante (110 MHz) pour une opération dans une bande cellulaire (1.88 GHz). Ces performances répondent aux spécifications requises pour répondre aux besoins de l'architecture à l'étude d'un module RFIC PA illustrée à la Figure 0.1.

Les mesures expérimentales de la bande passante ont indiqué la présence de capacités parasites de valeur allant de ~ 750 fF à ~ 1 pF à la sortie du détecteur (section 3.8.5). Ces capacités parasites ont pour effet de diminuer la plage dynamique de sortie du détecteur. Des analyses ont permis d'identifier les provenances possibles de ces capacités parasites (section 3.8.5.1) pouvant aider à une maximisation de la plage dynamique de sortie pour une conception future.

CHAPITRE 4

CARACTÉRISATION DES PERFORMANCES D'UNE MATRICE D'AMPLIFICATION EN CMOS 0.18 UM

4.1 Introduction

Ce chapitre est dédié à la description de la conception d'une matrice d'amplification et de sa caractérisation par des mesures de performances expérimentales.

Ce chapitre est divisé comme suit; on décrit d'abord la conception de l'amplificateur en CMOS 0.18 μm . La section suivante expose les détails de la synthèse de la puce pour terminer par la caractérisation de l'amplificateur par des mesures expérimentales.

4.2 Description de la matrice d'amplification RF réalisée en CMOS 0.18 μm

Cette section présente les éléments clés de la conception de l'amplificateur CMOS en 0.18 μm et présente des résultats de simulations.

4.2.1 Schéma électrique de l'amplificateur

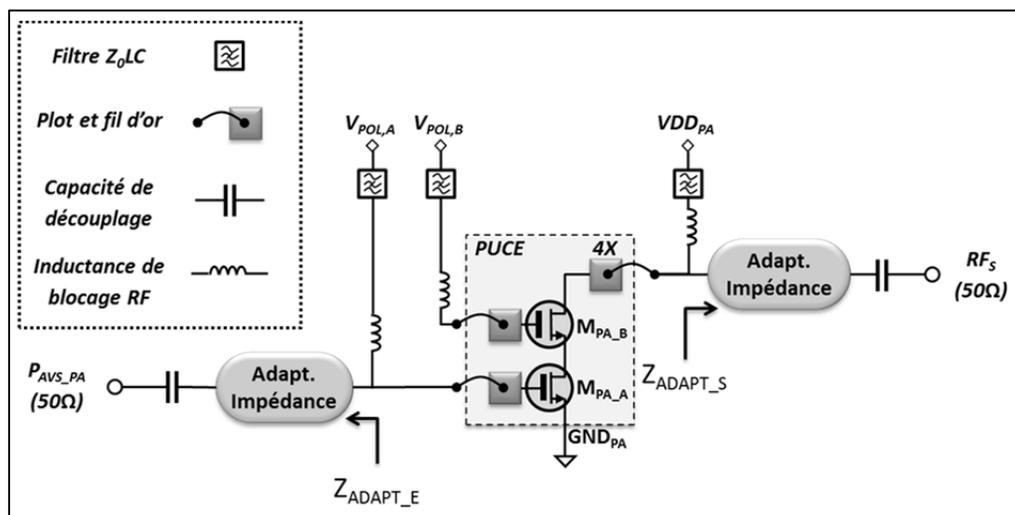


Figure 4.1 Schéma électrique simplifié de l'amplificateur de puissance

On note sur le schéma électrique (Figure 4.1) que M_{PA_A} est l'étage source commune et M_{PA_B} est l'étage grille commune formant un amplificateur selon une structure « *cascode* ». Il est connu que cette structure comporte plusieurs avantages comme sa robustesse en raison de la distribution de la tension sur deux transistors et sa réponse fréquentielle en limitant l'effet Miller. C'est-à-dire que cette structure minimise la capacité qui lie la sortie et l'entrée de l'amplificateur (Razavi, 2000, p. 583). Le NMOS M_{PA_B} est de type « *thick oxide* » améliorant ainsi la robustesse en raison de l'augmentation de sa tension de claquage dans le diélectrique de grille, permettant d'utiliser une tension d'alimentation de 3.3V pour $V_{DD_{PA}}$ et $V_{POL,B}$. Les duos plot/fil d'or sont modélisés approximativement par une capacité parallèle de 200 fF (section 3.7.2.1) et une inductance série de 0.6 nH. Le signal de sortie est transféré à l'extérieur de la puce avec quatre plots en parallèle pour diminuer l'effet inductif des fils d'or. Les filtres Z_0LC sont les mêmes qu'utilisés dans la conception des détecteurs et sont présentés en section 3.4.1.1.

4.2.2 Dimensionnement de la matrice d'amplification

La combinaison d'une revue de la littérature, présentée en section 1.2.5, et de simulations a mené à une matrice d'amplification composée de 352 grilles (souvent nommé « *finger* » dans la littérature), chacune d'une longueur de 0.35 μm et d'une largeur de 5 μm . La matrice de 352 grilles est fractionnée sur 22 transistors de 16 grilles. La largeur totale de la matrice est de 1760 μm pour un rapport W/L de 5030.

4.2.3 Polarisation, adaptations d'impédance et résumé des performances en simulation

La caractéristique du courant DC de drain simulée en fonction de la tension de polarisation à la grille du transistor M_{PA_A} ($V_{POL,A}$) a démontré qu'une tension de $V_{POL,A} = 1.11 \text{ V}$ est nécessaire afin de polariser la matrice en classe A. Le courant au repos est d'environ 105 mA pour une tension de polarisation de 1.11 V.

Le choix des impédances d'entrée/sortie s'exécute selon deux critères, l'optimisation de P_{1dB} tout en maintenant une perte de retour (« *Return Loss* ») d'au moins -5 dB. L'ajustement de l'adaptation d'impédance d'entrée (Z_{ADAPT_E}) à $[26.4 - j32.2]\Omega$ et de l'adaptation d'impédance de sortie (Z_{ADAPT_S}) à $[15.7 - j19.1]\Omega$ ont permis d'obtenir les performances simulées présentées à la Figure 4.2. Ces simulations démontrent un point de compression de 1 dB (P_{1dB}) à une puissance de sortie de ~ 18.5 dBm, un gain de ~ 18.4 dB à basse puissance, un PAE de $\sim 20\%$ à P_{1dB} et une perte de retour de -5.8 dB.

Les résultats présentés dans cette section découlent seulement de simulations pré-synthèses. Les simulations post-synthèses n'ont pas été considérées puisque le modèle de la vue « *extracted* » utilisé diverge de façon importante avec une augmentation de la dimension du transistor, comme détaillé à l'ANNEXE V.

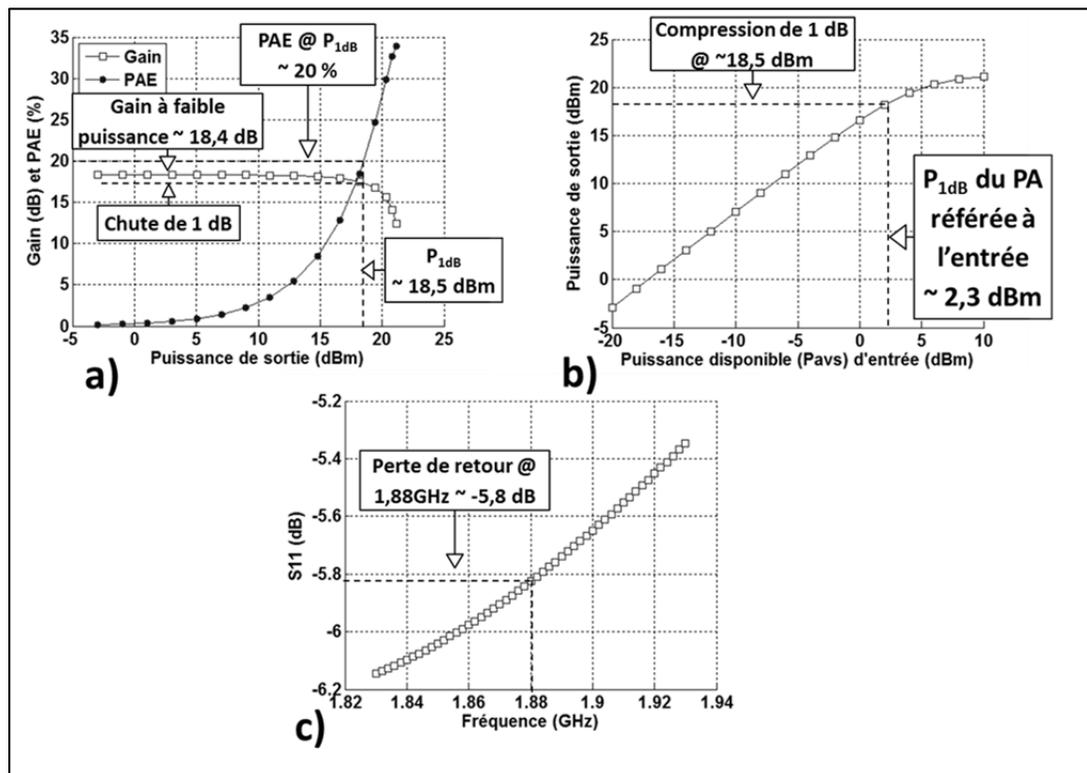


Figure 4.2 Performances globales de l'amplificateur en simulation
a) Courbe du gain et de l'efficacité (PAE) en fonction de la puissance de sortie (P_{S_PA}) b) Courbe de la puissance de sortie (P_{S_PA}) en fonction de la puissance disponible (P_{AVS}). c) Courbe de $10 \cdot \log(S_{11})$ en fonction de la fréquence

4.3 Détails de la synthèse de la puce de la matrice d'amplification en CMOS 0.18 μm

Cette section décrit la synthèse du circuit de la matrice d'amplification intégrée sur la même puce que les détecteurs d'enveloppe et ses circuits de polarisation (CHAPITRE 3). La synthèse de l'amplificateur est isolée électriquement du reste de la puce grâce à l'utilisation de la structure « *Deep N Well* » (section 3.7.1.1) et à l'utilisation d'un deuxième anneau d'alimentation électriquement isolé de celui utilisé pour les deux détecteurs et leurs circuits de polarisation.

4.3.1 Présentation des composantes spécifiques à la technologie CMOS 0.18 μm de TSMC utilisées dans la synthèse de la matrice d'amplification

Les deux composantes utilisées pour cette conception sont des transistors NMOS RF et des plots incluant une protection ESD spécifique à l'amplificateur. Afin de faciliter la caractérisation de la matrice d'amplification, toutes les autres composantes pour les circuits d'adaptation d'impédance et de polarisation sont situées à l'extérieur de la puce.

4.3.1.1 Transistor NMOS RF

Le NMOS de l'étage source commune (M_{PA_A}) est de type « *Thin Oxyde* » (ou NMOS 1.8V RF) afin de maximiser la réponse en fréquence de l'étage qui développe le plus de gain de transconductance. Le NMOS de l'étage grille commune (M_{PA_B}) est de type « *Thick Oxyde* » (ou NMOS 3.3 V RF) afin d'augmenter la tension de claquage, donnant donc la possibilité d'utiliser une tension d'alimentation à 3.3V. Ce choix permet aussi d'atteindre de plus grandes puissances de sortie. Les transistors RF sont caractérisés par un modèle plus complexe afin de modéliser avec une plus grande précision une opération à plus haute fréquence. Les transistors RF sont contraints à une longueur de canal entre 0.35 μm et 0.5 μm et une largeur de canal entre 0.5 μm et 8 μm . Le nombre de grilles maximum pour un NMOS RF est de 64. Pour que ce modèle soit valide, il faut respecter la structure de synthèse du NMOS « *Thin Oxyde* » imposée dans le document (TSMC, 2004) et présentée à la

Figure 4.3. On note sur cette synthèse la distribution de la source en anneau, la présence de grilles factices (« *Dummy* ») de part et d'autre du NMOS et l'utilisation de la structure « *Deep N well* ».

Afin d'utiliser les transistors « *Thick Oxyde* » la synthèse est identique à l'exception de l'addition d'une couche active OD2. Toutes les composantes actives étant circonscrites par cette couche sont de type « *Thick Oxyde* ». Finalement, il faut circonscrire les transistors RF avec la couche passive « *rfdmy* » pour que le schéma électrique corresponde parfaitement à la synthèse (« *Layout versus schematic* » ou LVS) et afin que les simulations post-synthèses utilisent le modèle de transistor RF.

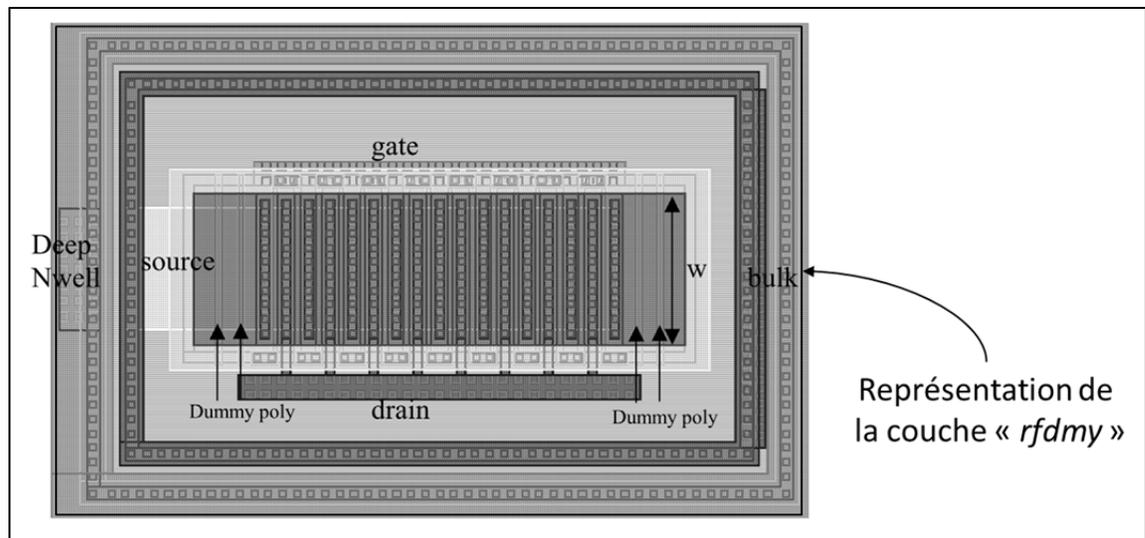


Figure 4.3 Synthèse d'un NMOS RF « *Thin Oxyde* »
Tiré de (TSMC, 2004)

4.3.1.2 Plots et protection contre les décharges électrostatiques

Les plots avec une protection ESD utilisent la même méthode de conception que ceux présentés en section 3.7.2.1. Ces plots utilisent donc des diodes ESD placées entre la ligne du signal et les lignes d'alimentation de telle sorte que des tensions de trop grandes amplitudes sont court-circuitées vers la masse ou vers V_{DD} . Étant donné que les tensions à la sortie de

l'amplificateur sont de plus grandes amplitudes, on augmente la plage dynamique en tension des plots en utilisant six diodes au lieu de trois (Figure 4.4a).

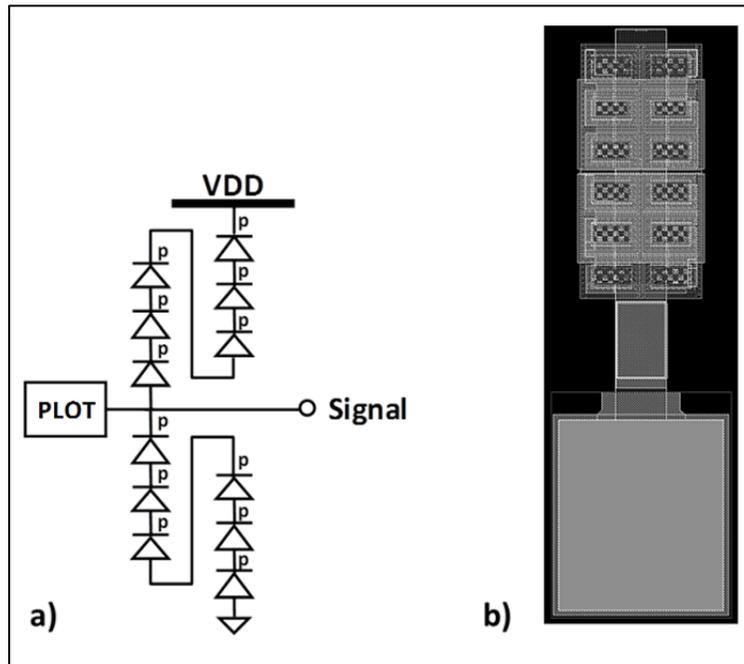


Figure 4.4 a) Schéma électrique du plot avec protection ESD b) Synthèse des plots utilisés à la sortie de l'amplificateur de puissance

4.3.2 Structure des lignes d'alimentations et distribution des plots d'entrées/sorties

On note sur la Figure 4.5 l'utilisation de la même structure de ligne d'alimentation que pour la section de puce des détecteurs d'enveloppe présentée à la section 3.7.3, c'est-à-dire l'utilisation d'anneaux d'alimentation avec des plots incluant une protection ESD situés à l'extérieur de ces anneaux.

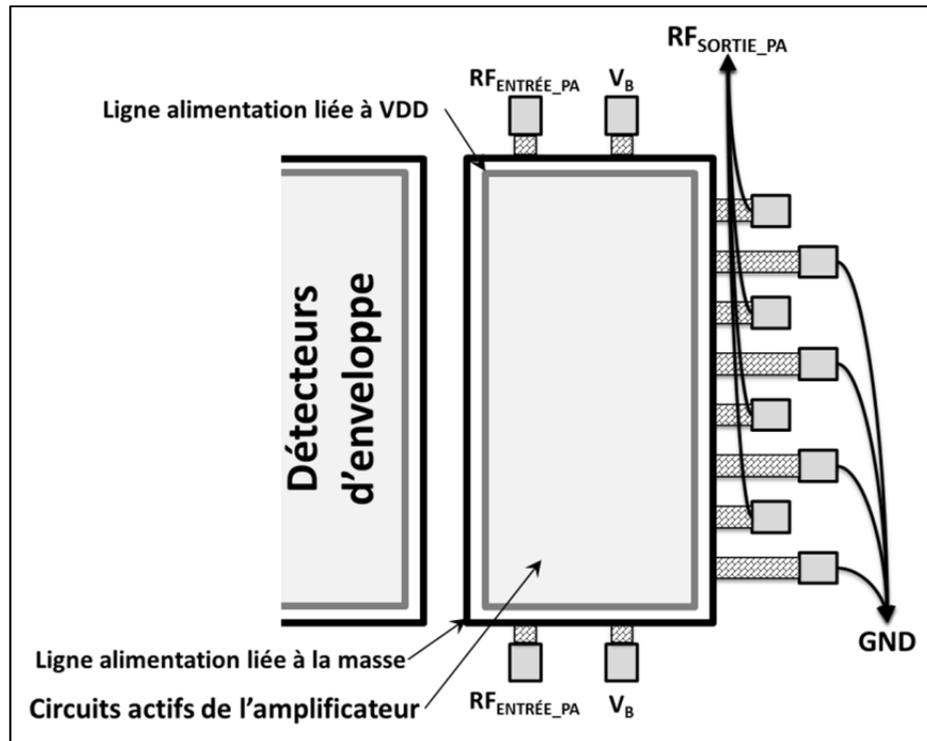


Figure 4.5 Structure des lignes d'alimentation et des plots

Le signal RF de sortie est divisé sur quatre plots en parallèle dans l'objectif de réduire les effets inductifs des fils d'or et d'assurer une distribution plus uniforme dans la matrice de transistors. Les plots d'entrées sont présents à deux endroits sur la puce dans l'objectif de faciliter la conception du PCB de test. Par contre, il n'est pas souhaitable d'utiliser les deux entrées RF simultanément afin d'éviter des pertes causées par déphasage entre les deux chemins RF.

4.3.2.1 Plan de la synthèse

La synthèse de la matrice d'amplification est présentée à la Figure 4.6. La synthèse utilise plusieurs CMOS RF, décrits à la section 4.3.1.1, en parallèle afin de former les deux matrices M_{PA_A} et M_{PA_B} .

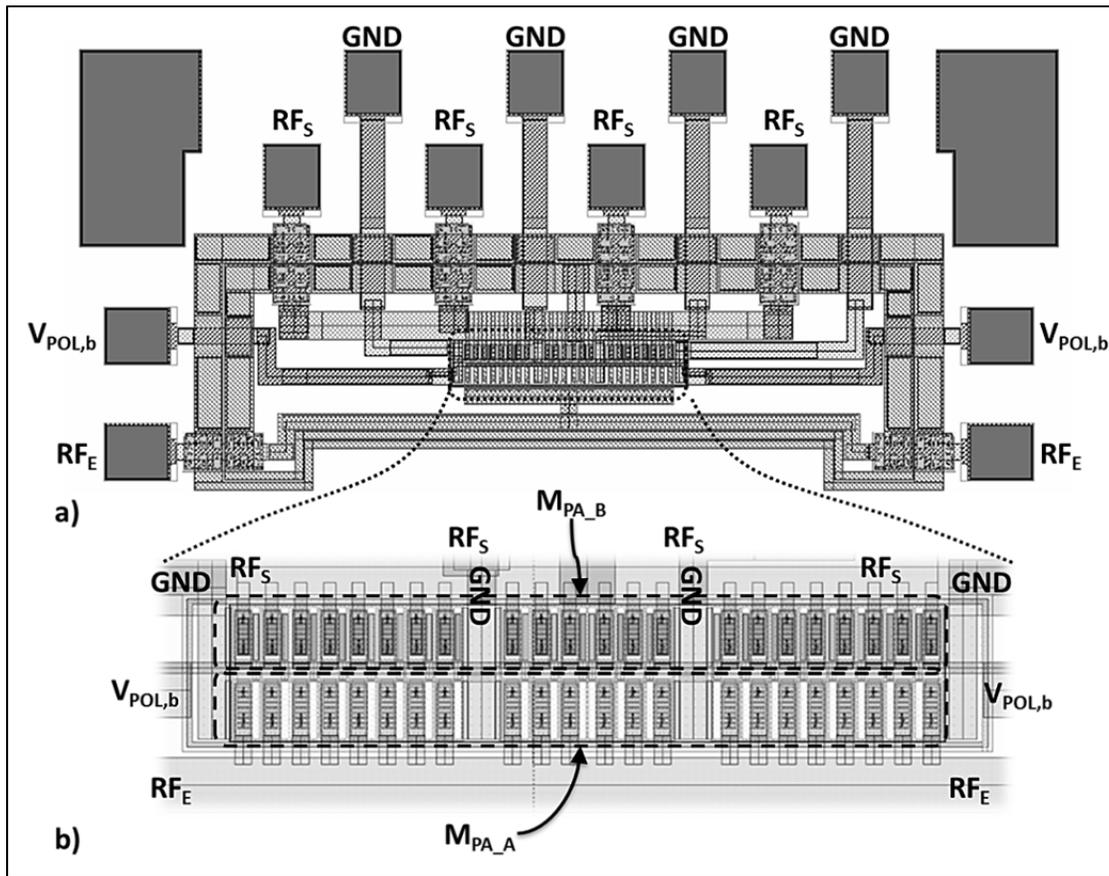


Figure 4.6 a) Synthèse de la matrice d'amplification
 b) Agrandissement sur M_{PA_A} et M_{PA_B}

Le signal d'entrée est centré sur la matrice afin d'assurer une symétrie et donc une distribution uniforme du signal RF. Pour les mêmes raisons, la matrice ainsi que les ports de sortie et de mises à la masse sont le plus symétriques possible. Les plots de mise à la masse (GND) sont situés sur le bord de la puce afin de diriger les fils d'or directement sur la surface de métal sous la puce. Les fils d'or des plots de sortie (RF_S) sont dirigés sur la ligne de transmission du PCB en passant, idéalement, au-dessus des fils d'or du GND. Les deux plots factices sont ajoutés dans les coins de la puce afin de respecter les spécifications du manufacturier visant à uniformiser les surfaces métalliques autant que possible dans les différentes sections de la puce.

4.4 Résultats expérimentaux et performances mesurées pour la caractérisation de la matrice d'amplification

Afin de caractériser une matrice d'amplification dans la technologie CMOS 0.18 μm de TSMC, une matrice d'amplification a été fabriquée par l'entremise de CMC Microsystème sur la même puce que les détecteurs d'enveloppe. La demande d'espace de semi-conducteur sur le lot de fabrication 1302CF a été soumise en juin 2013. La conception a été acceptée en juillet 2013 et les puces ont été reçues en juin 2014.

La caractérisation par expérimentation comprend des mesures de la classe d'opération, de la consommation de courant DC, de la puissance de sortie, du gain, et de l'efficacité.

4.4.1 Présentation du schéma de test de l'amplificateur

La Figure 4.7 présente un schéma de test simplifié qui positionne les principaux éléments nécessaires aux mesures. Le signal d'entrée de la matrice d'amplification est nommé RF_E et le signal de sortie amplifié est nommé RF_S . Toutes les mesures de puissance disponible à l'entrée (P_{AVS}) et de puissance de sortie (P_{S_PA}) de l'amplificateur présentées dans cette section se basent sur la lecture de sondes de puissance à thermocouple et d'un puissance-mètre calibrés pour la mesure directe de P_{AVS} et P_{S_PA} selon la méthodologie présentée par (Gering, 2008) afin de minimiser l'erreur des mesures.

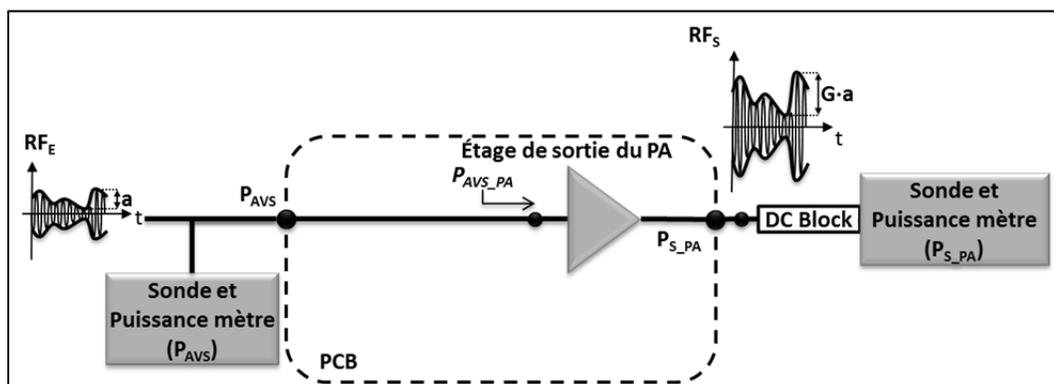


Figure 4.7 Schéma de test de la matrice d'amplification

À noter que les détails de la conception du PCB sont disponibles à l'ANNEXE II, qu'une photo du montage de la puce sur le PCB est disponible à la Figure-A II-10 et que tous les bancs d'essai utilisés en laboratoire sont présents en ANNEXE III afin de faciliter la reproduction des résultats expérimentaux.

4.4.2 Points de polarisation et classe d'opération

Comme méthode expérimentale approximative, mais simple à appliquer, l'opération en classe A est déterminée par la courbe de variation de courant moyen en fonction de la puissance RF de sortie, montré à la Figure 4.8. La classe A est associée à la condition de polarisation où il y a la variation minimale de cette moyenne de courant, c'est-à-dire où la distorsion de l'onde RF est minimale et donc centrée sur la plage dynamique de l'amplificateur comme détaillé à la section 1.2.3.



Figure 4.8 Mesure de la variation du courant moyen en fonction de la puissance RF de sortie en classe A et en classe AB

La courbe de courant de drain DC en fonction de la tension de grille (V_{POL_A}) sans aucune excitation RF constitue la courbe caractéristique de cet amplificateur (Figure 4.9). En associant les lectures de courant à faible puissance RF de la Figure 4.8 aux courbes de la

Figure 4.9, on peut déduire un courant de drain en classe A de ~ 191 mA pour une tension de grille de 1 V et un courant en classe AB de ~ 125 mA pour une tension de grille de 1.2 V.

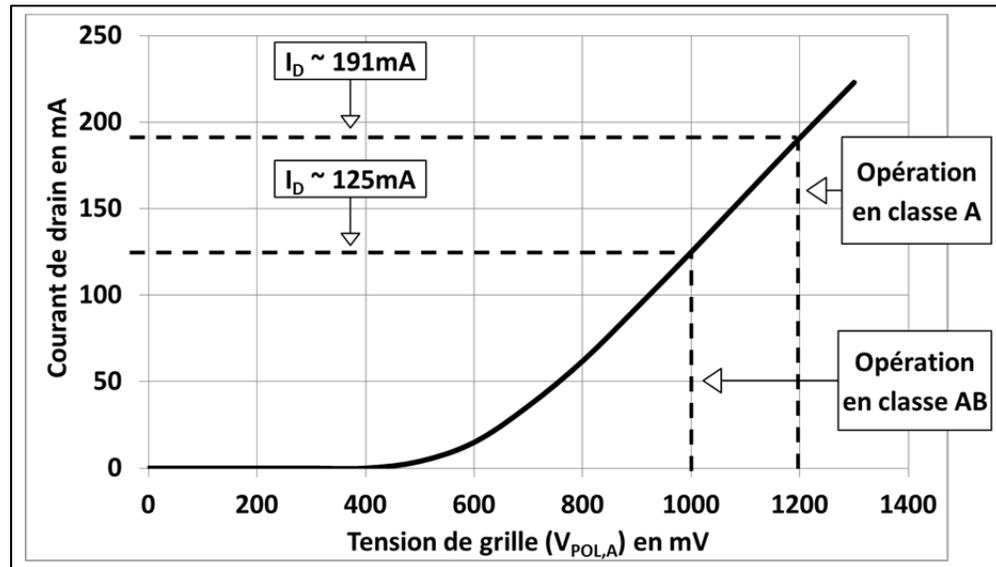


Figure 4.9 Mesure de la courbe caractéristique en courant de la matrice d'amplification

4.4.3 Mesures des paramètres S en petit signal

La mesure des paramètres S (Figure 4.10) a été effectuée avec une polarisation pour une opération en classe AB, avec une onde d'entrée sinusoïdale (CW) à une puissance d'entrée de -10 dBm et selon le banc d'essais de la Figure-A III-4 de l'ANNEXE III. On note un gain en petit signal de 13.4 dB avec une perte de retour, montrée par S11, de -15.1 dB. S22, qui est d'une valeur de -1.3 dB, est un paramètre moins critique dans la conception d'un RFIC PA.

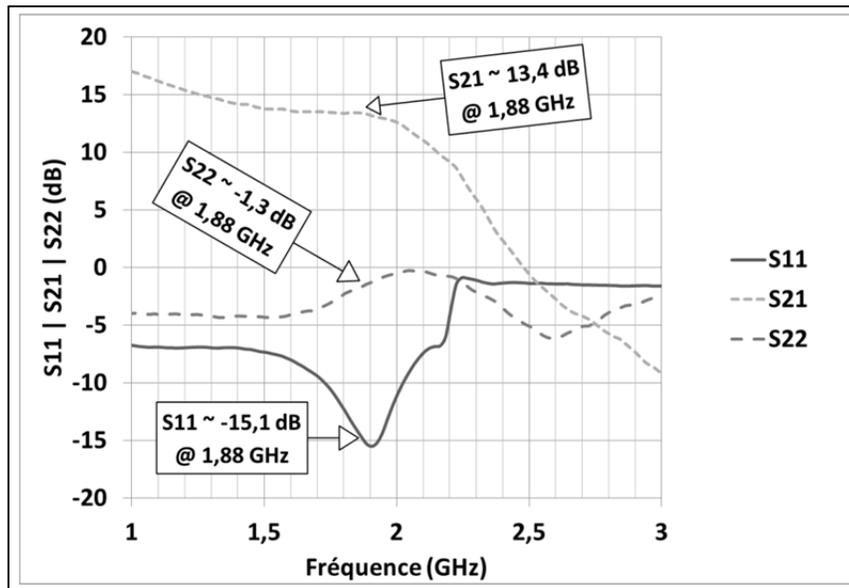


Figure 4.10 Mesure des paramètres S

4.4.4 Courbes de la puissance de sortie, du gain et de l'efficacité de l'amplificateur

Les courbes de la puissance de sortie (Figure 4.11), du gain (Figure 4.12) et de l'efficacité (Figure 4.13) ont été mesurées à l'aide du banc d'essais de la Figure-A III-5 de l'ANNEXE III avec une polarisation pour une opération en classe AB.

On note sur la courbe de la puissance de sortie que le point de compression de 1 dB est situé à une puissance de sortie de ~ 19 dBm et est référé à une puissance disponible d'entrée de ~ 6.4 dBm.

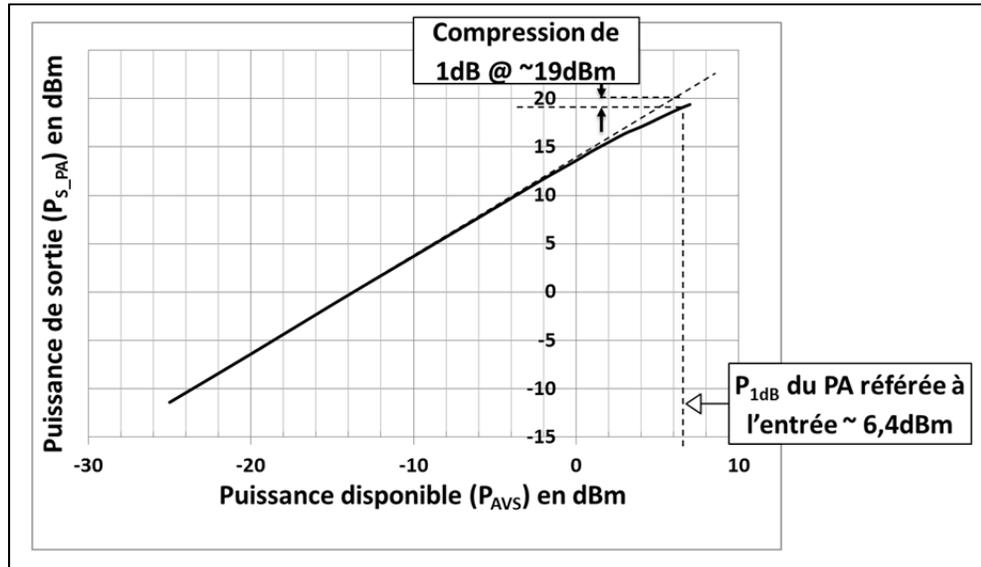


Figure 4.11 Puissance de sortie en fonction de la puissance disponible

La courbe du gain de la Figure 4.12 montre un gain de 13.7 dB à faible puissance et confirme la valeur de P_{1dB} qui est de ~19dBm. On note aussi que la mesure du paramètre S21 (13.4 dB @ 1.88GHz à la section 4.4.3) et la courbe du gain convergent vers un gain en faible puissance de valeur semblable selon deux méthodes de mesure différentes.

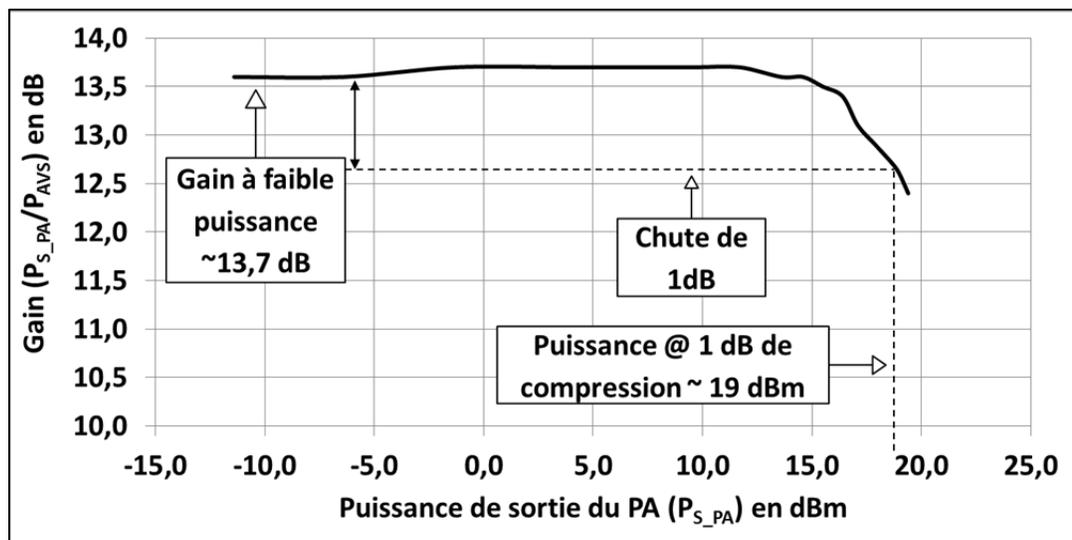


Figure 4.12 Gain en fonction de la puissance de sortie

La courbe d'efficacité de la Figure 5.7, calculée selon l'équation du « *Power Added Efficiency* » (PAE) (section 1.2.2), montre une efficacité de $\sim 17.4\%$ à P_{1dB} et une efficacité de 9% à un recul de 3 dB par rapport à P_{1dB} .

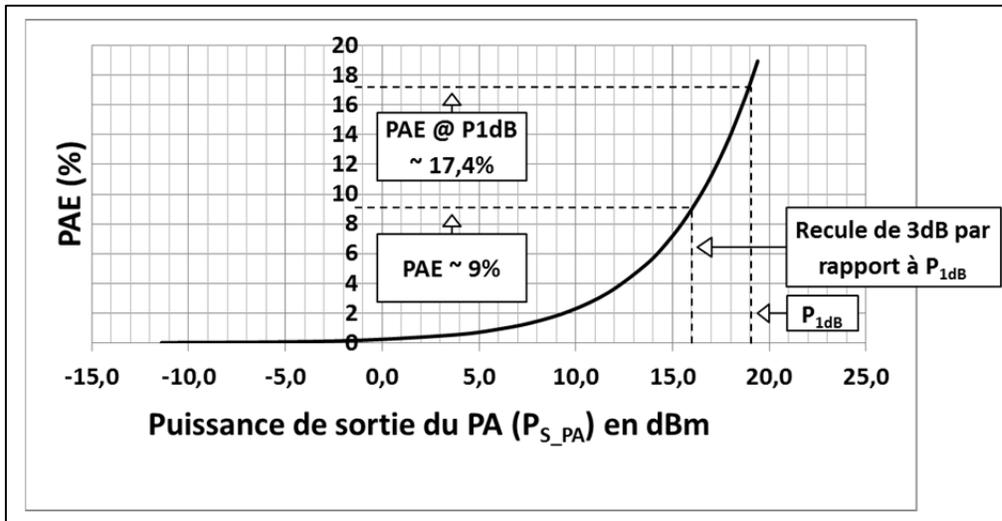


Figure 4.13 Efficacité (PAE) en fonction de la puissance de sortie

4.5 Résumé de la caractérisation d'une matrice d'amplification en CMOS 0.18 μm

La caractérisation de l'étage d'amplification en CMOS $0.18\ \mu\text{m}$ a convergé vers des résultats expérimentaux intéressants. Un gain de $13.7\ \text{dB}$ à faible puissance, un P_{1dB} de $19\ \text{dBm}$ et un PAE de 17.4% à P_{1dB} pour une largeur totale de transistor de $1760\ \mu\text{m}$ et une longueur de canal de $0.35\ \mu\text{m}$ ont été démontrés lors des mesures expérimentales. Il est pertinent de noter qu'une certaine correspondance du P_{1dB} mesuré existe avec la littérature (Tableau 1.1) où l'on observe que pour une dimension comparable (Jongchan et al., 2006) ($W_{TOT} = 2400\ \mu\text{m}$) que le P_{1dB} mesuré est de $19\ \text{dBm}$. On observe aussi qu'une diminution de la dimension W_{TOT} tend à diminuer le P_{1dB} mesuré (Yuen Sum, Leung et Ka Nang, 2009) ($P_{1dB} = 15\ \text{dBm}$ pour $W_{TOT} = 840\ \mu\text{m}$). La même tendance peut être observée pour une augmentation de la dimension W_{TOT} (Srirattana et al., 2005) ($P_{1dB} = 23\ \text{dBm}$ pour $W_{TOT} = 6000\ \mu\text{m}$).

Cette caractérisation fournit des informations pertinentes qui pourront être utilisées lors d'une conception d'architecture plus complexe d'un RFIC PA en CMOS, par exemple celle montrée à la Figure 0.1, visant une application cellulaire et donc une puissance de sortie linéaire de l'ordre du Watt. Par exemple, ces résultats permettent de conclure que cette technologie nécessite la combinaison de la puissance d'au moins 4 cellules d'amplification d'une largeur de $1740\ \mu\text{m}$ pour délivrer une puissance de l'ordre de 26 dBm au point de compression $P_{1\text{dB}}$, ce qui est proche des spécifications d'amplificateur de puissance sur puce pour la technologie cellulaire de quatrième génération (4G).

CHAPITRE 5

SYSTÈME RF POUR ÉVALUER L'EFFET DU DÉTECTEUR D'ENVELOPPE SUR LES PERFORMANCES DE L'AMPLIFICATEUR RF DE PUISSANCE

5.1 Introduction

Ce chapitre a pour objectif de valider le fonctionnement du détecteur lorsqu'il est couplé à l'entrée d'une chaîne d'amplification RF et d'évaluer son effet sur les performances de l'amplificateur. Pour y parvenir, on utilise l'amplificateur dont il est question au CHAPITRE 4 comme un étage de sortie d'un module d'amplificateur RF de puissance et on y couple le détecteur (CHAPITRE 3) à son entrée. La puissance disponible à l'entrée du système est d'ailleurs sélectionnée pour être représentative de la puissance de sortie typiquement délivrée par l'étage précédant l'étage de puissance (ou « *Driver* ») dans une chaîne d'amplification.

5.2 Schéma du système RF et distribution de la puissance disponible

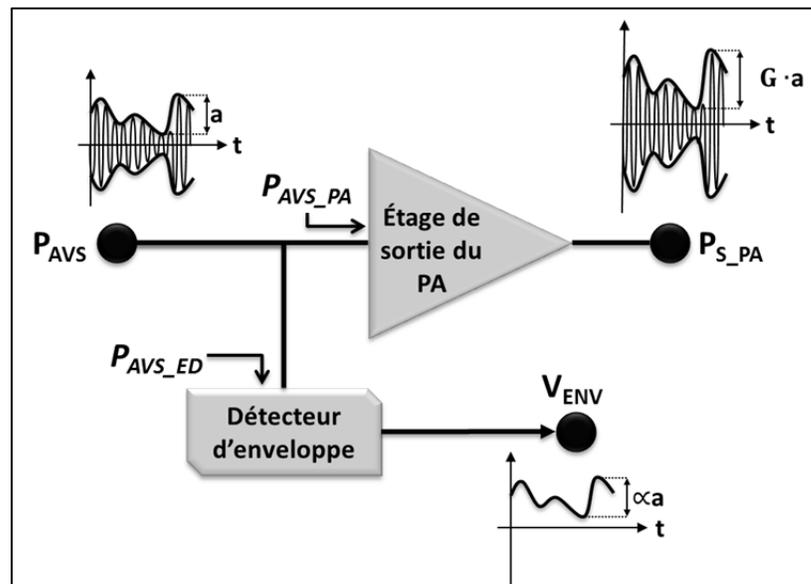


Figure 5.1 Schéma bloc du système RF implémenté

Un aspect important de la conception du système RF (Figure 5.1) est la répartition de la puissance délivrée à l'entrée du détecteur et à l'entrée de l'amplificateur. Cette répartition de puissance est sensible aux impédances d'entrées des deux circuits.

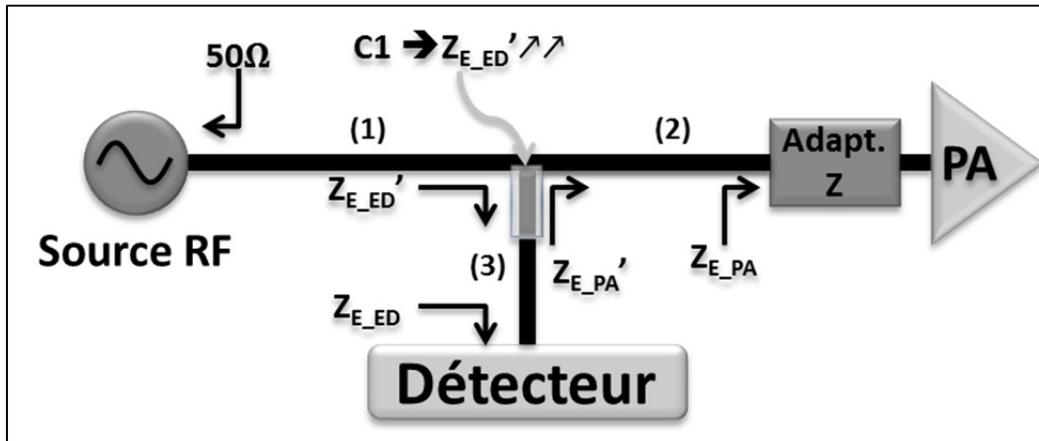


Figure 5.2 Distribution des lignes RF à l'entrée du système RF où (1), (2) et (3) sont des lignes de transmission avec $Z_0 = 50\Omega$

La distribution des lignes de transmissions en tenant compte de leur impédance caractéristique à l'entrée du montage, schématisée à la Figure 5.2, s'explique de la façon suivante. La longueur de la ligne de transmission venant de la source (1) n'a pas d'effet significatif puisque l'impédance de la source est adaptée à l'impédance caractéristique de cette même ligne de transmission. L'entrée du détecteur étant haute impédance, la longueur de (3) doit être courte afin de minimiser le changement de Z_{E_ED} vers Z_{E_ED}' . C'est pour cette raison que le condensateur C1 est positionné directement au niveau de la jonction des deux lignes comme illustré à la Figure 5.2. Finalement, la matrice d'amplification n'étant pas parfaitement adaptée à 50Ω , Z_{E_PA}' peut aussi varier selon la longueur de (2). La longueur de (2) est moins critique puisqu'il est possible d'optimiser l'adaptation d'impédance en fonction de cette longueur. En somme, on souhaite maximiser le ratio Z_{E_ED}'/Z_{E_PA}' afin de maximiser le transfert de puissance vers l'amplificateur.

5.3 Schéma de test du système RF

La Figure 5.3 présente un schéma de test simplifié qui positionne les principaux nœuds de mesures du système RF. Le signal d'entrée du système RF est nommé RF_E , le signal de sortie de l'amplificateur est nommé RF_S et le signal de sortie du détecteur d'enveloppe est nommé V_{ENV} . D'autres détails sur le schéma de test concernant le détecteur sont disponibles en section 3.8.1 et en section 4.4.1 pour l'amplificateur.

Noter que tous les bancs d'essai utilisés en laboratoire sont présents en ANNEXE III afin de faciliter la reproduction des résultats expérimentaux.

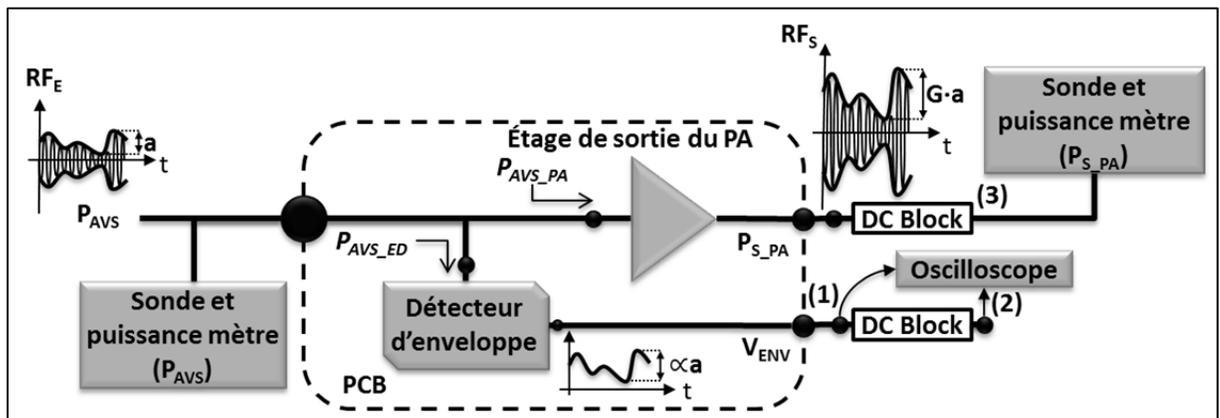


Figure 5.3 Schéma de test du système RF mettant en évidence les nœuds de mesure pour :
 (1) la fonction de transfert statique du détecteur (2) l'excursion de tension de sortie du détecteur (3) la puissance RMS de sortie du PA.

5.4 Mesure expérimentale de la fonction de transfert du détecteur au sein du système RF

La courbe de la tension de sortie du détecteur (Figure 5.4) est mesurée par rapport à la puissance disponible à l'entrée du système RF et à l'aide du banc d'essais de la Figure-A III-7 de l'ANNEXE III. La fonction de transfert montre une augmentation de la puissance minimale mesurée à -12 dBm comparativement à -17 dBm pour l'opération du détecteur seul (section 3.8.3). Cette augmentation confirme que la majeure partie de la puissance disponible est dirigée vers l'amplificateur et donc que la puissance disponible au détecteur (P_{AVS_ED}) est

significativement plus faible que P_{AVS} . On note aussi que la plage de détection est bien ajustée puisque la puissance maximale détectée de ~ 5 dBm est dans la même région de puissance que le point de compression de 1 dB référencé à l'entrée de l'amplificateur.

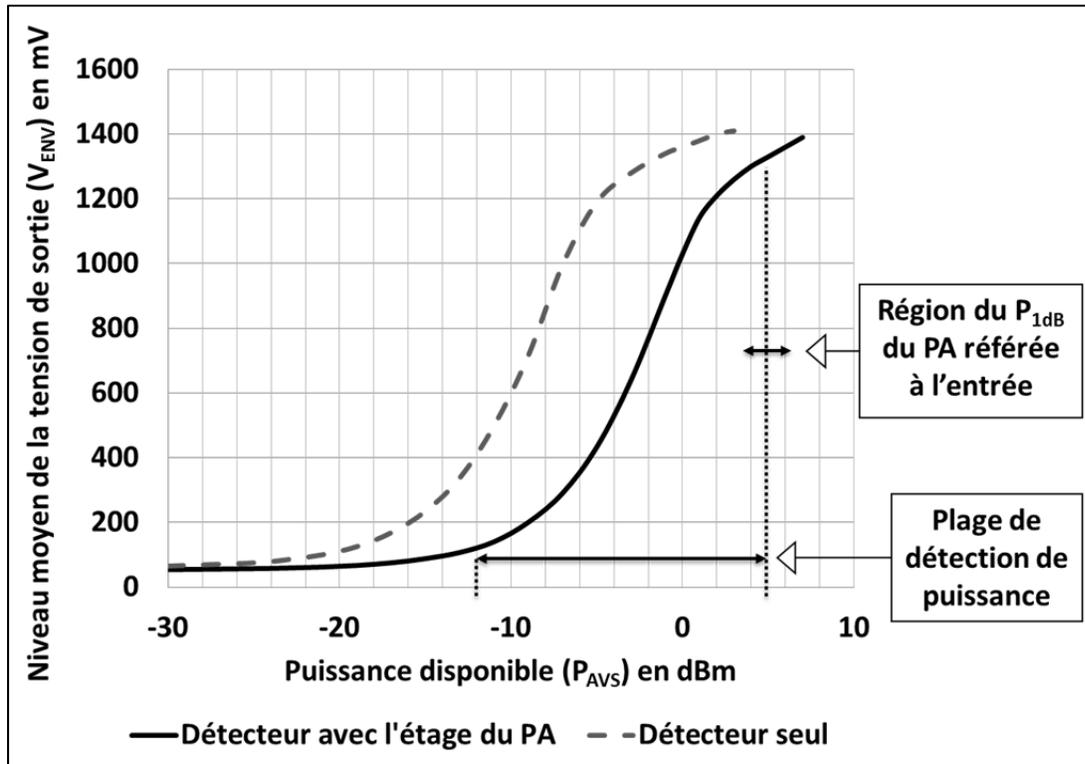


Figure 5.4 Fonction de transfert du détecteur au sein du système RF comparée à la fonction de transfert du détecteur opéré seul

5.5 Mesures expérimentales pour l'étude de l'effet du détecteur d'enveloppe sur l'étage de sortie du PA

Cette section a pour objectif de présenter les résultats expérimentaux de l'amplificateur au sein du système RF comparativement aux performances de l'opération seule de l'amplificateur (CHAPITRE 4). Cette comparaison permet de conclure sur l'effet de la présence du détecteur à l'entrée de l'amplificateur. Les conditions de polarisation de l'amplificateur et du détecteur sont respectivement présentées à la section 3.8.2 et 4.4.2. L'amplificateur est donc opéré en classe AB.

5.5.1 Évaluation de l'effet du détecteur sur le gain et l'efficacité énergétique de l'étage de sortie du PA

L'augmentation de la consommation statique du système RF comparativement à l'opération seul de l'amplificateur est le premier aspect étudié dans cette section. Les sections 3.8.2 et 4.4.2 montrent que la consommation en courant du détecteur est de ~ 1.3 mA comparativement à ~ 125 mA pour l'amplificateur. Puisque l'alimentation du détecteur est de 1.8 V et que celle de l'amplificateur est de 3.3 V, on calcule une augmentation d'environ 0.6 % de la puissance statique du système RF comparativement à l'amplificateur opéré seul, ce qui montre que l'effet du détecteur sur le PAE en termes de puissance DC est plus faible que 1 %.

L'autre élément de cette étude est la comparaison de la courbe du gain (Figure 5.5) et la courbe d'efficacité énergétique (PAE) (Figure 5.6) de l'amplificateur au sein du système RF (lignes pleines) à celles de l'opération seule de l'amplificateur (lignes pointillées). Ces mesures ont été prises à l'aide du banc d'essais de la Figure-A III-7 de l'ANNEXE III.

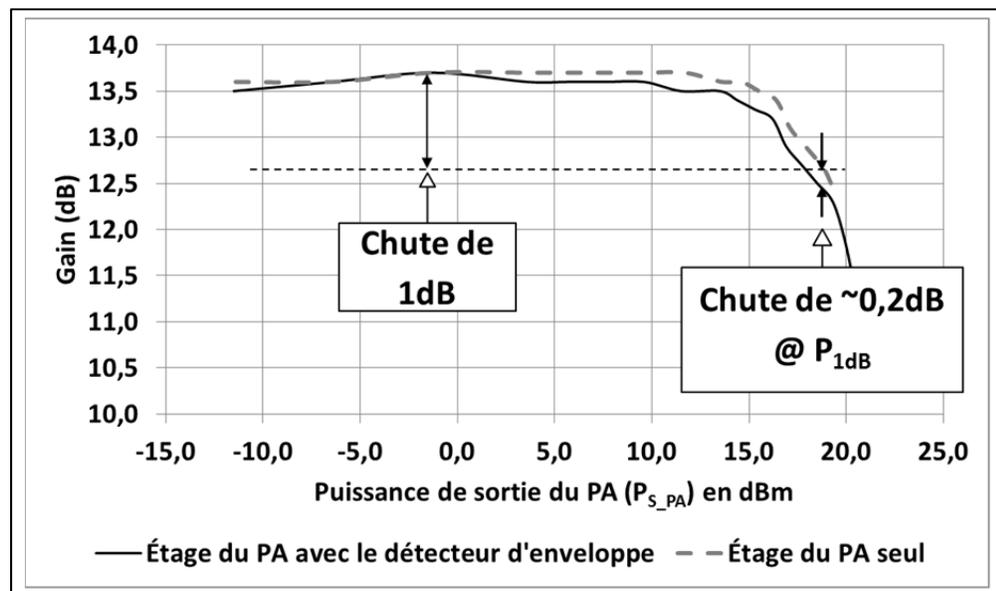


Figure 5.5 Gain de l'amplificateur au sein du système RF comparé au gain de l'amplificateur opéré seul

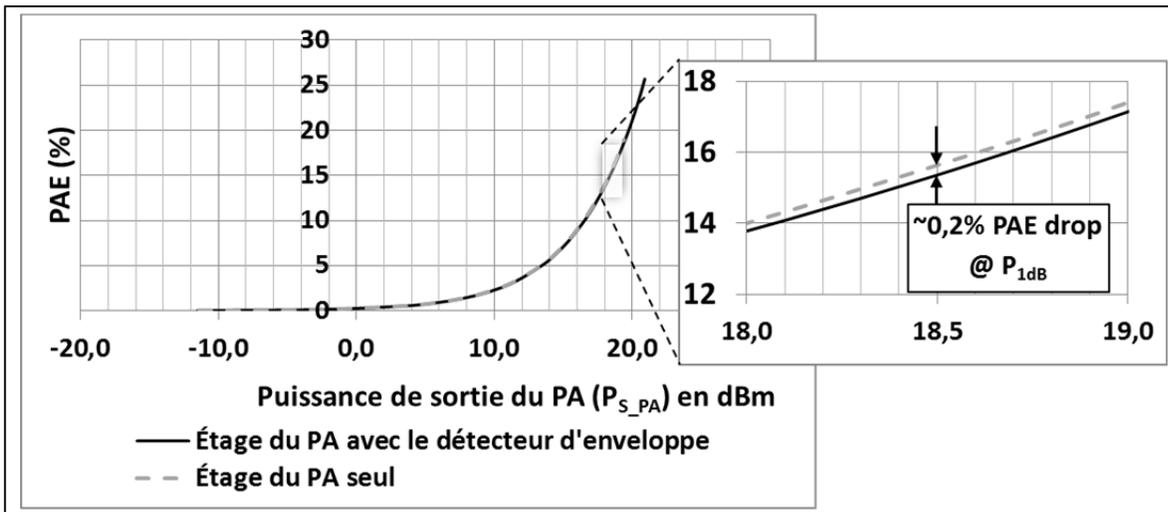


Figure 5.6 Efficacité (PAE) de l'amplificateur au sein du système RF comparée au PAE de l'amplificateur opéré seul

On note une chute de 0.2 dB du gain et de 0.2 % de l'efficacité dans la région du point de compression de 1 dB (P_{1dB}) de l'amplificateur lorsqu'il est opéré avec le détecteur couplé à son entrée. La raison de la faible dégradation des performances est à la faible consommation statique du détecteur et le fort ratio Z_{E_ED}/Z_{E_PA} de la Figure 5.2 obtenu grâce à une impédance d'entrée du détecteur suffisamment élevée.

5.5.2 Mesure de l'enveloppe d'un signal CDMA et évaluation de la distorsion causée par le détecteur par une mesure d'« *error vector magnitude* »

Le banc d'essais, montré à la Figure-A III-8 de l'ANNEXE III, utilisant un signal CDMA comme excitation RF d'entrée, a permis la mesure de l'enveloppe d'un CDMA (Figure 5.7).

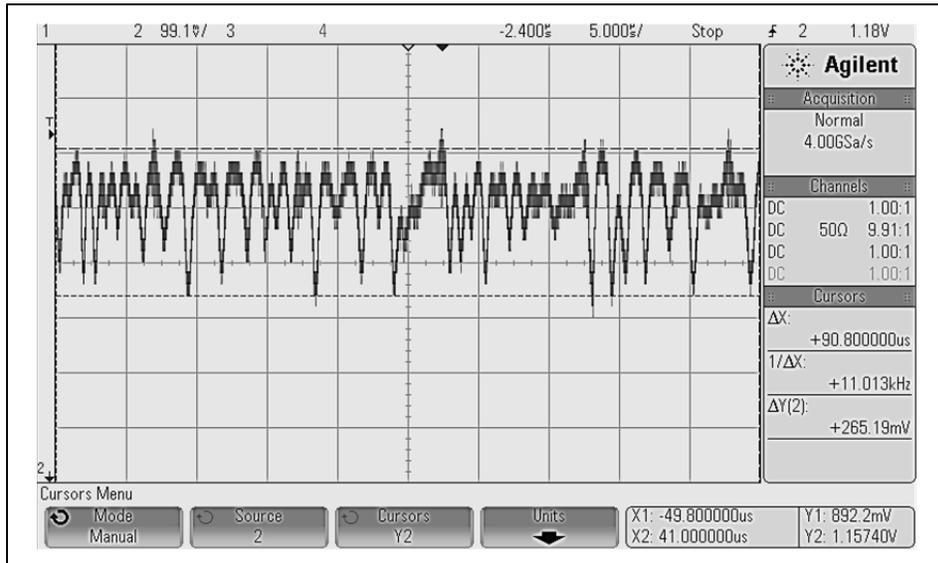


Figure 5.7 Mesure du signal de sortie du détecteur d'enveloppe avec un signal CDMA comme excitation d'entrée

Ce même banc d'essais est aussi utilisé pour évaluer la distorsion causée par l'amplificateur à l'aide de mesures d'« *Error Vector Magnitude* » (EVM). Comme les non-linéarités s'accroissent avec l'augmentation de la puissance, ces mesures ont été prises à un recul de 0.6 dB de P_{1dB} . L'EVM mesurée de l'amplificateur seul est de 3.39 %, comparativement à un EVM de 3.59 % pour le système RF. Cette faible augmentation d'EVM met en évidence l'effet minimal de la distorsion du détecteur sur le signal RF en raison de sa grande impédance d'entrée.

5.6 Résumé sur l'évaluation de l'effet du détecteur d'enveloppe sur les performances de l'étage de sortie d'un amplificateur de puissance

La Figure 5.3 présente le système RF qui est utilisé afin d'évaluer l'effet du détecteur sur les performances d'un étage de sortie d'un amplificateur de puissance, c'est-à-dire que le détecteur est couplé à l'entrée de l'amplificateur. Un des aspects importants de ce système est la répartition de la puissance (section 5.2) entre le détecteur et l'amplificateur, qui est affectée significativement par l'impédance d'entrée du détecteur. Des résultats expérimentaux prouvent qu'il est possible de faire fonctionner le détecteur dans la plage de puissance (section 5.4) correspondant à celle disponible à l'entrée de l'amplificateur.

D'autres résultats expérimentaux démontrent que le détecteur cause une dégradation du gain de l'amplificateur de seulement 0.2 dB et que l'efficacité énergétique chute uniquement de 0.2 % à P_{1dB} (section 5.5.1). Finalement, des mesures d'EVM montrent l'effet minimal de distorsion que cause le détecteur d'enveloppe sur le signal RF (section 5.5.2). Tous ces résultats démontrant que le détecteur respecte les spécifications requises, listées au Tableau 0.1, pour répondre aux besoins de l'architecture à l'étude d'un module RFIC PA illustrée à la Figure 0.1 en termes de la plage de détection de puissance et d'impédance d'entrée.

CONCLUSION

Ces travaux de recherche sont motivés par une architecture d'un RFIC PA en CMOS à l'étude par l'équipe de recherche du professeur Nicolas Constantin (section 0.2.3) prévue pour une application cellulaire, d'où la fréquence d'opération à une fréquence de 1.88 GHz qui se situe dans la bande PCS. Cette architecture est composée d'une chaîne d'amplification de puissance linéaire et d'un circuit de modulation de l'alimentation pour l'amélioration de l'efficacité énergétique par rapport à ce qui a déjà été étudiée dans la littérature (section 0.2.2). La nouveauté de cette architecture est l'intégration d'un détecteur d'enveloppe sur la puce de la chaîne d'amplification de puissance RF, en vue d'une amélioration de l'efficacité énergétique à un niveau de puissance en dessous du point de compression P_{1dB} . Cela est utilisé à travers une modulation continue de la polarisation à la grille du PA et une réduction du courant dans les circuits du bloc de modulation de l'alimentation. Un avantage de cette proposition est qu'elle est complémentaire aux travaux déjà proposés qui permettent l'augmentation de l'efficacité énergétique par la modulation de V_{DD} du PA.

Ces travaux de recherche se concentrent sur la conception d'un détecteur d'enveloppe en CMOS 0.18 μm (section 3.3) utilisant un redressement demi-onde suivi d'un filtre passe-bas. L'introduction d'une fonction novatrice de calibration intégrée pour l'ajustement de la plage de tension de sortie du détecteur (section 3.3.3.2) à travers un signal de contrôle externe facilite l'interfaçage entre le détecteur et les circuits de contrôle. Cette conception peut aussi aisément être intégrée à la puce d'un module PA en raison de sa faible dimension de semi-conducteur (section 3.7.4), soit un total de $\sim 6000 \mu\text{m}^2$. Des mesures expérimentales sur le détecteur (section 3.8) ont démontré une faible consommation DC (2.3 mW) avec une alimentation de 1.8 V, une bande passante de 110 MHz et une plage de détection de puissance de ~ 17 dB. Ces performances sont intéressantes pour l'implémentation de l'architecture de la Figure 0.1 dans des équipements de communication sans fil modernes, comme le LTE et le LTE-A. Des mesures expérimentales sur un système RF (section 5.2) composé d'un étage de sortie d'un amplificateur en CMOS 0.18 μm et du détecteur

d'enveloppe à l'étude ont démontré que la grande impédance d'entrée du détecteur minimise son impact sur les performances de l'amplificateur en termes de gain et d'efficacité énergétique (section 5.5). La preuve a donc été faite que le détecteur d'enveloppe à l'étude répond aux spécifications ciblées (Tableau 0.1) pour répondre aux besoins de l'architecture à l'étude (Figure 0.1).

Le second volet de cette recherche est la caractérisation d'une matrice d'amplification RF en CMOS 0.18 μm (CHAPITRE 4) dans l'objectif de fournir des informations pertinentes à la communauté scientifique et à l'équipe de recherche du professeur Nicolas Constantin en vue de faciliter la conception de chaînes d'amplification de puissance complexes pouvant délivrer une puissance de sortie de l'ordre du Watt en CMOS 0.18 μm . La section 4.4 présente des mesures expérimentales sur une matrice d'amplification opérée en classe AB avec un courant de drain de 125 mA et une alimentation de 3.3 V. Ces mesures ont démontré un gain de 13.7 dB en faible puissance, un point de compression de 1dB ($P_{1\text{dB}}$) à une puissance de sortie de 19 dBm et une efficacité énergétique (PAE) de 17,4 % à $P_{1\text{dB}}$.

RECOMMANDATIONS

Considérations sur l'impédance d'entrée du détecteur d'enveloppe

Une seule version du détecteur a été testée et caractérisée expérimentalement bien que deux versions ont été étudiées et conçues, c'est-à-dire avec ou sans l'utilisation d'un amplificateur de courant entre le nœud RF mesuré et le détecteur d'enveloppe. Or, l'utilisation de l'amplificateur de courant requiert une minimisation de l'impédance d'entrée du circuit de détection pour faciliter le transfert de l'onde RF de courant à la sortie de l'amplificateur de courant vers le circuit de détection (section 3.3.3.1). Pour une opération sans l'utilisation de l'amplificateur, on compte sur l'utilisation d'une capacité pour augmenter l'impédance d'entrée. Comme les mesures expérimentales ont démontré qu'il n'est pas nécessaire d'utiliser l'amplificateur de courant pour atteindre une impédance d'entrée suffisante, une conception future du détecteur pourrait être optimisée en réduisant la dimension du transistor d'entrée du redresseur afin de minimiser la contrainte sur le choix de la capacité d'entrée et afin d'augmenter d'avantage l'impédance d'entrée.

Désensibilisation du filtre RC de sortie du détecteur à la valeur de la capacité

L'atteinte de l'objectif concernant la largeur de bande a nécessité une modification du réseau de sortie du détecteur d'enveloppe (section 3.8.5) qui limite la plage dynamique du signal AC de sortie. La présence de capacités parasites affecte de façon marquée la réponse en fréquence du détecteur. Selon nos hypothèses et analyses, il s'agit de capacités de plots, de capacités parasites des diodes ESD et de capacités parasites sur le PCB (section 3.8.5.1). Une étude plus approfondie sur ces hypothèses à l'aide de modèles de composants de semi-conducteurs plus performantes est souhaitable et une stratégie de conception pour désensibiliser le filtre à la valeur de la capacité de sortie du détecteur devra être adoptée pour une conception future dans le but de maximiser la plage dynamique de l'onde de tension AC de sortie.

Tests destructifs sur la matrice d'amplification

Des tests de variations de charge (« *Load Pull* ») sur la matrice d'amplification auraient pu donner des informations supplémentaires sur la puissance de saturation, sur la tension de claquage, sur la robustesse et sur la stabilité. Ces tests sont souvent destructifs car ils permettent d'identifier les conditions extrêmes de puissance, d'alimentation et de charges jusqu'au claquage des transistors. Ces tests constituent des données pertinentes pour la conception d'amplificateurs de puissance. Mais comme une grande quantité de puces ont été utilisées lors des mesures expérimentales, le nombre limité d'échantillons restants n'a pas permis l'accomplissement de ces tests sur la matrice d'amplification.

ANNEXE I

NOMENCLATURE DES PORTS D'ENTRÉES/SORTIES ET DISPOSITION DES PLOTS DE LA PUCE

Le tableau ci-dessous liste tous les ports d'entrées/sorties pour les deux versions du détecteur d'enveloppe et pour les circuits de polarisation. On peut se référer à la Figure 3.14 pour associer les noms des ports au schéma électrique de la puce. Ici, la version du détecteur avec l'utilisation de l'amplificateur de courant est nommée « détecteur A » et la version n'utilisant pas l'amplificateur est nommée « détecteur B ».

Tableau-A I.1 Liste des ports d'entrées/sorties des deux versions de détecteur incluant les circuits de polarisation

Ports du chemin RF	
Nom du port	Description
$V_{E1_E_A}$ et $V_{E2_E_B}$	Entrées RF des détecteurs A et B
V_{E1_A} et $V_{E2_S_B}$	Sorties RF des détecteurs A et B
M4M5a	Mesure au nœud des drains de M4 et M5a (normalement $Z = \infty$)
$M1_{REC_P}$	Mesure et rectification de l'impédance au drain de M1 (normalement $Z = \infty$)
$M1_{REC_S}$	Mesure et rectification de l'impédance à la source de M1 (normalement GND)
Ports d'alimentation	
Nom du port	Description
$E1_{GND1}$	Mise à la terre de l'étage d'amplification d'entrée de l'étage I (M1 et M2)
$E1_{GND2}$ (GND_RING)	Mise à la terre de l'étage d'amplification de sortie de l'étage I (M4 et M5), du substrat et de « GND_RING »
$E2_{GND_A}$ et $E2_{GND_B}$	Mise à la terre de l'étage II (M7 et R4) du détecteur A et B
$E1_{VDD1}$	Tension d'alimentation de l'étage d'amplification d'entrée de l'étage I (M3a/b)
$E1_{VDD2}$	Tension d'alimentation de l'étage d'amplification de sortie de l'étage I (M6) et du « VDD_RING » de la puce
$E2_{VDD_A}$ et $E2_{VDD_B}$	Tension d'alimentation de l'étage II (M9 et M8) du détecteur A et B
V_{DD_RING}	Tension d'alimentation de « VDD_RING » et des circuits de polarisation

Tableau-A I.1 Liste des ports d'entrées/sorties des deux versions de détecteur incluant les circuits de polarisation (suite)

Ports des circuits de polarisation	
Nom du port	Description
Rb _{M1_REC_P}	Mesure de V_{Rb_M1} et rectification parallèle de R_{b_M1} (normalement $Z = \infty$)
Rb _{M1_REC_S}	Mise à la terre et/ou rectification série de R_{b_M1} (normalement GND)
V _{M1_S}	Sortie du circuit de polarisation de M1
V _{M1_E_A}	Tension de polarisation de la grille de M1
V _{POLM2_VDD}	Tension d'alimentation du circuit de polarisation de M2.
V _{M2_S}	Sortie du circuit de polarisation de M2
Rb _{M6_REC_P}	Mesure de V_{Rb_M6} et rectification parallèle de R_{b_M6} (normalement $Z = \infty$)
Rb _{M6_REC_S}	Mise à la terre et/ou rectification série de R_{b_M6} (Normalement GND)
V _{M6_S}	Sortie du circuit de polarisation de M6
V _{M6_E_A}	Tension de polarisation de la grille de M6
Rb _{M8_REC_P}	Mesure de V_{Rb_M8} et rectification parallèle de R_{b_M8} (normalement $Z = \infty$)
Rb _{M8_REC_S}	Mise à la terre et/ou rectification série de R_{b_M8} (normalement GND)
V _{M8_S}	Sortie du circuit de polarisation de M8
V _{M8_E_A} et V _{M8_E_B}	Tensions de polarisation de la grille de M8 des redresseurs A et B
Rb _{M9_REC_P}	Mesure de V_{Rb_M9} et rectification parallèle de R_{b_M9} (normalement $Z = \infty$)
Rb _{M9_REC_S}	Mise à la terre et/ou rectification série de R_{b_M9} (normalement GND)
V _{M9_S}	Tension de sortie du circuit de polarisation
V _{M9_E_A} et V _{M9_E_B}	Tensions de polarisation de la grille de M9 des redresseurs A et B

Les Figure-A I.1 et Figure-A I.2 présentent respectivement la disposition et le dimensionnement des plots de la puce. On note sur la Figure-A I.1 que tous les plots où il y a la présence de signaux RF sont situés sur les abords de la puce, c'est-à-dire qu'ils ne sont pas positionnés sur les deux plots situés au centre de la puce ni sur les quatre plots du côté où se trouve la matrice d'amplification (à droite sur la figure). Ce choix est effectué dans l'objectif de réduire la longueur des fils d'or en présence de RF et donc de minimiser leur inductance. On note sur la Figure-A I.2 que tous les plots en marge des circuits actifs ont une dimension de $65 \mu\text{m} \times 75 \mu\text{m}$ ainsi qu'un espacement minimal de $62.6 \mu\text{m}$. Les dimensions des deux plots centrales sont de $165 \mu\text{m} \times 90 \mu\text{m}$.

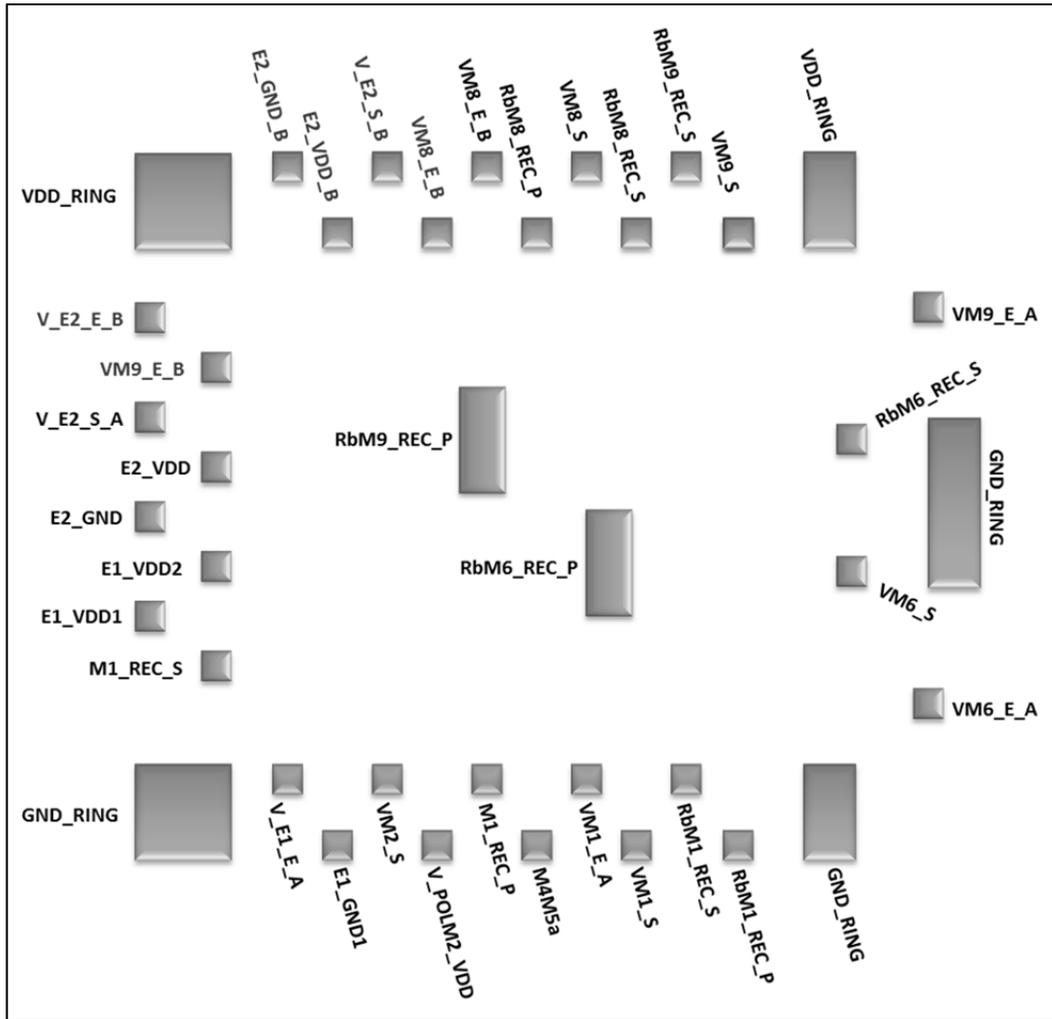


Figure-A I.1 Nomenclature des plots de la puce.

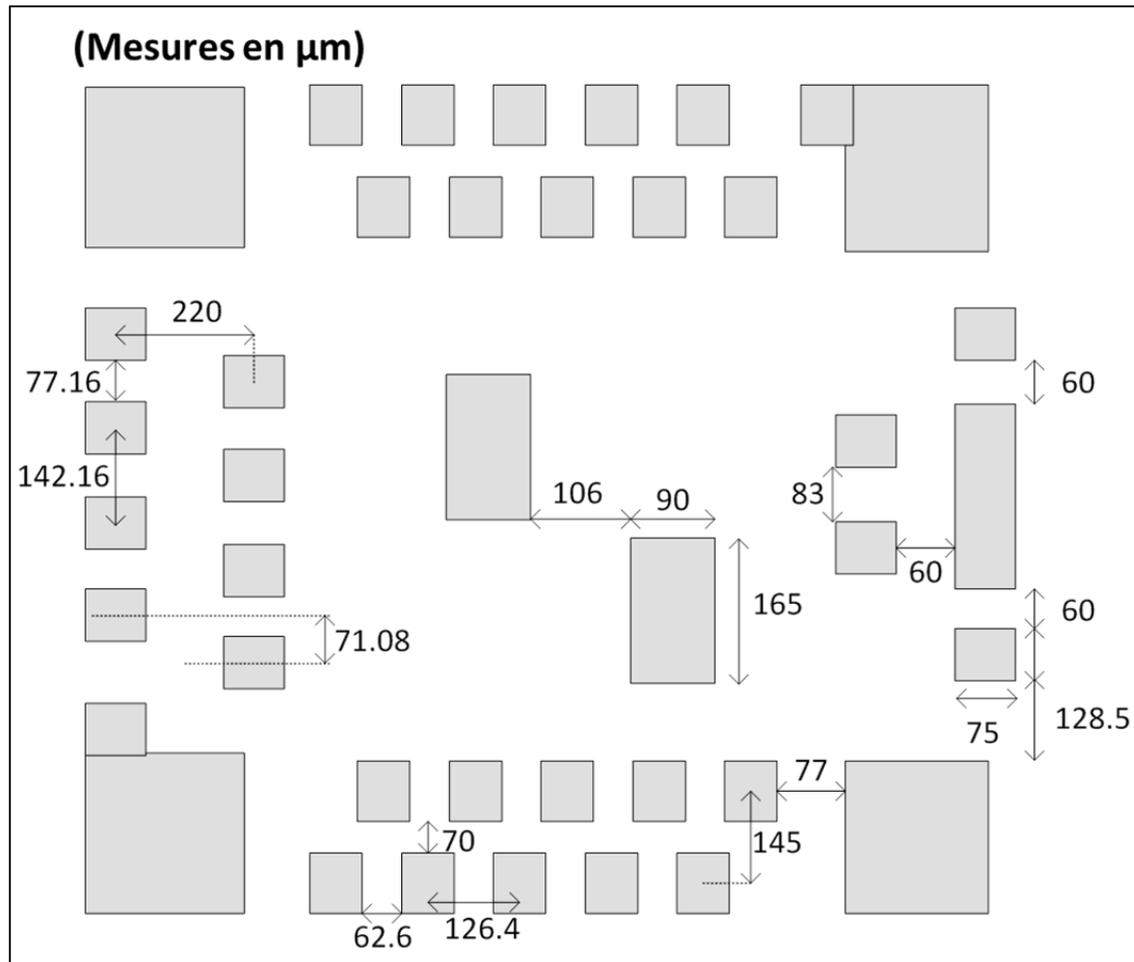


Figure-A I.2 Dimensionnement et espacement des plots de la puce.

ANNEXE II

INFORMATIONS ET CONSIDÉRATIONS IMPORTANTES POUR LA CONCEPTION DU PCB

Cette annexe présente les figures et les détails importants sur le PCB fabriqué dans l'objectif de faciliter la reproduction des mesures présentées dans ce mémoire.

Le fabricant du PCB est ELEcrow. Le PCB utilise un substrat FR4 dont la constante diélectrique est de ~ 4.6 et d'une épaisseur de 0.6 mm. Une finition « *Electroless nickel immersion gold* » (ENIG) est nécessaire afin de permettre le montage des puces par fils d'or.

A-II.1 Schémas électriques du PCB des deux versions de détecteur et de l'amplificateur

Le PCB est subdivisé en trois circuits indépendants avec différentes configurations de branchements. Le schéma bloc de la Figure A II-1 présente les différents circuits ainsi que les différentes configurations de branchement. Selon la configuration sélectionnée, il est possible d'opérer chacun des circuits individuellement ou d'implémenter un système RF utilisant l'amplificateur et la version du détecteur qui n'utilise pas d'amplificateur de courant.

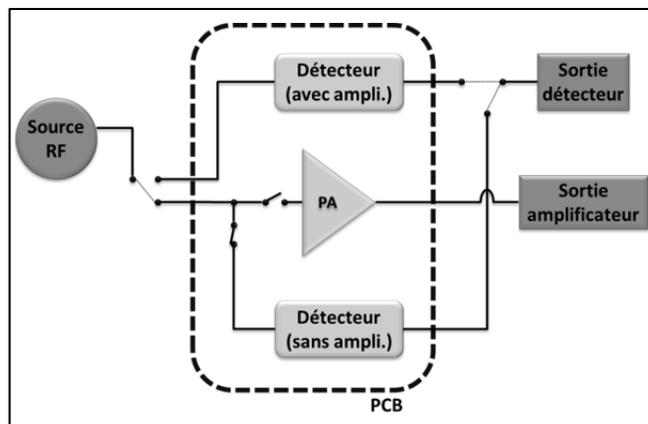


Figure A II-1 Schéma bloc du PCB de test

Les schémas électriques des circuits utilisés pour l'opération des deux versions du détecteur ainsi que pour l'amplificateur sont disponibles à la Figure-A II.2, la Figure-A II.3 et à la Figure-A II.4.

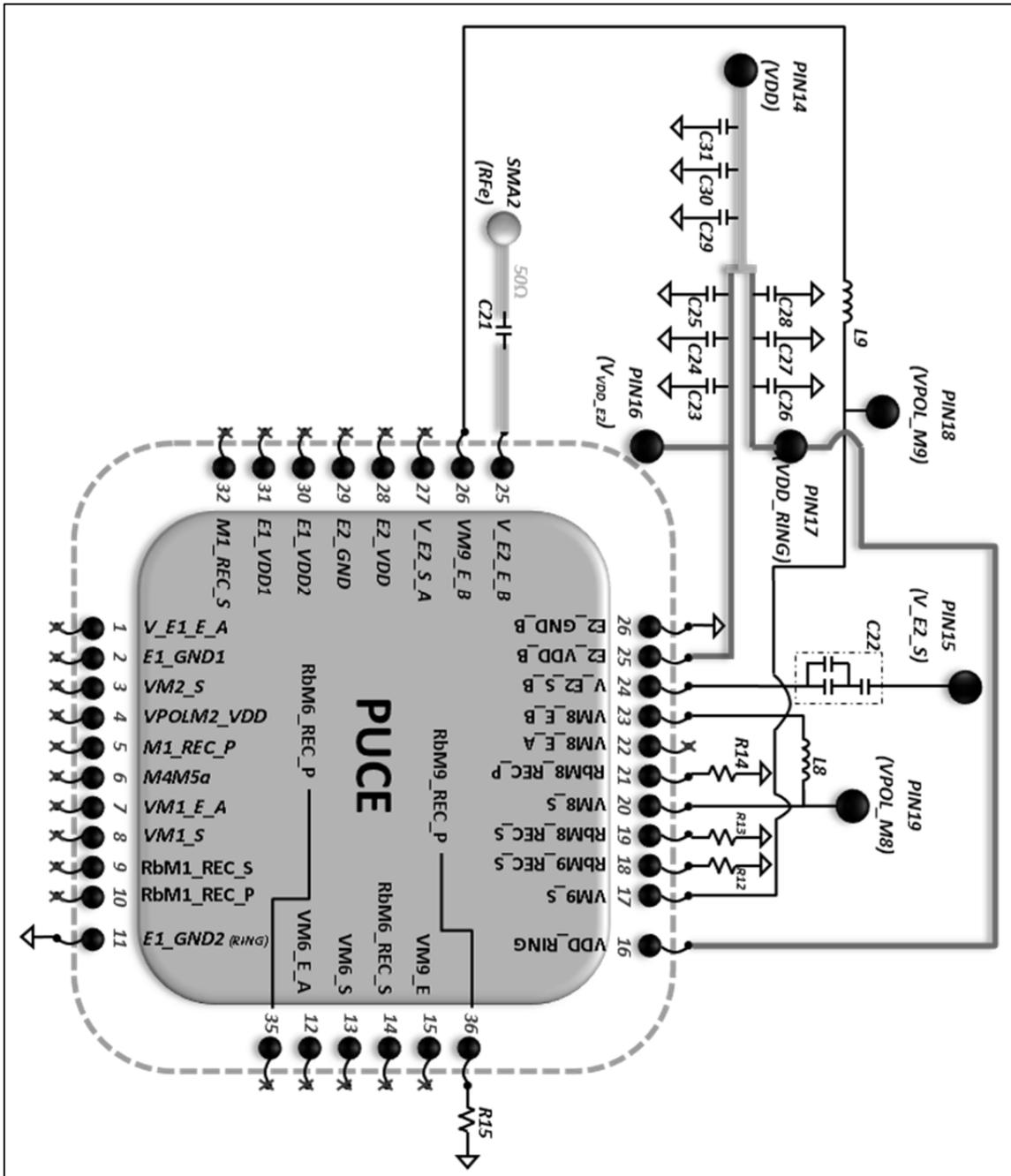


Figure-A II.3 Schéma électrique du PCB pour le détecteur sans amplificateur de courant.

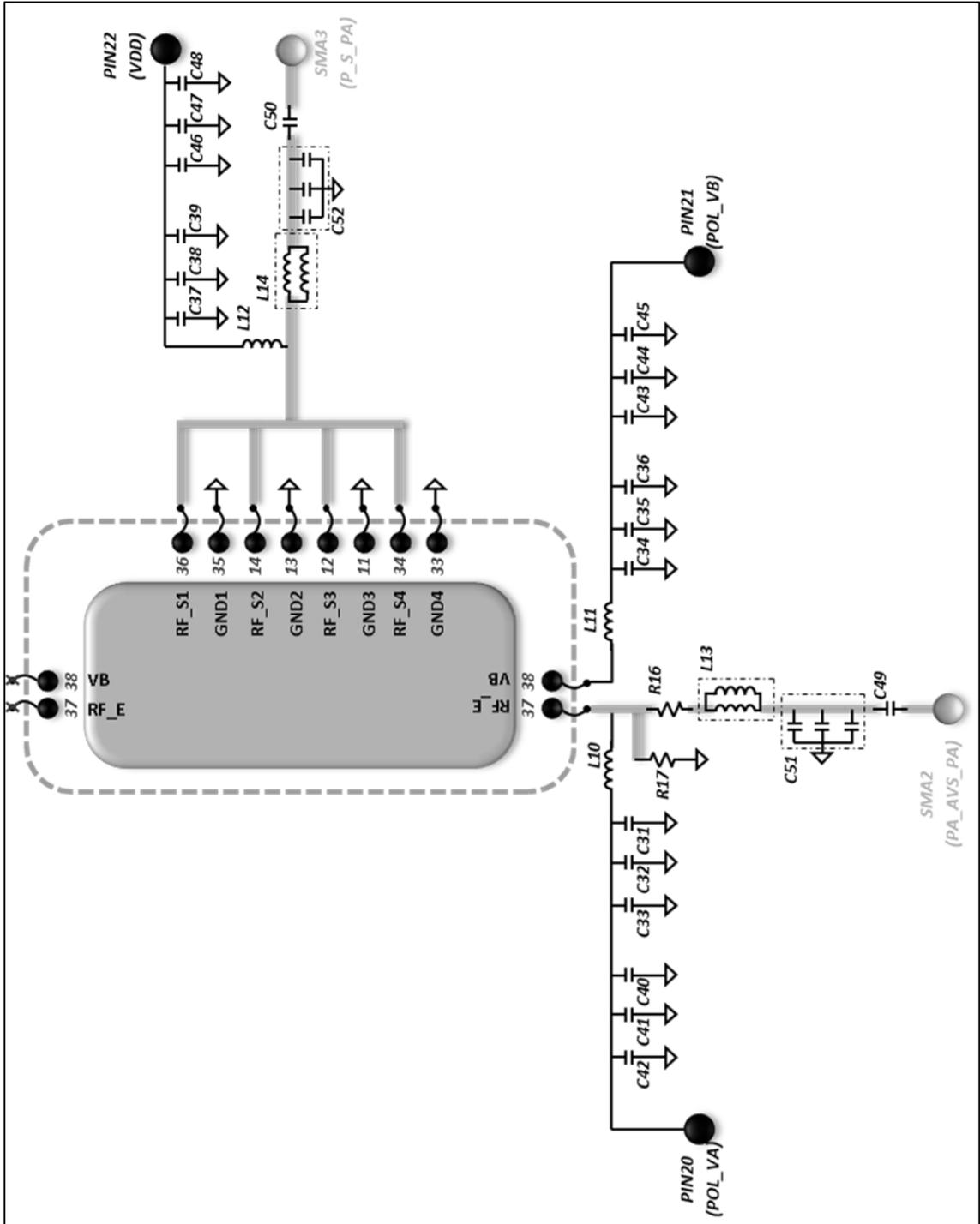


Figure-A II.4 Schéma électrique du PCB pour l'amplificateur

A-II.2 Valeurs des composantes discrètes du PCB utilisées lors des mesures expérimentales

Tableau-A I.1 Valeur des composantes discrètes du PCB pour les mesures expérimentales du détecteur d'enveloppe

Composante	Valeur	Composante	Valeur
C21	0.5pF	C29	470pF
C22	Circuit ouvert	C30	Circuit ouvert
R22	1k Ω	CXX (3)	470pF
C23	9pF	R12	Circuit ouvert
C24	Circuit ouvert	R13	220nF
C25	Circuit ouvert	R14	470 μ F
C26	9pF	R15	10 μ F
C27	22nF	L8	22nH
C28	5.6nF	L9	22nH

Tableau-A I.2 Valeur des composantes discrètes du PCB pour les mesures expérimentales de la matrice d'amplification

Composante	Valeur	Composante	Valeur
C31	Circuit ouvert	C45	10 μ F
C32	Circuit ouvert	C46	220nF
C33	Circuit ouvert	C47	Circuit ouvert
C34	Circuit ouvert	C48	10 μ F
C35	Circuit ouvert	C49	Court-circuit
C36	Circuit ouvert	C50	22pF
C37	18nF	C _{SWITCH} *	22pF
C38	Circuit ouvert	C51	2pF
C39	Circuit ouvert	C51*	Circuit ouvert
C40	220nF	C52	1pF
C41	10 μ F	L10	15nH
C42	470pF	L11	15nH
C43	220nF	L12	6.8nH
C44	470 μ F	L13	Court-circuit

A-II.3 Synthèse du PCB et positionnement des sondes coaxiales miniatures pour minimiser les capacités parasites du PCB

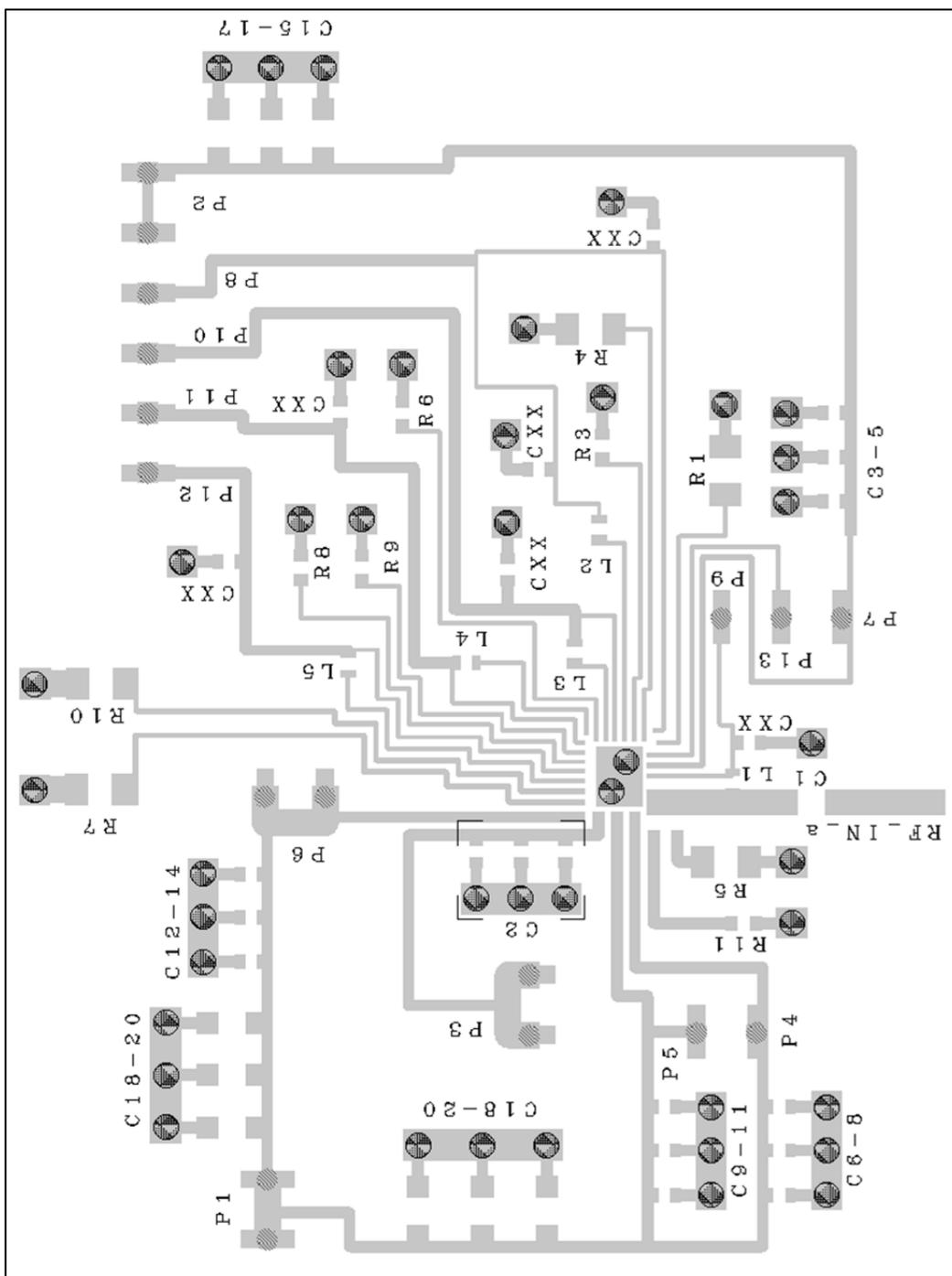


Figure-A II-5 Synthèse du PCB du circuit pour le détecteur avec l'utilisation de l'amplificateur de courant

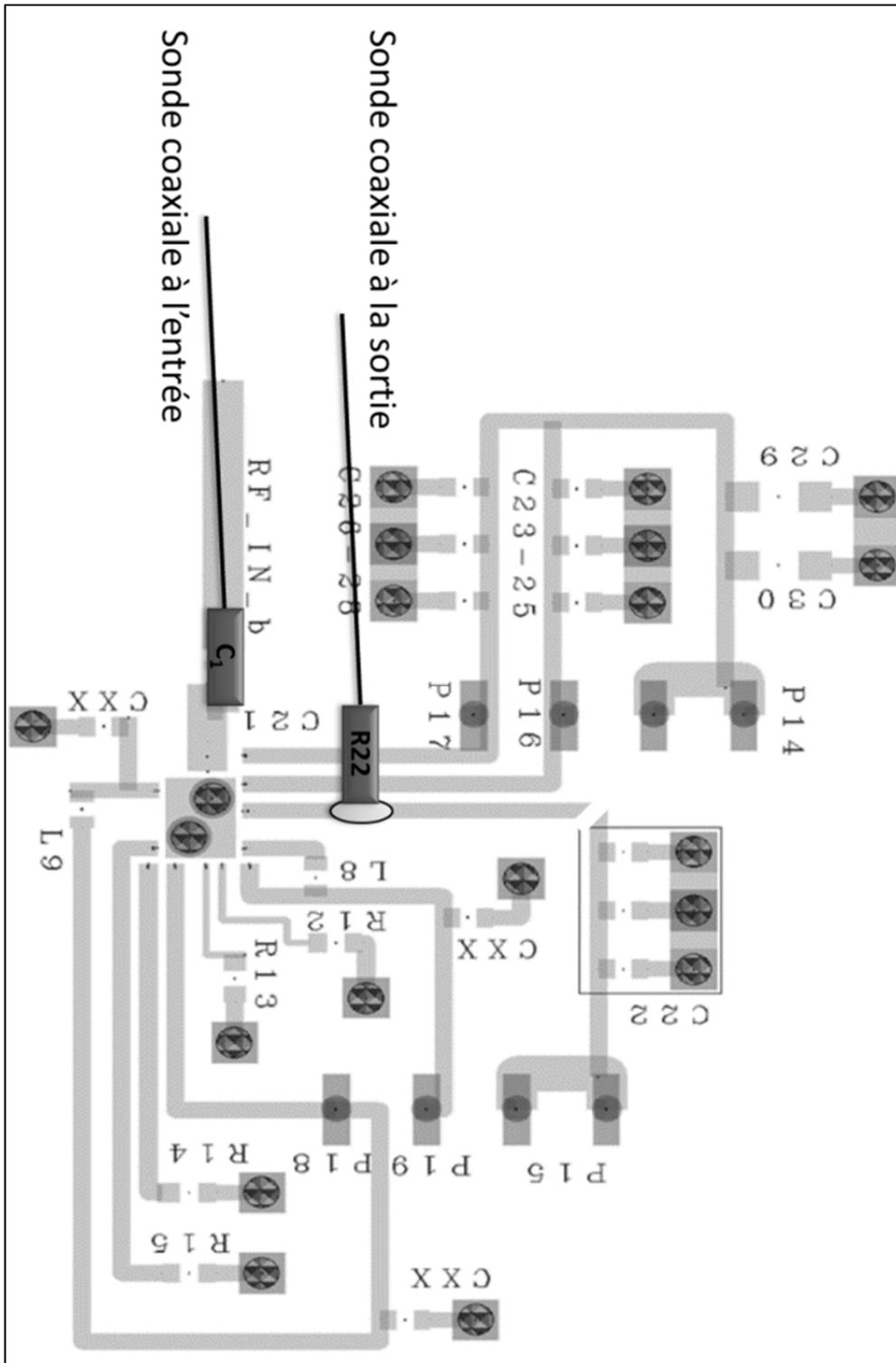


Figure-A II-6 Synthèse du PCB du circuit pour le détecteur sans l'amplificateur de courant

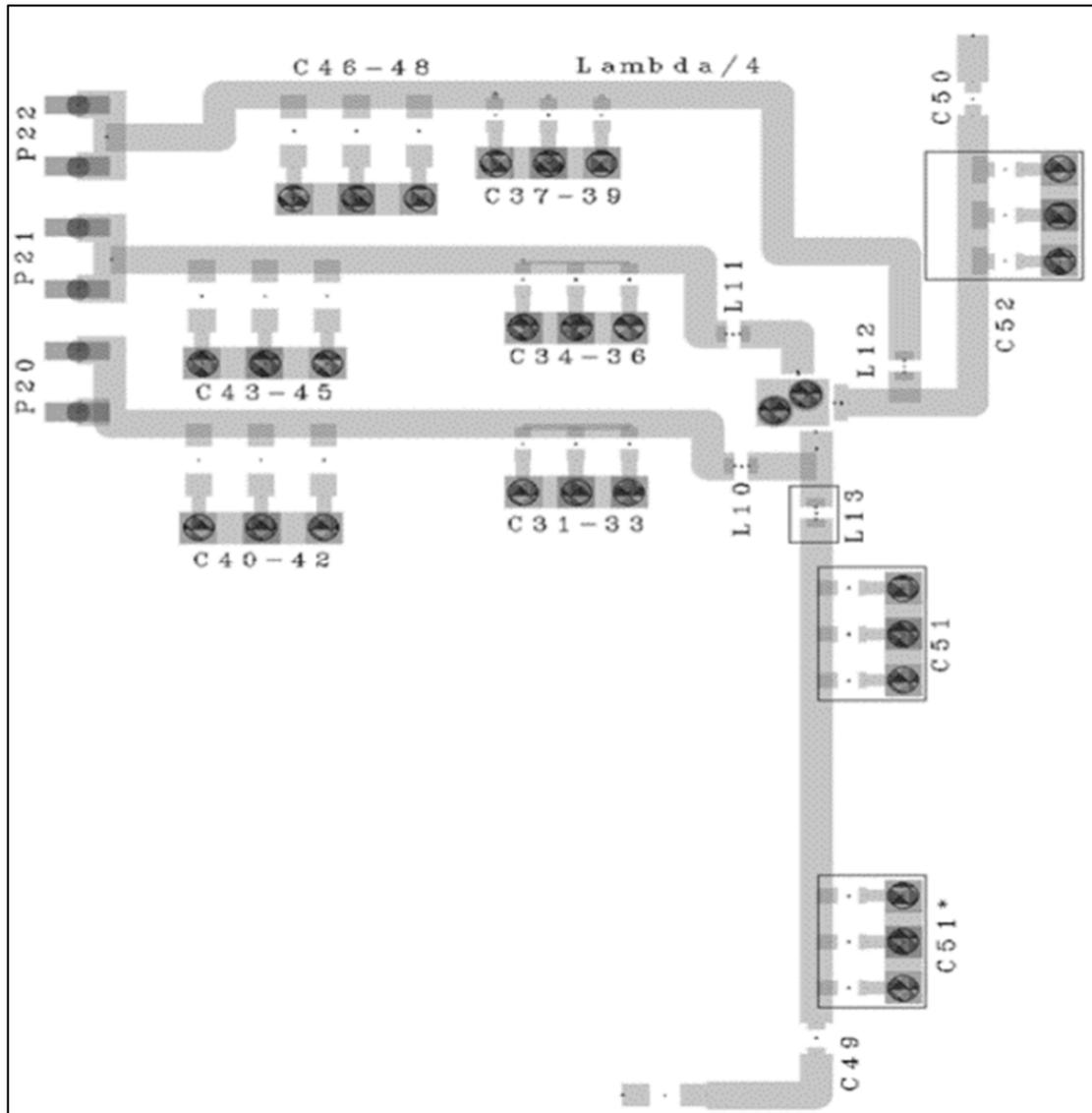


Figure-A II-7 Synthèse du PCB du circuit pour l'amplificateur de puissance RF

A-II.4 Montage de la puce

Les traces du PCB et les plots de la puce sont liés à l'aide de fils d'or (« *wirebonds* »). Afin d'avoir une mise à la masse la plus uniforme que possible, la couche de métal sous le PCB est utilisée comme plan de masse (« *Ground plane* »). Ensuite, la puce est collée sur une surface de métal qui est reliée au plan de masse par des VIAs. Ces mêmes VIAs aident aussi à dissiper la chaleur que produit la puce, particulièrement dans le cas de la matrice d'amplification, dont il est question au CHAPITRE 4. Finalement, la majorité des points de

masse de la puce est située sur le premier niveau de plots de la puce. De cette façon, il est possible de positionner les fils d'or directement sur la surface de métal utilisée comme masse. La distance d'extension de la surface de métal sous la puce est donc importante pour permettre le montage des fils d'or. Des gens d'expérience et les techniciens du département de génie électrique ont contribué à déterminer cette distance à 15 mils comme illustrée à la Figure-A II-8.

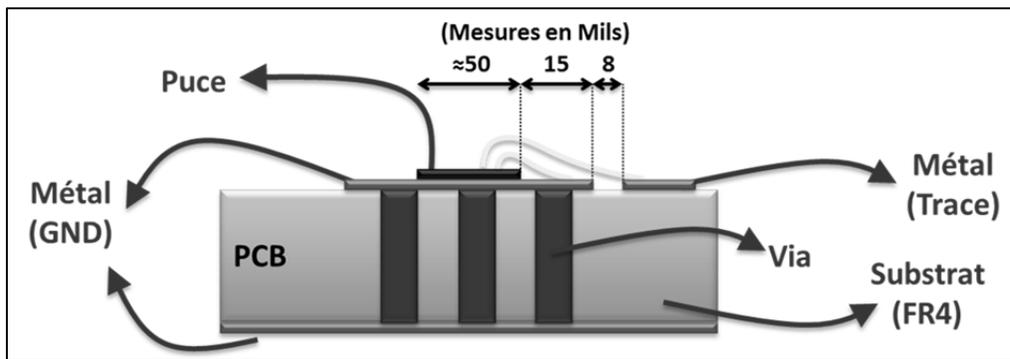


Figure-A II-8 Coupe transversale du PCB et de la puce

Ces fils d'or sont des inductances non négligeables à la fréquence d'opération de la puce, soit 1.88 GHz. C'est pourquoi la conception du PCB doit limiter la longueur des fils d'or où des signaux RF sont présents. Il est à noter que ces valeurs d'inductances ont été estimées à 0.6 nH lors des simulations.

La conception du PCB doit aussi prendre en compte la distribution uniforme des fils d'or. Il ne faut pas que les fils d'or s'entrecroisent ce qui pourrait mener à de mauvaises interactions de signaux et à une difficulté accrue lors du montage de la puce sur le PCB. Les deux captures d'écrans suivantes montrent les connexions entre la puce et les traces du PCB.

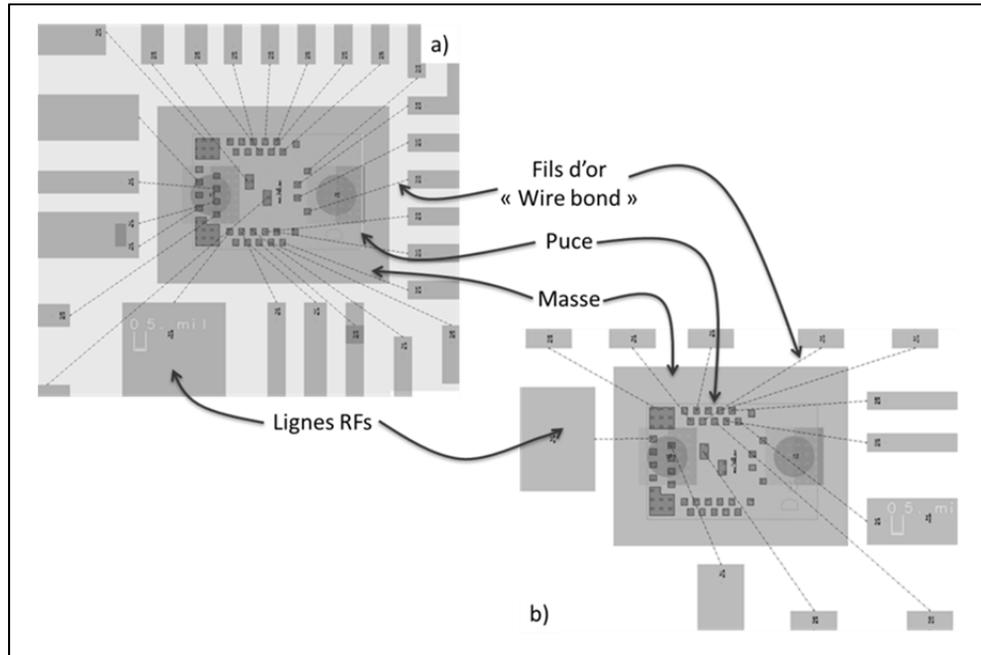


Figure-A II-9 Circuit autour de la puce incluant les connexions entre la puce et le PCB a) le détecteur avec l'amplificateur de courant b) le détecteur sans l'amplificateur de courant

Voici un tableau listant quelques informations intéressantes sur les distances entre les plots de la puce et les traces.

Tableau-A II-3 Informations sur la longueur des fils d'or

	Détecteur avec amplificateur de courant (mils)	Détecteur sans amplificateur de courant (mils)
Distance la plus longue	125	124
Distance la plus longue pour une ligne RF	30,4	25
Distance avec le plan de masse	12,5	12,5

Des tests expérimentaux avec l'équipement pour monter les fils d'or « *Analogue Manual Ball Bonder* »; modèle 4522 de la compagnie « *Kulicke & Soffa* » ont démontré qu'un déplacement de 6 mm, ou environ 235 mils, est possible. Aussi, après une évaluation conjointe avec les techniciens du département de génie électrique, ces longueurs de fil d'or

ainsi que le dimensionnement des plots présenté à la Figure-A I.2 sont acceptables au niveau du montage de la puce sur le PCB.

Les photos de la Figure A II-10 et Figure-A II-11 présentent le montage des puces et la configuration des fils d'or pour les mesures du détecteur et de la matrice d'amplification.

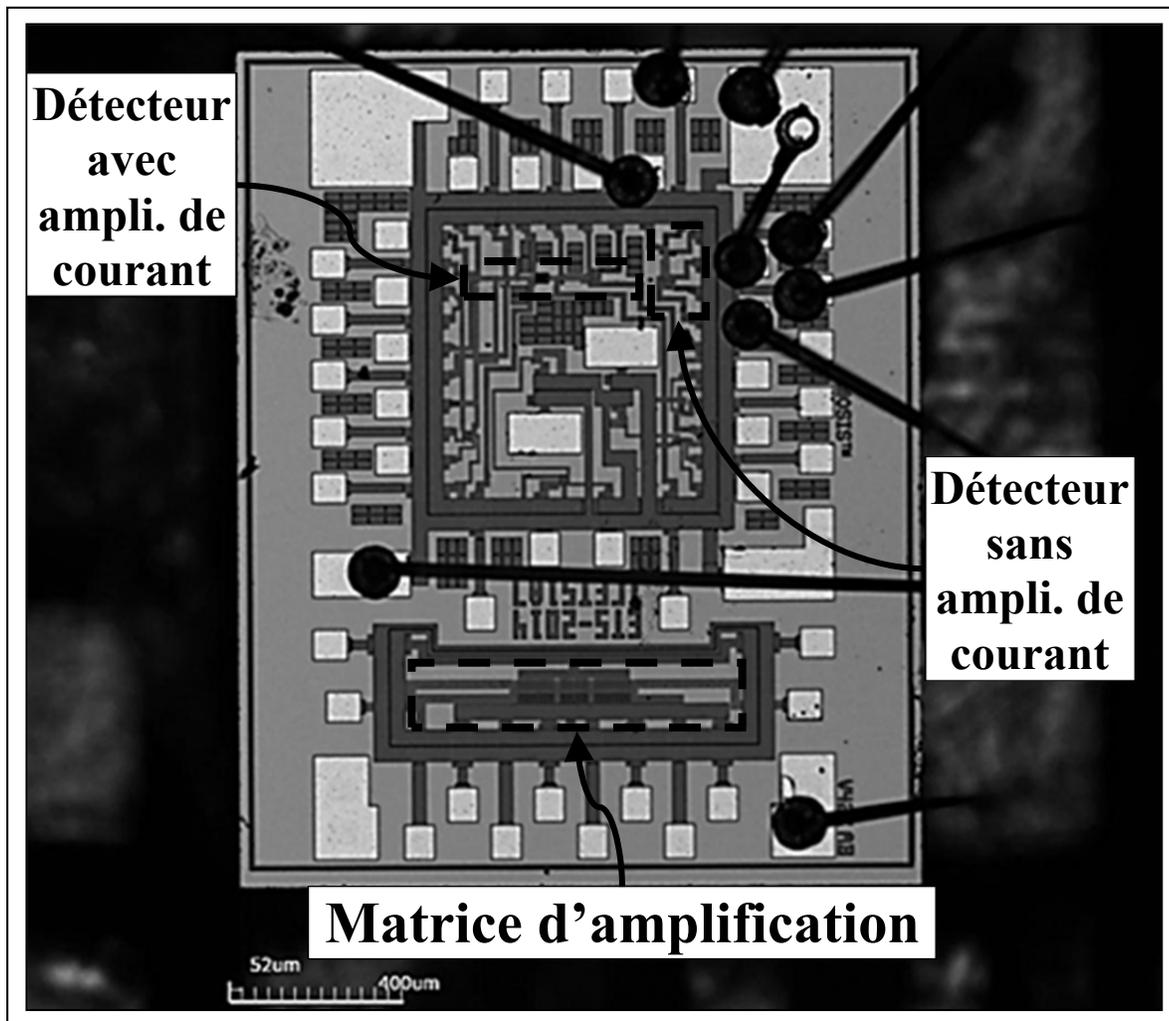


Figure-A II-10 Photo du montage de la puce pour les mesures du détecteur

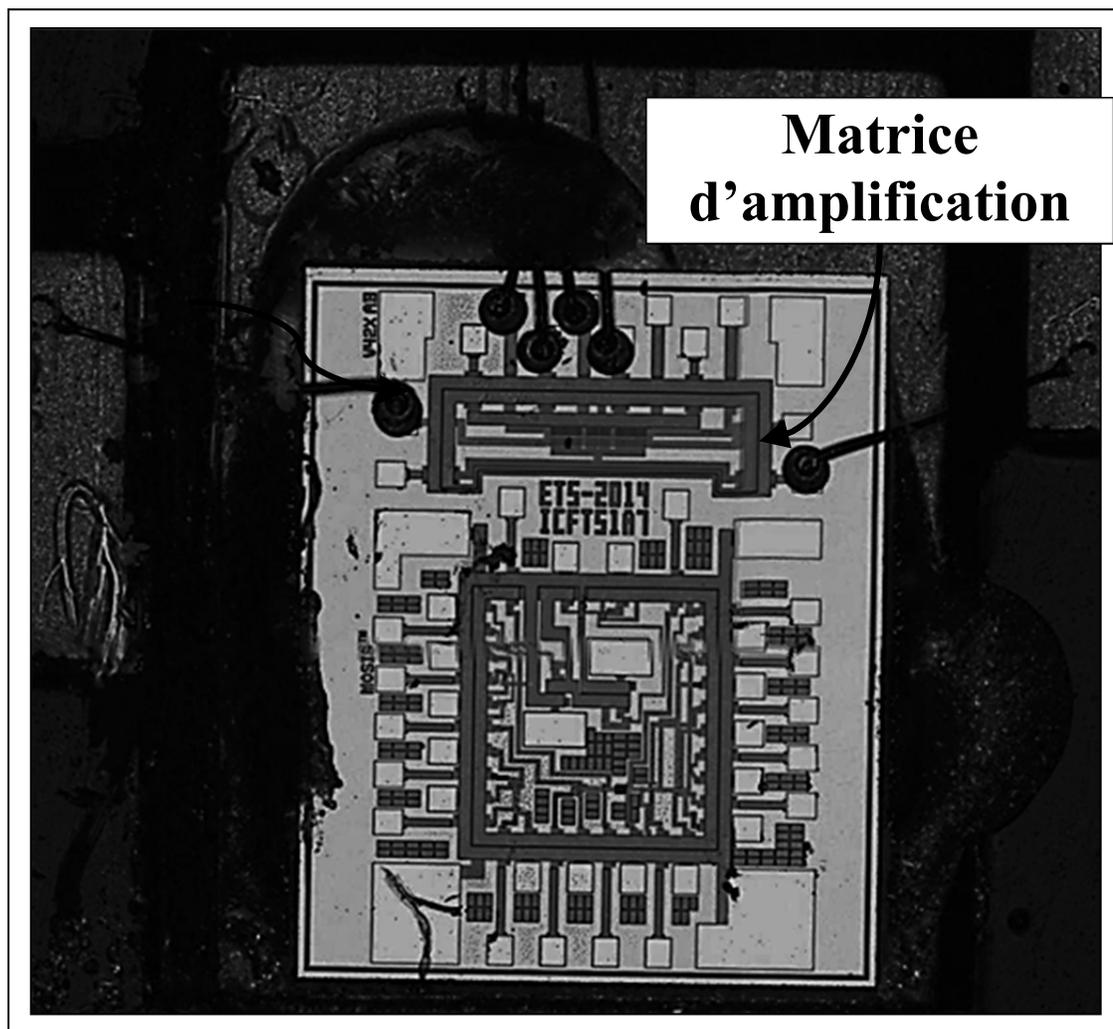


Figure-A II-11 Photo du montage de la puce pour les mesures de l'amplificateur

ANNEXE III

BANCS D'ESSAI DES MESURES EXPÉRIMENTALES

A-III.1 Liste des équipements utilisés en laboratoire

Tableau-A III-1 Liste des équipements utilisés en laboratoire

Appareil de mesure	Compagnie	Modèle	Information
Sources DC	Agilent	E3631A	Source triple 0-6V et $\pm 25V$
Multimètre	Agilent	34401A	6½ Digit
Source RF (VSG)	Rohde and Schwarz	SMU 200A	2 sources indépendantes 100kHz à 3GHz (0,5 W max) 100kHz à 6GHz (0,5 W max)
Oscilloscope	Agilent	InfiniiVision DSO-X-34034A	350MHz
Sonde active pour oscilloscope	Agilent	1156A	1,5GHz Active Probe Impédance d'entrée de $\sim 0,8pF$
Vector Network Analyser (VNA)	Hewlett-Packard	8753S	30kHz à 6GHz
Analyseur de spectre	Hewlett-Packard	8593E	9kHz à 26,5GHz
Analyseur de signaux (VSA)	Rohde and Schwarz	FSQ 40	20 Hz à 40GHz 30dBm max
Puissance-mètre	Agilent	E4419B	
Sonde de puissance A	Agilent	E9300H	-30 à 30 dBm 10 MHz à 18 GHz
Sonde de puissance B	Hewlett-Packard	8481A	-30 à +20 dBm 10MHz à 18GHz
Circulateur	Narda	COS-1530	1,5GHz à 3,0GHz
Coupleur A	Omni Spectra	FSC 16179	2 à 8,4GHz
Coupleur B	Narda	4243B-10	1,0 à 3,5GHz

A-III.2 Bancs pour les mesures expérimentales sur la puce du détecteur d'enveloppe

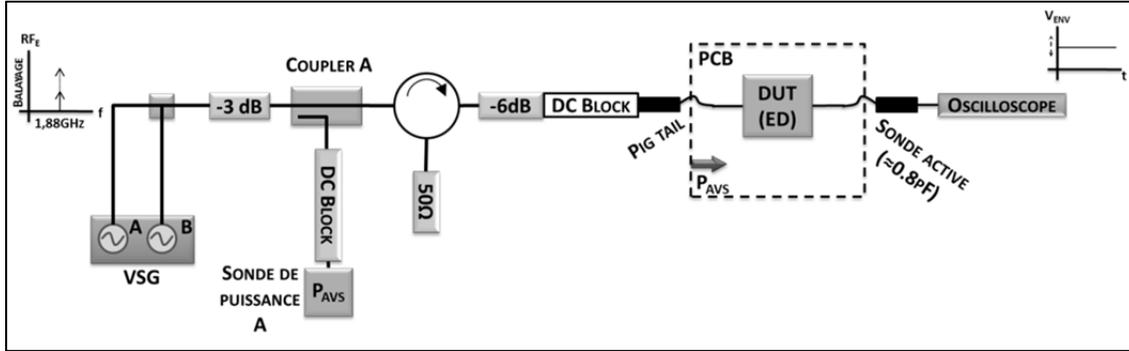


Figure-A III-1 Banc d'essais pour la mesure de la fonction de transfert

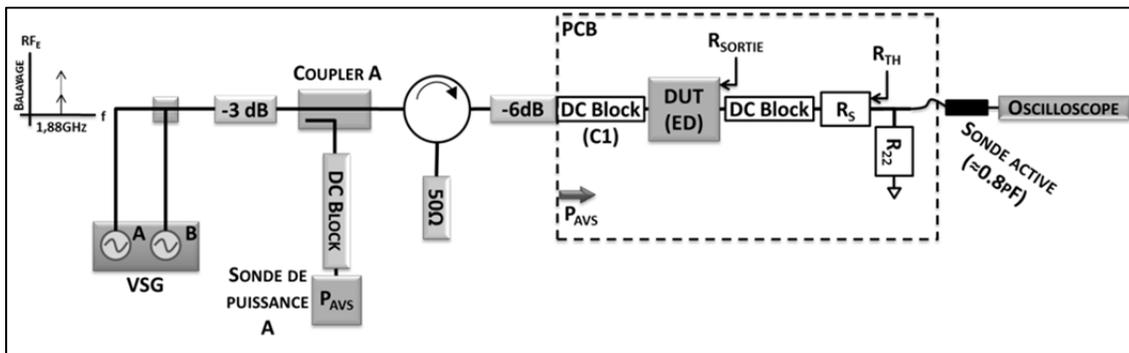


Figure-A III-2 Banc d'essais pour la mesure de la résistance de sortie

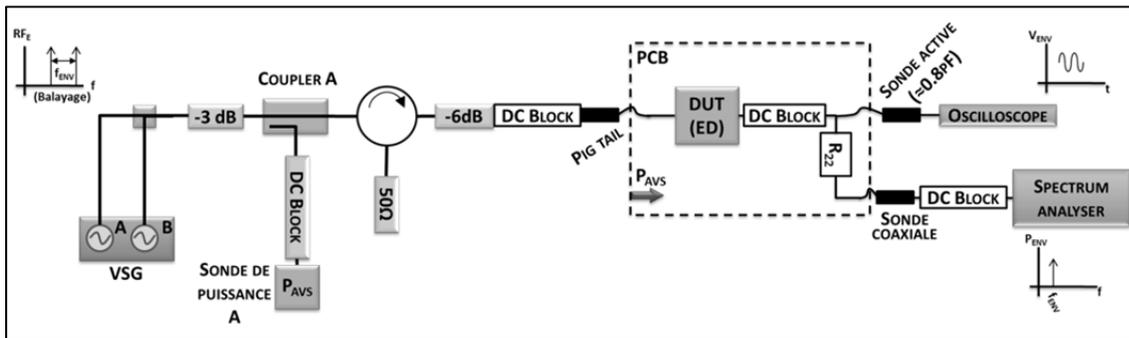


Figure-A III-3 Banc d'essais pour la mesure de l'enveloppe détectée et la bande passante

A-III.3 Bancs pour les mesures expérimentales sur la puce de l'amplificateur

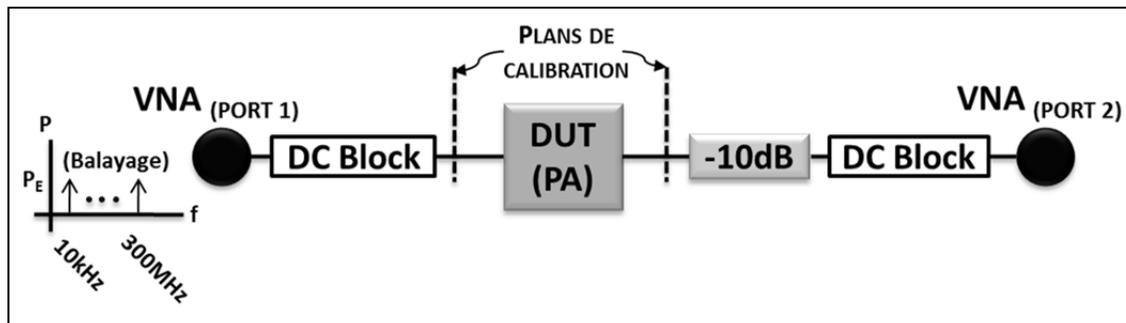


Figure-A III-4 Banc d'essais pour la mesure des paramètres S de l'amplificateur (PA).

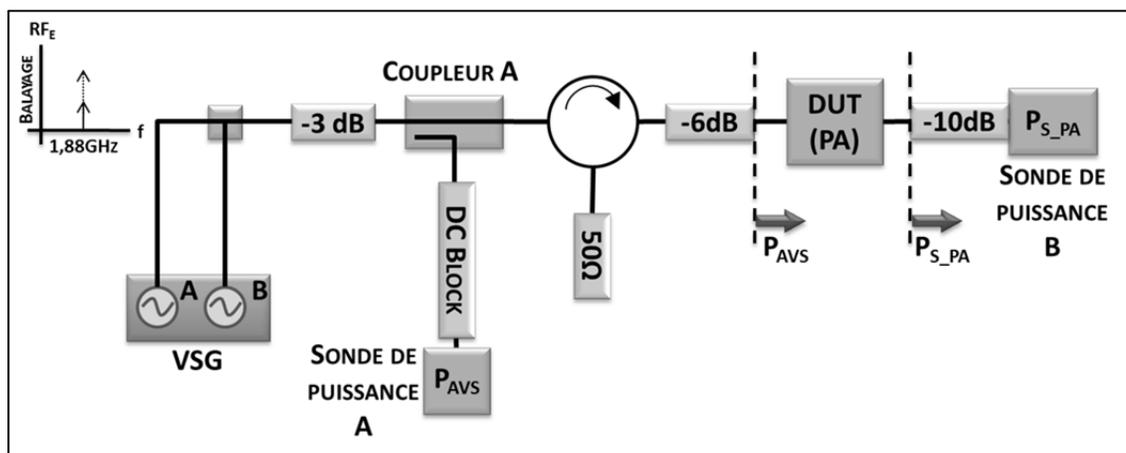


Figure-A III-5 Banc d'essais pour la mesure de la puissance de sortie, le gain et l'efficacité de l'amplificateur (PA)

A-III.4 Bancs pour les mesures expérimentales sur le système RF (amplificateur et détecteur)

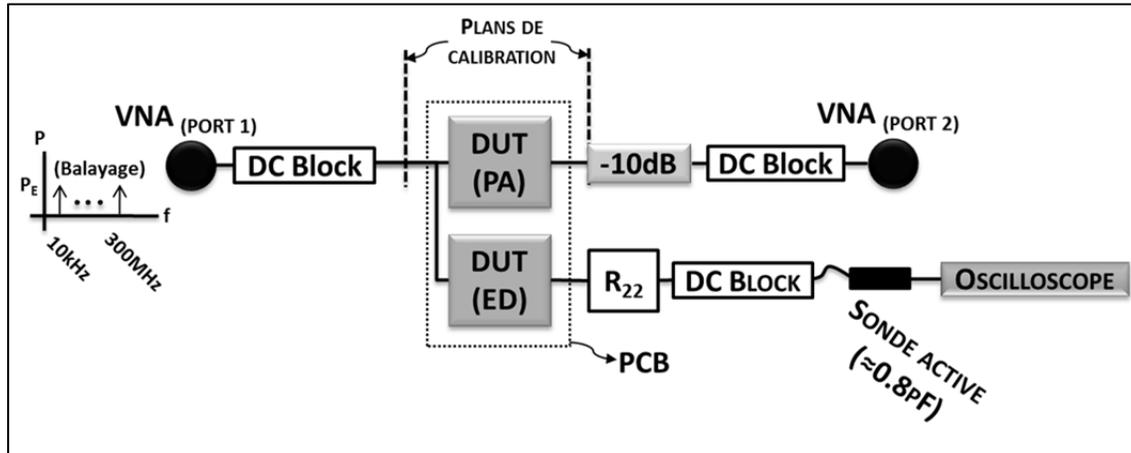


Figure-A III-6 Banc d'essais pour la mesure des paramètres S de l'amplificateur

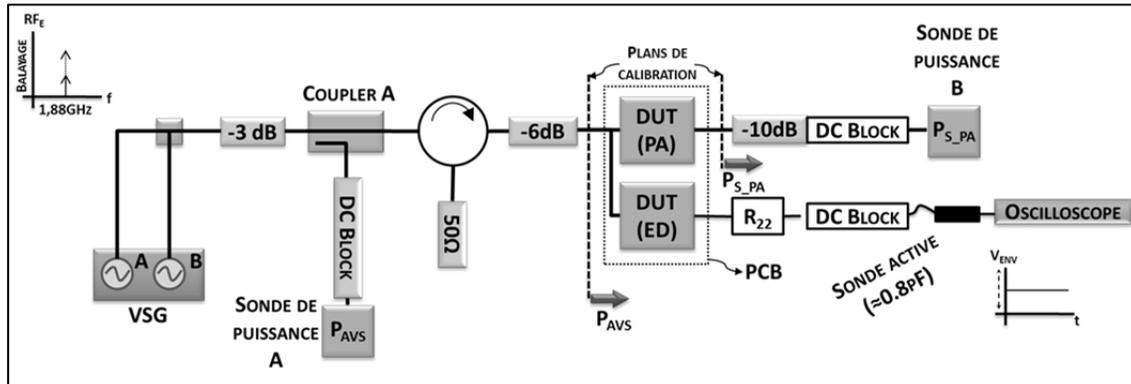


Figure-A III-7 Banc d'essais pour la mesure de la puissance de sortie, le gain et l'efficacité de l'amplificateur (PA) et pour la mesure de la fonction de transfert du détecteur (ED)

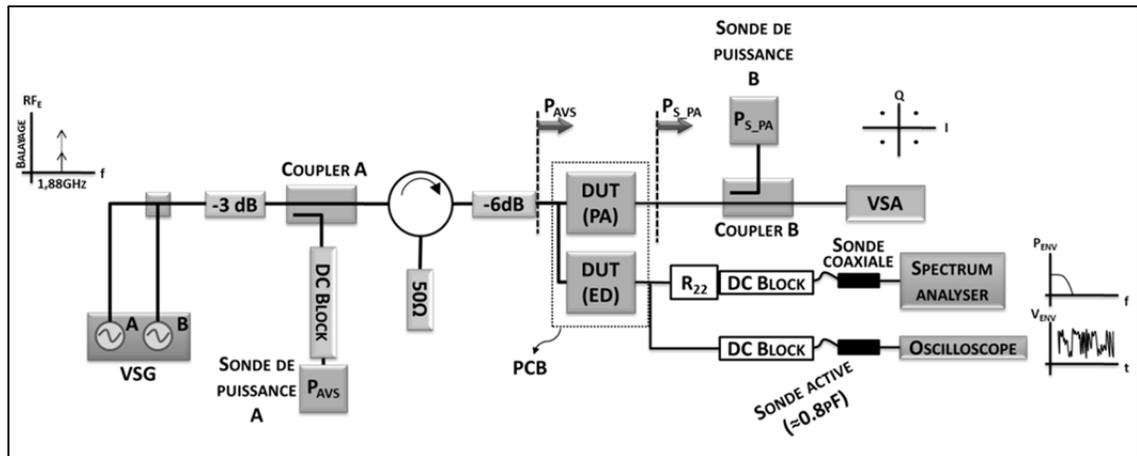


Figure-A III-8 Banc d'essais pour la mesure de l'EVM de l'amplificateur (PA) et pour la mesure de l'enveloppe (V_{ENV}) et du spectre de l'enveloppe (P_{ENV}) d'un signal modulé CDMA à la sortie du détecteur (ED)

ANNEXE IV

MESURES DE ROBUSTESSE ET DE FIABILITÉ SUR L'AMPLIFICATEUR

A-IV.1 Description des mesures sur la robustesse et sur la fiabilité de l'amplificateur

Des mesures de robustesse et de fiabilité ont été prises après la rédaction de ce mémoire. Ces mesures ont pour objectifs de déterminer la puissance maximale (P_{SAT} selon Figure 1.1b) pouvant être délivrée et de tester la fiabilité de l'amplificateur près de la condition de saturation. Ces mesures n'ont pas été prises dans la campagne de mesures en vue de la rédaction de ce mémoire en raison du risque de destruction des échantillons.

Le banc d'essai utilisé pour cette mesure est présenté à la Figure-A III-5 de l'ANNEXE III. À l'aide de ce banc d'essai, on mesure la courbe de puissance de sortie en fonction de la puissance disponible, mais pour des puissances disponibles plus élevées que dans le cas de la Figure 4.11. On note que l'adaptation d'impédance d'entrée et l'adaptation d'impédance de sortie restent inchangées comparativement aux mesures présentées au CHAPITRE 4. Du même coup, on évalue la fiabilité en laissant l'amplificateur en activité sur une durée minimale de 8h entre chaque mesure, c'est-à-dire entre chaque changement de la puissance disponible.

A-IV.2 Résultats expérimentaux

On note sur la courbe de la puissance de sortie en fonction de la puissance disponible (Figure-A IV-1) que la puissance maximale (P_{SAT}) est d'environ ~24 dBm.

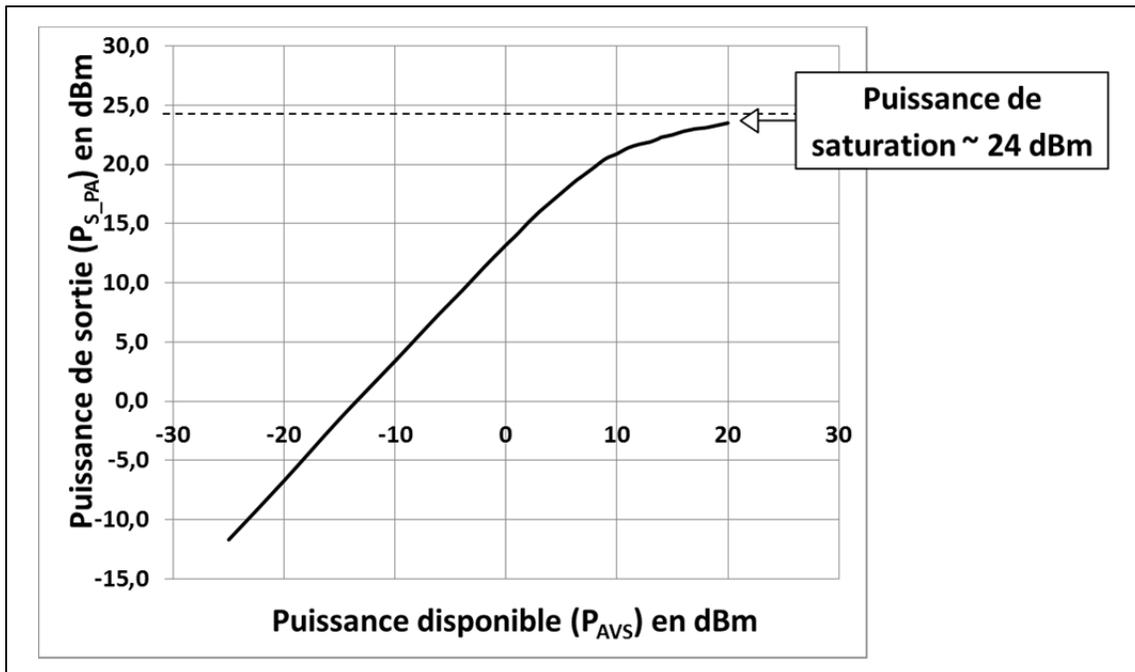


Figure-A IV-2 Puissance de sortie en fonction de la puissance disponible

Au niveau de la fiabilité, aucune défaillance n'a été détectée sur toute la durée des mesures. C'est donc dire qu'aucun phénomène d'endommagement ne survient malgré une opération continue sur une durée minimale de 8h pour une puissance de sortie près de la puissance de saturation.

ANNEXE V

DIVERS PROBLÈMES RENCONTRÉS

A-V.1 Erreur du modèle « Extracted » avec l'utilisation de transistors RF

L'utilisation simultanée sur une même composante active des couches « OD2 » (couche active pour avoir des transistors « *Thick-oxysde* ») et RF dummy (nommée « *rfdmy* ») (couche passive pour utiliser le modèle RF de simulation) fait en sorte qu'il y a un dédoublement de transistors sur la vue « *extracted* ».

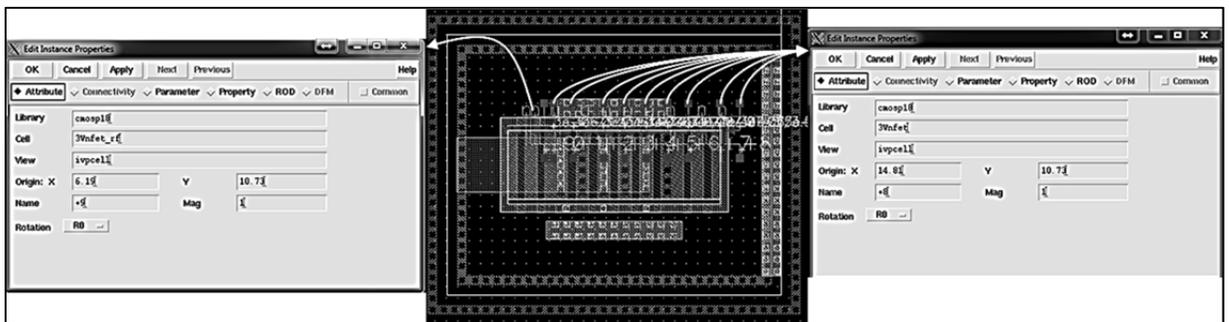


Figure-A V-1 Vue « *Extracted* » avec l'utilisation de la couche « OD2 » et « *rfdmy* » sur l'exemple de transistor RF de la CMC (rfnmos2v_W15u_L400n)

On note sur la Figure-A V-1 que la couche « OD2 » crée un transistor « 3Vnfet » pour chacun des six grilles. Pour la même extraction, la couche « *rfdmy* » crée un transistor « 3Vnfet_rf » de dimension équivalente aux six grilles du transistor. D'où le dédoublement qui rend impossible les vérifications de schéma versus synthèse (LVS), mais plus particulièrement les simulations post-synthèses.

Avec la coopération de CMC, le fichier d'extraction divaEXT.rul a été modifié et l'extraction s'effectue maintenant avec succès. C'est-à-dire qu'un élément actif circonscrit par la couche « OD2 » et la par la couche « *rfdmy* » se transcrit en seulement un élément actif selon le modèle « 3Vnfet_rf » et qu'il n'y a plus de dédoublement.

A-V.2 Différence majeure entre les simulations pré-synthèses et post-synthèses de l'amplificateur

Les simulations pré-synthèses et post-synthèses de l'amplificateur RF démontrent une différence majeure de leur comportement respectif autant pour les simulations DC et les simulations RF. Les simulations DC et « Periodic Steady State Analysis » (PSS) démontrent ces différences. Un amplificateur en schématique et en synthèse identique sont placés dans un système 50Ω sans adaptation d'impédance. On mesure le courant de drain en fonction de la tension de grille, le gain et la puissance de sortie selon les bancs d'essai de la Figure-A V-2. Les résultats de simulation pour différentes dimensions du transistor sont montrés aux Figure-A V-3, Figure-A V-34 et Figure-A V-3.

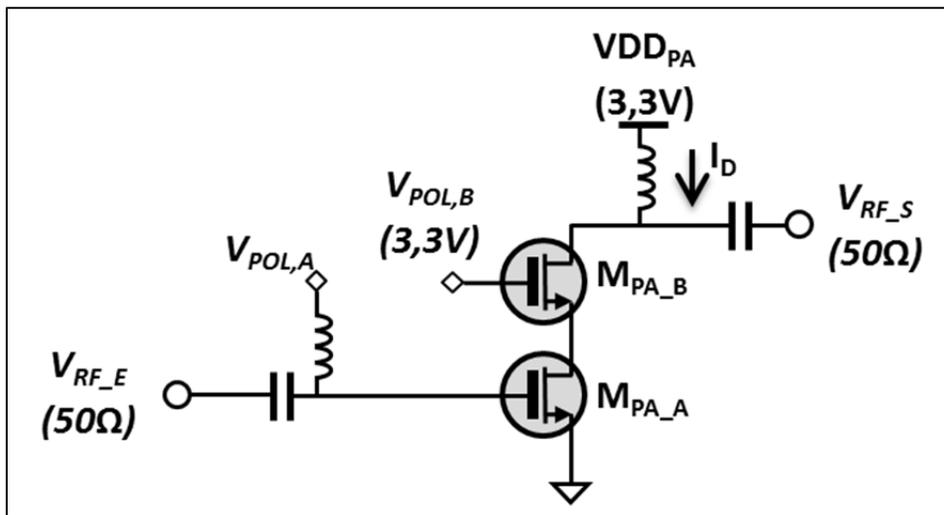


Figure-A V-2 Banc d'essais des simulations DC et des simulations PSS

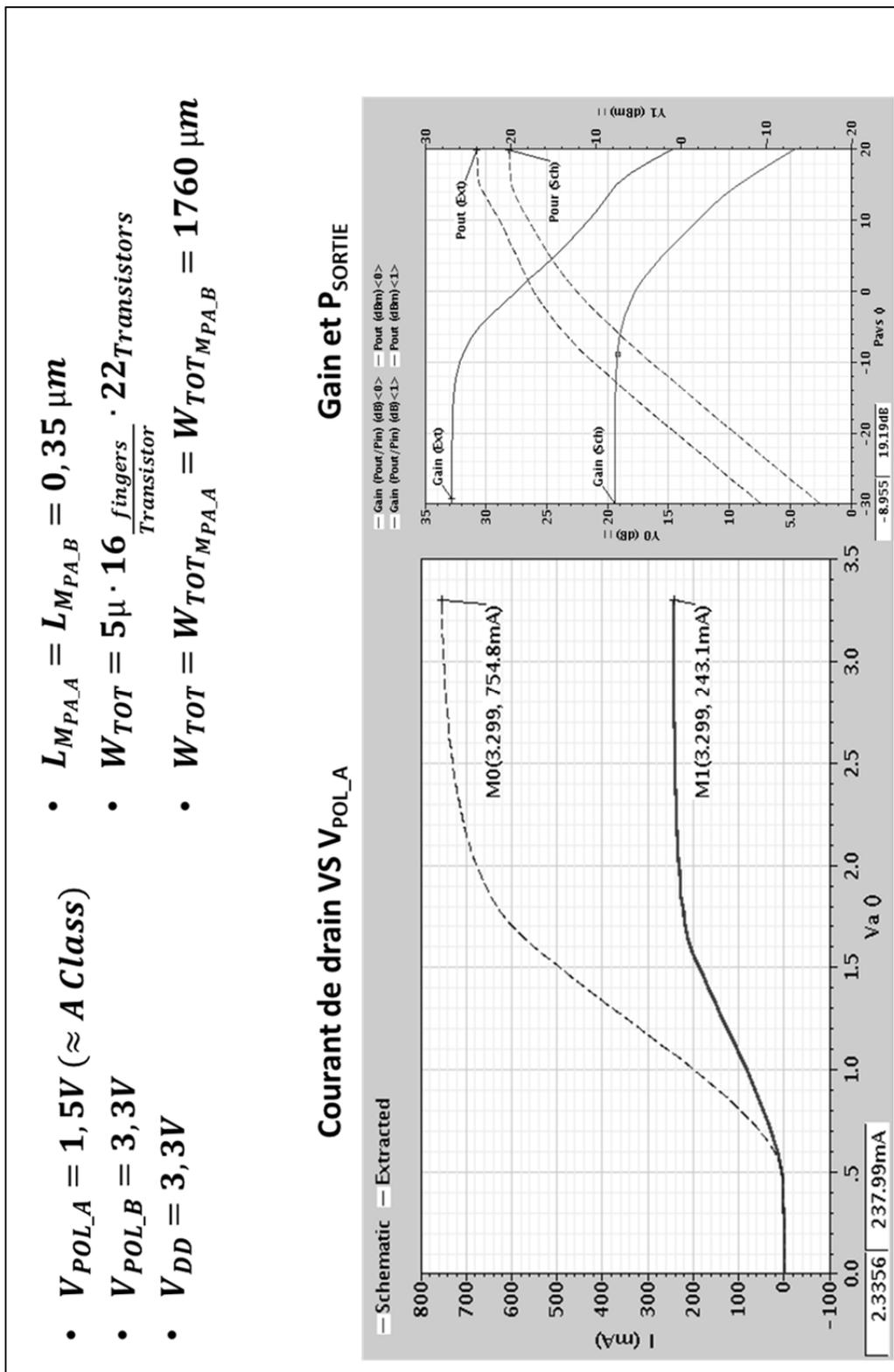


Figure-A V-3 Simulations DC, PSS et de paramètres S pré-synthèses et post-synthèses pour $W_{TOT} = 1730\ \mu m$

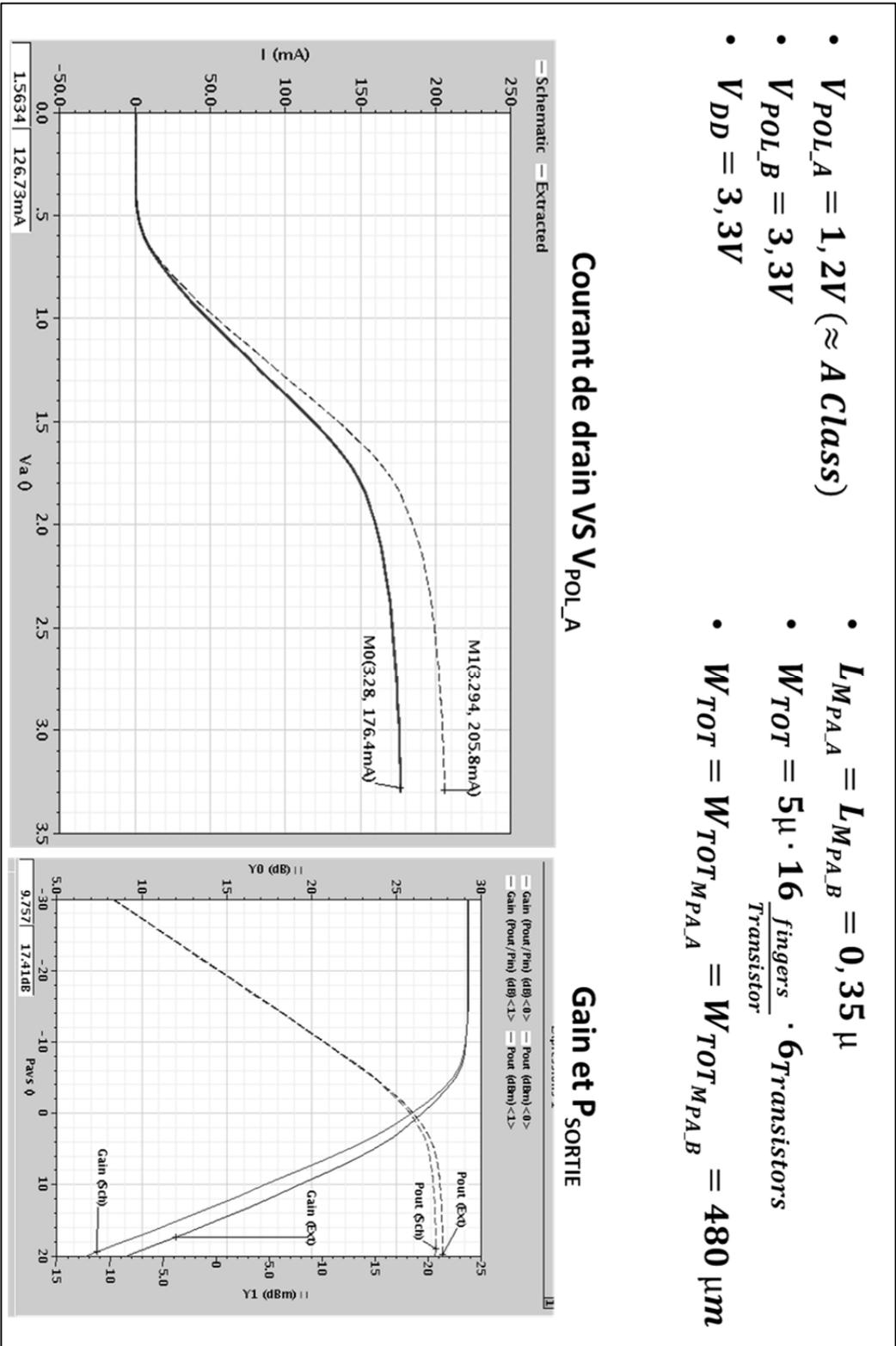


Figure-A V-4 Simulations DC, PSS et de paramètres S pré-synthèses et post-synthèses pour $W_{TOT} = 480\ \mu m$

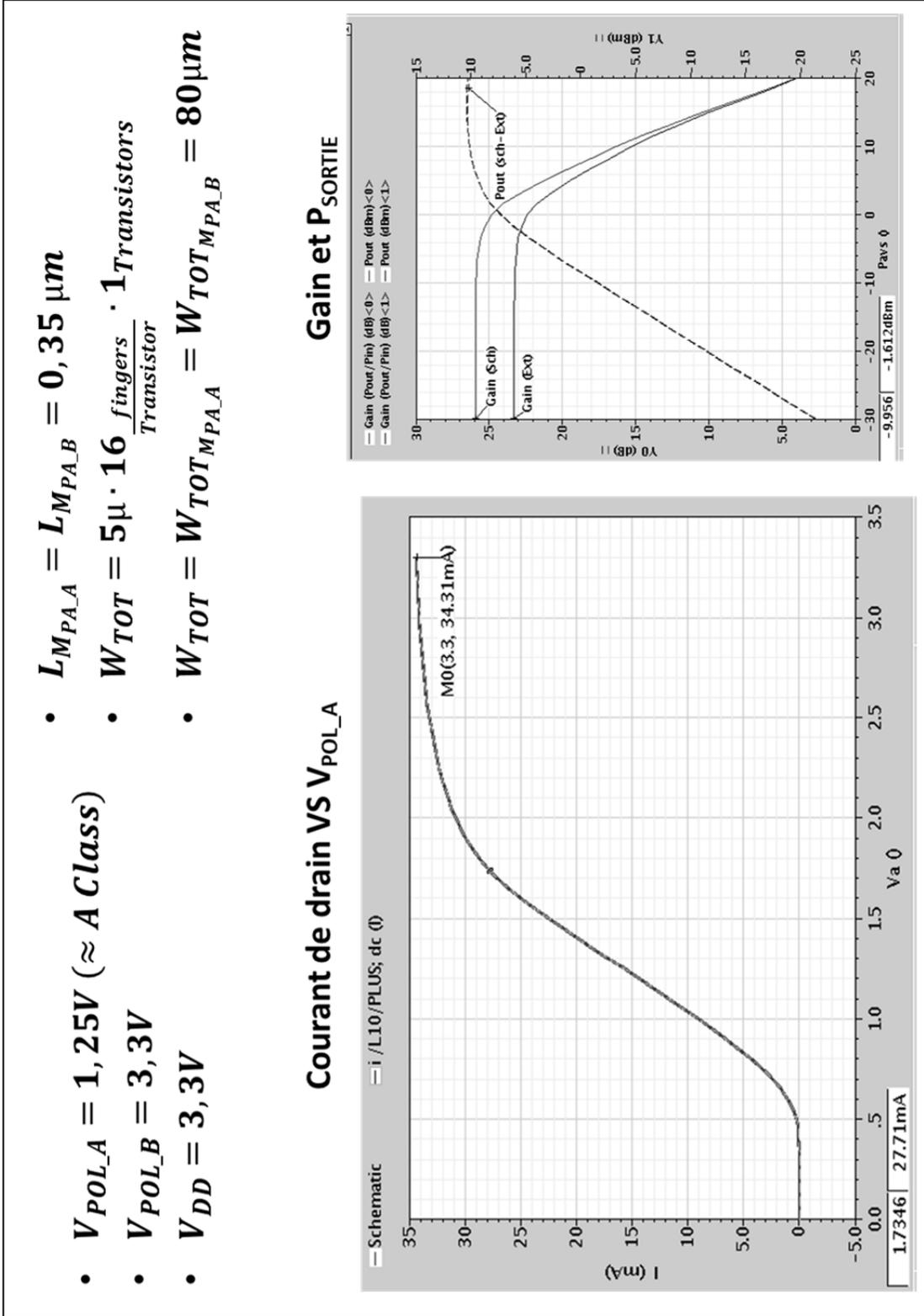


Figure-A V-5 Simulations DC, PSS et de paramètres S pré-synthèses et post-synthèses pour $W_{TOT} = 80 \mu m$

Sur les simulations DC de la Figure-A V-3, on note une différence de l'ordre du double du courant de drain pour un amplificateur d'une dimension de $W = 1760 \mu\text{m}$. Cette différence tend à diminuer avec la dimension comme observée en Figure-A V-34 et Figure-A V-35. La principale différence entre les simulations pré et post-synthèse est l'ajout de capacité parasite de substrat ou d'interaction entre les conducteurs. Or, les simulations ne devraient pas être affectées de façon aussi drastique prouvant qu'il y a une erreur dans le modèle utilisé après extraction. Cette différence se reflète dans les simulations PSS où l'on observe, pour une dimension de $W_{\text{TOT}} = 1760 \mu\text{m}$, un gain en faible signal beaucoup plus important pour la simulation post-synthèse (33 dB) que pour la simulation pré-synthèse (19 dB). Il est donc impossible de se fier aux résultats de ces simulations. L'hypothèse est que ce sont les simulations post-synthèses qui sont erronées pour des raisons pouvant être liées au problème soulevé en section A-IV-1 et ce même après que CMC ait résolu le problème d'extraction. Seuls les résultats des simulations pré-synthèses sont utilisés dans ce projet de recherche.

A-V.3 Lignes d'alimentation à 45° ou 90

La documentation de TSMC (TSMC, 2006a) indique l'utilisation de lignes d'alimentation ayant des coins formés à 45°. Or, l'utilisation de cette technique de synthèse mène à plusieurs inconvénients.

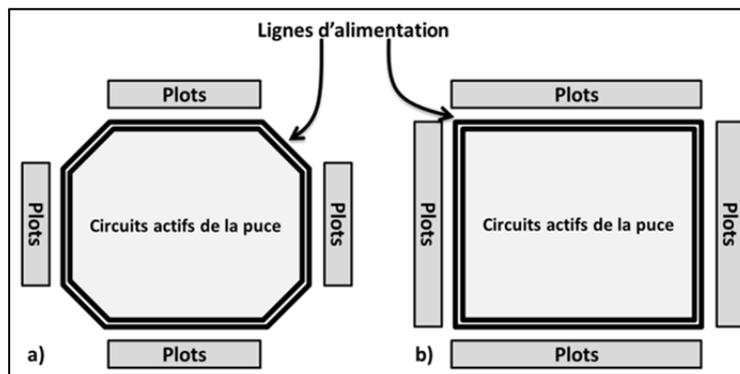


Figure-A V-6 a) Lignes d'alimentation avec des coins de 45° b) Lignes d'alimentation avec des coins de 90°

Comme observé à la Figure-A V-6, l'utilisation de coins de 45° diminue la surface utilisable pour les circuits actifs. Cependant, l'inconvénient le plus important est la diminution de l'espace disponible pour insérer des plots sur la périphérie de la puce. Cet aspect étant la plus grande contrainte concernant le dimensionnement de la puce puisque les plots sont relativement grands comparativement à l'aire totale de la puce. Finalement, l'utilisation de coin de 45° cause des erreurs de géométrie hors grille (« *Off grid errors* ») lors de la vérification DRC.

Le choix s'est donc arrêté sur l'utilisation de coins de 90°. Ce choix a été consolidé par une recommandation inscrite sur le site web de MOSIS un organisme similaire à la CMC mais aux États-Unis. MOSIS recommande d'utiliser une synthèse de type « *Manhattan* », c'est-à-dire que toutes les bordures des géométries doivent nécessairement être parallèles à l'axe « X » ou « Y ». En d'autres termes, des géométries strictement construites avec des coins de 90°.

A-V.4 Différences entre les règles de vérification de divaDRC.rul et RULES.DRC de Calibre

Voici les fichiers de règles pour la vérification « *Design Rules Check* » (DRC) utilisés par l'outil « Diva » et « Calibre » :

- divaDRC.rul (Version utilisée : 14 juin 2006)
- RULES.DRC (Version utilisée : V6 – 20 septembre 2006)

Les vérifications ont principalement été effectuées avec l'outil « Diva » puisque c'est l'outil le plus facilement accessible dans l'environnement de recherche à l'ÉTS. Par contre, l'outil « Calibre » est le plus important pour une conception qui ira en fabrication étant donné que c'est l'outil que CMC utilise pour évaluer les conceptions qui leurs sont soumises. Or, il s'est avéré qu'il y a une certaine divergence entre les deux outils de vérification DRC. En voici quelques exemples :

- Aucune limite n'est fixée sur la densité des couches de métal et de poly silicone avec le fichier divaDRC.rul. Or, TSMC exige une certaine densité pour assurer une qualité lors de la fabrication ce qui est vérifié à l'aide du fichier RULES.DRC.
- Le fichier RULES.DRC exige l'utilisation d'une couche passive « ctmdmy » lorsque la couche « ctm » est présente afin d'indiquer l'emplacement des capacités MiM à l'outil de DRC. Ce qui n'est pas le cas pour le fichier.
- La distance minimale entre un via56 et le bord de la plaque du bas d'une capacité MiM est de 12 nm dans le fichier RULES.DRC. Or, cette même distance est de 1 nm pour l'outil divaDRC.rul.
- La distance entre deux via56 situés sur la plaque du bas d'une capacité MiM doivent être distancés de 4 μm . Or, cette distance est de 350 nm avec le fichier divaDRC.rul.

Après une investigation, il faut ajouter la couche passive nommée « dumcap » pour que la vérification DRC par l'outil Diva détecte les capacités MiM. Or, cette couche passive n'est pas mentionnée dans la documentation de TSMC (TSMC, 2002; 2004; 2006a; 2006b) ni utilisée dans les exemples fournis par la CMC dans les bibliothèques « CMCLayoutReference », « CMCpcells » et « CMCshare ». Le danger est que la vérification DRC par l'outil Diva ne pointe sur aucune erreur si la couche « dumcap » n'est pas présente contrairement à Calibre qui détecte une capacité si la couche « ctm » est présente dans la synthèse. En somme, l'utilisation de l'outil de vérification DRC de calibre est fortement suggérée pour une conception de la technologie CMOS 0.18 μm de TSMC ayant pour objectif d'être fabriquée afin de mieux coordonner la remise avec la CMC.

Low Current, 100MHz Bandwidth, Envelope Detector for CMOS RFIC PAs

David Berthiaume¹, Smarjeet Sharma, Nicolas Constantin
 LACIME Laboratory, Ecole de technologie supérieure, Montréal, Canada
¹david.berthiaume.1@etsmtl.net

Abstract—This paper presents a low current, 100 MHz bandwidth envelope detector (ED) intended for efficiency improvement-related control functions in CMOS RFIC power amplifiers (PAs). The targeted functions relate to the need for envelope dependent schemes such as dynamic biasing. Measurements from an integrated circuit including an envelope detector and an RF amplifier fabricated in CMOS 0.18 μm show a detected envelope bandwidth of 110 MHz and a DC power consumption of ~ 2.3 mW with a 1.8 V supply for operation at 1.9 GHz.

Index Terms—Envelope detectors, envelope power, CMOS integrated circuits, power amplifiers, gate biasing, efficiency

I. INTRODUCTION

High peak-to-average power ratio (PAPR) of signals in communication standards such as LTE makes the detection of the instantaneous value of the envelope power, as opposed to the average power only, useful for a number of envelope power dependant circuit techniques aimed at improving power amplifier (PA) efficiency. Examples of such circuit techniques include envelope tracking, (ET) dynamic biasing [1] and envelope power based supply modulation [2].

ET approaches commonly use an accurate envelope signal generated by a digital signal processor (DSP), and have been demonstrated to improve PA efficiency. Other works have implemented envelope detector (ED) circuitry for the purpose of dynamic biasing function of the envelope power (e.g. [3]). Although [3] showed good results with a full on-chip solution of the detector circuit, important design details (e.g. detailed schematic, current consumption, conversion gain profile and dynamic range, etc.) of the ED are neglected.

This work is part of our investigations on a novel RFIC PA using such envelope dependant circuit control for reducing current, to the extent where the nonlinearities introduced may be compensated by DSP-based pre-distortion in the RF path. The architecture under investigation for a standalone single chip PA using a coarse biasing adjustment for efficiency improvement is illustrated in Fig. 1 in light grey. It requires the fast ED presented in this paper (darker shade in Fig. 1) to produce an envelope-dependant signal for the targeted dynamic biasing function.

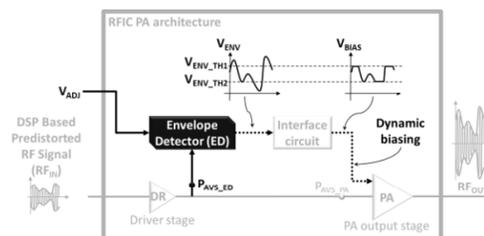


Fig. 1. Investigated RFIC PA architecture (in light gray) requiring the envelope detector presented in this paper (in darker shade).

The main characteristics for the required ED are: low current consumption, high input impedance and large bandwidth. Additionally, an embedded calibration method is proposed requiring a control signal (V_{ADI}) to allow adjustment of the ED output voltage swing for the optimal precision range (showed with V_{ENV_TH1} and V_{ENV_TH2} in Fig 1) of the control signal (V_{ENV}). This novel feature facilitates the interfacing with the PA gate and enhances the precision of the bias modulation signal (V_{BIAS}) with respecting the PA's dynamic bias requirements.

II. STATE OF THE ART AND PROPOSED CMOS DETECTOR

A. State of the Art of CMOS based power detector

Various CMOS-based power detectors have been proposed in recent years. In [4] and [5], the detector's input impedance is increased for minimum loading in the RF path by using a current amplifier. Besides being an RMS detector (not suitable for the architecture in Fig. 1) the use of a current amplifier results in increased current consumption. The envelope detector circuit presented in [6] includes an operational transconductance amplifier to convert RF voltage into RF current, and suffers from bandwidth limitations (5 MHz). [3] mentioned the use of a 100 MHz on-chip ED but provides no details on its design and performances.

In this paper, we propose a detector circuit similar to the CMOS RMS detector topology described in [5], but with significant design modifications to obtain envelope detection with low power consumption, control facilities for embedded calibration, small area and a large

bandwidth. We provide detailed information on the ED design and its performances. Our tests were performed at a carrier frequency of 1.9 GHz and the ED bandwidth is extended to over 100 MHz, hence is suitable for LTE and LTE-A.

B. Schematic and Principle of Operation of Proposed Envelope Detector

Fig. 2 shows the key functions of the schematic. C1 is used as a DC block and to increase the input impedance of the detector. The coupled RF signal (P_{AVS_ED}) undergoes half-wave rectification through M2a and M2b, with the use of R1 to improve the rectifier bandwidth [7]. ED and Fig. 3 shows the circuit

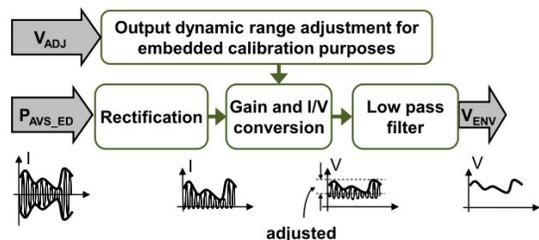


Fig. 2. Envelope Detector block diagram.

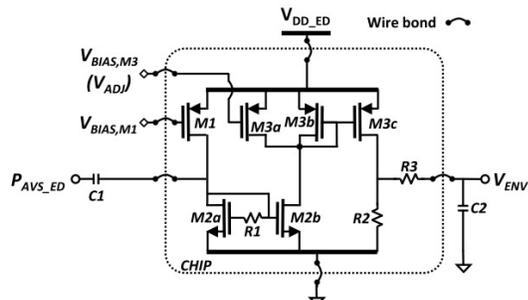


Fig. 3. Envelope detector circuit schematic

M1 is configured as a current source for biasing M2a close to the threshold voltage. It is possible to adjust the detected power range, as shown with the horizontal shift in Fig. 4, which illustrates the detector transfer function sought. This is achieved by varying V_{BIAS_M1} , hence shifting the DC voltage at the gate of M2a closer or away from its threshold voltage. M3b/M3c form a current mirror optimized for high gain.

As a novel feature, M3a is used to allow adjusting the minimum output voltage for embedded calibration (vertical shift in Fig. 4), so that the output voltage swing between the V_{ENV_TH1} and V_{ENV_TH2} thresholds shown in Fig. 1 corresponds to the envelope range in RF_{IN} which is considered for the coarse bias adjustments. M3a is a

controllable current source that adjusts the output minimum current through the I/V converter R2. Resistors R2, R3 and capacitor C2 form the output low-pass filtering.

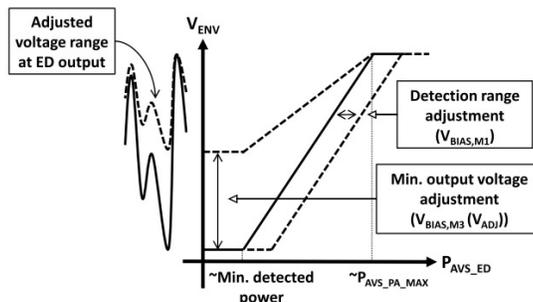


Fig. 4. Ideal detector conversion gain profile illustrating possible adjustments for embedded calibration.

C. On-Chip Implementation and Test Set-up

Fig. 5 shows the set-up for the characterization of the ED and the PA output stage. The resistor R reduces the loading effect of the Vector Signal Analyzer (VSA) used to measure the detected envelope bandwidth.

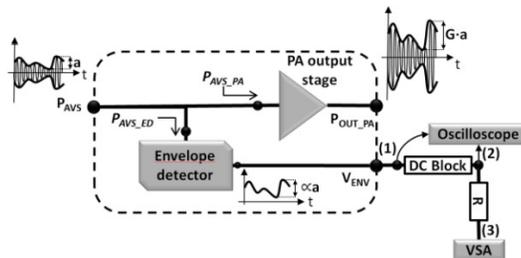


Fig. 5. Schematic highlighting the measurement nodes: (1) for the detector's static transfer function; (2) for the output voltage swing with time; (3) for frequency response.

Several design variants of the ED, the PA output stage, their bias circuits, as well as other structures to facilitate probing access and bonding were implemented on the same chip using 180 nm CMOS technology from TSMC. The RF amplifier uses the well-known cascode structure with a total width of 1760 μm and a length of 0.35 μm for each one of the two transistor arrays in the cascode. This amplifier is used as an output stage of a PA, with the available power at the input consistent with power levels typically delivered at the inter-stage node in a PA line-up. The PA output stage therefore enables the evaluation of the loading effects of the proposed ED circuit on an amplifier design in terms of efficiency, linearity and gain reduction.

Fig. 6 shows a photograph of the die, highlighting the ED and the PA output stage under test. The chip area for the ED and the PA stage are $5000 \mu\text{m}^2$ and $33900 \mu\text{m}^2$ respectively.

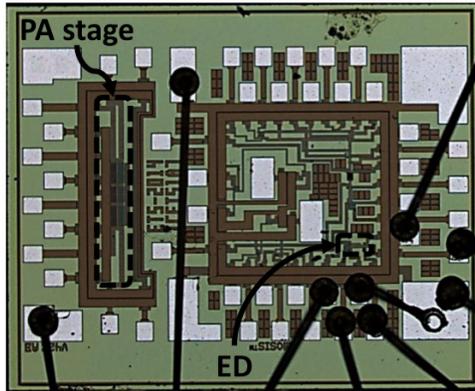


Fig. 6. Photograph of the die

III. EXPERIMENTAL RESULTS

A. Envelope Detector Performances

The static transfer function shown in Fig. 7 was measured at node 1 in Fig. 5 by sweeping the power of a 1.9 GHz CW excitation (P_{AVS} in Fig. 5). The figure shows a detection range of ~ 17 dB, with an output voltage range of ~ 1280 mV. The ED is calibrated such that the maximum detected envelope power is near the input referred 1dB compression point of the PA output stage.

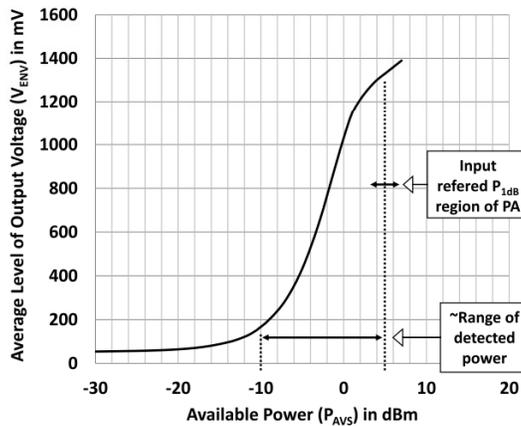


Fig. 7. Measured Envelope Detector transfer function at node 1 in Fig. 5 with detector connected to the input of the PA stage

The bandwidth of the ED is evaluated by measuring the 3 dB cut-off in the frequency response while sweeping the

envelope frequency of an AM excitation. The average power of the AM signal is constant at 2 dBm, hence the average output voltage (node 1 in Fig. 5) is ~ 1200 mV, as may be deduced from Fig. 7.

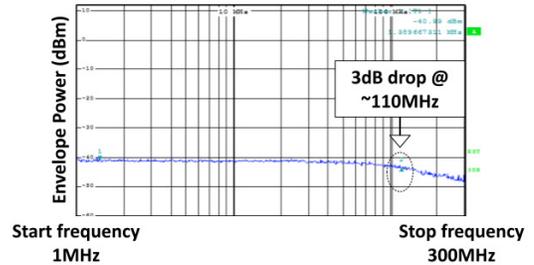


Fig. 8. Measured frequency response of the envelope detector after attenuation (node 3 in Fig 5).

As shown in Fig. 8, a cut-off frequency of ~ 110 MHz is obtained. In these conditions, the peak-to-peak output voltage swing (node 2 in Fig. 5) is 240 mV at low frequency, which corresponds to 580 mV peak-to-peak at the drain of M3c in Fig. 3, suggesting the possibility of increasing the detector output peak-to-peak voltage swing with proper resistance values without reducing the ED bandwidth.

Table I compares the designed ED performances with other CMOS power detector designs.

TABLE I
PERFORMANCE COMPARISON WITH OTHER PAPERS

	This work	[4]	[6]
CMOS process	180nm	350nm	180nm
Area	$5000\mu\text{m}^2$	$31000\mu\text{m}^2$ **	$14000\mu\text{m}^2$
Conversion gain slope	$\sim 120\text{mV/dB}$ @ -5dBm	$\sim 50\text{mV/dB}$ @ -15dBm	$\sim 14\text{mV/dB}$ @ 2.5dBm
Dynamic range @ carrier freq.	17dB @ 1.9 GHz	30dB @ 0.9 to 2.4GHz	35dB @ 1.9GHz
Supply voltage	1.8V	3.3V	1.8V
Power consumption	2.3mW	8.6mW**	1.8mW
Bandwidth	110MHz	NA*	5MHz

* RMS detector **including bias circuits

Very few CMOS detectors for envelope detection in RFIC PA are presented in the literature. [3] uses a 100 MHz bandwidth ED but gives no design or performance results, making any relevant comparison impossible. [6] proposes an ED with an envelope bandwidth of 5 MHz, hence the 110 MHz bandwidth in this work is a significant improvement, while using less die area. Besides the fact that [4] is an RMS detector that does not suit the need for envelope detection in Fig. 1, the conversion gain slope in our work is significantly higher than what is reported in [4].

B. Loading Effects of Detector on PA Output Stage

The CMOS PA output stage used for evaluating the loading effect of the proposed ED is operated in Class AB, with a quiescent DC current of 125 mA and a 3.3 V supply. In comparison, the ED circuit consumes ~ 1.3 mA with a supply of 1.8 V. Fig. 9 and Fig. 10 illustrate the gain and the power added efficiency (PAE) performances of the PA stage respectively. The dotted lines correspond to the PA stage operated alone and the full lines correspond to the PA stage operated when the ED is connected at its input. The measured gain and PAE drop in the P_{1dB} region are 0.2 dB and 0.2% respectively.

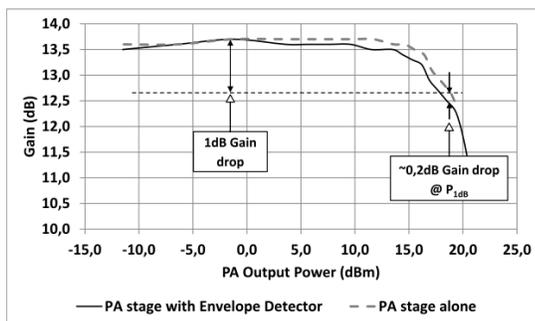


Fig. 9. Gain of output PA stage compared to the gain of the output PA stage with the envelope connected at the input.

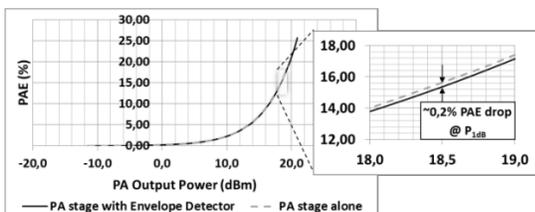


Fig. 10. PAE of output PA stage compared to the PAE of the output PA stage with the detector connected at the input.

The small degradations of the PA output stage performances are attributed to the low ratio of available power P_{AVS_ED}/P_{AVS_PA} (Fig. 5) thanks to the high input impedance of the detector, and to its low current consumption. EVM measurements using a 1.9 GHz CDMA signal shows a small increase of EVM by 0.2% at 0.6 dB back off from P_{1dB} . This highlights the minimal distortion effect of the envelope detector on the PA output stage.

IV. CONCLUSION

The envelope detector presented in this paper constitutes a key building block for on-chip integration into a PA module that uses envelope power dependant circuit techniques aimed at improving PA efficiency with embedded calibration facilities, hence suitable for the

RFIC PA architecture investigated in Fig. 1. The fabricated CMOS 0.18 μ m envelope detector exhibits a ~ 110 MHz bandwidth that satisfies the requirements of modern mobile technologies, e.g. LTE and LTE-A. The detector consumes minimal power (2.3 mW) from a 1.8 V DC supply and occupies an area as small as 5000 μ m². In view of implementing the RFIC PA architecture proposed in this paper, these results are significant improvements over CMOS-based envelope detector designs that have been proposed and detailed.

ACKNOWLEDGMENT

The authors would like to thank CMC Microsystems, Canada, and the Natural Science and Engineering Research Council of Canada (NSERC) for their support.

REFERENCES

- [1] F. F. Tafuri, D. Sira, O. K. Jensen, and T. Larsen, "Efficiency enhancement of an envelope tracking power amplifier combining supply shaping and dynamic biasing," in *Microwave Conference (EuMC)*, 2013 European, 2013, pp. 1491-1494.
- [2] J. Kim, D. Kim, Y. Cho, D. Kang, B. Park, and B. Kim, "Envelope-Tracking Two-Stage Power Amplifier With Dual-Mode Supply Modulator for LTE Applications," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, pp. 543-552, 2013.
- [3] K. Onizuka, K. Ikeuchi, S. Saigusa, and S. Otaka, "A 2.4 GHz CMOS Doherty power amplifier with dynamic biasing scheme," in *Solid State Circuits Conference (A-SSCC)*, 2012 IEEE Asian, 2012, pp. 93-96.
- [4] A. Valdes-Garcia, R. Venkatasubramanian, J. Silva-Martinez, and E. Sanchez-Sinencio, "A Broadband CMOS Amplitude Detector for On-Chip RF Measurements," in *IEEE Transactions on Instrumentation and Measurement*, vol. 57, pp. 1470-1477, 2008.
- [5] A. Valdes-Garcia, R. Venkatasubramanian, R. Srinivasan, J. Silva-Martinez, and E. Sanchez-Sinencio, "A CMOS RF RMS detector for built-in testing of wireless transceivers," in *Proceedings 23rd IEEE VLSI Test Symposium*, 2005, pp. 249-254.
- [6] C. Jeongwon, W. Wangmyung, C. Changhyuk, P. Yunseo, L. Chang-Ho, K. Haksun, et al., "A highly-linear radio-frequency envelope detector for multi-standard operation," in *Radio Frequency Integrated Circuits Symposium*, 2009. RFIC 2009. IEEE, 2009, pp. 149-152.
- [7] T. Voo and C. Toumazou, "High-speed current mirror resistive compensation technique," *Electronics Letters*, vol. 31, pp. 248-250, 1995.

LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES

- Asbeck, P., L. Larson, D. Kimball, M. Kwak, M. Hassan, C. Hsia, C. Presti et A. Scuderi. 2012. « Si IC development for high efficiency envelope tracking power amplifiers ». In *IEEE 12th Silicon Monolithic Integrated Circuits in RF Systems (SiRF)*. (16-18 Jan. 2012), p. 1-4.
- Asbeck, Per, et Carsten Fallesen. 2002. « An RF Power Amplifier in a Digital CMOS Process ». *Analog Integrated Circuits and Signal Processing*, vol. 30, p. 41-50.
- Baker, R Jacob. 2011. *CMOS: circuit design, layout, and simulation*, 3e éd. Wiley-IEEE Press, 1208 p.
- Berthiaume, D., et N. G. Constantin. 2012a. « A modified current mirror circuit for the biasing of GAAS biFET RFIC power amplifiers ». In *25th IEEE Canadian Conference on Electrical & Computer Engineering (CCECE)*. (Montréal, April 29 to May 2 2012).
- Berthiaume, David. 2012. « Analyse et conception de circuits de polarisation fonctionnant à bas voltage pour amplificateurs MMIC de puissance ». In *l'Association francophone pour le savoir (ACFAS)*. (Montréal, Mai 2012).
- Berthiaume, David, et Nicolas Constantin. 2012b. « Analyse et conception de circuits de polarisation fonctionnant à bas voltage pour amplificateurs MMIC de puissance ». In *Symposium du Centre de Recherche En Électronique Radiofréquence du Québec (CRÉER)*. (Montréal, Septembre 2011).
- Berthiaume, David, et Nicolas Constantin. 2013. « Projet APRI – Activité Préparatoires pour la Recherche et l'Innovation ». In *Journée carrière de l'École de technologie supérieure*. (Montréal, Mars 2013).
- Berthiaume, David, Smarjeet Sharma et Nicolas Constantin. 2015. « Low Current, 100MHz Bandwidth, Envelope Detector for CMOS RFIC PAs ». In *IEEE Proceedings of the Custom Integrated Circuits Conference (CICC)*. (San Jose, 28-30 September 2015).
- CIA. 2012. *Nombre de téléphones portables par habitant et pays*. < <http://www.actualitix.com/nombre-de-telephones-portables-par-habitant-et-pays.html> >. (Consulté en octobre 2012)
- Cripps, S. C. 2006. *RF power amplifiers for wireless communications*, 2e éd. Coll. « Microwave Magazine, IEEE ». ARTECH HOUSE, INC., 455 p.
- Duong, Quoc-Tai, et JJ Dabrowski. 2012. « Wideband RF detector design for high performance on-chip test ». In *NORCHIP, 2012*. p. 1-4. IEEE.

- Feipeng, Wang, D. F. Kimball, D. Y. Lie, P. M. Asbeck et L. E. Larson. 2007. « A Monolithic High-Efficiency 2.4-GHz 20-dBm SiGe BiCMOS Envelope-Tracking OFDM Power Amplifier ». *IEEE Journal of Solid-State Circuits*, vol. 42, p. 1271-1281.
- Gering, Joseph. 2008. *Large-Signal Measurements for Power Amplifier (PA) Characterization*. IMS Workshop: RF Micro Devices inc., 33 p.
- Ghosh, A., R. Ratasuk, B. Mondal, N. Mangalvedhe et T. Thomas. 2010. « LTE-advanced: next-generation wireless broadband technology [Invited Paper] ». *IEEE Wireless Communications*, vol. 17, p. 10-22.
- Giancoli, D.C. 1993. *Physique générale: Électricité et magnétisme*, 1ere éd. De Boeck Supérieur, 328 p.
- Gray, Paul R, et Robert G Meyer. 1993. « Analysis and design of analog integrated circuits ». pp229-326.
- Hajimiri, A. 2005. « Fully integrated RF CMOS power amplifiers - a prelude to full radio integration ». In *IEEE Radio Frequency integrated Circuits (RFIC) Symposium*. (12-14 June 2005), p. 439-442.
- Hedayati, H., M. Mobarak, G. Varin, P. Meunier, P. Gamand, E. Sanchez-Sinencio et K. Entesari. 2012. « A 2-GHz Highly Linear Efficient Dual-Mode BiCMOS Power Amplifier Using a Reconfigurable Matching Network ». *IEEE Journal of Solid-State Circuits*, vol. 47, p. 2385-2404.
- Jeon, Woochul. 2005. « Design and Fabrication of on Chip Microwave Pulse Power Detectors ».
- Jeongwon, Cha, Woo Wangmyung, Cho Changhyuk, Park Yunseo, Lee Chang-Ho, Kim Haksun et J. Laskar. 2009. « A highly-linear radio-frequency envelope detector for multi-standard operation ». In *IEEE Radio Frequency integrated Circuits (RFIC) Symposium*. (7-9 June 2009), p. 149-152.
- JohansonTechnology. 2011. *Multi-Layer High-Q Capacitors*. Datasheet. < www.johansontechnology.com >. (Consulté en juin 2013)
- Johns, D.A., et K. Martin. 2008. *Analog Integrated Circuit Design*, 1ere éd. Wiley India Pvt. Limited, 706 p.
- Jongchan, Kang, Yu Daekyu, Yang Youngoo et Kim Bumman. 2006. « Highly linear 0.18 μ m CMOS power amplifier with deep n-Well structure ». *IEEE Journal of Solid-State Circuits*, vol. 41, p. 1073-1080.

- Joosung, Kim, Kim Dongsu, Cho Yunsung, Kang Daehyun, Park Byungjoon et Kim Bumman. 2013. « Envelope-Tracking Two-Stage Power Amplifier With Dual-Mode Supply Modulator for LTE Applications ». *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, p. 543-552.
- Kahn, L. R. 1952. « Single-Sideband Transmission by Envelope Elimination and Restoration ». *Proceedings of the IRE*, vol. 40, p. 803-806.
- Kim, Bumman, Kim Jangheon, Kim Ildu et Cha Jeonghyeon. 2006. « The Doherty power amplifier ». *Microwave Magazine, IEEE*, vol. 7, n° 5, p. 42-50.
- Kim, Joosung, Dongsu Kim, Yunsung Cho, Daehyun Kang, Byungjoon Park et Bumman Kim. 2013. « Envelope-Tracking Two-Stage Power Amplifier With Dual-Mode Supply Modulator for LTE Applications ». *IEEE Transactions on Microwave Theory and Techniques*, vol. 61, p. 543-552.
- Kyu Hwan, An, Lee Ockgoo, Kim Hyungwook, Lee Dong Ho, Han Jeonghu, Yang Ki Seok, Kim Younsuk, Chang Jae Joon, Woo Wangmyong, Lee Chang-Ho, Kim Haksun et J. Laskar. 2008. « Power-Combining Transformer Techniques for Fully-Integrated CMOS Power Amplifiers ». *Solid-State Circuits, IEEE Journal of*, vol. 43, n° 5, p. 1064-1075.
- Microsystems, CMC. 2001. *CMOS P18 calibre DRC Command Line Instructions*.
- National Instruments. 2014. *Modulation Error Ratio (MER) and Error Vector Magnitude (EVM)*. < <http://www.ni.com/white-paper/3652/en/#toc2> >. (Consulté en juin 2014)
- Oishi, Kazuaki, Eiji Yoshida, Yasufumi Sakai, Hideki Takauchi, Yoichi Kawano, Noriaki Shirai, Hideki Kano, Masahiro Kudo, Tomotoshi Murakami, Tetsuro Tamura, Shigeaki Kawai, Shinji Yamaura, Kazuo Suto, Hiroshi Yamazaki et Toshihiko Mori. 2014. « 3.2 A 1.95GHz fully integrated envelope elimination and restoration CMOS power amplifier with envelope/phase generator and timing aligner for WCDMA and LTE ». In *IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*. (9-13 Feb. 2014), p. 60-61.
- Po-Chih, Wang, Huang Kai-Yi, Kuo Yu-Fu, Huang Ming-Chong, Lu Chao-Hua, Chen Tzung-Ming, Chang Chia-Jun, Chan Ka-Un, Yeh Ta-Hsun, Wang Wen-Shan, Lin Ying-Hsi et Chao-Cheng Lee. 2008. « A 2.4-GHz +25dBm P-1dB linear power amplifier with dynamic bias control in a 65-nm CMOS process ». In *34th European Solid-State Circuits Conference (ESSCIRC)* (15-19 Sept. 2008), p. 490-493.
- Raab, F. H. 1997. « Class-F power amplifiers with maximally flat waveforms ». *Microwave Theory and Techniques, IEEE Transactions on*, vol. 45, n° 11, p. 2007-2012.

- Randall, Robert Guy. 2008. « Integrated CMOS linear RF power amplifiers ». Thèse de doctorat. Canada, University of Calgary (Canada), 203 p.
- Razavi, B. 2000. *Design of Analog CMOS Integrated Circuits*, 1ere éd. McGraw-Hill Companies, Incorporated, 704 p.
- Richardson, François Dominique. 2011. « Conception et réalisation CMOS d'un détecteur de puissance RF pour un système automatique d'adaptation d'impédance ». Mémoire de maîtrise en électronique. Montréal, École de technologie supérieure, 168 p.
- Sharma, Smarjeet, David Berthiaume et Nicolas Constantin. 2014. « Modèle estimant les niveaux de distorsions d'intermodulation d'un amplificateur de puissance sur puce à rétroaction d'enveloppe pour le comportement dynamique AM et PM ». In *l'Association francophone pour le savoir (ACFAS)*. (Montréal, Mai 20014).
- Sharma, Smarjeet, et Nicolas G Constantin. 2013. « Formulations for the Estimation of IMD Levels in an Envelope Feedback RFIC Amplifier: An Extension to Dynamic AM and PM Behavior ». *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 32, p. 2019-2023.
- Solar, H., R. Berenguer, I. Adin, U. Alvarado et I. Cendoya. 2006. « A Fully Integrated 26.5 dBm CMOS Power Amplifier for IEEE 802.11a WLAN Standard with on-chip "power inductors" ». In *IEEE MTT-S International Microwave Symposium Digest*. (11-16 June 2006), p. 1875-1878.
- Srirattana, N., P. Sen, H. M. Park, C. H. Lee, P. E. Allen et J. Laskar. 2005. « Linear RF CMOS power amplifier with improved efficiency and linearity in wide power levels ». In *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*. (12-14 June 2005), p. 251-4.
- Tafari, F. F., D. Sira, O. K. Jensen et T. Larsen. 2013. « Efficiency enhancement of an envelope tracking power amplifier combining supply shaping and dynamic biasing ». In *European Microwave Integrated Circuits Conference (EuMIC)*. (6-8 Oct. 2013), p. 520-523.
- Teeter, D. A., E. T. Spears, H. D. Bui, H. Jiang et D. Widay. 2006. « Average current reduction in (W)CDMA power amplifiers ». In *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*. (11-13 June 2006), p. 4 pp.
- Thibodeau, A, A Kouki et Nicolas G Constantin. 2013. « NARMA-based linearization of RF power amplifiers with non-monotonic response under dynamic hardware reconfiguration ». In *IEEE Radio and Wireless Symposium (RWS)*. (20-23 Jan 2013), p. 85-87.

- To-Po, Wang, Ke Ji-Hong et Chiang Cheng-Yu. 2011. « A high-Psat high-PAE fully-integrated 5.8-GHz power amplifier in 0.18- μ m CMOS ». In *International Conference of Electron Devices and Solid-State Circuits (EDSSC)*. (17-18 Nov. 2011), p. 1-2.
- TSMC. 2001. *Taiwan Semiconductor Manufacturing Compagny AI Bond Pad Design Rule (T-000-LO-DR-001)* 10 p.
- TSMC. 2002. *Taiwan Semiconductor Manufacturing Company 0.18 μ m Mixed Signal 1P6M Salicide 1.8V/3.3V Spice Modles (T-018-MM-SP-002)*. 107 p.
- TSMC. 2004. *Taiwan Semiconductor Manufacturing Company 0.18 μ m Mixed Signal 1P6M Salicide 1.8V/3.3V RF Spice Models (T-018-MM-SP-001)*. 102 p.
- TSMC. 2006a. *Taiwan Semiconductor Manufacturing Compagny 0.18 μ m Logic 1P6M Salicide 1.8V/3.3V Design Rule (T-018-LO-DR-001)*. 91 p.
- TSMC. 2006b. *Taiwan Semiconductor Manufacturing Compagny 0.18 μ m Mixed Signal/RF 1P6M Salicide 1.8V/3.3V Design Rule (T-018-MM-DR-001)*. 44 p.
- Valdes-Garcia, A., R. Venkatasubramanian, J. Silva-Martinez et E. Sanchez-Sinencio. 2008. « A Broadband CMOS Amplitude Detector for On-Chip RF Measurements ». *IEEE Transactions on Instrumentation and Measurement*, vol. 57, p. 1470-1477.
- Valdes-Garcia, A., R. Venkatasubramanian, R. Srinivasan, J. Silva-Martinez et E. Sanchez-Sinencio. 2005. « A CMOS RF RMS detector for built-in testing of wireless transceivers ». In *23rd IEEE VLSI Test Symposium (1-5 May 2005)* Vol. Classé, p. 249-254.
- Voo, T., et C. Toumazou. 1995. « High-speed current mirror resistive compensation technique ». *Electronics Letters*, vol. 31, p. 248-250.
- Weimin, Zhang, Khoo Ee-Sze et T. Tear. 2002. « A low voltage fully integrated 0.18 μ m CMOS power amplifier for 5GHz WLAN ». In *Proceedings of the 28th European Solid-State Circuits Conference (ESSCIRC)*. (24-26 Sept. 2002), p. 215-218.
- Yan, Li, J. Lopez, C. Schecht, Wu Ruili et D. Y. C. Lie. 2012. « Design of High Efficiency Monolithic Power Amplifier With Envelope-Tracking and Transistor Resizing for Broadband Wireless Applications ». *IEEE Journal of Solid-State Circuits*, vol. 47, p. 2007-2018.
- Yanping, Zhou, Huang Guochi, Nam Sangwook et Kim Byung-Sung. 2008. « A novel wide-band envelope detector ». In *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*. (15-17 jun 2008), p. 219-222.

- Youngchang, Yoon, Kim Jihwan, Kim Hyungwook, An Kyu Hwan, Lee Ockgoo, Lee Chang-Ho et J. S. Kenney. 2012. « A Dual-Mode CMOS RF Power Amplifier With Integrated Tunable Matching Network ». *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, p. 77-88.
- Ytterdal, T., Y. Cheng et T.A. Fjeldly. 2003. *Device Modeling for Analog and RF CMOS Circuit Design*, 1ere éd. Wiley, 306 p.
- Yuen Sum, Ng, L. Leung et Leung Ka Nang. 2009. « A 3-GHz fully-integrated CMOS Class-AB power amplifier ». In *52nd IEEE International Midwest Symposium on Circuits and Systems (MWSCAS) (2-5 Aug 2009)*, p. 995-998.
- Zhang, Chaoming, Ranjit Gharpurey et Jacob A Abraham. 2012. « Built-in Self Test of RF Subsystems with Integrated Detectors ». *Journal of Electronic Testing*, vol. 28, p. 557-569.