

Sommaire

CHAPITRE I. LA MINIATURISATION DES MOSFET ET SES LIMITES 11

I.1. Contexte de l'industrie des semi-conducteurs..... 13

I.1.1. Applications, marché, acteurs 13

I.1.2. Critères de performance 15

I.2. Architectures à canaux entièrement déserté (FD) 17

I.2.1. L'électrostatique dans un transistor à effet de champ et ses limites 17

I.2.1.a. Régimes de fonctionnement de la capacité MOS sur Si massif 17

I.2.1.b. Le contrôle électrostatique dans les canaux courts 18

I.2.2. FD : FinFET 20

I.2.2.a. Architecture et fabrication 20

I.2.2.b. Spécificités de l'architecture FinFET 22

I.2.3. Le FD planaire 24

I.2.3.a. Architecture et fabrication FDSOI 24

I.2.3.b. Le BOX et la polarisation face arrière : le Back-bias 24

I.2.3.c. Électrostatique 26

I.2.3.d. La variabilité des transistors FDSOI 27

I.2.4. Autres architectures multi grilles et évolution vers une grille enrobante 28

I.2.4.a. Les architectures double grille 28

I.2.4.b. Les architectures triple grille 29

I.2.4.c. L'architecture ultime à grille enrobante 29

I.3. Conclusion du chapitre..... 31

CHAPITRE II. : UTILISATION DE CONTRAINTES POUR AMELIORER LE TRANSPORT DANS LES MOSFET FDSOI PLANAIRES 33

II.1. Synthèse bibliographique de l'influence des matériaux du canal et de la contrainte sur le transport 36

II.1.1. Définition de la mobilité et méthodes d'extraction 36

II.1.1.a. Notions de mobilité 36

II.1.1.b. Méthodes d'extraction de la mobilité effective 37

II.1.2. Choix du matériau du canal 39

II.1.2.a. Canaux en SiGe 39

II.1.2.b. Canaux en matériaux III-V 40

II.1.3. Influence de la contrainte sur le transport 42

II.1.3.a. Influence de la contrainte sur la structure de bande 42

II.1.3.b. Le modèle piézorésistif 42

II.1.3.c. Hypothèses et limites du modèle piézorésistif 45

II.1.4. Procédés induisant de la contrainte dans la littérature 46

III.1.3.b. Réduction de l'oxyde piédestal par « scavenging »	90
III.1.3.c. Le phénomène de « Roll-off »	90
III.1.4. Augmentation des contraintes mécaniques	91
III.2. L'intégration Gate-Last planaire sur SOI.....	93
III.2.1. Enchaînement(s) des procédés de fabrication	93
III.2.2. High-k first	95
III.2.3. L'enjeu des étapes de CMP en gate-last.....	96
III.2.4. Etude du retrait de la grille Poly-Si	97
III.2.5. Choix du métal de grille et de l'encapsulation.....	99
III.2.5.a. Influence de l'encapsulation sur les propriétés de la grille.....	99
III.2.5.b. Etude d'une intégration mixte : métal de grille chaud et froid.....	101
III.3. Performance canal court des transistors gate-last sur SOI.....	103
III.3.1. Cas des transistors gate-last non contraints	103
III.3.1.a. Fabrication des dispositifs	103
III.3.1.b. Performances des dispositifs non contraints	103
III.3.2. Cas des transistors gate-last contraints	106
III.3.2.a. Fabrication des dispositifs et introduction de la contrainte	106
III.3.2.b. Mesures de contraintes lors de la fabrication	107
III.3.2.c. Performances des dispositifs contraints.....	108
III.3.2.d. Comparaison des performances des pFET gate-last par rapport au gate- first.....	111
III.3.3. Perspectives de l'intégration gate-last	112
III.3.3.a. High-k last.....	112
III.3.3.b. La fiabilité.....	114
III.3.3.c. Variabilité des transistors Gate-Last sur SOI.....	115
III.4. Conclusion du chapitre	117
 CHAPITRE IV. MINIATURISATION ET PERSPECTIVES POUR LE NŒUD	
10 NM	119
 IV.1. Transfer de contrainte à partir d'une couche de SiGe enterrée.....	121
IV.1.1. Paramètres d'entrés pour les simulations mécaniques	122
IV.1.1.a. Présentation de la structure	122
IV.1.1.b. Paramètres matériaux	122
IV.1.2. Résultats des simulations 2D	123
IV.1.2.a. Etude préliminaire.....	123
IV.1.2.b. Optimisation du transfert de contrainte	125
IV.1.3. Résultats des simulations 3D	126
IV.1.4. Influence des contraintes sur la mobilité.....	129
 IV.2. Fabrication de transistors tri-gate à forte densité d'active.....	131
IV.2.1. Utilisation des copolymères à blocs (BCP).....	131

IV.2.1.a. Propriétés des copolymères.....	131
IV.2.1.b. Principe d'application au transistor.....	133
IV.2.2. Fabrication de transistors tri-gate à forte densité (SIT)	135
IV.2.2.a. Développement de la brique SIT	135
IV.2.2.b. Intégration de la brique SIT pour la fabrication de transistors Tri-gate..	139
IV.2.2.c. Résultats morphologiques et perspectives.....	142
IV.3. Perspectives pour le nœud technologique 10 nm	143
IV.4. Conclusion du chapitre.....	147
CONCLUSION GENERALE	149
REFERENCES BIBLIOGRAPHIQUES.....	153
PUBLICATIONS DE L'AUTEUR.....	173

Chapitre I.
La miniaturisation des MOSFET
et ses limites

CHAPITRE I. : LA MINIATURISATION DES MOSFET ET SES LIMITES	11
I.1. Contexte de l'industrie des semi-conducteurs.....	13
I.1.1. Applications, marché, acteurs	13
I.1.2. Critères de performance	15
I.2. Architectures à canaux entièrement déserté (FD)	17
I.2.1. L'électrostatique dans un transistor à effet de champ et ses limites	17
I.2.1.a. Régimes de fonctionnement de la capacité MOS sur Si massif.....	17
I.2.1.b. Le contrôle électrostatique dans les canaux courts.....	18
I.2.2. FD : FinFET	20
I.2.2.a. Architecture et fabrication.....	20
I.2.2.b. Spécificités de l'architecture FinFET.....	22
I.2.3. Le FD planaire	24
I.2.3.a. Architecture et fabrication FDSOI	24
I.2.3.b. Le BOX et la polarisation face arrière : le Back-bias.....	24
I.2.3.c. Électrostatique	26
I.2.3.d. La variabilité des transistors FDSOI	27
I.2.4. Autres architectures multi grilles et évolution vers une grille enrobante	28
I.2.4.a. Les architectures double grille	28
I.2.4.b. Les architectures triple grille	29
I.2.4.c. L'architecture ultime à grille enrobante.....	29
I.3. Conclusion du chapitre.....	31

I.1. Contexte de l'industrie des semi-conducteurs

I.1.1. Applications, marché, acteurs

Les développements technologiques en microélectronique sont très fortement liés aux enjeux économiques de ce secteur. Tout d'abord, le marché des semi-conducteurs est un marché mondial en forte croissance avec une augmentation annuelle moyenne de 10 milliards de dollars depuis 1990 (Figure I.1) et une croissance de 6 % attendue pour 2013. Jusque dans les années 2000 il a été partagé relativement équitablement entre les États-Unis, le Japon l'Europe et l'Asie. Cependant, depuis 2001 le marché des semi-conducteurs en Asie (hors Japon) n'a cessé d'augmenter et en 2012 il représente un peu plus de la moitié du marché mondial.

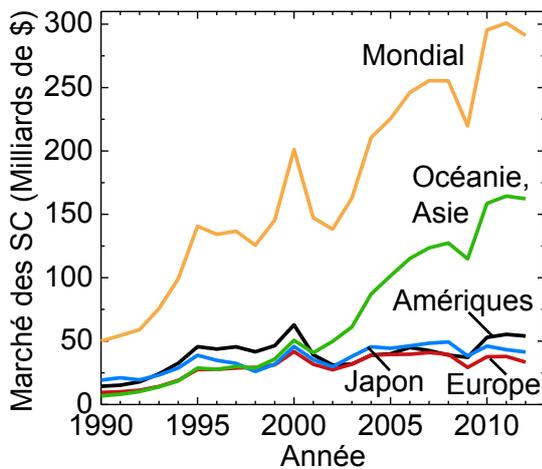


Figure I.1: Evolution du marché des semi-conducteurs par région depuis 1990[SIA].

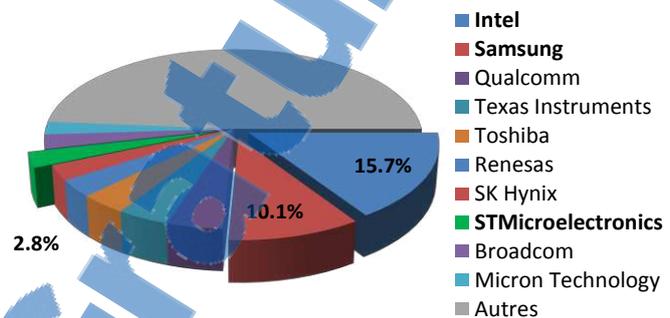


Figure I.2: Part de marché des dix plus grosses entreprises de semi-conducteurs (hors fonderies) pour l'année 2012 [IHS].

Ainsi en 2012, le marché des semi-conducteurs a atteint près de 300 milliards de dollars. La moitié de ce marché (dont un tiers est gagné par des entreprises américaines) est partagé par les dix plus grosses entreprises à travers le monde (Figure I.2). En tête de ce classement figurent l'américain Intel et le coréen Samsung. Bien que les ventes d'ordinateurs de bureau soient en recul, le marché croît avec l'émergence de nouveaux produits phares comme les tablettes et l'explosion des ventes de *smartphones*. Les biens de consommation (télévision, électroménager, automobile) représentent également une part importante de ce marché.

Jusqu'en 1990, chaque entreprise de microélectronique investissait dans sa propre usine de fabrication de circuits intégrés. Cependant, le coût d'une usine de production augmente exponentiellement (ce prix double tous les 4 ans) pour atteindre 3 milliards de dollars en 2000 (Figure I.3). Face à cette augmentation certaines entreprises se sont spécialisées dans la fabrication tandis que d'autres se consacrent à la conception. On distingue alors plusieurs types d'entreprises :

- les fonderies qui produisent les plaques de silicium à partir des dessins de leurs clients. Par exemple les trois plus grosses compagnies de ce type sont TSMC, UMC et Global Foundries.
- les entreprises dites *fabless* qui conçoivent les puces mais ne possèdent pas d'usine de fabrication, comme Qualcomm, Broadcom, AMD, nVidia, Xilinx, ...

- Malgré cette séparation, certaines entreprises (appelées IDM : *Integrated Device Manufacturers*) telles qu'Intel, Samsung, STMicroelectronics réalisent eux même toutes les étapes depuis le dessin des puces jusqu'à leur fabrication.

Ainsi, face aux investissements requis, le nombre d'entreprise capable de fabriquer des circuits intégrés diminue pour les technologies avancées (Figure I.3) et les coûts de recherche et développement ont tendance à être mutualisés.

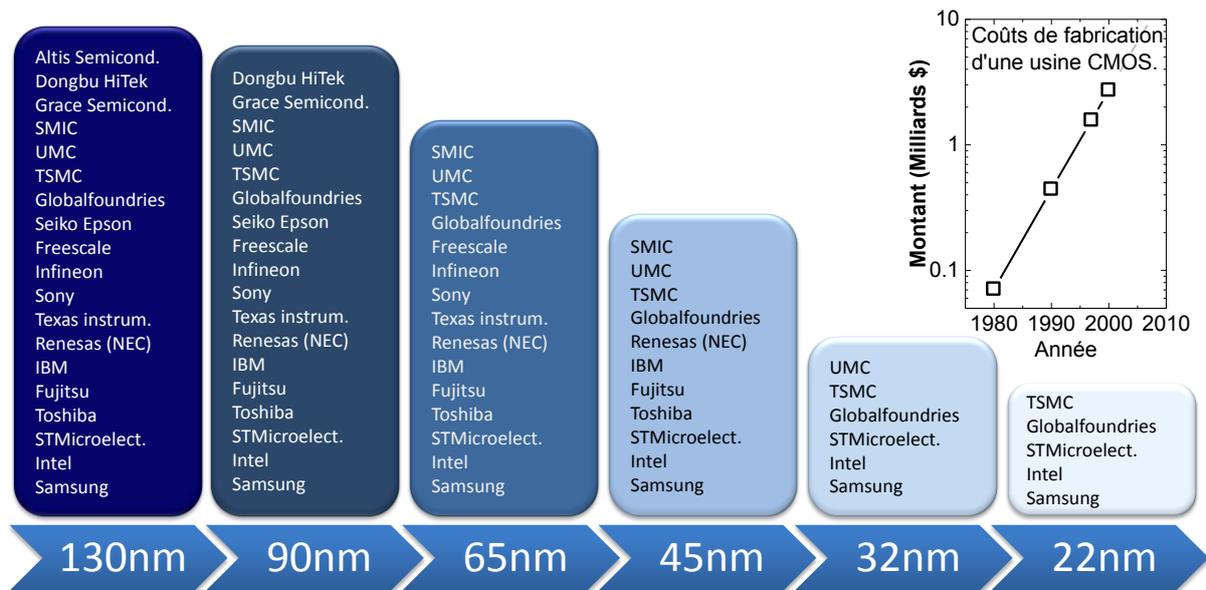


Figure I.3: Augmentation des coûts de fabrication d'une usine CMOS (inset) et diminution du nombre d'entreprises capable de fabriquer un nœud CMOS donné [IHS].

Depuis les premières puces dans les années 70, le nombre de transistor par unité de surface n'a cessé d'augmenter (Figure I.4) et il est possible d'intégrer de plus en plus de fonctionnalités. De nos jours, il y a environ 3 milliards de transistors dans un microprocesseur de 500 mm². A chaque génération (aussi appelée nœud technologique) les dimensions des cellules élémentaires diminuent. Si initialement le nom de chaque nœud était lié à la taille des transistors (longueur de grille) il fait maintenant plutôt référence à la densité minimale de transistors (*pitch* contact). Un des objectifs de cette miniaturisation est de diminuer le prix moyen d'un transistor afin d'être toujours plus compétitif (Figure I.4).

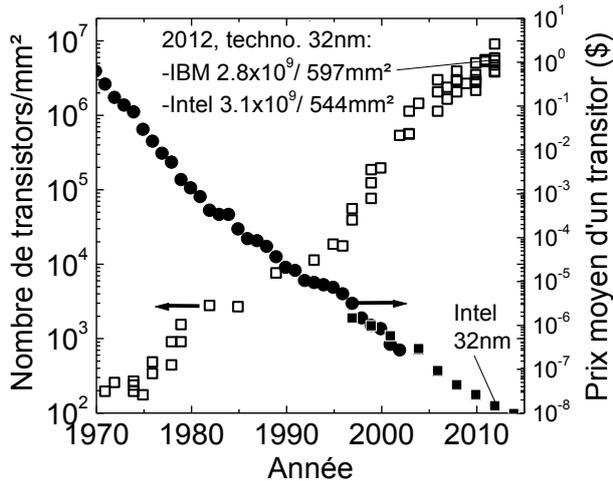


Figure I.4: Augmentation de la densité des transistors et diminution de leur prix au cours du temps. Source : wikipedia, intel

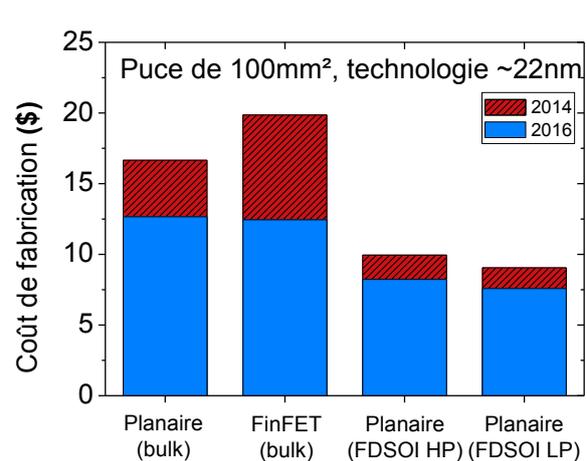


Figure I.5: Estimation du coût de fabrication d'une puce de 100mm² pour différentes architectures [IBS12].

Ainsi, selon la célèbre prédiction de Gordon Moore, la densité des transistors double tous les deux ans depuis les années 70. De nos jours, plusieurs architectures sont possibles pour réaliser des transistors de dimensions nanométriques: les FinFET ou les transistors planaires. Ils seront décrits dans la suite de ce chapitre. Pour le nœud 22 nm par exemple le coût de fabrication d'une puce de 100 mm² est estimé à moins de 20 \$ (Figure I.5). Dans l'estimation ci-dessus, le prix varie en fonction de l'architecture utilisée principalement à cause des rendements considérés (nombre de puces fonctionnelles par rapport au nombre total de puces par plaque).

La diminution de la taille des transistors n'a pas uniquement pour but de diminuer le prix de fabrication d'une puce. Outre l'augmentation du nombre de fonctionnalités, la rapidité est également améliorée d'un nœud à l'autre. Dans le paragraphe suivant, nous allons voir quels sont les critères de performances permettant d'évaluer une technologie.

I.1.2. Critères de performance

La principale caractéristique d'un circuit intégré est le rapport de sa fréquence de fonctionnement sur sa puissance dissipée. On cherche à avoir des circuits logiques les plus rapides possibles et consommant le moins possible. Ce compromis est ajusté suivant les applications : pour les téléphones portables par exemple on cherche en priorité à diminuer la consommation pour augmenter l'autonomie tandis que pour des ordinateurs ou des serveurs on recherche de la rapidité sans être limité par la consommation. Cependant, cette distinction tend à disparaître pour des produits comme les tablettes ou les *smartphones* qui requièrent à la fois de la vitesse et une faible consommation en énergie.

Dans un circuit logique, on peut distinguer deux contributions à la puissance totale consommée. La puissance statique dépend de la tension d'alimentation (V_{DD}) ainsi que du courant dans le transistor à l'état non passant (I_{OFF}). La puissance dynamique dépend de V_{DD} et du courant à l'état passant (I_{ON}).

L'inverseur, composé d'un transistor de type n et de type p (nFET et pFET), est le dispositif de base des circuits logiques permettant de passer d'un état haut à un état bas. Ainsi, la rapidité d'un circuit est généralement évaluée à l'aide du délai moyen de commutation (τ_p) d'un inverseur définit Equation I.4:

$$\tau_p = \frac{C \cdot V_{DD}}{I_{ON}} \quad \text{Equation I.1}$$

avec C la capacité de charge de l'inverseur et I_{ON} le courant de drain.

Le courant de saturation (I_{ON}) est défini comme étant le courant de drain (I_D) lorsque la tension de grille (V_G) est égale à la tension de drain (V_D) et à V_{DD} ($V_G=V_D=V_{DD}$). En régime de saturation ($V_D > V_G - V_T$) et à fort V_G (inversion forte) le courant de drain s'exprime de la façon suivante :

$$I_{Dsat} = \frac{W}{L} C_{ox} \mu_{eff} \frac{(V_G - V_T)^2}{2} \quad \text{Equation I.2}$$

avec W et L la largeur et la longueur de la grille, C_{ox} sa capacité, μ_{eff} la mobilité effective des porteurs et V_T la tension de seuil.

Bien qu'il soit encore couramment utilisé pour caractériser les performances des transistors, le paramètre I_{ON} s'avère peu précis pour estimer les temps de commutation courts [Yoshida06]. Na *et al.* [Na02] ont introduit la notion de courant effectif (I_{EFF}) qui prend en compte le comportement du transistor sous le seuil Equation I.3:

$$I_{EFF} = \frac{I_H + I_L}{2} \quad \text{Equation I.3}$$

avec $I_L = I_D(V_G = \frac{V_{DD}}{2}, V_D = V_{DD})$ et $I_H = I_D(V_G = V_{DD}, V_D = \frac{V_{DD}}{2})$

Le délai τ_p est alors estimé en remplaçant I_{ON} par $2 \cdot I_{EFF}$ dans l'Equation I.1. Afin de diminuer le délai plusieurs solutions peuvent être combinées :

- une diminution de la capacité de charge d'un inverseur grâce à une diminution des dimensions et une réduction des capacités parasites (dépendantes de l'architecture).
- une diminution de la tension d'alimentation (V_{DD}). Cependant cela nécessite également de réduire l'épaisseur de l'oxyde de grille afin de conserver un champ électrique constant.
- Une augmentation du courant effectif grâce à plusieurs leviers : la diminution des dimensions, l'augmentation de la mobilité ou une diminution des effets canaux courts. L'augmentation de la mobilité avec des contraintes mécaniques sera abordée lors du chapitre II.

1.2. Architectures à canaux entièrement déserté (FD)

Pour les technologies avancées, l'utilisation de transistors à canaux entièrement désertés (FD : *Fully Depleted*) devient obligatoire pour limiter les effets dit de canaux courts et assurer un bon contrôle électrostatique ce qui augmente les performances. Deux approches sont actuellement en concurrence dans l'industrie:

- l'architecture FinFET ou Tri-gate qui exploite la troisième dimension afin de former des canaux avec un facteur de forme (hauteur/largeur) nettement supérieur à 1. Ces canaux ont une largeur de l'ordre de 10 nm et sont appelés *Fins*.
- l'architecture FDSOI planaire où le film de silicium est amincis (<10 nm) sur un isolant afin d'être entièrement déserté.

Après quelques notions sur le principe de fonctionnement des transistors MOS, ces deux architectures seront détaillées dans les paragraphes suivants.

1.2.1. L'électrostatique dans un transistor à effet de champ et ses limites

1.2.1.a. Régimes de fonctionnement de la capacité MOS sur Si massif

La capacité MOS est un élément clé du transistor MOSFET puisque c'est celui-ci qui module le passage du courant par effet de champ électrostatique. On distingue trois régimes en fonction de la valeur du potentiel de surface ψ_s situé à l'interface entre l'oxyde de grille et le semi-conducteur.

Dans le cas du nMOS, où le silicium du substrat est de type P, on distingue :

- Le régime d'accumulation : $\psi_s < 0$ soit $V_G < V_{FB}$

Le champ électrique vertical attire les porteurs majoritaires (les trous) à l'interface oxyde/silicium. La capacité est en accumulation et le transistor est à l'état bloqué. La tension de bandes plates V_{FB} est la tension de grille (V_G) qu'il faut appliquer afin que la courbure de bande entre la surface et le semi-conducteur soit nulle ($\psi_s=0$).

- Le régime de déplétion ou de désertion : $0 < \psi_s < \Phi_f$ soit $V_G > V_{FB}$ où Φ_f est le potentiel déterminant le niveau de Fermi ($E_{F,SC}$) dans le volume du semi-conducteur (Figure I.7). Dans un nMOS avec une faible concentration de dopants accepteurs (N_A) l'approximation de Boltzmann exprime le potentiel de Fermi suivant :

$$\Phi_f = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad \text{Equation I.4}$$

Dans le régime de désertion, le champ repousse les porteurs majoritaires de l'interface oxyde/silicium ce qui crée une zone sans charge mobile chargée négativement par la présence de dopants accepteurs ionisés. La profondeur de la zone de déplétion augmente jusqu'au régime de forte inversion. En désertion, le transistor est bloqué.

- Le régime d'inversion: $\psi_s > \Phi_f$

Lorsque $\psi_s = \Phi_f$, les porteurs minoritaires sont aussi nombreux que les porteurs majoritaires en surface. Pour des valeurs plus élevée de ψ_s , on se retrouve dans la configuration inverse

puisque ce sont les porteurs minoritaires qui se retrouvent plus nombreux. Ce régime peut être divisé en deux parties :

- le régime d'inversion faible (représenté Figure I.7): $\psi_s < 2\Phi_f$
- le régime d'inversion forte : $\psi_s > 2\Phi_f$ soit $V_G > V_T$

La concentration des porteurs minoritaires en surface devient alors supérieure à la concentration des porteurs majoritaires dans le volume. Le nombre de porteurs libres et la charge d'inversion Q_{inv} du canal augmentent exponentiellement avec ψ_s .

Dans le cas d'un substrat de type N les porteurs majoritaires sont les électrons, les porteurs minoritaires les trous et les dopants ionisés sont des donneurs. Les signes des charges et des potentiels sont inversés par rapport au cas d'un substrat P mais le raisonnement ne change pas.

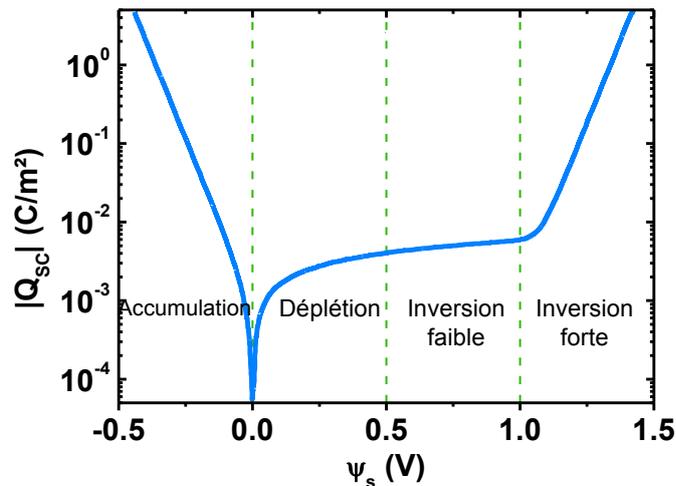


Figure I.6: Variation de la charge dans le semi-conducteur de type P $|Q_{sc}|$ en fonction du potentiel de surface ψ_s [Mathieu04].

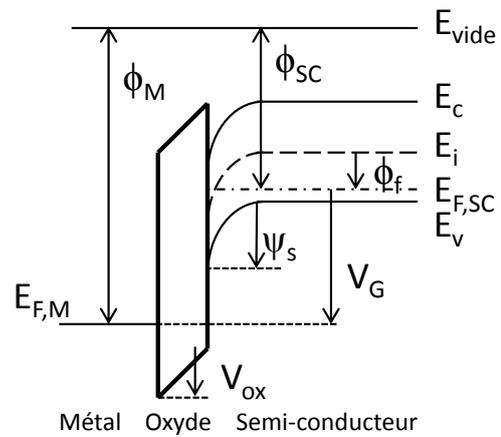


Figure I.7: Schéma de la structure de bande d'un nMOS en inversion faible.

La transition entre l'inversion faible est forte se produit à $\psi_s=2\Phi_f$. La tension de grille V_G atteint alors V_T appelée tension de seuil et le transistor est passant :

$$V_T = V_{FB} + 2\Phi_f - \frac{Q_{dep}}{C_{ox}} \quad \text{Equation I.5}$$

avec V_{FB} la tension de bande plate, Φ_f le potentiel de Fermi, Q_{dep} la charge de désertion du canal et C_{ox} la capacité de l'oxyde de grille.

1.2.1.b. Le contrôle électrostatique dans les canaux courts

Les effets de canaux courts (SCE : *Short Channel Effects*) sont des effets parasites qui ont pour conséquence de diminuer le contrôle électrostatique du canal par la grille. Dans un transistor à canal long, la polarisation de la grille entraîne un champ électrique vertical qui déserte le canal puis amène au régime d'inversion pour une tension de grille plus importante. La grille contrôle ainsi la barrière de potentiel entre la source et le drain. Lorsque la longueur des transistors et du canal diminuent, l'influence des zones de déplétion créées par les source/drain n'est plus négligeable : la barrière de potentiel entre la source et le drain diminue pour une polarisation de grille donnée (et à faible V_{DS}). Cette influence particulière est parfois notée SCE bien que l'appellation d'effets canaux courts englobe d'autres phénomènes. Un deuxième effet canal court vient se rajouter lorsque qu'une tension est appliquée sur le drain.

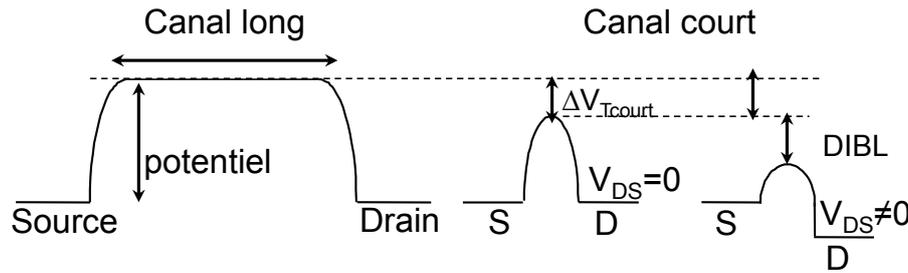


Figure I.8: Schéma de l'abaissement de la barrière de potentiel entre la source et le drain lors de la réduction de la longueur du canal puis en présence d'une polarisation de drain (DIBL).

La tension de grille contrôlant alors partiellement le canal, la barrière de potentiel est plus faible en régime saturé qu'en régime linéaire. Ce phénomène d'abaissement de la barrière de potentiel induite par le drain est appelé DIBL (*Drain-Induced Barrier Lowering*). Il s'exprime généralement en mV/V et est calculé de la façon suivante :

$$DIBL = \frac{V_{Tlin} - V_{Tsat}}{|V_{Dlin} - V_{Dsat}|} \quad \text{Equation I.6}$$

avec V_{Tlin} la tension de seuil à faible V_D (typiquement $V_{Dlin}=50$ mV), V_{Tsat} la tension de seuil en régime de saturation (fort $V_{Dsat}=V_{DD}$).

Le DIBL est donc un paramètre qui doit être minimisé (<100mV/V typiquement) ce qui traduit un bon contrôle électrostatique.

L'inverse de la pente sous le seuil (S), que l'on appellera par abus de langage pente sous le seuil par la suite, est la variation de la tension de grille nécessaire pour que le courant de drain (I_D) augmente d'une décade sous le seuil. Elle s'exprime en mV/dec et peut être calculée à partir de l'expression suivante :

$$S = \frac{\partial V_G}{\partial \log(I_D)} = \frac{k_B T}{q} \ln(10) \frac{\partial V_G}{\partial \psi_s} \quad \text{Equation I.7}$$

$$\text{avec } \frac{\partial V_G}{\partial \psi_s} = 1 + \frac{C_{dep} + C_{SS}}{C_{ox}}$$

Dans le cas idéal, lorsque la capacité liée aux états d'interface (C_{SS}) est nulle et la capacité de désertion (C_{dep}) est négligeable devant la capacité d'oxyde (C_{ox}), la pente sous le seuil à température ambiante est alors de 60 mV/dec.

La pente sous le seuil est un paramètre important pour optimiser le courant de fuite I_{OFF} . Si deux transistors sont ajustés pour avoir la même tension de seuil, celui avec la pente S la plus faible aura un courant I_{OFF} également plus bas comme illustré Figure I.9. Inversement, pour un I_{OFF} fixé le transistor avec la pente sous le seuil la plus faible aura la tension de seuil la plus basse. Pour les technologies avancées, la réduction de la longueur de grille entraîne une augmentation de la pente sous le seuil. Cependant, l'utilisation de films minces (SOI ou FinFET) permet de limiter cette dégradation [Barral07].

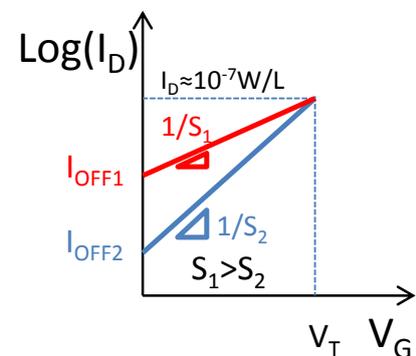


Figure I.9: Illustration de l'influence de la pente sous le seuil sur le courant I_{OFF} à V_T donné.

I.2.2. FD : FinFET

I.2.2.a. Architecture et fabrication

L'architecture FinFET est une des alternatives possibles aux transistors planaires sur silicium massif (*bulk*) pour les nœuds sub-32nm. Intel a été le premier à annoncer l'utilisation du FinFET en production pour le nœud 22 nm. TSMC opte aussi pour cette solution pour le nœud 16 nm de même que Samsung et Globalfoundries pour le nœud 14 nm à venir. Nous allons détailler quelques caractéristiques techniques de la technologie utilisée par Intel et décrites dans [Auth12] et [Chipworks].

❖ Morphologie des fins

Il est nécessaire de visualiser le transistor en trois dimensions afin de comprendre l'architecture FinFET (Figure I.10). Le courant passe de la source (S) au drain (D) dans un canal à fort rapport de forme d'où son appellation de *fin*. Un transistor est composé de multiples *fins* parallèles les uns aux autres et connectés ensemble afin d'augmenter le courant total. La grille contrôle le passage du courant dans les canaux qui sont entièrement désertés. Les canaux sont isolés entre eux par de l'oxyde et l'isolation avec le substrat de silicium peut être réalisé grâce à un oxyde enterré (BOX) [Chang11] ou par implantation comme c'est le cas ici.

La technologie 22 nm d'Intel comporte 9 niveaux d'interconnexions métalliques et utilise un substrat de silicium massif (*bulk*). La périodicité (*pitch*) des *fins* est de 60 nm et celle des grilles contactées (CPP) de 90 nm.

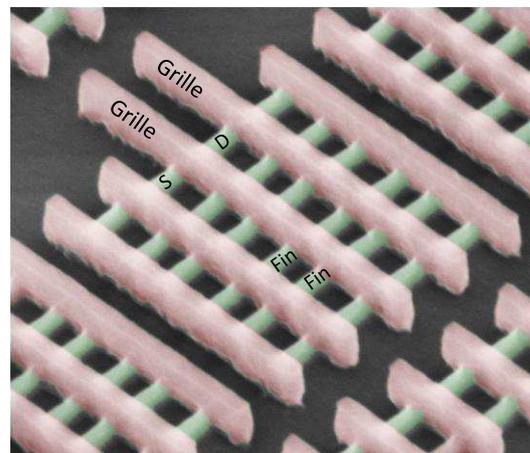
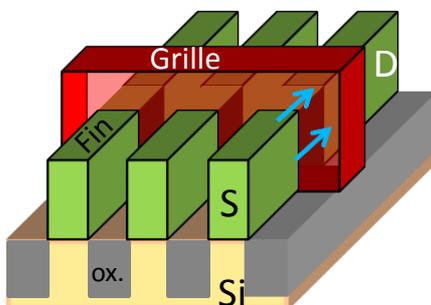


Figure I.10: Schéma et image MEB en vue de dessus (d'après [Bohr11]) de transistors FinFET sur silicium massif.

La Figure I.11b présente une vue en coupe des *fins* sous la grille. La première chose que l'on peut remarquer est que le silicium a une forme trapézoïdale et non rectangulaire comme sur le schéma. Ce type de profil n'apporte pas d'avantage particulier par rapport à un profil rectangulaire pour contrôler les effets canaux courts avec une grille de 30 nm à 35 nm [GSS12b]. Cependant il pourrait être bénéfique pour faciliter le dépôt de l'oxyde entre les *fins*, améliorer la fiabilité et limiter les fuites de courant dans le substrat. Quoiqu'il en soit, on voit que la grille recouvre le silicium de part et d'autre des *fins* ce qui assure ainsi un bon contrôle électrostatique (DIBL=50mV/V à L=30nm). En toute rigueur, l'appellation *Tri-gate* fait référence à la forme du silicium qui présente trois cotés distincts en contact avec la grille (voir

schéma Figure I.10). En l'absence d'autre précision, un transistor *Tri-gate* à tendance à désigner un transistor où le silicium sous la grille à un rapport de forme (hauteur/largeur) proche de 1. Malgré ces considérations et la forme obtenue, Intel désigne sa nouvelle architecture sous le nom de *Tri-gate*.

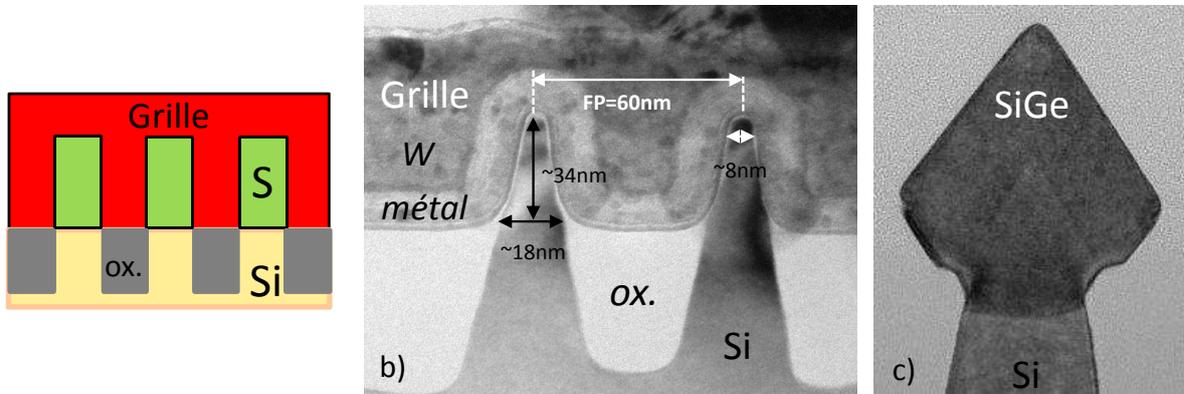


Figure I.11: Schéma et images TEM (perpendiculairement au fin et au sens du transport) de transistor FinFET d'Intel [Chipworks]. La dernière image montre l'épithaxie de SiGe des zones source/drain pour les pFET [Auth12].

Une coupe dans la région source/drain (S/D) montre que pour les pFET, l'épaisseur de silicium est augmentée par une épithaxie de SiGe (Figure I.11c) dopé *in-situ* dont la concentration est de 55 %. Celui-ci améliore les performances des pFET en diminuant les résistances d'accès et en induisant une contrainte compressive dans le canal. De même, une épithaxie (de Si ou plus probablement de SiC) est effectuée sur les S/D des nFET. Le transport se fait suivant la direction cristallographique $\langle 110 \rangle$.

❖ Une grille « gate-last »

Le schéma d'intégration de la grille reste similaire au nœud 32 nm comme le montre la forme caractéristique en U sur les coupes transverses Figure I.12. Une fausse grille est utilisée lors de la formation et l'implantation des S/D. Cette fausse grille est retirée et les matériaux de la grille définitive (isolant et métaux) sont alors déposés dans la cavité formée. Cette intégration est dite « gate-last » puisque la grille est fabriquée après les recuits d'activation des S/D. Les avantages de cette intégration seront détaillés dans le chapitre III.

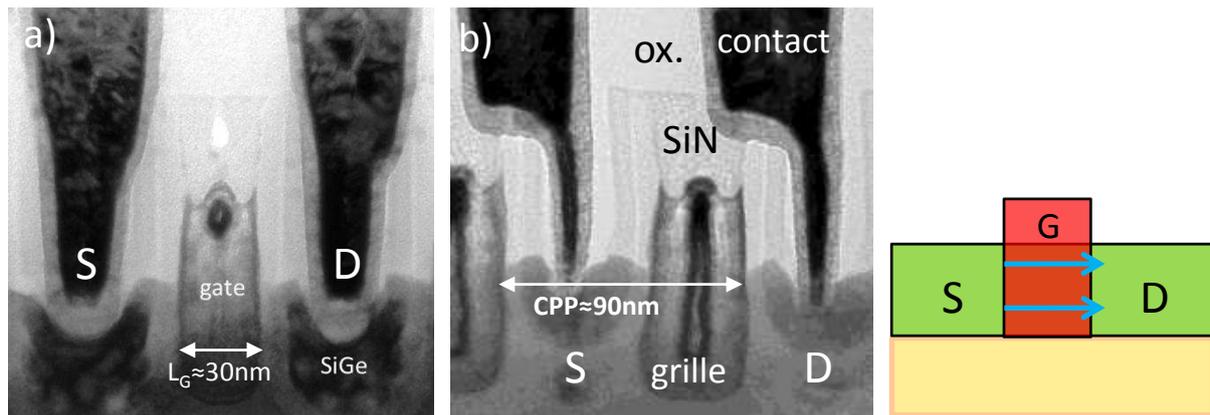


Figure I.12: Schéma et images TEM (perpendiculairement à la grille) de transistor FinFET d'Intel [Auth12]. La première image montre un pFET avec des S/D en SiGe tandis que la deuxième image montre le caractère auto-aligné des contacts sur la grille.

L'oxyde de grille comporte environ 1 nm de diélectrique à haute permittivité (*high-k*) à base d'Hafnium sur un oxyde de silicium. Ensuite, le métal de grille est différent sur les pFET et sur les nFET (probablement TiN+TiAlN pour les pFET et TiAlN uniquement sur les nFET). Finalement, l'empilement de grille est complété par du tungstène. La longueur de grille est de 30 nm environ.

❖ Des contacts auto-alignés

En réduisant les dimensions, les contacts occupent tout l'espace entre les grilles. Afin de faciliter l'alignement des contacts et de ne pas endommager la grille lors de la gravure des contacts ceux-ci sont de type auto-alignés sur la grille (SAC : *Self-Aligned Contacts*). Ce procédé est réalisé de la manière suivante : après le dépôt des métaux de grille et leur planarisation, ceux-ci sont partiellement gravés et remplacés par du SiN. Ensuite, une couche d'oxyde est déposée puis les contacts sont gravés sélectivement par rapport au SiN. Sur la coupe TEM Figure I.12b, les contacts sont désalignés par rapport à la grille et le SiN empêche tout court-circuit avec la grille. Cependant, une telle configuration doit être évitée à cause des capacités parasites induites par le contact.

1.2.2.b. Spécificités de l'architecture FinFET

L'architecture FinFET est en rupture par rapport aux transistors planaires sur silicium massif utilisés jusqu'à maintenant. Cette rupture ne se limite pas à la fabrication des transistors mais touche aussi à la façon de concevoir les circuits. En effet, la largeur d'un transistor (W) est un des paramètres qui est ajusté afin de régler la valeur du courant passant entre la source et le drain. Pour une architecture planaire, W peut être choisi de manière continue alors qu'il est discrétisé pour un FinFET. Ainsi, la largeur effective (W_{eff}) développée par un transistor tri-gate peut être estimée par :

$$W_{eff} = N_{fin}(2H + D) \quad \text{Equation I.8}$$

avec N_{fin} le nombre de fin de largeur D et de hauteur H (voir Figure I.13).

Cette discrétisation est critique pour les petites largeurs comme dans les SRAM [Pacha06]. La largeur électrique effective W_{eff} est plus importante que la place occupée vue de dessus (W_{FP} pour *footprint*) lorsque la condition suivante est remplie par la densité des fins (FP : *fin pitch*) : $FP < 2H+D$. Le fait d'exploiter la troisième dimension (la hauteur) pour le transport du courant permet d'augmenter la densité de courant normalisée par W_{FP} .

Avec l'architecture tri-gate ou FinFET, la longueur de grille minimale ($L=30$ nm pour le nœud 22 nm [Auth08]) est plus relâchée par rapport à une technologie FDSOI. De plus la limitation du budget thermique sur l'oxyde de grille (*high-k last*, $T_{\text{ox}}=0.9$ nm [Auth08]) permet de diminuer l'épaisseur d'oxyde comme nous le verrons dans le chapitre II (en FDSOI, $T_{\text{ox}}=1.1$ nm [Planes12]). Ces deux paramètres contribuent à obtenir un couplage capacitif plus important (C_{ox}) sur FinFET que sur FDSOI. Cependant, les capacités parasites prennent une part importante de la capacité de grille totale ce qui est pénalisant avec un FinFET [Lacord13] (Figure I.14).

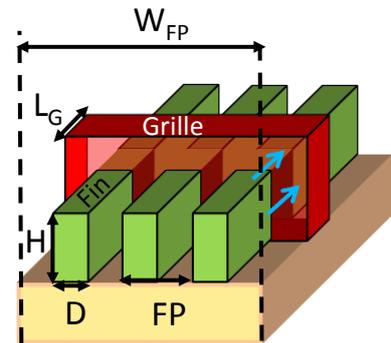


Figure I.13: Schéma des dimensions caractéristiques d'une architecture FinFET.

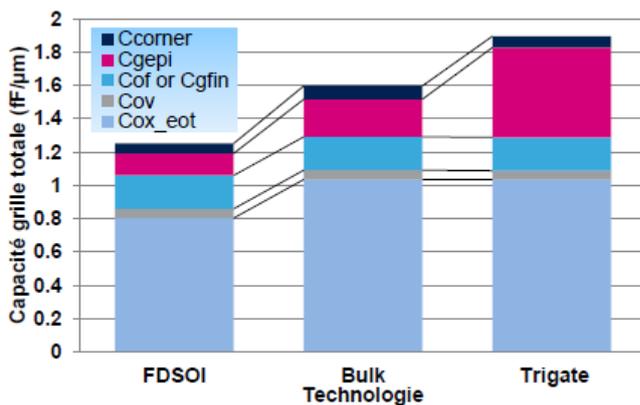


Figure I.14: Somme de la capacité de grille intrinsèque en inversion (C_{ox}) et des composantes de la capacité parasite grille-drain (C_{gd}) pour différentes architectures au nœud 14 nm. Les capacités sont normalisées par la largeur de l'empreinte sur silicium (W_{FP}) [Lacord13].

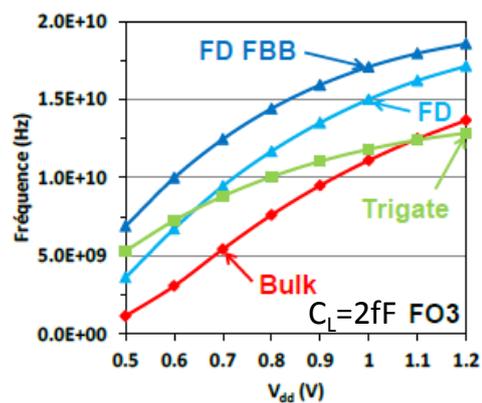


Figure I.15: Simulations de la fréquence d'un oscillateur en anneau en fonction de la tension d'alimentation pour différentes architectures au nœud 14 nm [Lacord13].

Ainsi, selon les estimations de [Cheng12] pour le nœud 22 nm, les performances dynamiques obtenues sur des oscillateurs en anneau sont donc légèrement moins bonnes sur FinFET à $V_{\text{DD}}=0.7$ V à cause d'une capacité de charge plus importante. Une tendance similaire a été estimée (Figure I.15) [Lacord13] pour le nœud 14 nm mais il convient de rester prudent vis à vis de ces résultats qui dépendent fortement des capacités de charges et des courants considérés.

I.2.3. Le FD planaire

I.2.3.a. Architecture et fabrication FDSOI

L'architecture FDSOI est une architecture planaire, en conséquence elle présente relativement peu de rupture par rapport aux transistors planaires sur silicium massif (*bulk*). Cette propriété fait que les cellules standards et les circuits intégrés existants peuvent être facilement adaptés à cette nouvelle technologie.

Grâce à l'utilisation de substrats de silicium sur isolant (SOI : *Silicon On Insulator*) l'épaisseur du silicium sous la grille est limitée par un oxyde enterré (BOX : *Burried OXide*). Pour de faibles épaisseurs (<10 nm) le silicium est entièrement déserté (*Fully Depleted*) et on parle alors de transistors FDSOI. La fabrication de ces transistors est décrite au §II.2 on peut néanmoins mentionner ici quelques caractéristiques de la plateforme technologique 28 nm développée par STMicroelectronics [Planes12].

Les transistors FDSOI présentés Figure I.16 sont fabriqués sur un BOX mince de 25 nm, l'épaisseur de silicium sous la grille est de 7 nm ce qui permet de limiter les effets canaux courts et d'obtenir un bon contrôle électrostatique ($DIBL < 100mV$) pour des grilles jusqu'à 24 nm. L'épaisseur de silicium des zones de source/drain est augmentée par épitaxie afin de diminuer les résistances d'accès. L'isolation des transistors est réalisée à l'aide de profondes tranchées d'oxyde (STI) et il est possible de co-intégrer sur la même puce des dispositifs sur SOI ou sur silicium massif [Fenouillet09]. La densité des grilles (CPP) est de 113 nm.

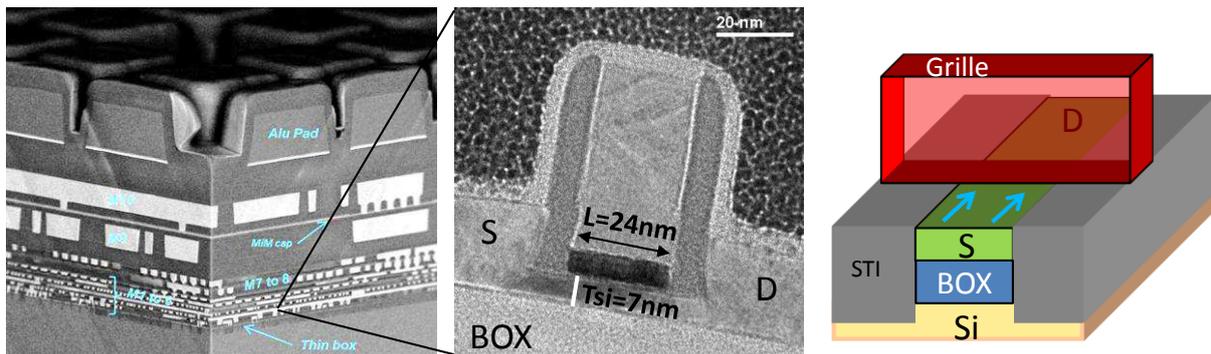


Figure I.16: Image SEM en coupe d'un circuit sur SOI avec 10 niveaux d'interconnexions. L'image TEM au centre montre un transistor FDSOI avec une longueur de grille de 24 nm et une épaisseur de silicium de 7 nm [Planes12]. Cette architecture est schématisée à droite.

Le fait que les transistors soient fabriqués sur un BOX ultra mince réduit les courants de fuite dans le substrat et offre aussi la possibilité de pouvoir utiliser l'oxyde enterré comme une seconde grille. Cette particularité importante sera décrite dans le prochain paragraphe.

I.2.3.b. Le BOX et la polarisation face arrière : le Back-bias

La réduction de l'épaisseur de BOX (t_{BOX}) permet d'augmenter le contrôle électrostatique comme le montre l'évolution du DIBL en fonction de la longueur de grille avec différent t_{BOX} Figure I.17. Par exemple pour un nFET de 30 nm, en réduisant t_{BOX} de 50 nm à 10 nm, le DIBL diminue de l'ordre de 40 %. Cependant, lors de l'utilisation de BOX ultra-minces, la polarisation de la grille et des source/drain entraîne une déplétion du substrat sous le BOX ce qui entraîne une augmentation de son épaisseur effective et modifie le potentiel du canal. Un plan de masse (noté GP pour *Ground Plane*) est alors nécessaire. Il est

formé par implantation de dopants de type opposé au transistor ce qui limite la pénétration des lignes de champs électrique sous le BOX [Ernst99] [Ernst02].

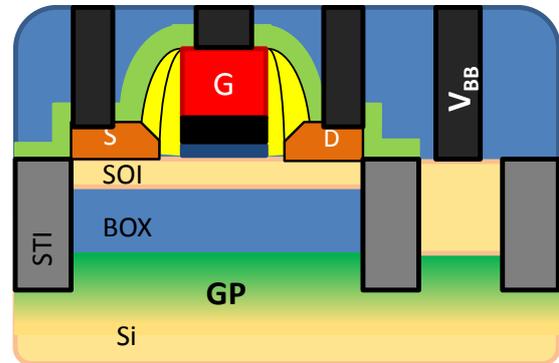
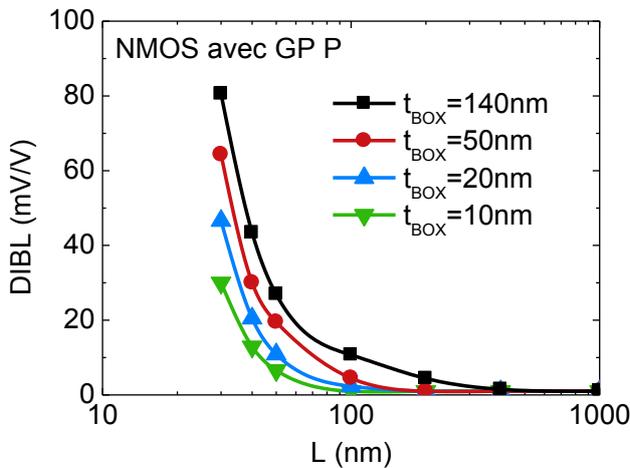


Figure I.17: Evolution du contrôle électrostatique (DIBL) en fonction de la longueur de grille (L) pour différentes épaisseurs de BOX [Gallon07].

Figure I.18: Schéma d'un transistor FDSOI avec un plan de masse (GP).

En l'absence de polarisation du substrat (V_{BB}), un GP de type opposé (type P sur les nFET) permet d'augmenter la tension de seuil [Gallon06s] [Fenouillet09]. Ceci est d'autant plus efficace que le BOX est mince comme illustré par la Figure I.19. L'utilisation d'un plan de masse permet alors de réaliser plusieurs tensions de seuil sur une même puce [Weber10i].

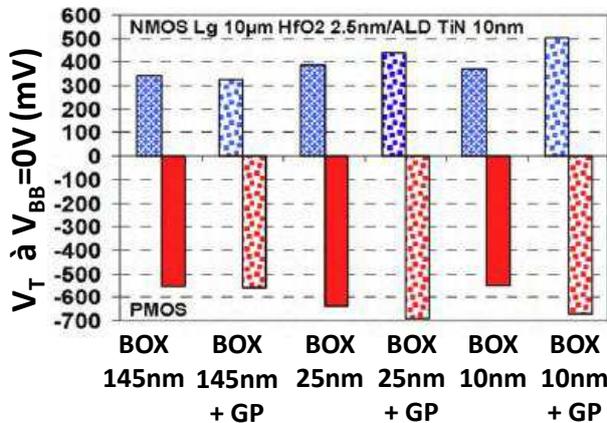


Figure I.19: Tensions de seuil de nFET et pFET pour différentes épaisseurs de BOX avec et sans GP [Fenouillet09].

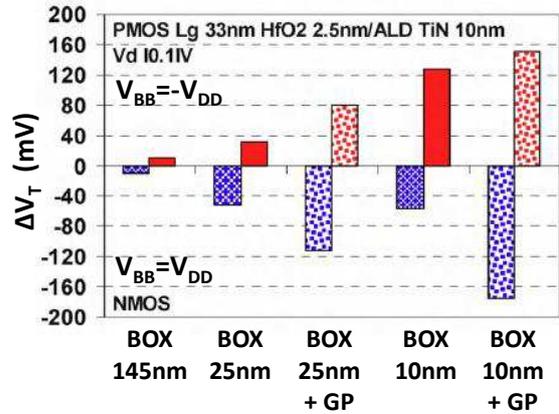


Figure I.20: Influence de la polarisation du substrat ($V_{BB}=|V_{DD}|$) sur la tension de seuil pour différentes épaisseurs de BOX avec et sans GP [Fenouillet09].

De plus, un des avantages principal des BOX minces dans l'architecture FDSOI est de pouvoir appliquer une tension sous le BOX. Les performances des transistors peuvent ainsi être adaptées suivant la tension V_{BB} appliquée. Cette technique est appelée le *back-biasing*. Pour différentes épaisseurs de BOX et en présence d'un *ground plane* ou pas, la tension de seuil des transistors est modifiée lorsqu'une tension est appliquée sous le BOX. On peut voir Figure I.20 qu'une tension positive sous les nFET diminue la tension de seuil tandis qu'une tension négative induit une diminution de $|V_T|$ sur les pFET. Ce type de polarisation est appelé *Forward Back Bias* (FBB) et permet d'augmenter le courant. En inversant le signe de V_{BB} il

est aussi possible d'augmenter les tensions de seuil ce qui est intéressant pour diminuer le courant I_{OFF} [Andrieu10] [Weber10i] [Liu11]. On parle alors de *Reverse Back Bias* (RBB) (Tableau I.1).

Tableau I.1 : Résumé des variations des tensions de seuil (↑ augmentation, ↓ diminution) sur les nFET et pFET en fonction du signe de la polarisation V_{BB} en face arrière.

	$V_{BB}<0$	$V_{BB}>0$
$V_{T,N}$	↑ (RBB)	↓ (FBB)
$V_{T,P}$	↓ (FBB)	↑ (RBB)

La sensibilité de la tension de seuil à la tension appliquée s'appelle le *body factor* (γ) et s'exprime en mV/V selon la relation suivante :

$$\gamma = \frac{\Delta V_T}{\Delta V_{BB}} \quad \text{Equation I.9}$$

Ainsi en FBB et avec un BOX de 10 nm, une sensibilité de 210mV/V et 135mV/V a été obtenus sur les nFET et les pFET respectivement ($L_G=40$ nm) en appliquant $\pm V_{DD}$. Il a été démontré que le compromis vitesse/courant de fuite des oscillateurs en anneau ainsi que les caractéristiques des mémoires SRAM pouvaient être modulés grâce à la tension V_{BB} [Fenouillet10] [Liu11]. Cependant, la jonction entre les GP des pFET et les nFET forme une diode qui limite l'excursion de V_{BB} . Une architecture avec deux profondeurs d'isolation (*dual STI*) a été proposée pour s'affranchir de cette limite [Grenouillet12]. Ainsi, avec un BOX de 25 nm, une sensibilité de 75mV/V a été démontrée sur une excursion de V_{BB} de $\pm 2V$. Les performances statiques (I_{ON}) sont alors augmentées de 25 %.

On peut remarquer que pour des FinFET sur SOI la tension de seuil peut être ajustée avec une polarisation sur la face arrière mais même avec un BOX ultra mince, la sensibilité est plus faible que pour une architecture planaire. Un *body factor* de $\gamma=73$ mV/V a été obtenu avec un BOX de 9 nm [Endo12].

En résumé, l'épaisseur du BOX a tendance à être diminuée afin d'améliorer le contrôle électrostatique des transistors FDSOI. La diminution de l'épaisseur du BOX jusqu'à 10 nm est possible et une épaisseur de 1.5 nm a même été démontrée [Delprat09].

1.2.3.c. Électrostatique

La réduction de l'épaisseur du film de silicium (t_{Si}) permet d'améliorer le contrôle de la grille sur le canal en limitant les effets de canaux courts indésirables. Ainsi, pour des faibles longueurs de grille, le DIBL est amélioré en sur des films minces (Figure I.21) [Barral07]. Cependant, les résistances d'accès augmentent drastiquement pour de faibles épaisseurs de silicium (Figure I.22). C'est donc pour cela que l'épaisseur des zones de source/drain est augmentée localement par une épitaxie sélective. Cette solution atteint cependant ses limites pour un t_{Si} de quelques nanomètres. Lors de la gravure de la grille, des espaceurs et lors du nettoyage avant épitaxie, le silicium des régions S/D est légèrement consommé (≈ 1 nm). L'épitaxie sur des films de quelques nanomètres seulement est alors problématique puisque le silicium a alors tendance à s'agglomérer [Jahan05].

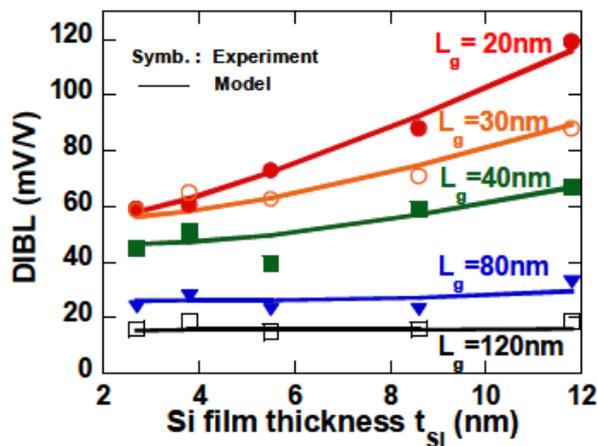


Figure I.21: Diminution du DIBL pour les faibles épaisseurs de silicium et pour différentes longueurs de grille [Barral07].

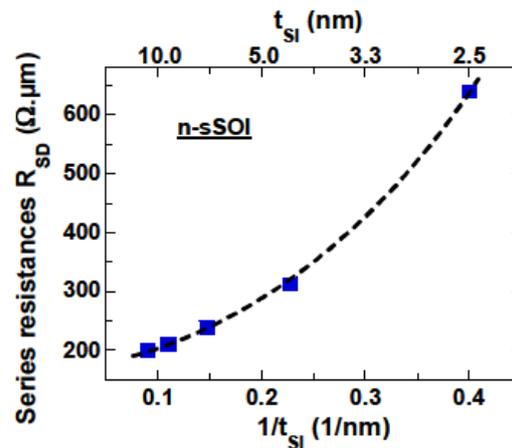


Figure I.22: Augmentation des résistances d'accès (RSD) avec la diminution de t_{Si} [Barral07].

Bien que le contrôle électrostatique soit amélioré pour les films ultra-minces, il a été reporté [Uchida02] que la mobilité des porteurs diminue avec l'épaisseur de silicium entre 8 nm et 4 nm. Le transport semble limité par les interactions engendrées par les variations de t_{Si} . Dans [Barral07] en revanche, une diminution de la mobilité a été observée en diminuant l'épaisseur de silicium uniquement dans le cas d'un substrat contraint alors que la mobilité reste constante sur un substrat SOI classique. Pour les technologies plus récentes à base de *high-k*, l'oxyde de grille réduit déjà la mobilité [Cassé06] ce qui peut expliquer les différences observées entre ces deux références.

D'autre part, les variations locales de t_{Si} deviennent de plus en plus significatives face à l'épaisseur moyenne de silicium visée (<7 nm). Les caractéristiques des transistors (dont la tension de seuil notamment) dépendant de t_{Si} , un excellent contrôle de l'épaisseur de silicium à l'échelle de la plaque est donc requis [Weber08] [Mazurier10].

1.2.3.d. La variabilité des transistors FDSOI

La variabilité de la tension de seuil est un défi pour les technologies avancées. Pour les faibles longueurs de grille sur silicium massif, la distribution aléatoire des dopants (RDF : *Random Dopant Fluctuation*) dans le canal est une source majeure de variabilité. Comparé au *bulk*, les transistors à canal peu ou pas dopé tels que les transistors FDSOI [Fenouillet07] ou les FinFET (défini par un facteur de forme H/D important) [Thean06] ont une meilleure variabilité. Les transistors FDSOI en technologie 28 nm atteignent ainsi un paramètre d'appariement ($A_{\Delta VT}$) de $1.6 mV \cdot \mu m$ contre $2.2 mV \cdot \mu m$ pour le silicium massif [Planes12]. Les charges dans le diélectrique de grille et les variations du travail de sortie du métal sont les sources majeures de variabilité locale [Weber08]. L'épaisseur de SOI ainsi que l'utilisation de procédés contraints doivent cependant être suffisamment maîtrisés afin de ne pas être des sources limitant la variabilité [Weber08] [Mazurier10].

I.2.4. Autres architectures multi grilles et évolution vers une grille enrobante

I.2.4.a. Les architectures double grille

Afin d'augmenter le contrôle électrostatique sur le canal et de limiter les effets de canaux courts, il est possible d'augmenter le nombre de grille (Figure I.25). C'est déjà ce concept qui est utilisé en passant d'une architecture simple grille (*bulk* planaire) au FDSOI en considérant l'oxyde enterré mince et le *back-bias* comme une seconde grille.

Il est également possible de réaliser une seconde grille métallique enterrée mais au prix d'une plus grande complexité [Widiez05] [Vinet05] [Bidal09v]. Dans ces deux cas, on parle d'architecture planaire puisque la conduction se fait dans le plan du substrat (le plan (001) généralement).

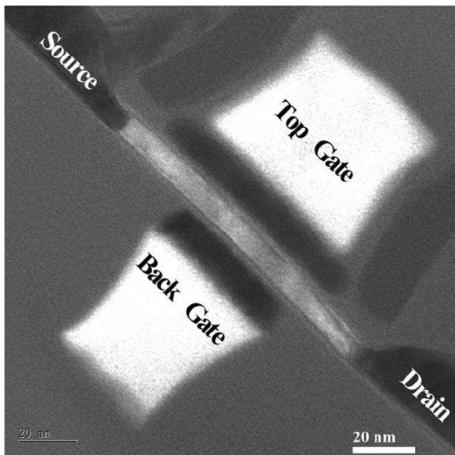


Figure I.23: Image TEM d'un transistor double grille planaire obtenu par collage [Widiez05]

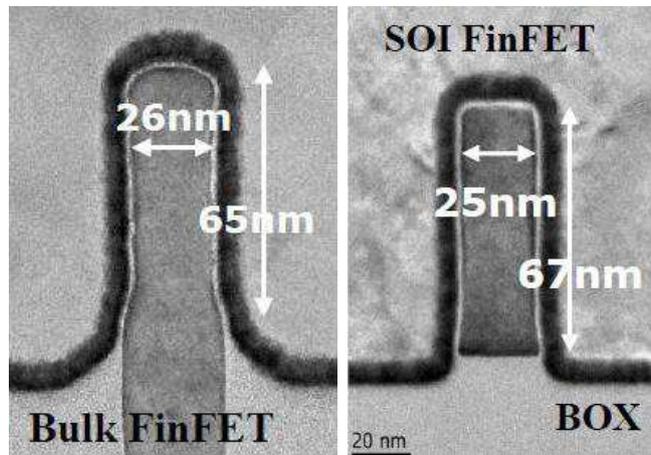


Figure I.24: Images TEM de transistors FinFET sur *bulk* ou sur isolant [Chiarella10].

Les FinFET font aussi partie de la catégorie des architectures à double grilles malgré l'appellation de *tri-gate* par Intel. En effet, la hauteur de ces fins étant nettement supérieure à la largeur ($H/D > 1$), la conduction est contrôlée par les deux flancs verticaux. Dans certains cas, un masque dur reste en place au sommet du *fin*. Ce masque dur est utilisé pour la gravure mais il empêche la grille de contrôler le potentiel au sommet du *fin*. L'approche FinFET est non planaire puisque le courant se déplace entre la source et le drain dans la hauteur du *fin* [Huang99] [Chang11].

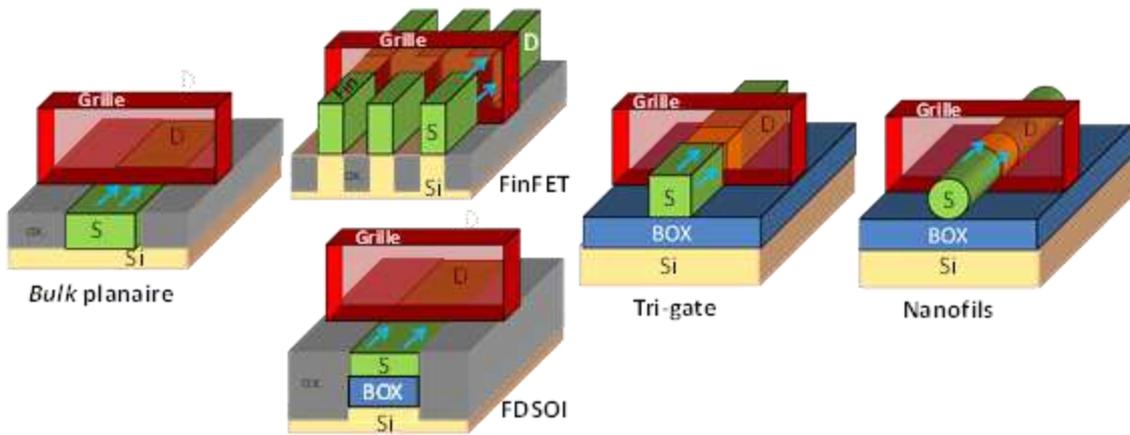


Figure I.25: Schémas de différentes architectures de transistors et évolution vers des architectures à grilles multiples.

1.2.4.b. Les architectures triple grille

Lorsque la hauteur (H) et la largeur (D) sont du même ordre de grandeur et en l'absence de masque dur au sommet des *fin*s, le silicium rectangulaire présente alors trois surfaces en contact avec la grille. On parle alors de transistor *tri-gate* et chaque face influence la mobilité totale [Coquand12].

On retrouve d'autres dénominations pour ces transistors suivant les variantes étudiées : Ω -FET [Park01] ou encore Ω -FET [Jahan05v] [Barraud12] en référence au profil de la grille autour du canal.

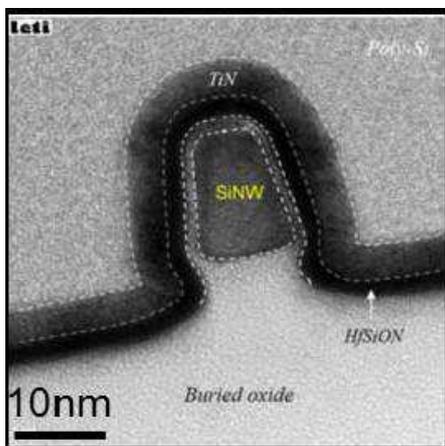


Figure I.26: Image TEM d'un transistor tri-gate [Coquand12]

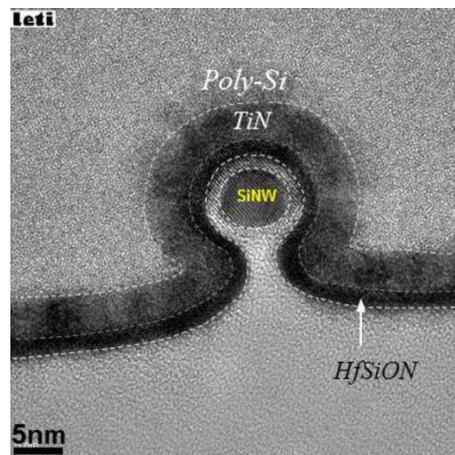


Figure I.27: Image TEM d'un Ω -FET [Barraud12]

1.2.4.c. L'architecture ultime à grille enrobante

Finalement, le but de ces différentes architectures est de diminuer la distance en tous points du canal par rapport à la grille. La structure ultime pour augmenter le contrôle électrostatique est donc un nanofils (abrégé en NW pour *nanowire*) avec une grille enrobante (GAA : *Gate All Around*) [Kuhn12]. Des transistors avec une longueur de grille de 5 nm ont ainsi été démontrés [Yang04] [Lee06] et des nanofils de quelques nanomètres de diamètres seulement [Bangsaruntip09] [Bangsaruntip10]. L'inconvénient de ce type de transistor est que

le courant passant dans chaque fil est relativement faible. Afin d'augmenter le courant, de nombreux fils doivent être fabriqués en parallèle et proches les uns des autres pour obtenir une forte densité de courant. Ces fils peuvent être disposés en réseaux horizontaux [Buddharaju07] ou être empilés sous forme de matrice [Ernst06] [Ernst08] [Dupre08].

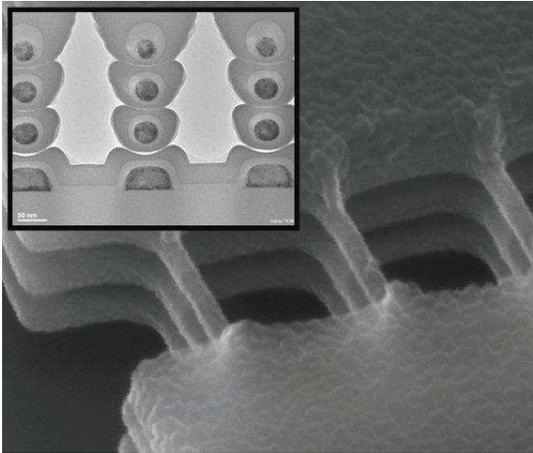


Figure I.28: Image de nanofils parallèles et empilés afin d'augmenter la densité de courant [Ernst08]

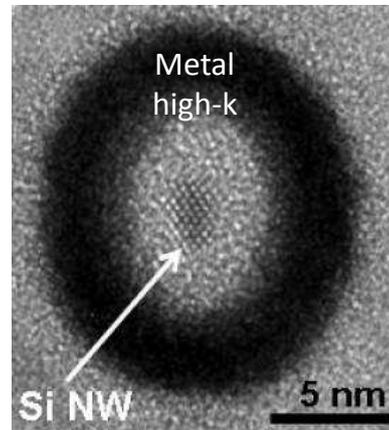


Figure I.29: Image TEM d'un nanofil de silicium de 3 nm de diamètre environ [Bangsaruntip10]

1.3. Conclusion du chapitre

Avec la miniaturisation, l'architecture planaire sur silicium massif fait face à de nombreux effets parasites : les fuites de courant dans le substrat sont trop importantes [Thompson05], le dopage du canal induit une forte variabilité de la tension de seuil et le contrôle électrostatique de la grille sur le canal est fortement dégradé. A partir du nœud technologique 28 nm l'industrie migre donc vers des dispositifs avec une faible épaisseur de silicium sous la grille afin d'obtenir des canaux entièrement désertés (FD). Le principal avantage des canaux FD est d'améliorer le contrôle électrostatique. Actuellement, on distingue principalement deux architectures permettant d'obtenir ces types de canaux :

- une approche planaire (FDSOI) où un film mince de silicium est obtenu en insérant un oxyde enterré
- une approche non planaire (FinFET) où le canal de conduction est formé dans un plan perpendiculaire à la surface de la plaque

Malgré des différences morphologiques profondes, ces deux architectures sont en production pour les nœuds 28 nm et 22 nm Figure I.30. Les FinFET présentent un excellent contrôle électrostatique (DIBL) par rapport au FDSOI ainsi qu'un fort courant de drain. Cependant, les performances en terme de délai (par exemple τ en fonction de V_{DD} pour un inverseur) sont à moduler en prenant en compte la capacité de charge plus importante sur une architecture FinFET. Pour les technologies avancées, tout l'enjeu est de diminuer le délai des portes logiques d'une génération à une autre. Pour cela un compromis doit être trouvé afin d'augmenter le courant de drain, de diminuer les capacités de charges, de conserver un bon contrôle électrostatique tout en diminuant la tension d'alimentation. La « guerre » est donc ouverte afin de garder la loi de Moore en vie [Ahmed11].

Ref.	Techno.	L_G (nm)	DIBL (mV/V)	V_{DD} (V)	I_{ON} nFET (mA/ μ m) ($I_{OFF}=100$ nA/ μ m)	I_{EFF} nFET (mA/ μ m) ($I_{OFF}=100$ nA/ μ m)	I_{ON} pFET (mA/ μ m) ($I_{OFF}=100$ nA/ μ m)	I_{EFF} pFET (mA/ μ m) ($I_{OFF}=100$ nA/ μ m)
Intel (1)	FinFET 22nm	30	48	0.8	1260	650	1100	560
STM (2)	FDSOI 28nm	24	93	1	1179		615	
IBM (3)	FDSOI 22nm	22	105	1	1650	950	1250	700

Figure I.30: Tableau comparatif des technologies FinFET (1) [Auth12] et FDSOI (2) [Planes12] en production ainsi que des perspectives pour une architecture FDSOI extrêmement contrainte (3) [Khakifirooz12].

Malgré la complexité du problème, le courant I_{ON} ou I_{EFF} reste un bon moyen pour évaluer les performances d'une architecture donnée (Equation I.1). Ainsi, entre deux technologies FDSOI (ref. (2) et (3) Figure I.30) un gain de courant important est obtenu principalement en augmentant la contrainte mécanique dans le canal. Dans la suite de ce travail, nous nous intéresserons à l'architecture FDSOI et l'optimisation de ses performances statiques notamment grâce à l'utilisation de procédés de fabrication contraints.

Chapitre II.
Utilisation de contraintes pour améliorer
le transport dans les MOSFET FDSOI
planaires

CHAPITRE II. : UTILISATION DE CONTRAINTES POUR AMELIORER LE	
TRANSPORT DANS LES MOSFET FDSOI PLANAIRE	33
II.1. Synthèse bibliographique de l'influence des matériaux du canal et de la	
contrainte sur le transport	36
II.1.1. Définition de la mobilité et méthodes d'extraction	36
II.1.1.a. Notions de mobilité	36
II.1.1.b. Méthodes d'extraction de la mobilité effective	37
II.1.2. Choix du matériau du canal	39
II.1.2.a. Canaux en SiGe	39
II.1.2.b. Canaux en matériaux III-V	40
II.1.3. Influence de la contrainte sur le transport	42
II.1.3.a. Influence de la contrainte sur la structure de bande	42
II.1.3.b. Le modèle piézorésistif	42
II.1.3.c. Hypothèses et limites du modèle piézorésistif	45
II.1.4. Procédés induisant de la contrainte dans la littérature	46
II.1.4.a. Cas de l'utilisation de couches de nitrure pour mémoriser la	
contrainte (SMT)	46
II.1.4.b. Influence des Sources et Drains épitaxiés sur les performances	48
II.1.4.c. Performances des nFET avec des S/D en SiC	49
II.1.4.d. Contraintes du métal de grille ou des contacts	49
II.3. Intégration des procédés de fabrication en gate-first et introduction de	
contraintes	51
II.4. Influence des couches contraintes (CESL) sur les performances	53
II.4.1. Cas des couches en tension (tCESL)	53
II.4.1.a. Performances des nFET avec un CESL	53
II.4.1.b. Modélisation et simulation de l'effet du CESL tensile	55
II.4.2. Cas des couches en compression (cCESL)	57
II.5. Influence des substrats sSOI sur les performances	61
II.5.1. Performances des nFET sur sSOI	61
II.5.2. Performances des pFET sur sSOI	63
II.6. Performances des pFET avec des S/D en SiGe	66
II.6.1. Résultats électriques	66
II.6.2. Résultats morphologiques S/D SiGe profonds	68
II.7. Effets de contrainte induits par le STI	70

II.8. Co-intégration de différents procédés pour le CMOS	74
II.8.1. Co-intégration de procédés contraints pour les nFET et pFET et performances statiques.....	74
II.8.2. Mesures de contrainte dans le canal des pFET	77
II.9. Influence de l'orientation sur le transport.....	78
II.10. Conclusion du chapitre	81

II.1. Synthèse bibliographique de l'influence des matériaux du canal et de la contrainte sur le transport

II.1.1. Définition de la mobilité et méthodes d'extraction

II.1.1.a. Notions de mobilité

La mobilité décrit la capacité des porteurs à se déplacer dans le canal sous l'action d'un champ électrique. Ce paramètre est important pour l'étude des performances des MOSFET puisque le courant de drain (I_D) dépend directement de la mobilité, aussi bien en régime linéaire qu'en saturation (Equation I.2). La mobilité effective s'exprime en fonction de la charge (q), de la masse effective des porteurs (m^*) et du temps moyen entre deux interactions (τ) :

$$\mu_{eff} = \frac{q \cdot \tau}{m^*} \quad \text{Equation II.1}$$

Le concept de la masse effective permet de décrire le comportement des porteurs en prenant en compte l'influence du cristal dans lequel ils se déplacent. La masse effective dépend de la structure de la bande de valence ou de conduction et varie donc en fonction de la direction du transport et de la contrainte appliquée.

On peut distinguer trois types de collisions limitant la mobilité des porteurs dans la couche d'inversion. Chaque phénomène dépend de manière différente de la température et du champ électrique transverse [Jeon89] [Takagi94a] [Chen96] (Figure II.1) :

- les interactions de Coulomb (avec les atomes chargés) limitent la mobilité à faible champ.
- les interactions avec les phonons (collisions avec le réseau cristallin).
- les collisions dues à la rugosité de surface (interface canal/diélectrique de grille) limitent la mobilité surtout à fort champ puisque les porteurs sont alors confinés près de l'interface.

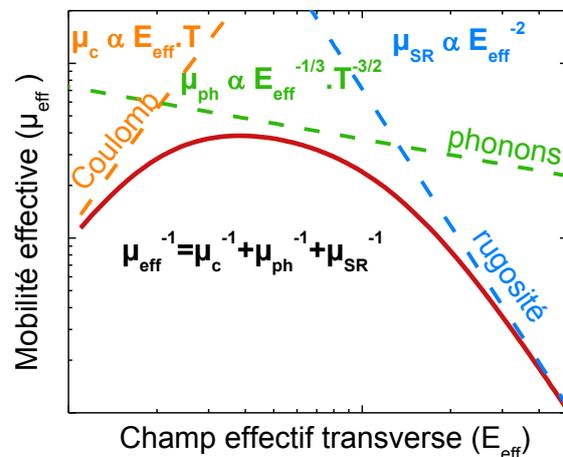


Figure II.1 : Mobilité effective et ses différentes composantes en fonction du champ électrique transverse et de la température.

Le temps moyen τ prend en compte toutes les collisions subies par les porteurs lors du transport. Il se calcule selon la loi de Matthiessen :

$$\tau^{-1} = \sum_i \tau_i^{-1} \text{ soit } \mu_{eff}^{-1} = \sum \mu^{-1} \quad \text{Equation II.2}$$

Dans le cas de transistors SOI, le champ transversal effectif est calculé à partir de la charge d'inversion (Q_{inv}) et de désertion (Q_{dep}) selon la relation suivante :

$$E_{eff} = \frac{\eta \cdot Q_{inv} + Q_{dep}}{\epsilon_{Si}} - \frac{\epsilon_{ox}}{\epsilon_{Si}} \cdot \frac{V_{G2}}{T_{ox2}} \quad \text{Equation II.3}$$

avec ϵ_{Si} la permittivité du silicium et η un paramètre empirique généralement égal à 1/2 pour les électrons et 1/3 pour les trous.

Le dernier terme prend en compte la polarisation de la face arrière (V_{G2}) et l'épaisseur du BOX (T_{ox2}) dans le cas d'un substrat SOI.

II.1.1.b. Méthodes d'extraction de la mobilité effective

❖ Extraction de la mobilité dans les transistors longs par la méthode split-CV

La méthode split-CV permet d'extraire la mobilité effective en fonction de la charge d'inversion (Q_{inv}) ou bien du champ effectif (E_{eff}) (Equation II.3). Cette méthode combine une mesure de capacité entre la grille et le canal (C_{GC}) avec une mesure du courant de drain I_D en fonction de la tension de grille V_G .

La mesure de capacité permet de calculer la charge d'inversion :

$$Q_{inv}(V_G) = \frac{1}{W \cdot L} \cdot \int_{V_{G0}}^{V_G} C_{GC}(V) \cdot dV \quad \text{Equation II.4}$$

avec V_{G0} une valeur de V_G en accumulation ce qui permet de soustraire les capacités parasites en posant $C_{GC}(V_{G0})=0$.

Puis pour chaque tension de grille la mobilité effective est calculée à l'aide du courant I_D en fonction du champ effectif:

$$\mu_{eff} = \frac{L}{W} \frac{I_D(V_G)}{Q_{inv}(V_G) \cdot V_D} \quad \text{Equation II.5}$$

Cette technique est particulièrement fiable sur les transistors longs mais pose quelques problèmes sur les transistors courts. Notamment, la capacité grille/canal devient plus faible et les capacités parasites ne sont alors plus négligeables. Le courant de drain I_D doit également être corrigé pour prendre en compte les résistances séries. Bien qu'il soit possible de prendre en compte ces effets pour les transistors courts [Romanjek04], nous nous sommes limités à l'extraction de la mobilité dans les transistors longs et larges dans nos études avec la méthode de split-CV. Par contre la méthode de la fonction Y a été utilisée sur les transistors de différentes dimensions.

❖ La méthode de la fonction Y

La méthode de la fonction Y est basée sur l'utilisation des caractéristiques $I_D(V_G)$ pour différentes longueur de grille [Ghibaudo88]. Elle permet d'extraire la mobilité des trous ou des électrons à faible champ (μ_0) en s'affranchissant des résistances séries. La fonction Y est définie par :

$$Y(V_G) = \frac{I_D}{\sqrt{gm}} \quad \text{Equation II.6}$$

avec V_G la tension de grille, I_D le courant de drain à faible V_D et la transconductance $gm = \partial I_D / \partial V_G$

En régime linéaire, le courant de drain peut s'exprimer (θ_1 et θ_2 étant les termes d'atténuation linéaire et quadratique de la mobilité) comme :

$$I_D = \frac{W}{L} C_{ox} \mu_0 \frac{(V_G - V_T) V_D}{1 + \theta_1 (V_G - V_T) + \theta_2 (V_G - V_T)^2} \quad \text{Equation II.7}$$

D'où l'expression suivante pour la fonction Y en négligeant le terme en θ_2 :

$$Y(V_G) = \sqrt{\beta \cdot V_D} \cdot (V_G - V_T) \text{ avec } \beta = \frac{W}{L} \cdot C_{ox} \cdot \mu_0 \quad \text{Equation II.8}$$

En forte inversion ($V_G \gg V_T$), la linéarisation de cette expression permet de calculer la mobilité à faible champ à partir de la pente de la fonction Y(V_G) (notée S_y) et en connaissant C_{ox} et L :

$$\mu_0 = \frac{S_y^2 L}{C_{ox} V_D W} \quad \text{Equation II.9}$$

La fonction $\theta_{eff}(V_G)$ est également linéaire en forte inversion et elle permet d'extraire les paramètres θ_1 et θ_2 :

$$\theta_{eff}(V_G) = \theta_2 \cdot (V_G - V_T) + \theta_1 = \frac{S_y^2}{I_D} - \frac{1}{(V_G - V_T)} \quad \text{Equation II.10}$$

Les résistances séries s'obtiennent à partir de la pente de $\theta_1(\beta)$ pour les différentes longueurs de grille en supposant que les résistances séries sont indépendantes de la longueur et de V_G . Le terme θ_2 traduit l'effet de la rugosité de surface sur la mobilité. Une meilleure précision sur la mobilité est obtenue en effectuant une itération supplémentaire prenant en compte le paramètre θ_2 [Mourain00]. La nouvelle fonction Y s'exprime alors par :

$$Y_2 = Y \cdot \sqrt{1 - \theta_2 (V_G - V_T)^2} \quad \text{Equation II.11}$$

Nous avons utilisé cette méthode pour extraire la mobilité des porteurs à faible champ en fonction de la longueur de grille (de 14 nm à 100 nm) et comparer ainsi l'influence de différents procédés contraints. Dans nos extractions, nous avons considéré la longueur effective égale à la longueur de grille physique. Cette hypothèse nous permet de comparer rigoureusement des plaques issues d'un même lot et ayant subi les mêmes conditions d'implantations et de recuit.

II.1.2. Choix du matériau du canal

Le choix du matériau du canal est un levier fondamental influençant la mobilité des porteurs. Historiquement le canal des premiers transistors étaient en germanium ce qui offre une mobilité intrinsèque supérieure au silicium. Cependant face à la difficulté pour obtenir un oxyde de germanium de bonne qualité ce sont le silicium et son oxyde (SiO_2) qui se sont rapidement imposés. De nos jours, l'utilisation des diélectriques à forte permittivité ouvre la voie à de nouveaux matériaux semiconducteurs avec des mobilités supérieures à celle du silicium (Tableau II.1).

Tableau II.1: Mobilité des électrons et des trous, bande interdite et paramètre de maille de différents matériaux [IOFFE].

	Si	Ge	GaAs	InP	InAs	InSb
μ_e (cm ² /Vs)	1600	3900	9200	5400	40000	77000
μ_h (cm ² /Vs)	430	1900	400	200	500	850
E_G (eV)	1.12	0.66	1.42	1.34	0.36	0.17
a (nm)	0.5431	0.5658	0.5653	0.5869	0.6058	0.6479

Le germanium (ou les alliages à base de germanium) retrouve ainsi de l'intérêt pour les pFET tandis que les alliages à base de matériaux des colonnes III/V du tableau périodique permettent d'obtenir une forte mobilité dans les nFET [Takagi08].

II.1.2.a. Canaux en SiGe

Sur un substrat en silicium massif, des études ont été menées sur des transistors avec un canal en germanium pur contraint [Chui02] [Weber05] démontrant un gain de plus de 1000 % sur la mobilité des trous. Un canal de germanium peut également être formé sur isolant (GeOI) [Clavelier07] [Pouydebasque08] [Hutin10]. Cependant l'utilisation de germanium rend l'intégration de transistors courts difficile à cause d'étapes de fabrication telles que la germaniuration, la fabrication d'un canal en Ge avec peu de défauts, le contrôle de la diffusion et l'activation des dopants ainsi que le budget thermique.

L'intégration de canaux en SiGe (cSiGe) non dopé sur silicium massif permet d'obtenir une faible variabilité et un bon contrôle électrostatique grâce au confinement des trous dans le puits quantique formé par le canal (QM : *Quantum Well*). Cette approche, notamment étudiée par l'IMEC [Mitard11] [Mitard12], est compatible avec l'utilisation de S/D en SiGe et permet d'atteindre un courant de saturation jusqu'à 1.5 mA/ μm (à $I_{\text{OFF}}=180\text{nA}/\mu\text{m}$ et $V_{\text{DD}}=-1\text{V}$).

L'intégration de canaux SiGe sur SOI (SGOI) est aussi possible. Les techniques de report de couche (de type Smartcut) sont efficaces pour fabriquer des substrats avec du germanium sur isolant (SGOI ou GeOI) à l'échelle d'une plaque mais cela est peu pratique pour une intégration CMOS. Il existe d'autres solutions pour ajouter du germanium localement dans les zones actives des pFET. Une première technique permet de faire diffuser le germanium d'une couche de SiGe déposée par épitaxie dans le SOI grâce à un recuit. Le SGOI ainsi formé est alors aminci pour atteindre l'épaisseur désirée. Une autre technique dite de condensation est aussi basée sur l'épitaxie d'une couche de SiGe sur SOI. L'oxydation

préférentielle du Si permet ensuite d'amincir le SiGe et le SOI (jusqu'à la consommation complète de ce dernier) tout en enrichissant le SiGe en germanium [Tezuka01] [Vincent07]. L'avantage de ce procédé est d'atteindre une concentration en germanium plus importante. Ainsi une intégration FDSOI CMOS avec un canal en SiGe comportant jusqu'à 25 % de Ge pour les pFET planaire ($L_G=22$ nm) a été démontrée par IBM [Khakifirooz12] [Cheng12]. En plus des meilleures propriétés intrinsèques du canal en SiGe pour les trous, le SGOI est en compression biaxiale. Sur les canaux étroits, la contrainte transverse diminue et la composante uniaxiale compressive longitudinale qui en résulte permet d'augmenter le courant de saturation de plus de 35 % par rapport à un canal en silicium (et jusqu'à 60 % pour $W=80$ nm). Ce procédé peut aussi être utilisé pour les FinFET et les transistors trigates sur SGOI [Irisawa05], avec un gain de 3.9 sur la mobilité des trous par rapport au SOI [Smith09], un gain de 16 % sur le courant de drain [Ok10] et des performances jusqu'à $1.1\text{mA}/\mu\text{m}$ à $I_{\text{OFF}}=100\text{nA}/\mu\text{m}$ et $V_{\text{DD}}=-1\text{V}$ [Hashemi13].

II.1.2.b. Canaux en matériaux III-V

Plusieurs alliages à base de matériaux des colonnes III et V du tableau périodique permettent d'obtenir des mobilités nettement supérieures à celle obtenue dans le silicium non contraint, notamment pour les nFET (Tableau II.1).

Les transistors à effet de champ à hétérostructure (HEMT: *High Electron Mobility Transistors*) sont basés sur un empilement complexe de matériaux III-V [Kim07a] [Kim07b]. De plus, il est nécessaire de déposer d'épaisses couches de matériaux III-V « tampon » sur le silicium afin d'adapter la différence de paramètre de maille avec le silicium et d'éviter les dislocations. Ce type de transistor est principalement destiné à des applications hautes fréquences mais à cause d'un gap plus faible que le silicium, le fort courant de fuite est un inconvénient pour des applications logiques.

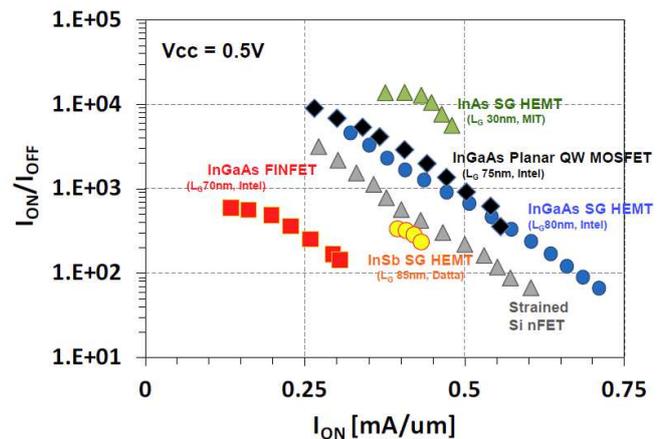


Figure II.2: Ratio $I_{\text{ON}}/I_{\text{OFF}}$ en fonction de I_{ON} pour des transistors à base de matériaux III-V [Datta11].

Cependant, malgré de bonnes propriétés intrinsèques (vitesse de saturation et mobilité), l'avantage des matériaux III-V sur les performances des MOSFET est discutable puisque plusieurs facteurs viennent s'ajouter. La dégradation du contrôle électrostatique (DIBL) et de la pente sous le seuil (SS), l'augmentation de la permittivité et la réduction de la capacité d'oxyde (*darkspace* plus élevé) sont des problèmes qui doivent être maîtrisés afin de tirer pleinement partie de ces matériaux à haute mobilité [Skotnicki10].

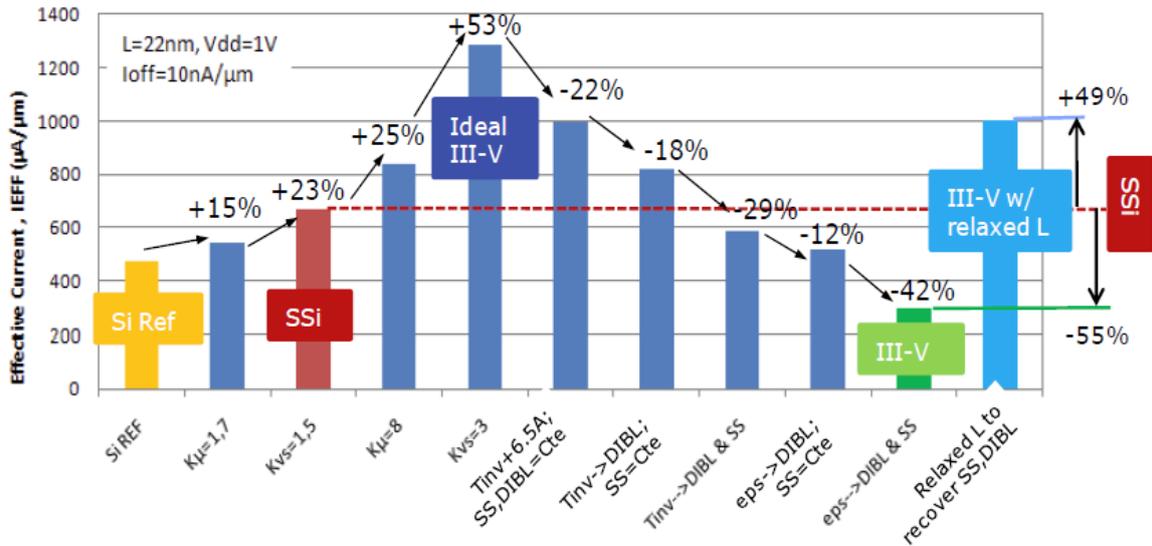


Figure II.3: Variations du courant effectif en considérant différents effets (mobilité, électrostatique, ...) entre un canal en silicium (Si Ref), un canal en silicium contraint (SSi) puis à un canal en III-V [Skotnicki10].

Finalement, si l'utilisation de canaux en SiGe est mature et montre de bonnes performances pour les pFET (Tableau II.2), l'introduction de matériaux à haute mobilité de type III-V pour le canal des nFET reste un sujet d'étude très actif.

Tableau II.2: Résumé des paramètres de MOSFET à forte mobilité avec des matériaux différents du silicium (III-V, Ge).

	nFET		pFET			
	InGaAs (Tri-gate) INTEL IEDM 2011	InGaAsOI (planaire) Univ. Tokyo VLSI 2011	GeOI (planaire) CEA-LETI VLSI-TSA 2010	SiGe (planaire, QW) IMEC VLSI/IEDM 2011	SGOI (planaire) IBM VLSI/IEDM 2012	SGOI (trigate) IBM VLSI 2013
L_G (nm)	60	(5 µm)	55	30	22	23
EOT (nm)	1.2	10	1.6	0.9	/	/
V_{DD} (V)	0.5	1	-1	-1	-1	-1
I_{ON} (µA/µm)	350	50	200	1280	1250	1100
I_{OFF} (µA/µm)	4	3	0.002	0.18	0.1	0.1
μ_{max} (cm ² /Vs)	/	2810	100	150	/	/

Pour les générations technologique à venir (à partir du nœud 14 nm), l'utilisation de nouveaux matériaux est en rupture avec les transistors actuels à base de silicium et reste incertaine. En revanche, une autre solution couramment utilisée pour augmenter la mobilité des porteurs consiste à augmenter la contrainte dans le canal.

II.1.3. Influence de la contrainte sur le transport

II.1.3.a. Influence de la contrainte sur la structure de bande

La contrainte modifie le transport de plusieurs façons en induisant:

- un changement de la courbure des bandes du silicium et donc des masses effectives. En effet, pour chaque bande d'énergie et chaque minima (vallées du diagramme E(k), avec k le vecteur d'onde de l'électron) on peut définir une masse effective de conduction (m^*) selon chaque direction x :

$$m^* = \hbar^2 \cdot \left(\frac{\partial^2 E(k_x)}{\partial k_x^2} \right)^{-1} \quad \text{Equation II.12}$$

- un décalage en énergie entre les différents minima de la bande de conduction. Ce décalage est aussi appelé levée de dégénérescence des bandes d'énergies (de conduction). Il a pour conséquence de changer la densité de porteur dans chaque vallée.
- une réduction de la fréquence de collision (τ , Equation II.1) grâce à une réduction des interactions électrons/phonons.

La mobilité totale est la moyenne des mobilités de chaque bande pondérée par la densité de porteurs. Des explications détaillées peuvent être trouvées dans [Guillaume05] [Rochette08]. Le calcul de la mobilité dans une couche d'inversion et en présence d'une contrainte est complexe et nécessite la connaissance de la bande de conduction pour le transport des électrons. Le cas de la bande de valence est plus complexe puisqu'il faut distinguer, entre autre, le cas des trous lourds et des trous légers qui sont fortement anisotropes.

Le modèle piézorésistif permet de relier une contrainte à une variation de résistivité et donc à une variation de mobilité dans une approximation linéaire.

II.1.3.b. Le modèle piézorésistif

Selon la théorie de la piézorésistivité (appliquée pour la première fois au silicium et au germanium dans [Smith54]) la contrainte (σ) modifie la mobilité (μ) et donc la résistivité de la plupart des semiconducteurs selon :

$$\left[\frac{\Delta\mu}{\mu} \right] = -[\pi] \cdot [\sigma] \quad \text{Equation II.13}$$

Avec $[\sigma]$ le tenseur de contrainte et $[\pi]$ la matrice des coefficients piézorésistifs. Par convention, une contrainte en tension est positive et une contrainte en compression est négative.

D'après les symétries du réseau cristallin, le nombre de coefficients piézorésistifs indépendants peut être réduit à trois dans du Si (001): π_{11} , π_{12} et π_{44} . Dans le cas d'un canal orienté suivant $\langle 100 \rangle / (001)$ (substrats tournés à 45°), la direction du transport suit un axe cristallographique. π_{11} traduit alors directement la sensibilité de la mobilité pour une contrainte longitudinale et π_{12} pour une contrainte transverse ou verticale. π_{44} est la composante de cisaillement. A partir de ces trois coefficients et en effectuant un changement de base, la matrice des coefficients piézorésistifs peut être calculée pour une orientation

quelconque. L'expression de chaque coefficient dans la nouvelle base à généralement une forme complexe. Cependant, pour le cas des canaux orientés suivant $\langle 110 \rangle / (001)$ (orientation standard appelée 0°) l'expression des coefficients prend une forme simple :

$$\pi_L = \frac{\pi_{11} + \pi_{12} + \pi_{44}}{2} \text{ et } \pi_T = \frac{\pi_{11} + \pi_{12} - \pi_{44}}{2} \quad \text{Equation II.14}$$

Ces coefficients sont alors appelés les coefficients piézorésistifs longitudinal et transverse (par rapport au sens du transport). L'axe vertical étant conservé lors de la rotation, le coefficient vertical reste le même et vaut $\pi_V = \pi_{12}$. On peut remarquer que le coefficient π_{44} peut être calculé avec $\pi_{44} = \pi_L - \pi_T$.

Ainsi, l'influence d'une contrainte sur la mobilité peut s'exprimer comme étant la somme de l'influence de la contrainte suivant chaque direction:

$$\frac{\Delta\mu}{\mu} = -(\pi_L\sigma_L + \pi_T\sigma_T + \pi_V\sigma_V) \quad \text{Equation II.15}$$

Depuis la première mesure expérimentale de ces coefficients piézorésistifs sur silicium massif, de nombreuses mesures ont été effectuées sur des couches d'inversion obtenues avec des architectures et des champs électriques variés. Ces coefficients sont résumés ci-dessous pour les électrons et les trous. Un coefficient **néгатif** traduit une augmentation de la mobilité grâce à une contrainte en **tension** tandis qu'un coefficient positif traduit une augmentation de la mobilité grâce à une contrainte en compression.

Tableau II.3 : Résumé des coefficients piézorésistifs ($10^{-12} \cdot \text{Pa}^{-1}$) de la littérature pour une surface (001) et un transport des électrons suivant $\langle 100 \rangle$ ou $\langle 110 \rangle$.

Transport: $\langle 100 \rangle$			Transport: $\langle 110 \rangle$		Remarques	Références
π_{11}	π_{12}	π_{44}	π_L	π_T		
-1022	534	-136	-312	-176	Si massif	Smith54
-840	340	-145	-335	-190	MOSFET E=0.05MV/cm	Canali79
-426	-207	-210	-355	-145	MOSFET E=0.7MV/cm	Thompson06
-360	-135	-275	-375	-100	Si E=1MV/cm	Weber07
		-273	-485	-212	MOSFET, faible E	Gallon04
		-233	-495	-262		
		-269	-580	-311	SOI MOSFET, faible E	
		-267	-497	-230		
		-236	-450	-194	MOSFET, faible E	Rochette08
		-240	-410	-170	HKMG SOI	Cassé12
-1020	500	-100	-300	-200	E<0.1MV/cm	Dorda71
-720	30	-260	-450	-200	E=0.7MV/cm	

Tableau II.4 : Résumé des coefficients piézorésistifs ($10^{-12} \cdot \text{Pa}^{-1}$) de la littérature pour une surface (001) et un transport des trous suivant $\langle 100 \rangle$ ou $\langle 110 \rangle$.

Transport: $\langle 100 \rangle$			Transport: $\langle 110 \rangle$		Remarques	Références
π_{11}	π_{12}	π_{44}	π_L	π_T		
66	-11	1381	718	-663	Si massif	Smith54
-125	280	1100	600	-500	MOSFET E=0.05MV/cm	Canali79
91	-62	1055	717	-338	MOSFET E=0.7MV/cm	Thompson06
105	235	900	630	-270	Si E=1MV/cm	Weber07
65	187	616	436	-180	SOI E=1MV/cm	
		983	600	-383	MOSFET faible E	Gallon04
		947	571	-376		
		1189	767	-422	SOI MOSFET faible E	
		1114	648	-466		
		1040	640	-400	MOSFET faible E	Rochette08
-110	200	900	550	350	faible E ($P_{inv} < 5 \cdot 10^{12} \cdot \text{cm}^{-3}$)	Rochette08
		935	630	-305	HKMG SOI	Cassé12
-130	350				MOSFET faible E	Dorda72
77	300				MOSFET fort E	

Les valeurs des coefficients varient suivant les cas de figure. Sur les MOSFET, la mobilité des porteurs à faible champ (E) se rapproche du cas du silicium massif. Cependant, la valeur des coefficients piézorésistifs et même leur signe peuvent changer en forte inversion (particulièrement pour les pFET tournés à 45°). On peut néanmoins résumer l'influence des contraintes sur les nFET et pFET de la manière suivante (Figure II.4):

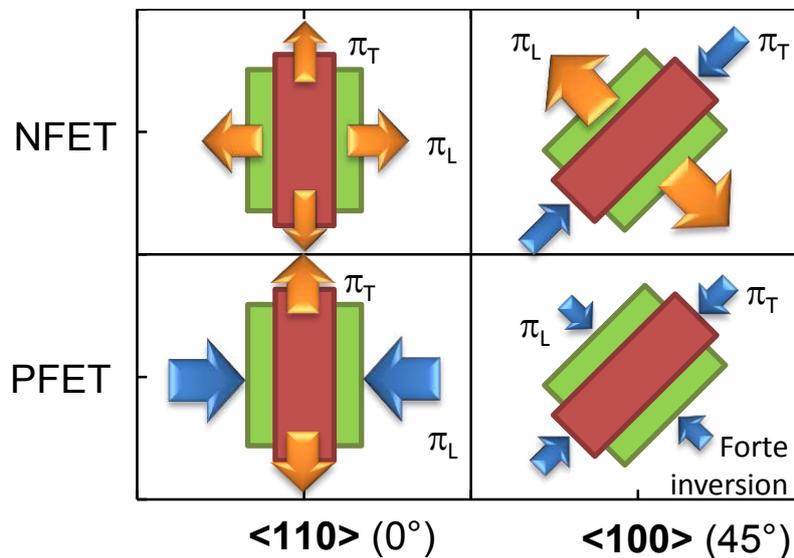


Figure II.4: Représentation schématique du sens de la contrainte permettant d'améliorer la mobilité des électrons et des trous pour deux orientations ($\langle 110 \rangle$ et $\langle 100 \rangle$) et sur une surface (001).

- ✓ En résumé, pour une orientation $\langle 110 \rangle / (001)$, la mobilité des électrons est améliorée par une contrainte biaxiale en tension ou une contrainte uniaxiale en tension selon

<110>. La mobilité des trous est améliorée par une contrainte uniaxiale compressive selon <110>.

- ✓ Pour des substrats tournés <100>/(<001>), la mobilité des électrons est aussi améliorée par une contrainte en tension dans le sens du transport. On remarquera qu'avec cette orientation, les nFET sont plus sensibles à la contrainte (coefficient plus élevé). Les pFET en revanche sont beaucoup moins sensibles à la contrainte selon cette orientation, les coefficients étant relativement faible. Le type de contrainte permettant d'améliorer la mobilité des trous selon cette orientation varie suivant les auteurs. Il semblerait néanmoins qu'une contrainte longitudinale et transverse en compression soit favorable en forte inversion.

II.1.3.c. Hypothèses et limites du modèle piézorésistif

Le modèle piézorésistif est un modèle linéaire reliant la contrainte à la mobilité. Bien qu'il soit valable pour des déformations faibles de l'ordre de quelques centaines de MPa, celui-ci n'est plus approprié pour des contraintes beaucoup plus importantes. Il devient alors nécessaire d'étudier les dérivées de la mobilité par rapport à la contrainte pour travailler avec des coefficients du premier voire du second ordre [Matsuda93]. Dans de nombreuses études, les coefficients piézorésistifs sont mesurés expérimentalement en modifiant la contrainte à l'aide d'un appareil permettant de courber des échantillons [Gallon04]. Cependant, cette méthode est limitée à quelques centaines de MPa à cause de la fragilité des échantillons. Afin d'étudier l'influence de forte contraintes sur la mobilité, différentes études se basent donc sur la simulation de la structure de bandes (par la méthode $k.p$) [Ungersboeck07] [Packan08] [Pham09] [Bufler09]. Par exemple, la Figure II.5 donne le gain en mobilité en fonction d'une contrainte jusqu'à ± 3 GPa. On retrouve les coefficients piézorésistifs présentés au paragraphe précédent en prenant la pente à l'origine. En revanche pour des contraintes de plus d'un GPa on voit que le gain en mobilité sature pour les électrons. On peut également remarquer qu'une forte contrainte compressive longitudinale améliore la mobilité des trous davantage que ce qui est prévu par le modèle linéaire.

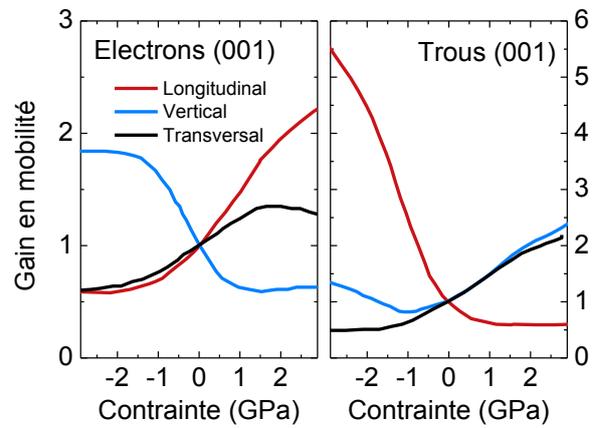


Figure II.5 : Gain en mobilité (simulé d'après un modèle $k.p$) pour les électrons et les trous en fonction de la contrainte appliquée suivant trois directions pour une surface (001) d'après [Packan08].

- ✓ Bien que le modèle piézoélectrique linéaire soit limité à de faibles déformations, il permet néanmoins de comprendre au premier ordre les variations de mobilité sur les dispositifs. Par la suite, nous utiliserons donc ce modèle afin d'interpréter nos résultats et de comparer différents procédés induisant de la contrainte.

II.1.4. Procédés induisant de la contrainte dans la littérature

II.1.4.a. Cas de l'utilisation de couches de nitrure pour mémoriser la contrainte (SMT)

La technique de mémorisation de la contrainte appelée SMT (*Stress Memorization Technique*) est une méthode permettant de contraindre le canal. Comme pour la couches d'arrêt utilisée pour la gravure des contacts (CESL voir II.3), la contrainte initiale est apportée par une couche de nitrure (ou d'oxyde) recouvrant la grille et les régions S/D. Cependant, dans le cas des SMT, la couche contrainte déposée est une couche sacrificielle : celle-ci est retirée par la suite. L'enjeu de cette technique est donc de transférer la contrainte et de la mémoriser dans la grille ou bien dans les régions S/D proches du canal.

Sur silicium massif, cette technique a d'abord été proposée par Ota *et al.* [Ota02]. Une couche de SiO₂ tensile, ainsi que la recristallisation de la grille durant le recuit d'activation permettent de mémoriser une contrainte compressive dans la grille. Même après le retrait de la couche d'oxyde, une contrainte en tension est maintenue dans le canal ce qui permet d'améliorer le courant des nFET (L=55 nm) de 15 %. En utilisant une couche de nitrure en tension de la même façon, le courant de drain des nFET a été amélioré de 15 % sans dégradation des pFET [Chen04]. Cette technique est compatible avec un CESL tensile ce qui entraîne un gain de +20 % (dont +6 à 7% dû au SMT) [Boeuf04] [Ortolland06].

Sur SOI, la mémorisation de contrainte permet également d'augmenter le courant des nFET de 4 à 10 % [Singh05] [Hortsmann05] [Yin06]. L'utilisation successive de multiples techniques de SMT au cours de l'intégration permet d'augmenter encore plus la contrainte en tension dans le canal des nFET et ainsi d'atteindre un gain final de 27 % [Wei07]. Sur SOI, l'efficacité des SMT a également été démontrée sur des nanofils avec des gains en courant de l'ordre de 55 % [Saitoh10] [Saitoh12].

Contrairement à ce qui a été reporté jusqu'ici avec une intégration *gate-first*, la contrainte ne peut pas être mémorisée dans le polysilicium de la grille dans le cas d'une intégration *gate-last* puisque celui-ci est retiré. La contrainte mémorisée dans la région des S/D doit donc être augmentée. Pour cela, une nouvelle technique a été proposée par Lim *et al.* [Lim10]. Cette technique est considérée comme étant une SMT puisqu'une couche de nitrure sacrificielle contrainte est utilisée. Cependant, le mécanisme physique en jeu dans ce type d'intégration est différent de ce qui a été montré avant où la contrainte est mémorisée lors d'un recuit à haute température.

Les étapes principales de ce type de SMT sont les suivantes (Figure II.6): les S/D sont tout d'abord amorphisés par implantation comme proposé par Wei *et al.* sur SOI [Wei07].

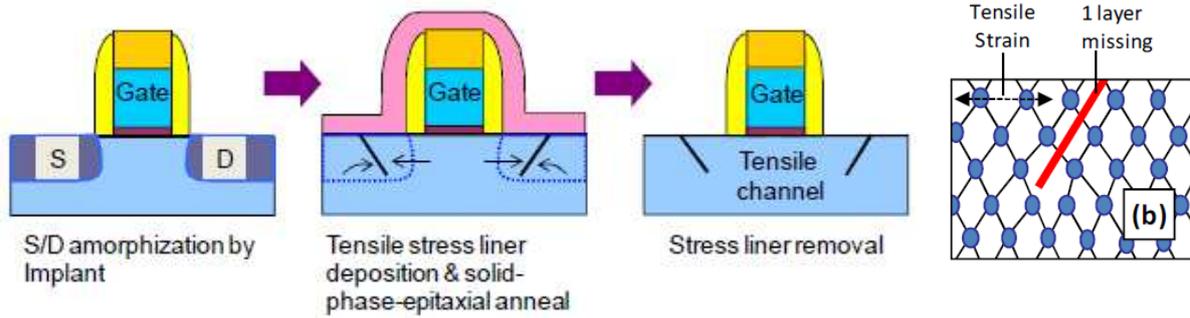


Figure II.6: Schémas de l'enchainement des étapes permettant de créer des dislocations par SMT dans les S/D [Lim10].

Ensuite, une couche de nitrure en tension est déposée sur la grille et les S/D. Les S/D sont comprimés pendant la recristallisation d'épitaxie en phase solide (SPER : *Solid Phase Epitaxial Regrowth*) ce qui engendre des dislocations coin. La couche contrainte est retirée et ces dislocations, comparables à un plan atomique (111) manquant, induisent une contrainte tensile dans le canal. Le champ de contrainte ainsi créé est perpendiculaire à la dislocation (Figure II.7-Figure II.8) et atteint jusqu'à 1 GPa [Shen12].

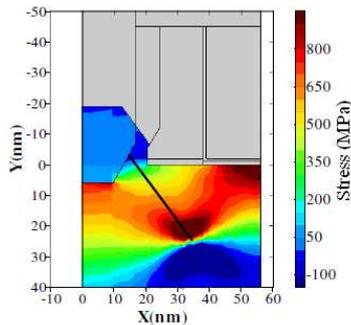


Figure II.7: Simulation de la contrainte induite par une dislocation coin dans un nFET [Weber11].

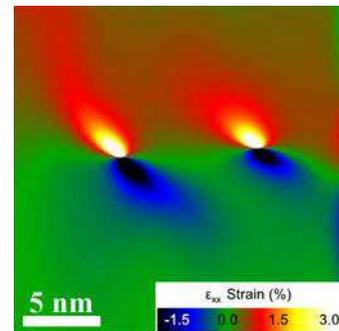


Figure II.8: Mesure expérimentale du champ de contrainte induite par deux dislocations coin [Denneulin12].

Des simulations mécaniques montrent que contrairement à la plupart des techniques, l'efficacité de ce type de SMT augmente en diminuant la distance entre les grilles [Weber11]. Expérimentalement, un gain de 10 à 25 % est obtenu sur le courant des nFET avec un gain en mobilité de 25 % sur silicium massif [Lim10] [Shen12] [Weber11].

- ✓ En conclusion, la mémorisation de la contrainte dans la grille ou dans les régions S/D est une technique efficace pour améliorer les performances des nFET aussi bien sur silicium massif que sur SOI. De plus, cette technique est compatible avec l'utilisation supplémentaire d'un CESL tensile. En amorphisant les S/D, il est possible de créer des dislocations mettant en tension le canal des nFET sur silicium massif. L'avantage de cette variante est qu'elle est compatible avec des motifs denses. Son application dans le cas de transistors sur SOI n'a pas encore été démontrée. Le BOX bloque la propagation d'une dislocation coin ce qui empêche de propager une contrainte dans le canal. Cependant, une intégration créant ce type de dislocation sous un BOX mince serait susceptible de contraindre efficacement le canal [Cheng11].

II.1.4.b. Influence des Sources et Drains épitaxiés sur les performances

Dans l'intégration FDSOI, l'épaisseur des source/drain (S/D) est augmentée par épitaxie sélective (*Selective Epitaxial Growth*) afin de limiter les résistances séries des films minces. Ce procédé peut être adapté pour incorporer des atomes tels que du germanium ou du carbone dans la structure cristalline des S/D. L'ajout de ces atomes a pour effet de modifier le paramètre de maille des S/D. La différence entre le paramètre de maille des S/D et celui du substrat (généralement du silicium) engendre une contrainte dans le canal qui modifie les propriétés du transport dans les transistors.

D'après la loi de Végard, le paramètre de maille d'un alliage AB peut être calculé par interpolation linéaire des paramètres de maille des deux éléments (a_A et a_B) constituant l'alliage :

$$a_{A_{1-x}B_x} = (1 - x) \cdot a_x + x \cdot a_B \quad \text{Equation II.16}$$

Pour le SiGe le paramètre de maille (en nm) peut être calculé avec une plus grande précision par une approximation quadratique [Dismukes64]:

$$a_{Si_{1-x}Ge_x} = a_{Si} + 0,02x + 2,7 \cdot 10^{-3}x^2 \quad \text{Equation II.17}$$

Finalement, pour du SiGe dopé avec du bore (SiGe:B) le paramètre de maille peut être calculé avec cette approximation [Hartmann08]:

$$a_{Si_{1-x}Ge_xB_y} = 0,543105 + 0,01988x + 2,8 \cdot 10^{-3}x^2 - 0,1579y \quad \text{Equation II.18}$$

Tableau II.5: Paramètres de maille à l'état relaxé du Si, Ge et C ainsi que d'alliages courant

Matériau	Paramètre de maille (nm)
Si	0.5431
Ge	0.5657
C	0.3567
Si _{0.7} Ge _{0.3}	0.5493
Si _{0.99} C _{0.01}	0.5412

La déformation dans le plan d'une couche de SiGe (par rapport à l'état relaxé du SiGe) épitaxiée sur du Si est donnée par :

$$\varepsilon = \frac{a_{Si} - a_{SiGe}}{a_{SiGe}} \quad \text{Equation II.19}$$

Nous verrons ce qui a été fait sur les pFET avec des S/D SiGe avant de détailler nos résultats expérimentaux dans le paragraphe II.5 mais voyons déjà ce qui a été reportés dans le cas des nFET avec des S/D en SiC.

II.1.4.c. Performances des nFET avec des S/D en SiC

L'ajout d'une quantité relativement faible d'atomes de carbone (1 à 2 %) dans les S/D permet d'induire une forte contrainte en tension dans le canal bénéfique pour les nFET. Ce carbone peut être ajouté *in situ* lors de l'épitaxie ou par implantation.

En plaçant 1 % d'atome de carbone sur des sites substitutionnels ($\text{Si}_{0.99}\text{C}_{0.01}$) lors de l'épitaxie sur SOI, Ang *et al* ont démontré que les S/D en SiC sont plus efficaces quand ils sont formés sur un film de silicium plus fin dans la région des S/D que sous la grille (*recessed*) par rapport à un film d'épaisseur constant (*unrecessed*) [Ang05]. Ainsi un gain en courant de saturation de 16 % à 20 % est atteint pour des grilles de 50 nm selon la direction $\langle 110 \rangle$ (+30 % pour une orientation $\langle 100 \rangle$) [Ang06] [Ang07]. Une grande partie de ce gain est dû à la contrainte en tension induite dans le canal. Cependant, une petite partie (2 %) s'explique par la diminution des résistances séries (-10 %) avec les S/D SiC. On peut remarquer que le SiC peut être dopé *in situ* en phosphore [Yang08] [Cheng09a].

Sur silicium massif le courant est amélioré du même ordre de grandeur (+10 %) par l'épitaxie des S/D $\text{Si}_{0.99}\text{C}_{0.01}$ [Verheyen08].

Cependant, à cause de la faible solubilité du carbone dans le silicium et sous l'effet du budget thermique, il est difficile de faire croître du SiC en maintenant plus de 1 % d'atomes de carbone dans les sites substitutionnels [Mocuta99]. Une méthode différente de l'épitaxie cyclée (dépôt/gravure de SiC) présentée précédemment a fait ses preuves. En implantant du carbone dans du silicium amorphe puis en le recristallisant (SPER : *Solid Phase Epitaxial Regrowth*), une concentration de carbone de 1.6 % a été démontrée [Liu07]. Les S/D en SiC permettent alors d'atteindre une contrainte tensile de l'ordre de 600 MPa dans le canal des nFET. Les canaux courts ($L < 40$ nm) présentent un courant I_{ON} augmenté de 6 % à un I_{OFF} donné grâce aux S/D SiC. Les canaux longs ($L = 200$ nm), moins influencés par les résistances séries, présentent dans ce cas un gain de 15 %.

- ✓ Grâce au paramètre de maille du SiC qui est plus petit que celui du silicium, l'ajout de carbone dans les S/D permet de transférer une contrainte en tension dans le canal. Ceci améliore la mobilité des électrons et augmente les performances des nFET d'environ 15 %.

Bien entendu ce procédé dégrade la mobilité des trous mais de manière analogue des S/D en SiGe permettent d'améliorer les performances des pFET comme nous allons le voir dans le paragraphe II.5.

II.1.4.d. Contraintes du métal de grille ou des contacts

Dans une intégration CMOS, de nombreuses étapes sont susceptibles de modifier la contrainte du canal et d'influencer les performances finales des transistors. Cette contrainte peut avoir des origines variées: une différence de paramètre de maille pour des matériaux cristallins, une contrainte intrinsèque, une différence de coefficient de dilatation thermique lors d'un recuit... Même si la valeur des contraintes non intentionnelles reste faible devant celle des contraintes intentionnelles, la connaissance de ces sources de contrainte est importante afin d'optimiser finement les performances.

Par exemple, la contrainte intrinsèque du métal de grille varie en fonction de l'épaisseur et de la méthode de déposition. Ainsi un TiN CVD (*Chemical Vapor Deposited*) de 10 nm induit une contrainte compressive dans le canal [Guillaume04] tandis que la même épaisseur de TiN PVD (*Physical Vapor Deposited*) met le SOI en tension [Baudot10]. Le choix du métal de grille permet donc de contraindre le canal [Kang06].

Dans le paragraphe suivant, nous verrons comment plusieurs procédés peuvent influencer la contrainte dans le canal. En particulier les CESL, les substrats sSOI, l'épitaxie des S/D en SiGe et l'isolation des zones actives (STI).

Pour des architectures denses, les contacts prennent proportionnellement de plus en plus de place et sont placés à proximité du canal. La contrainte induite par les contacts ou la siliciuration va donc avoir une place importante dans les futures générations technologique. Lors de la gravure des contacts, les couches contraintes de type CESL sont déjà partiellement gravées ce qui relâche la contrainte et diminue les performances [Khakifirooz12] [Schuster13]. De plus, comme pour le métal de grille, le métal utilisé pour les contacts pourrait être adapté afin de contraindre le canal. Ainsi des simulations montrent que des contacts en tungstène augmentent la mobilité des électrons [Schuster13].

II.2. Intégration des procédés de fabrication en gate-first et introduction de contraintes

La technologie FDSOI est l'une des meilleures technologies pour la génération 28 nm [Planes12]. Grâce au BOX, les dispositifs FDSOI offrent un meilleur contrôle électrostatique et un meilleur compromis I_{ON} - I_{OFF} (comparé au silicium massif). Cependant, l'utilisation de canaux SOI contraints devient nécessaire pour les générations sub-20nm afin d'atteindre les spécifications prédites par l'ITRS. Afin d'améliorer la mobilité des porteurs et ainsi le courant I_{ON} des transistors MOS, de nouvelles solutions technologiques doivent être intégrées. Le canal de conduction doit être contraint au cours de l'intégration à l'aide de différents procédés. Dans ce paragraphe, nous présentons l'intégration planaire *gate-first* de MOSFET FDSOI ainsi que les briques technologiques permettant de modifier l'état de déformation du canal. Nous détaillerons ensuite les résultats électriques et les modifications de performance obtenus notamment grâce à l'intégration de couches de nitrure contraintes (CESL), au substrat et à l'épitaxie des sources et drains. Nous verrons ensuite comment l'orientation du canal influence ces performances [Morvan12a] [Morvan12b] [Morvan12c].

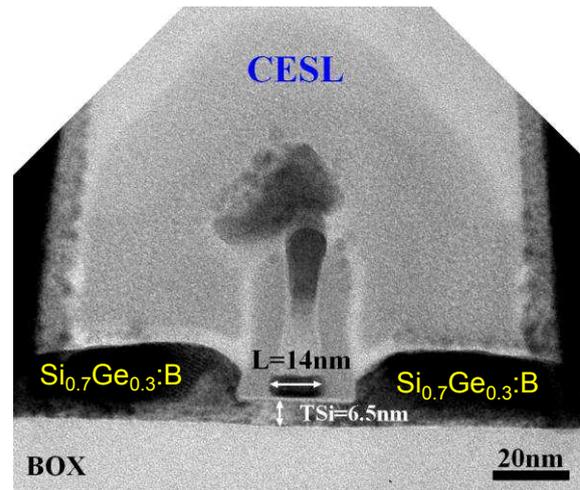


Figure II.9: Image TEM d'un pFET gate-first sur SOI avec des S/D SiGe (L=14 nm).

Les principales étapes de l'intégration *gate-first* sur SOI étudié dans ce paragraphe sont (Figure II.10) :

- 1/ A partir d'un substrat SOI avec un BOX mince (25 nm) ou épais (145 nm), l'isolation des zones actives est réalisée par STI (*Shallow Trench Isolation*). Une contrainte biaxiale en tension peut être introduite en utilisant des substrats sSOI (*strained SOI*). Sauf avis contraire, le transport se fait suivant la direction cristallographique $\langle 110 \rangle$ pour une surface (001).
- 2/ L'empilement de grille est déposé puis gravé grâce à un procédé standard de lithographie. L'empilement de grille finale comprend :
 - ✓ Le *high-k* (1.9 nm HfSiON) sur un oxyde plasma (0.8 nm)
 - ✓ 6.5 nm de TiN PVD comme métal de grille
 - ✓ 50 nm de polysilicium
- 3/ Après le premier espaceur, les sources et drains (S/D) sont formés par épitaxie sélective. Par défaut les S/D sont en silicium mais des S/D en SiGe peuvent avantageusement être intégrés sur les pFET. Les zones entre les régions S/D et le canal (*i.e.* les extensions) sont connectées électriquement par implantation ionique puis recuites.

- 4/ Ensuite le deuxième espaceur est formé puis les S/D sont dopés. Le recuit d'activation ($\sim 1050^{\circ}\text{C}$) est alors réalisé. Enfin le siliciure (NiSi) est formé sur les S/D.
- 5/ Une couche de nitrure de 40 nm servant de couche d'arrêt à la gravure des contacts est déposée. Cette couche, appelée CESL (*Contact Etch Stop Layer*), peut être de nature différente avec une contrainte intrinsèque tensile (1.6 GPa), neutre ou compressive (-3 GPa).
- 6/ Le CESL est ensuite recouvert par un dépôt d'oxyde (ILD : *Inter Layer Dielectric*).
- 7/ Finalement, les contacts sont formés suivi par les étapes dites de *back-end*.

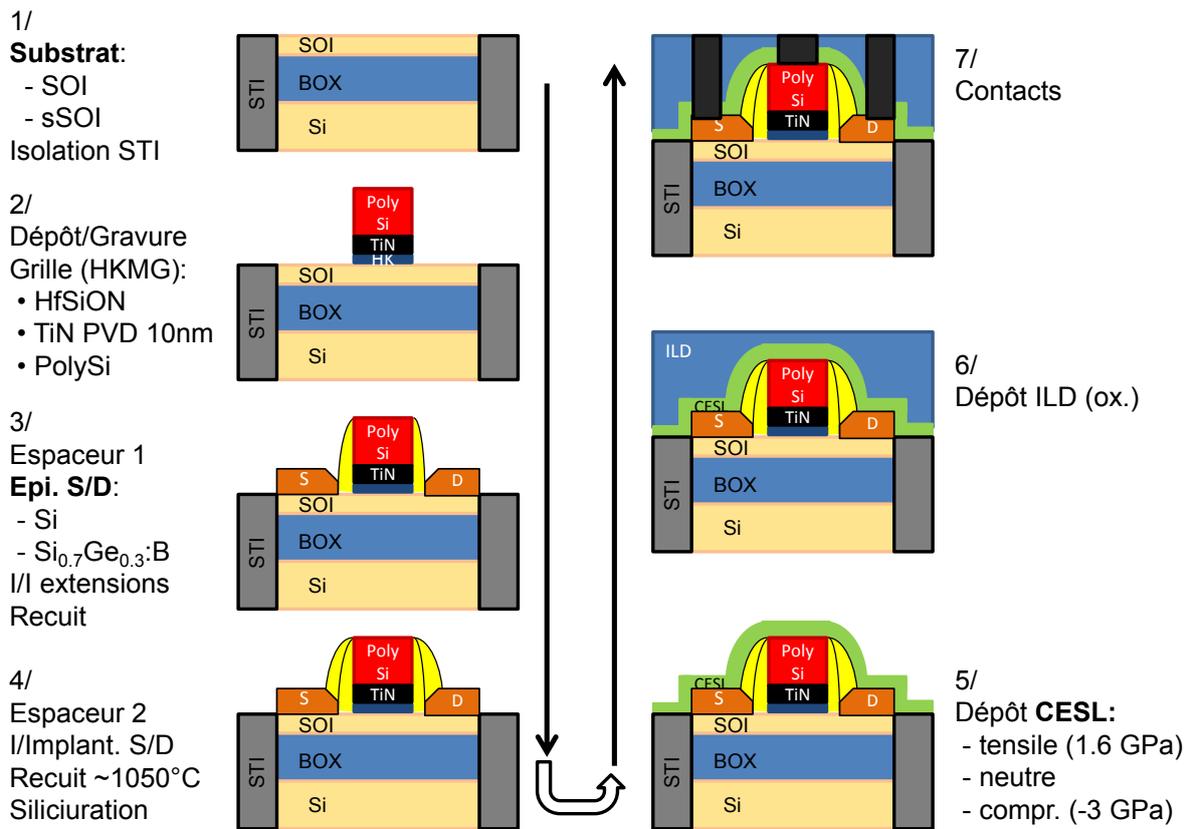


Figure II.10: Description schématique de l'enchaînement des principales étapes de fabrication des transistors gate-first sur SOI.

Dans les paragraphes suivants, nous allons voir l'influence de quelques procédés engendrant de la contrainte sur des dispositifs sur silicium massif ou sur SOI obtenus dans la littérature puis nous détaillerons nos résultats obtenus sur SOI avec l'intégration ci-dessus.

II.3. Influence des couches contraintes (CESL) sur les performances

L'introduction de contraintes par le CESL est relativement simple et peu coûteuse puisqu'elle ne nécessite pas de modifier l'intégration. Suivant leurs conditions de dépôt, ces couches généralement en nitrure possèdent une contrainte intrinsèque en compression ou en tension qui est transférée à travers la grille et jusqu'au canal. Ces deux types de contrainte seront l'objet des paragraphes II.3.2 et II.3.1 respectivement.

En modifiant l'enchaînement des procédés, ces couches de nitrure sont parfois utilisées pour transférer une contrainte dans la grille où dans les régions S/D. Une fois ces films retirés, la contrainte est mémorisée (SMT : *Stress Memorization Technique*). Nous verrons dans le paragraphe II.1.4.a les gains en performance reportés sur *bulk* ou SOI dans la littérature.

II.3.1. Cas des couches en tension (tCESL)

II.3.1.a. Performances des nFET avec un CESL

Dans la littérature, ce sont d'abord les couches en tension qui ont été étudiées [Shimizu01] puis utilisées en production par Intel pour la technologie 90 nm [Thompson02] afin d'améliorer les performances des nFET sur silicium massif. Les CESL en tension permettent d'appliquer une tension uniaxiale dans le canal des transistors. En effet, comme il a été montré par F. Payet *et al.* [Payet08] sur silicium massif, des poches de contraintes en tension se forment au bord du canal (Figure II.11). Pour des longueurs de grille inférieures à 60 nm, cet effet de bord devient dominant et tout le canal est alors en tension ce qui est intéressant pour les nFET.

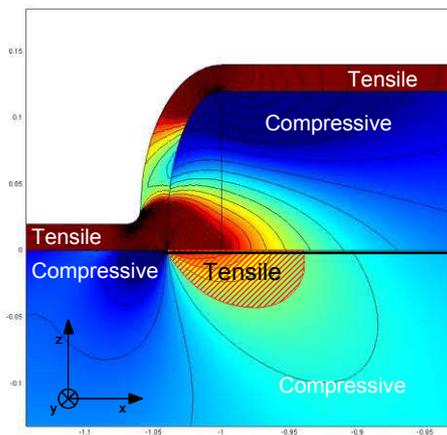


Figure II.11: Déformation longitudinale (σ_{xx}) due à un CESL tensile sur un transistor bulk [Payet08t].

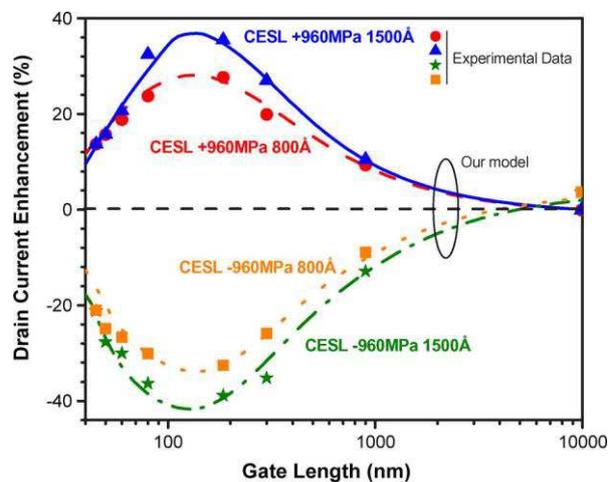


Figure II.12: Gains en courant en fonction de la longueur de grille de nFET pour un CESL tensile (+0.96 GPa) ou compressif (-0.96 GPa) de 80 nm ou 150 nm [Payet08].

Ainsi, sur silicium massif, un CESL en tension permet d'obtenir un gain en courant de 10 % pour une longueur de grille de 40 nm avec un optimum vers 100 nm (Figure II.12).

Sur SOI une tendance similaire a été démontrée avec un gain de +12 % sur le courant I_{ON} (tCESL : 1 GPa, 20 nm; $L_G=70$ nm) [Gallon06s], +5 % (tCESL : 0.9 GPa, 100 nm; $L_G=25$ nm) [Andrieu07v] ou encore +24 % ($L_G=35$ nm) [Majumdar10].

Afin d'évaluer l'impact de la contrainte induite par les CESL sur les performances des nFET, nous avons fabriqué des transistors nMOS sur des substrats minces (7 nm) de SOI avec un BOX mince (25 nm). Ces transistors *gate-first* (§II.2) comportent des S/D en silicium. Trois types de CESL ont été déposés avec une épaisseur de 40 nm mais des contraintes intrinsèques différentes:

- le CESL compressif, avec une contrainte de -3 GPa (cCESL)
- le CESL neutre servant de référence (nCESL)
- le CESL tensile avec une contrainte de 1.6 GPa (tCESL)

La Figure II.13 présente le compromis I_{ON} - I_{OFF} pour des nFET avec un transport suivant la direction $\langle 100 \rangle$. Le CESL tensile permet d'augmenter le courant I_{ON} de 8 %. Un gain plus important est obtenu pour des transistors plus courts comme illustré par les caractéristiques $I(V)$ de la Figure II.14.

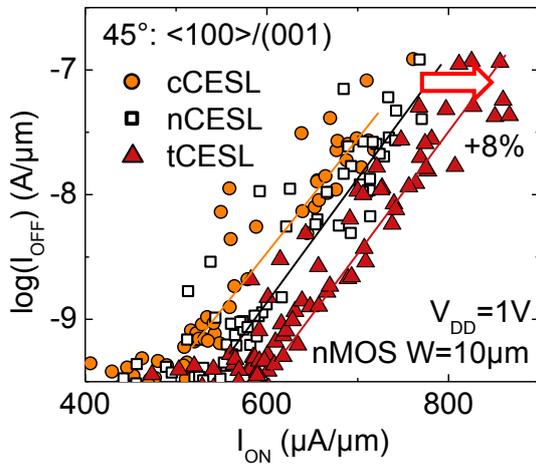


Figure II.13: Influence du CESL sur le compromis I_{ON} - I_{OFF} des nFET selon $\langle 100 \rangle / \langle 001 \rangle$. ($L_{nom}=38$ nm)

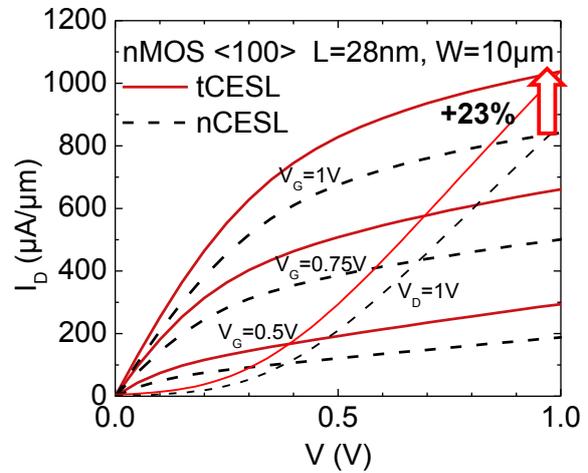


Figure II.14: Caractéristiques I_D - V_D et I_D - V_G de nFET avec un CESL neutre ou tensile ($L=28$ nm).

Afin d'examiner l'origine de ce gain en courant et de dé-corréler l'impact de l'électrostatique et du transport, nous avons tracé la résistance totale (R_{TOT}) des transistors en fonction de l'inverse du DIBL (Figure II.15). R_{TOT} est la somme des résistances d'accès et du canal. Cette valeur est mesurée à $V_G - V_T = 0.8V$ à partir de V_{Dlin}/I_{Dlin} (avec $V_{Dlin}=50$ mV et I_{Dlin} étant le courant de drain en régime linéaire). Pour l'orientation $\langle 100 \rangle$ et pour un DIBL donné de 100mV/V, la plus petite résistance est obtenue avec un CESL tensile (-10 % par rapport à un CESL neutre) tandis que la résistance totale est dégradée avec un CESL compressif (+7%).

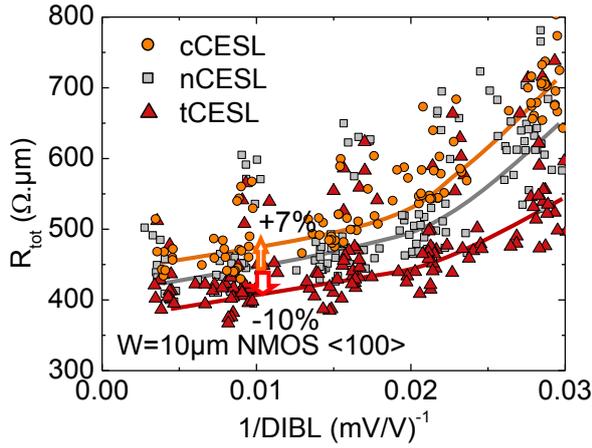


Figure II.15: R_{TOT} en fonction de $1/DIBL$ pour des nFET selon $\langle 100 \rangle$ avec différents CESL à $W=10 \mu\text{m}$ et $L < 90 \text{ nm}$.

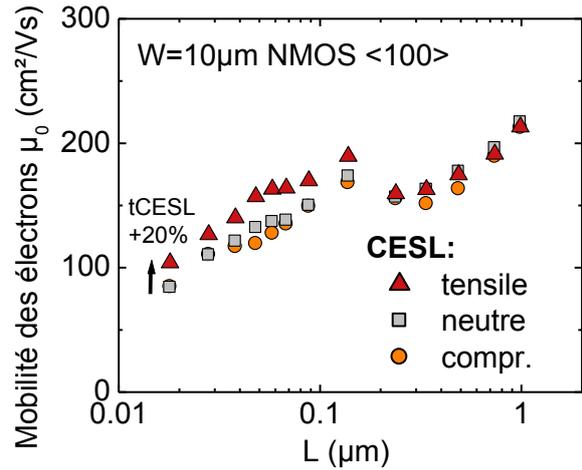


Figure II.16: Mobilité à faible champ des électrons sur des nFET selon $\langle 100 \rangle$ avec différents CESL.

Ensuite, la mobilité à faible champ a été extraite par la méthode de la fonction Y [Ghibaudo88] pour voir l'influence des CESL sur le transport des électrons (Figure II.16). On distingue deux régimes en fonction de la longueur de grille :

- $L > 100 \text{ nm}$: l'influence du CESL tensile est négligeable. Dans cette gamme de longueur de grille le transport est fortement influencé par le STI comme nous le verrons au paragraphe II.6.
- $L < 100 \text{ nm}$: le CESL tensile améliore la mobilité par rapport à un CESL neutre : pour une grille de 18 nm et une distance de 130 nm entre les contacts, la mobilité est ainsi augmentée de 20 %. En revanche, l'ajout d'un CESL compressif dégrade légèrement la mobilité en accord avec les performances obtenues.

II.3.1.b. Modélisation et simulation de l'effet du CESL tensile

L'utilisation d'une couche de nitrure tensile permet d'améliorer la mobilité des électrons. Comme nous l'avons vu expérimentalement, ce gain dépend de la longueur de grille : l'effet de la contrainte du CESL n'est efficace que sur les transistors les plus courts. La propagation de la contrainte dans les transistors a été simulée par F. Payet et al. [Payet08] pour un CESL avec une contrainte intrinsèque de +0.96 GPa et une épaisseur de 80 nm. Basées sur ces simulations mécaniques par éléments finis, un modèle analytique a été proposé décrivant la contrainte longitudinale ou verticale en fonction de la position (x) dans le canal et pour une longueur de grille L:

$$\sigma_i(x, L) = \sigma_0^i \left(\frac{1}{1 + \left(\frac{x+L/2}{L_s^i} \right)^{k_i}} + \frac{1}{1 + \left(\frac{-x+L/2}{L_s^i} \right)^{k_i}} \right) + \sigma_\infty^i \left(1 + \frac{1}{1 + \left(\frac{L}{2L_s^i} \right)^{k_i}} \right) \quad \text{Equation II.20}$$

Les paramètres σ_0 , σ_∞ , k et L_s permettent d'ajuster la fonction par rapport aux résultats des simulations mécaniques.

Nous avons repris cette expression pour modéliser l'effet du CESL tensile sur nos dispositifs. Afin de prendre en compte la contrainte intrinsèque plus importante dans notre cas, les paramètres σ_0 et σ_∞ ont été multipliés par le rapport des contraintes intrinsèques (1.6 GPa/0.96 GPa). De plus, l'effet de l'épaisseur du CESL est négligé entre 40 nm et 80 nm [Eneman07] (Figure II.19).

Tableau II.6: Paramètres d'ajustements de la fonction analytique décrivant la contrainte longitudinale (σ_L) et verticale (σ_V).

	σ_L	σ_V
σ_0	109.2 MPa	-68.8 MPa
σ_∞	-48.7 MPa	1.2 MPa
k	2.26	2.09
s	59.3 nm	100 nm

A partir de cette expression, le gain de mobilité apporté par le CESL ($\Delta\mu/\mu$) est évalué pour différente longueur de grille (L) grâce aux coefficients piézorésistifs longitudinaux (π_L) et transverses (π_T) :

$$\frac{\Delta\mu}{\mu}(L) = \frac{-1}{L} \cdot \int_{L/2}^{L/2} \pi_L \sigma_L(x) + \pi_V \sigma_V(x) \cdot dx \quad \text{Equation II.21}$$

Les coefficients piézorésistifs selon $\langle 100 \rangle$ et $\langle 110 \rangle$ utilisés pour ce modèle sont tirés de [Smith54] (§II.1.3.b).

La variation de mobilité due à un CESL en tension par rapport à un CESL neutre obtenue avec ce modèle reproduit bien les données expérimentales (Figure II.17):

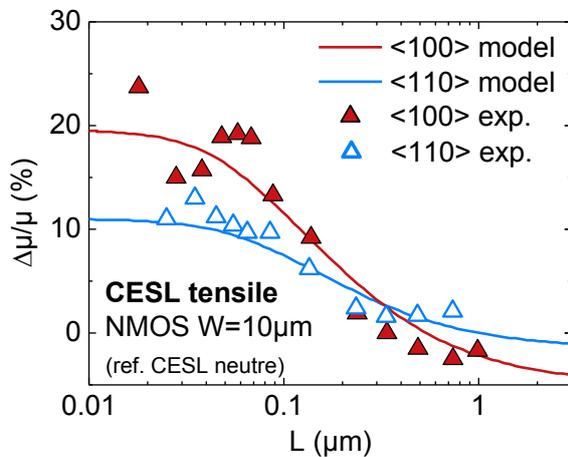


Figure II.17: Données expérimentales (points) et modèle (lignes) donnant la variation relative de la mobilité des électrons grâce à un CESL tensile pour une orientation $\langle 110 \rangle$ ou $\langle 100 \rangle$.

- ✓ le CESL a peu d'effet sur le transport des électrons pour des grilles supérieures à 100 nm
- ✓ l'effet du CESL augmente pour de faible longueur de grille. Un gain en mobilité de l'ordre de 20% est obtenu pour des grilles de 20 nm orientées suivant $\langle 100 \rangle$.
- ✓ A cause des coefficients piézorésistifs plus faible, cet effet est moins prononcé pour des nFET avec un transport suivant $\langle 110 \rangle$ (+10%). L'effet de l'orientation est l'objet du paragraphe II.8.

Bien que l'effet du CESL soit plus important pour les plus petites longueurs de grille, seuls des motifs isolés sont considérés ici. Pour des motifs denses, l'espace entre les grilles diminue ce qui réduit le volume disponible pour déposer le CESL. Ainsi pour le nœud technologique 16 nm la distance minimale entre le centre de deux grilles est d'environ 80 nm et cette dimension devrait descendre à 45 nm pour le nœud 10 nm. De plus à ces dimensions, le nitrure déposé sur les flancs des grilles se rejoint ce qui décroît son efficacité (Figure II.18),

forme potentiellement un vide et augmente les capacités parasites. Pour une intégration gate-last (Chapitre III), le CESL est planarisé ce qui a pour conséquence de le retirer au sommet de la grille.

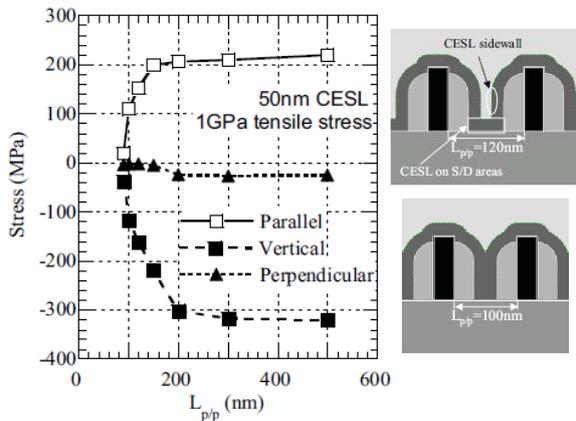


Figure II.18: Contrainte dans le canal pour un CESL tensile (50 nm, 1 GPa) en fonction de la distance entre deux grilles ($L_{p/p}$) [Eneman05].

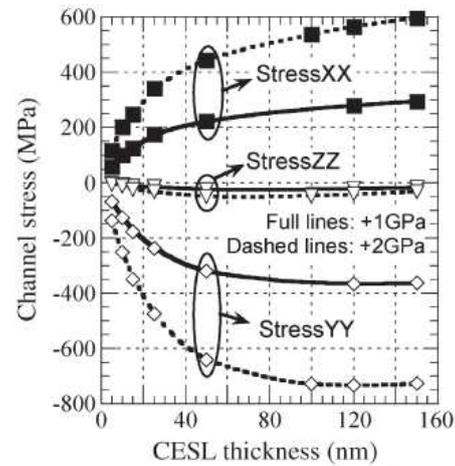


Figure II.19: Contrainte dans le canal pour un CESL tensile (1 GPa ou 2 GPa) en fonction de l'épaisseur ($L=30\text{nm}$) [Eneman07].

Afin de conserver une certaine efficacité du CESL contraint lors de la miniaturisation, une solution consiste à diminuer l'épaisseur de la couche déposée mais à augmenter fortement la contrainte intrinsèque (Figure II.19). Dans cette optique, des couches compressives avec une contrainte intrinsèque jusqu'à -6 GPa (*Diamond Like Carbon*) ont été démontrés avec un gain important sur les pFET sur SOI [Tan07] mais des couches avec une forte contrainte tensile restent difficile à obtenir.

II.3.2. Cas des couches en compression (cCESL)

Sur SOI, il a été démontré [Gallon06j] [Andrieu07v] que l'utilisation d'un CESL compressif de 100 nm (cCESL, $\sigma=-1.8\text{ GPa}$, -2.2 GPa) permet d'améliorer le compromis $I_{\text{ON}}-I_{\text{OFF}}$ des pFET de 17% et 12% pour une longueur de grille de 35 nm suivant l'orientation standard $\langle 110 \rangle$.

Afin d'évaluer l'impact de la contrainte induite par un CESL compressif sur les performances des pFET, nous avons fabriqué des transistors sur des substrats minces (7.5 nm) de SOI avec un BOX mince (25 nm). Ces transistors comportent des S/D en silicium et sont orientés suivant la direction standard $\langle 110 \rangle$. Par contre, contrairement à l'intégration *gate-first* présentée précédemment (§II.2), le métal de grille comporte 3.5 nm et 6.5 nm de TiAlN et TiN PVD respectivement. Le CESL utilisé à une épaisseur de 40 nm et une contrainte intrinsèque de -3 GPa.

A cause d'une dispersion importante, le compromis $I_{\text{ON}}-I_{\text{OFF}}$ ne permet pas de quantifier le gain éventuel apporté par le CESL compressif. Néanmoins, la mesure de la résistance totale ($R_{\text{TOT}}=V_{\text{Dlin}}/I_{\text{Dlin}}$) en fonction de l'inverse du DIBL montre une tendance nette (Figure II.20). A un contrôle électrostatique donné, la configuration avec un CESL compressif permet de diminuer la résistance totale. Par exemple, un gain de -20 % est obtenu grâce au CESL compressif par rapport au CESL neutre à un DIBL de 100mV/V.

Pour mieux comprendre l'influence du CESL sur le transport des trous, nous avons extrait la mobilité des trous à faible champ pour des pFET de différentes longueurs (Figure II.21). La mobilité est améliorée grâce au CESL compressif. Celle-ci atteint un maximum pour une grille de 100 nm avant de diminuer pour les transistors courts comme c'est le cas pour toutes les technologies avancées. On remarquera que le maximum de mobilité n'est pas uniquement dû à l'impact du CESL compressif puisqu'une variation similaire (mais de moindre amplitude) est observée dans le cas d'un CESL neutre. Ce comportement reflète l'influence d'une contrainte compressive additionnelle induite par le STI (§II.6).

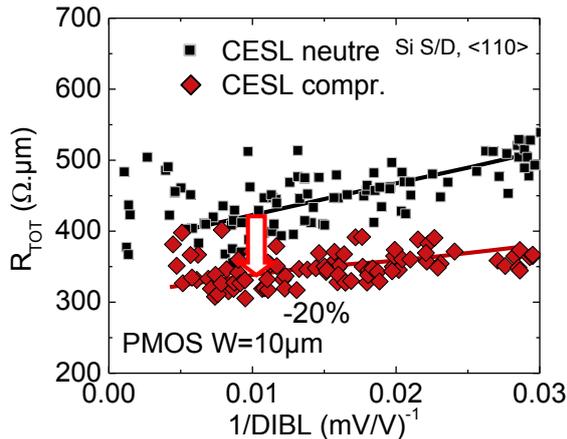


Figure II.20: R_{TOT} en fonction du DIBL pour des pFET selon $\langle 110 \rangle$ avec un CESL neutre ou compressif ($W=10 \mu\text{m}$ et $L<90 \text{ nm}$).

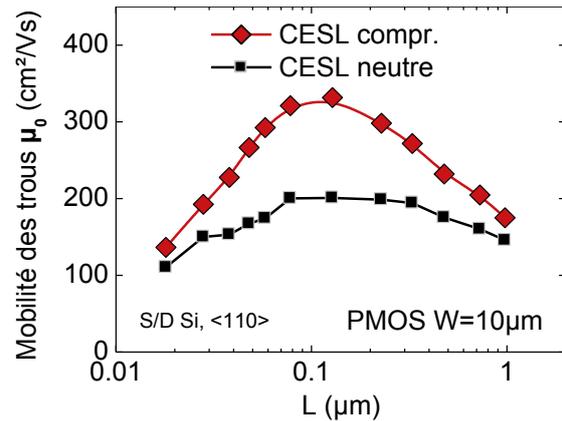


Figure II.21: Mobilité à faible champ des trous sur des pFET selon $\langle 110 \rangle$ avec un CESL neutre ou compressif.

Nous avons également étudié l'efficacité du CESL compressif ainsi que sa compatibilité avec d'autres procédés modifiant la contrainte du canal. Pour cela, des pFET ont été fabriqués (voir §II.2) sur SOI ou sSOI (§II.4) avec un BOX de 145 nm. La contrainte est également modifiée par l'épitaxie des S/D en $\text{Si}_{0.7}\text{Ge}_{0.3}\text{B}$, ce point sera détaillé au paragraphe II.5. Néanmoins, nous pouvons déjà distinguer l'effet du CESL compressif en comparant les performances I_{ON} - I_{OFF} des pFET larges présentées Figure II.22. Le CESL compressif permet un gain en courant de 29 % en présence de S/D SiGe et de 22 % en présence de sSOI et de S/D SiGe (à $I_{OFF}=100\text{nA}/\mu\text{m}$ et $V_{DD}=-1\text{V}$).

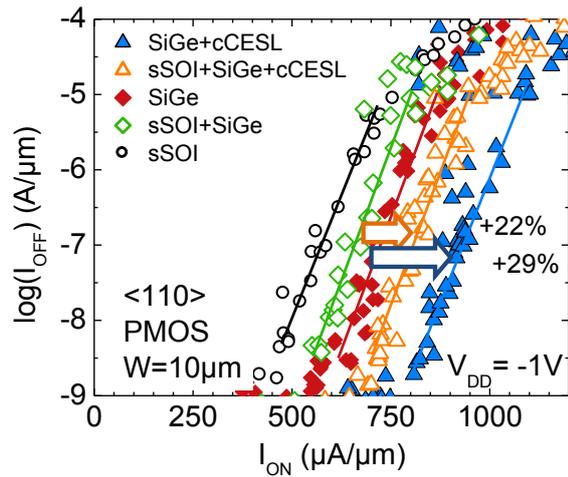


Figure II.22: $I_{ON}-I_{OFF}$ de pFET *gate-first* sur SOI avec différentes configurations intégrant de la contrainte par un substrat sSOI, S/D SiGe:B ou cCESL. ($W=10\mu\text{m}$, $L_{nom}=35-45\text{ nm}$) (procédés par défaut : SOI, S/D Si, nCESL)

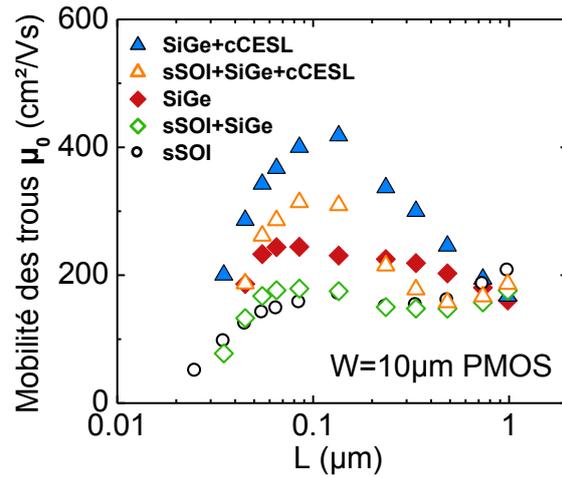


Figure II.23: Mobilité à faible champ des trous sur des pFET sur SOI avec différentes configurations intégrant de la contrainte par un substrat sSOI, S/D SiGe:B ou cCESL.

Nous avons extrait la mobilité à faible champ par la méthode de la fonction Y afin de comparer l'impact de la contrainte induite par le CESL compressif (cCESL) en présence de sSOI ou de S/D SiGe sur le transport. Nous nous intéressons ici uniquement à l'effet du CESL, le sSOI ou les S/D SiGe sont l'objet des paragraphes II.4 et II.5. Pour les deux configurations comportant un cCESL, la variation de mobilité avec la longueur de grille (L) suit un profil similaire à ce qui a été obtenu auparavant (Figure II.21) uniquement avec un cCESL : en diminuant L , la mobilité augmente jusqu'à un maximum vers $L=100\text{ nm}$ avant de chuter (Figure II.23). L'effet du CESL sur SOI est obtenu en comparant la mobilité avec S/D SiGe et cCESL (triangles fermés bleus) par rapport à la mobilité avec des S/D SiGe et nCESL (diamants rouge). De la même façon, on peut observer l'effet du CESL sur sSOI en comparant la mobilité de la configuration avec S/D SiGe et cCESL (triangles ouverts oranges) par rapport à la configuration S/D SiGe et nCESL (diamants ouverts verts).

Le CESL compressif permet d'augmenter la mobilité sur les pFET aussi bien sur SOI que sur sSOI et en présence de S/D SiGe. Cependant, la mobilité est plus importante sur SOI que sur sSOI. Les gains en mobilité calculés pour ces deux configurations ainsi que le gain obtenu d'après la Figure II.21 sont résumés Figure II.24.

- ✓ Le gain en mobilité apporté par le CESL compressif est faible sur les transistors longs ($L > 1\mu\text{m}$).
- ✓ Le gain est maximal (+65 % à +80 %) pour des grilles de 100 nm.
- ✓ Le gain en mobilité diminue pour les transistors courts : +23 % à $L=18\text{ nm}$.
- ✓ L'effet du CESL compressif sur la mobilité des trous est similaire en présence d'autres procédés contraints tels que l'utilisation de substrat sSOI ou des S/D SiGe:B.

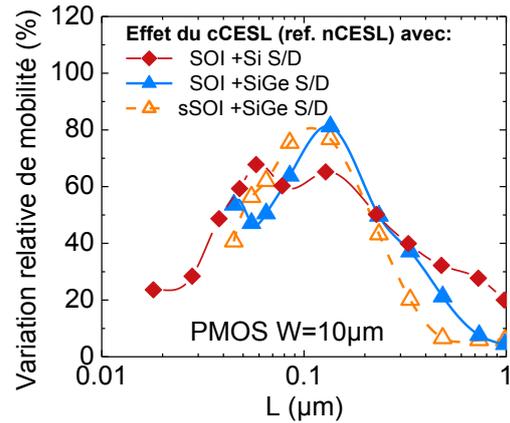


Figure II.24: Variation relative de la mobilité des trous grâce à un CESL compressif combiné ou non à un substrat contraint en tension (sSOI) ou des S/D SiGe.

En résumé, nous avons montré que la modification de la contrainte intrinsèque du CESL permettait d'augmenter les performances des MOSFET isolés sur SOI.

- ✓ Sur les pFET, un CESL compressif (-3 GPa, 40 nm) apporte un gain de 22 à 29 % sur le courant I_{ON} en présence de S/D SiGe. Ce CESL améliore la mobilité des trous de 23%.
- ✓ Sur les nFET, un CESL tensile (+1.6 GPa, 40 nm) permet d'augmenter le courant I_{ON} de 8 % tout en apportant un gain de 20 % en mobilité pour une orientation $\langle 100 \rangle$. Pour une orientation $\langle 110 \rangle$, le gain en mobilité est de 10 %. Ce comportement a été vérifié par un modèle analytique pour des longueurs de grille de l'ordre de 20 nm.

Bien que l'efficacité des CESL contraints augmente pour les transistors courts, cette technique souffre d'un inconvénient majeur puisqu'elle perd une grande partie de son intérêt avec la miniaturisation (Figure II.25). D'autres solutions, en complément ou en remplacement des CESL, doivent donc être intégrées.

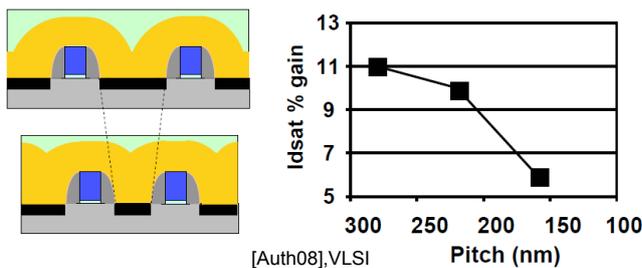


Figure II.25: Diminution du gain en courant avec la diminution de l'espace entre les grilles avec un CESL tensile [Kuhn09]

Dans le paragraphe suivant, nous verrons une technique basée également sur le dépôt de couches contraintes de nitrure sur la grille mais dont le principe de fonctionnement reste différent.

II.4. Influence des substrats sSOI sur les performances

L'ingénierie du substrat est une autre voie permettant de contraindre le canal à l'échelle de la plaque. Les avantages de cette approche sont d'être compatible avec l'ajout de contraintes localisées et de moins dépendre des dimensions des transistors. Les substrats contraints en tension appelés sSOI (*strained Silicon-On-Insulator*) sont parfois appelés SSDOI (*Strained Silicon Directly On Insulator*) par opposition à certaines études où le silicium est en tension sur une couche de SiGe relaxée. Les principales étapes de fabrication des substrats sSOI sont les suivantes [Ghyselen04]:

- épitaxie de silicium sur un substrat de SiGe relaxé. Généralement le SiGe a une concentration de germanium de 20 %. La maille du silicium épitaxié est étirée pour s'ajuster sur celle du SiGe relaxé qui est plus grande. Le silicium est donc en tension biaxiale ($\epsilon=0.75\%$).

- dépôt de SiO₂ pour préparer l'interface de collage oxyde/oxyde.
- report du silicium contraint par procédé Smart-Cut™ sur un nouveau substrat avec de l'oxyde sur silicium.

- retrait du SiGe restant, nettoyage et amincissement du SOI.

Certains substrats contraints ont été démontrés à partir d'un substrat virtuel en Si_{0.7}Ge_{0.3} ($\epsilon=1.14\%$) et Si_{0.7}Ge_{0.4}, la déformation est alors plus importante [Akatsu06] [Andrieu07v][Baudot10] mais au-delà de 45% de germanium ($\epsilon\approx 2\%$), l'ajout de contrainte apporte peu de gain supplémentaire sur la mobilité des électrons. Par contre, la mobilité des trous continue d'être améliorée [Rim03]. Dans les paragraphes suivants, nous allons voir les performances et les gains des transistors nMOS et pMOS reportés dans la littérature puis sur nos dispositifs sur des substrats sSOI fabriqués à partir de couche de SiGe 20 %.

II.4.1. Performances des nFET sur sSOI

Les premiers résultats de l'intégration de MOSFET sur sSOI ($L\approx 60$ nm) mettent déjà en avant l'intérêt de ces substrats pour améliorer la mobilité des électrons d'un facteur 2 alors que la mobilité des trous est légèrement dégradée à fort champ [Rim03]. Pour des nFET courts et larges la contrainte tensile du sSOI augmente le courant de 16 % et le gain en mobilité sur les transistors long est de 90 % [Andrieu06]. L'avantage des substrats sSOI est conservé en diminuant l'épaisseur de film jusqu'à 2.5 nm (+40 % I_{ON} , $L=18$ nm) [Barral07]. Plus récemment [Khakifirooz12], un gain en courant de 27 % a été obtenu pour des longueurs de grille de 22 nm.

Afin d'évaluer l'efficacité du sSOI sur des grilles jusqu'à une longueur de grille minimale de 14 nm, nous avons fabriqué des nFET orientés suivant la direction $\langle 110 \rangle$ sur BOX épais et avec une épaisseur de silicium sous la grille de 6.5 nm (§II.2). Un CESL neutre (nCESL) n'induisant pas de contrainte a été déposé sur les grilles.

La Figure II.26 montre que la contrainte en tension du sSOI améliore le compromis I_{ON} - I_{OFF} de 10 %. Une des particularités du sSOI est d'abaisser la tension de seuil des nFET. Un écart de la tension de seuil constant de -90 mV est obtenu sur nos transistors sur sSOI par rapport au SOI (Figure II.27).

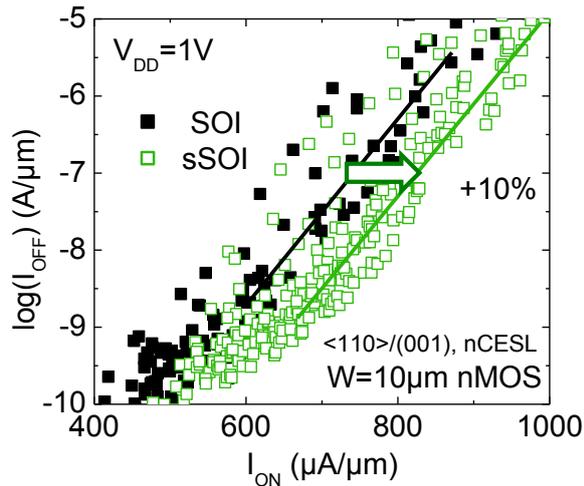


Figure II.26: Compromis I_{ON} - I_{OFF} des nFET ($L_{nom}=35$ nm, $W=10$ µm) sur SOI et sSOI.

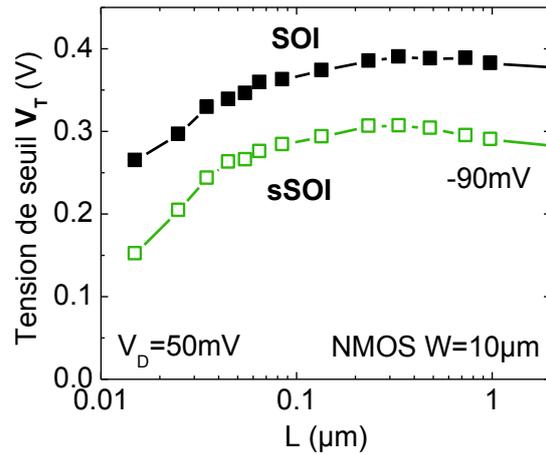


Figure II.27: Tension de seuil en fonction de la longueur de grille de nFET sur SOI et sSOI.

Pour dé-corréler l'effet de la diminution de la tension de seuil de l'amélioration du transport dans le sSOI par rapport au SOI, nous avons extrait la mobilité dans les transistors.

La mesure de mobilité par la méthode split-CV a été faite sur des nFET longs et larges (Figure II.28). Le sSOI apporte un gain de 90 % environ sur la mobilité des électrons à fort champ (1MV/cm).

Afin d'évaluer l'effet des substrats sSOI sur les performances des nFET pour différentes longueurs de grille, la mobilité à faible champ a été extraite par la méthode de la fonction Y (Figure II.29).

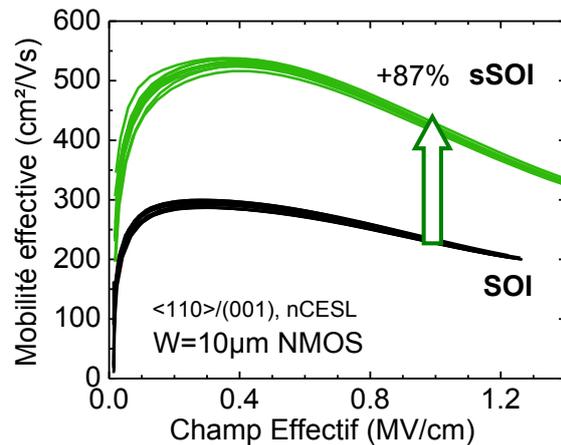


Figure II.28: Mobilité effective des électrons en fonction du champ effectif pour des nFET longs et larges ($L=10$ µm, $W=10$ µm).

Aussi bien sur SOI que sur sSOI, la mobilité est maximale sur les nFET longs et celle-ci décroît lorsque la longueur de grille diminue (Figure II.29). Cette chute de mobilité est généralement attribuée à la présence de défauts neutre [Andrieu07m], des charges dans les source/drain [Fischetti00] ou à un transport balistique [Barral07]. Cependant, les transistors sur sSOI présentent une mobilité nettement supérieure par rapport à ceux sur SOI. Un gain significatif (Figure II.30) est obtenu grâce au substrat contraint sSOI mais ce gain décroît avec la longueur de grille. La diminution du gain en mobilité du sSOI peut s'expliquer en partie par un effet de dimensions. En diminuant la longueur de la zone active (de $LAC \approx 1.4$ µm à $LAC \approx 0.5$ µm) la contrainte du sSOI se relâche par effet de bord (voir simulations §IV.1). Cet effet a déjà été mis en évidence pour des grilles de largeur variable [Augendre05] [Andrieu06] [Irisawa06] [Baudot09j]. L'importance des interactions de Coulomb ainsi que l'augmentation du caractère balistique du transport à ces dimensions [Barral07] sont une autre hypothèse pouvant expliquer cette perte de gain.

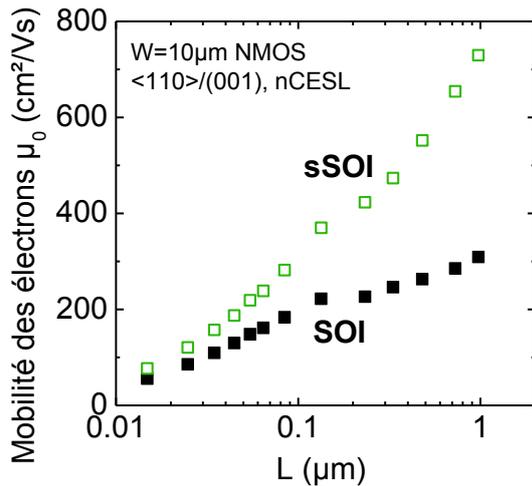


Figure II.29: Mobilité des électrons à faible champ en fonction de la longueur de grille pour des nFET larges ($W=10\mu\text{m}$) sur SOI ou sSOI.

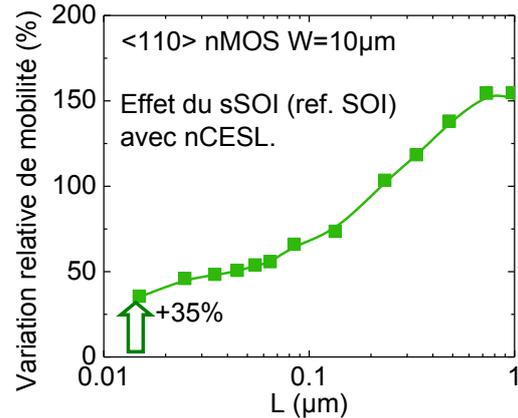


Figure II.30: Gain en mobilité apporté par les substrats sSOI par rapport au SOI en fonction de la longueur de grille pour des nFET larges ($W=10\mu\text{m}$). La grille la plus courte est de 14 nm.

- ✓ Cependant, même sur les transistors les plus courts ($L=14\text{ nm}$), nous montrons que la mobilité des électrons est améliorée de 35 % grâce à la contrainte en tension dans le sSOI.

Ainsi, à partir d'une contrainte globale, le sSOI permet d'améliorer les performances des nFET. La réduction des dimensions affecte l'efficacité de ce type de substrat mais nous avons démontré un gain en mobilité pour des transistors de 14 nm. La contrainte tensile est apportée à l'échelle de la plaque, sans ajout de procédés particuliers, cette contrainte influence donc également le transport dans les pFET. Ce point est l'objet du paragraphe suivant.

II.4.2. Performances des pFET sur sSOI

La mobilité des trous (avec un transport selon la direction $\langle 110 \rangle$), est dégradée par une contrainte tensile longitudinale. Cependant, comme le montre le signe des coefficients piezorésistifs (§II.1.3), une contrainte transverse en tension est bénéfique pour le transport. Ainsi, la contrainte biaxiale en tension du sSOI dégrade peu, voire pas du tout, le courant de drain des pFET [Rim03] [Thean05] [Yin06] [Barral07] [Andrieu07v].

On peut noter qu'un substrat extrêmement contraint (XsSOI) avec une concentration de SiGe à partir de 30 % pour le substrat virtuel [Rim03], permet même d'améliorer les performances des pFET (+8 % I_{ON} à $L=35\text{ nm}$) [Andrieu07v].

Afin d'évaluer l'influence du substrat sSOI sur les pFET contraints, nous avons intégrés des transistors *gate-first* sur des substrats SOI ou sur des substrats sSOI (équivalent en Ge 20%) avec un BOX épais (§II.2). Des S/D en $\text{Si}_{0.7}\text{Ge}_{0.3}\text{:B}$ (noté SiGe) ainsi qu'un CESL compressif (cCESL) ont également été intégrés.

Sur sSOI, le compromis I_{ON} - I_{OFF} montre un gain en courant de 40 % avec des S/D en SiGe et un cCESL par rapport à des S/D en Si et un CESL neutre (Figure II.31). Cela démontre la compatibilité de ces procédés sur sSOI. Cependant, sur les pFET contraints (S/D

SiGe et cCESL), un substrat sSOI dégrade le courant de drain de 14 % par rapport à un substrat SOI. Cela est dû à deux facteurs :

- La contrainte longitudinale tensile du sSOI n'est pas favorable au transport des trous
- L'épitaxie des S/D en $\text{Si}_{0.7}\text{Ge}_{0.3}$ engendre plus de contrainte sur SOI ($\epsilon_{\text{SiGe}}=-1.1\%$) que sur sSOI ($\epsilon_{\text{SiGe}}=-0.4\%$) grâce à une différence de paramètre de maille plus importante (Figure II.32). En effet, le sSOI étant fabriqué à partir de $\text{Si}_{0.8}\text{Ge}_{0.2}$ son paramètre de maille se rapproche plus de celui du $\text{Si}_{0.7}\text{Ge}_{0.3}$. Ainsi, le sSOI réduit l'efficacité des S/D SiGe.

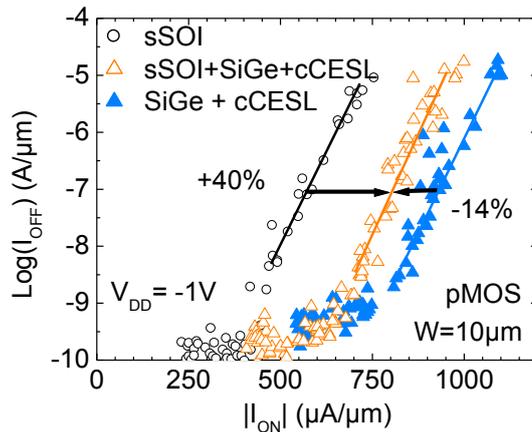


Figure II.31: Compromis $I_{\text{ON}}-I_{\text{OFF}}$ de pFET sur SOI et sur sSOI avec des S/D SiGe et un CESL compressif.

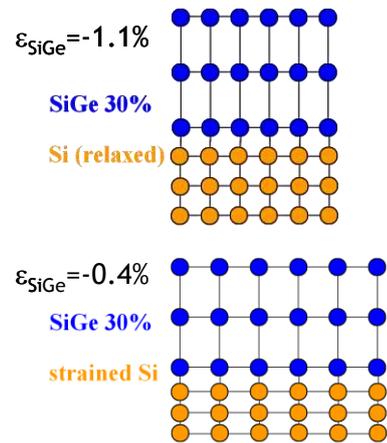


Figure II.32: Schéma représentant le paramètre de maille du SiGe 30% sur SOI (en haut) et sur sSOI (en bas) ainsi que la contrainte théorique dans les S/D.

On peut remarquer que cette dégradation est indépendante du type de CESL utilisé (compressif ou neutre) (Figure II.22).

Cette diminution de courant est confirmée par l'extraction de la mobilité à faible champ (Figure II.23). La mobilité des trous est plus importante sur SOI que sur sSOI.

La mobilité effective a été extraite par split-CV sur des transistors larges ou étroits. Sur les transistors étroits la mobilité des électrons et des trous est plus faible que sur les transistors larges (Figure II.33). Cette dégradation, observée aussi bien sur SOI que sur sSOI, s'explique par une contrainte compressive transverse induite par le STI (§II.6). Cette différence de mobilité est plus importante sur sSOI à cause de la relaxation de la contrainte dans le sens de la largeur (W).

On remarquera ici que pour des grilles longues ($L > 1\mu\text{m}$) et larges et en accord avec ce qui a été observé Figure II.23, la mobilité des trous à faible champ est améliorée sur sSOI (Figure II.33).

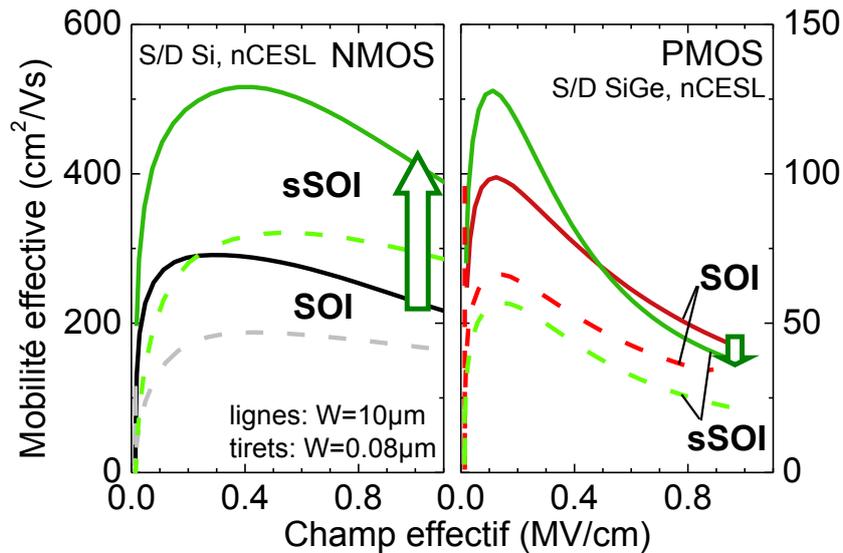


Figure II.33: Mobilité effective des électrons (à gauche) et des trous (à droite) en fonction du champ effectif sur SOI et sur sSOI pour des transistors larges ($W=10\ \mu\text{m}$) et étroits ($W=0.08\ \mu\text{m}$) de $10\ \mu\text{m}$ de long.

En résumé, sur les transistors étroits, la contrainte biaxiale tend vers une contrainte uniaxiale longitudinale à cause des effets de relaxation. Malgré ce phénomène les substrats sSOI influence toujours le transport. Sur les transistors larges, nous avons mis en évidence plusieurs conclusions :

- ✓ le principal avantage du sSOI est d'améliorer les performances des nFET. Le courant de saturation augmente de 10 % grâce à une augmentation de la mobilité des électrons à faible champ de 50 % ($L=35\ \text{nm}$).
- ✓ un gain en mobilité de 35 % est conservé pour des nFET d'une longueur de 14 nm sur sSOI et par rapport au SOI.
- ✓ sur les pFET, l'utilisation d'un substrat sSOI est compatible avec des S/D SiGe:B et un CESL compressif. Un gain de 40 % sur le courant est ainsi obtenu (par rapport à des S/D Si et un CESL neutre sur sSOI).
- ✓ Cependant, à cause d'une moins bonne mobilité des trous sur sSOI due à la contrainte longitudinale tensile et de la moins bonne efficacité des S/D SiGe:B, le sSOI réduit les performances des pFET (-14 % I_{ON}).

II.5. Performances des pFET avec des S/D en SiGe

L'utilisation de source/drain (S/D) en SiGe permet d'augmenter la mobilité des trous grâce à une forte contrainte compressive suivant la direction du canal (longitudinal). L'intérêt pour ce type de procédé (S/D SiGe 17 %) a été relancé par Intel pour leur technologie 90 nm ($L=50$ nm) sur silicium massif où un gain de mobilité de 50 % permet d'augmenter le courant de saturation de 25 % sur les pFET [Thompson02] [Ghani03]. Sur silicium massif, l'efficacité des S/D en SiGe est améliorée en augmentant la profondeur de la gravure des régions S/D (*recess*) avant l'épitaxie [Eneman05v] [Eneman06] [Mayuzumi07] [Mitard12]. Cette optimisation est très limitée sur SOI puisque l'épaisseur de la couche de silicium est limitée par le BOX. Afin que l'épitaxie de SiGe soit possible, une épaisseur minimale de quelques nanomètres de silicium doit être conservée. Cependant le profil des S/D surélevés (RSD : *Raised Source/Drain*) joue sur le transfert de contrainte dans le canal. Des S/D avec facettes sont plus efficaces que des S/D verticaux [Cheng09a]. L'autre avantage d'utiliser du SiGe à la place du Si dans les S/D est de réduire les résistances d'accès de près de 30 % [LeRoyer11].

Nous allons d'abord voir les résultats électriques obtenu sur SOI avec des S/D SiGe puis nous aborderons les développements qui ont été réalisés afin d'estimer la contrainte maximale engendrée par des S/D enterrés.

II.5.1. Résultats électriques

Nous avons fabriqué des pFET en *gate-first* et sur BOX mince suivant l'intégration présentée §II.2 afin d'évaluer l'influence des S/D en SiGe sur les performances. Les régions des S/D sont légèrement gravées (quelques nanomètres) lors de la gravure de l'espaceur puis lors du nettoyage au HF. Ensuite, l'épaisseur des régions S/D est augmentée de 18 nm par une épitaxie sélective de SiGe. La concentration de germanium est de 30 % et le SiGe est dopé *in situ* par du bore ($2 \cdot 10^{20} \text{ cm}^{-3}$). Ces transistors (SiGe) ont été comparés à des pFET avec des S/D en silicium (Si) de même épaisseur et selon la direction classique $\langle 110 \rangle$.

Le compromis I_{ON} - I_{OFF} de ces pFET (Figure II.34) montre que le courant de drain est amélioré d'environ 15 % avec des S/D SiGe:B par rapport au S/D Si. On peut noter que cette comparaison ne se fait pas à la même longueur de grille physique. En effet, la longueur effective est plus courte avec les S/D SiGe à cause d'une plus grande diffusion des dopants. Afin de dissocier l'impact de l'électrostatique et du transport, nous avons mesuré la résistance totale (R_{TOT}) en fonction de l'inverse du DIBL (Figure II.35). La résistance totale est définie comme étant V_{dlin}/I_{dlin} . Pour un contrôle électrostatique donné la résistance totale, c'est-à-dire la somme de la résistance du canal et des résistances séries, est améliorée avec les S/D en SiGe. Ainsi, un gain de 15 % est obtenu à un DIBL de 100 mV/V. Pour chaque configuration les transistors les plus longs (longueur sur masque $L_m=100$ nm) ont le DIBL le plus faible. Cependant, on peut remarquer qu'avec des S/D en SiGe le DIBL minimal (50 mV/V) est plus élevé que le DIBL minimal avec des S/D en Si (25 mV/V) ce qui est significatif d'une longueur effective plus petite.

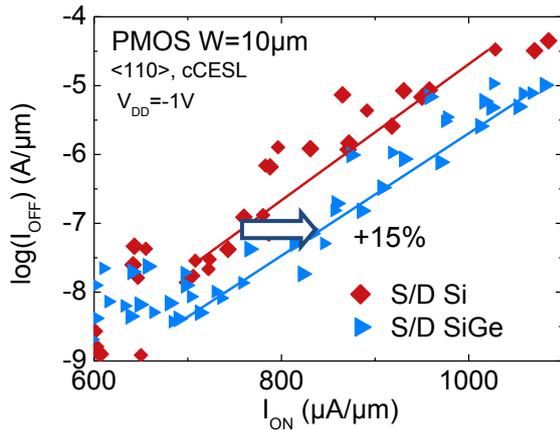


Figure II.34: Compromis I_{ON} - I_{OFF} de pFET ($L_{nom}=35nm$, $W=10\mu m$) sur SOI avec des S/D en Si ou SiGe:B et un CESL compressif.

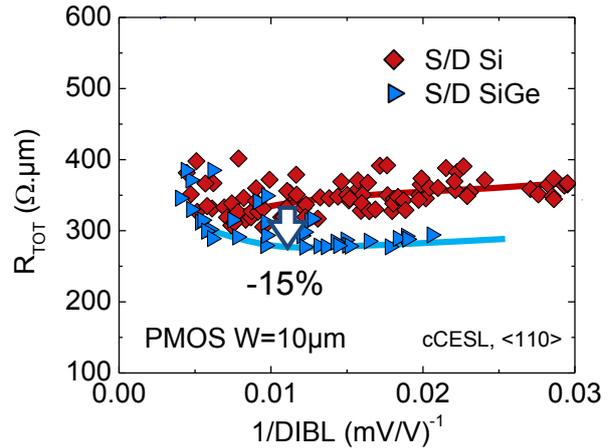


Figure II.35: R_{TOT} en fonction de $1/DIBL$ pour des pFET selon $\langle 110 \rangle$ avec des S/D en Si ou SiGe:B ($L_m < 100 nm$) ($V_G - V_T = -0.8V$).

Afin de mieux comprendre cette tendance, la valeur des résistances d'accès (R_{SD}) ainsi que la mobilité à faible champ ont été extraites par la technique de la fonction Y. La Figure II.36 montre les valeurs de θ_1 en fonction de β obtenues avec cette méthode. La pente permet d'extraire les résistances d'accès (§II.1.1.b). On voit que les S/D SiGe permettent d'atteindre une résistance de l'ordre de $100 \Omega \cdot \mu m$ ce qui est 60 % plus faible qu'avec des S/D en silicium. Une partie de l'amélioration du courant s'explique par cette différence de résistance. Dans la suite, l'extraction de la mobilité à faible champ permet de s'affranchir des résistances d'accès.

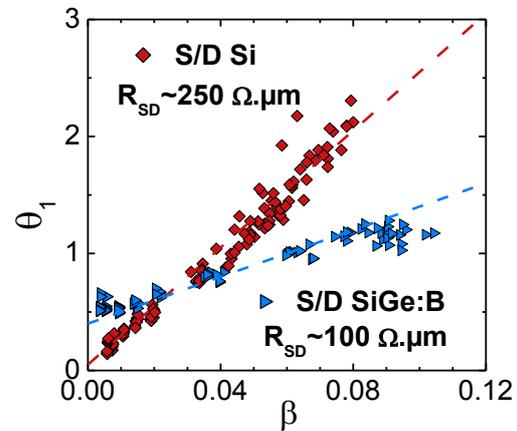


Figure II.36: Résistances d'accès (R_{SD}) extraite d'après la pente de $\theta(\beta)$ pour des S/D Si et SiGe:B.

La mobilité des trous est tracée en fonction de la longueur physique des transistors (L). Avec des S/D en silicium, la longueur effective peut être assimilée à la longueur physique. Avec des S/D en SiGe, cette approximation peut être faite pour des transistors longs ($L > 200 nm$) mais cette zone de validité ne présente que peu d'intérêt puisque les S/D ont surtout de l'influence sur les transistors courts. Pour les petites longueurs de grille l'erreur est trop grande à cause d'une diffusion trop importante des dopants sur ces plaques. Afin de comparer ces deux configurations correctement, il faudrait extraire précisément la longueur effective des dispositifs. L'autre solution retenue est de tracer la mobilité en fonction de l'électrostatique. Le DIBL est un effet de canal court qui reflète la longueur effective du transistor : plus le canal est court est plus le DIBL est important. Ainsi l'amélioration de la mobilité avec les S/D SiGe:B par rapport au S/D en silicium apparaît plus clairement. A un DIBL fixé et pour une longueur de grille connue, la mobilité des trous avec les S/D SiGe est reportée Figure II.34 (« S/D SiGe corrigé »). Ainsi, pour une longueur effective proche de

18 nm et à un contrôle électrostatique donné, les S/D SiGe apportent un gain sur la mobilité des trous de 97 % (Figure II.37 Figure II.38).

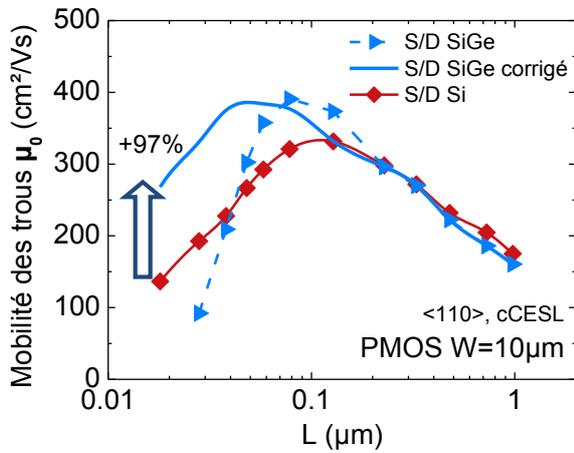


Figure II.37: Mobilité des trous à faible champ en fonction de la longueur de grille physique pour des pFET avec des S/D en Si ou SiGe:B et avec un CESL compressif. La ligne continue représente la mobilité avec des S/D SiGe pour un L corrigé afin d'avoir un contrôle électrostatique identique au S/D Si.

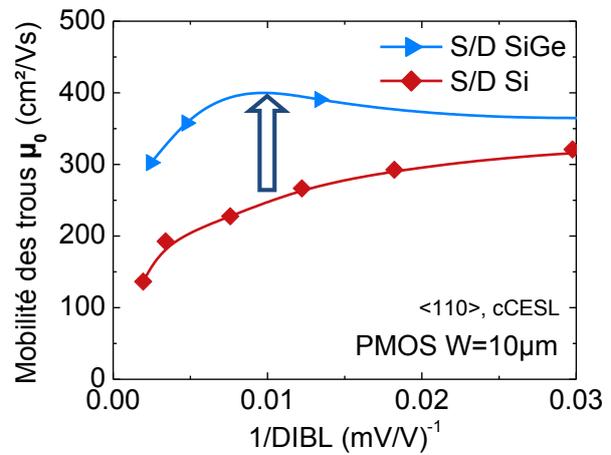


Figure II.38: Mobilité des trous à faible champ en fonction du DIBL pour des pFET avec des S/D en Si ou SiGe:B et avec un CESL compressif.

La diminution de la longueur de grille permet d'augmenter l'effet des S/D en SiGe sur la contrainte du canal [Madan08] [Morvan12b] mais encore une fois, c'est la réduction de l'espace entre les grilles qui limite l'efficacité de ce type de procédé sur les motifs denses (Figure II.39).

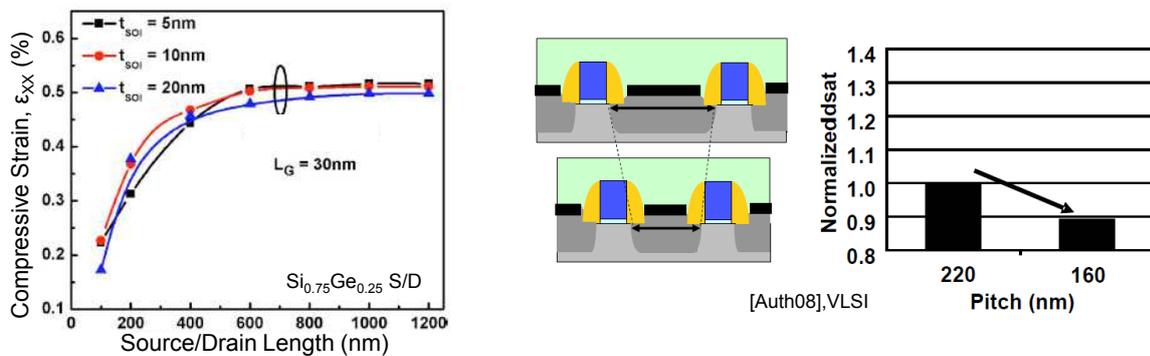


Figure II.39: Diminution de la contrainte dans le canal [Madan08] et du gain en courant [Kuhn09] avec la diminution de l'espace entre les grilles avec des S/D en SiGe

II.5.2. Résultats morphologiques S/D SiGe profonds

Plus que l'épaisseur de SiGe dans les régions source/drain, la profondeur de l'épitaxie des S/D est un paramètre clé permettant d'augmenter la contrainte induite dans le canal [Mitard12]. Contrairement au silicium massif, le SOI ne peut être aminci que de quelques nanomètres avant l'épitaxie. Cependant, nous avons développé une intégration afin d'estimer

le gain maximal possible pour des pFET avec des S/D profonds en SiGe. Les principales étapes de fabrication sont les suivantes (Figure II.40) :

- Une implantation du plan de masse de type N est réalisée à travers un BOX ultra mince (10 nm)
- L'empilement de grille est déposé (PolySi/TiN/HfSiON). Pour cette intégration, la présence d'un masque dur (MD) en nitrure au sommet de la grille est indispensable. Sans ce masque dur, le sommet de la grille en polysilicium est découvert. Bien que l'épitaxie de S/D en silicium à l'aide de procédés basés sur des cycles de dépôt/gravure soit satisfaisante, l'épitaxie de SiGe:B reste problématique. Un champignon se forme au sommet des grilles non protégées [Hartmann12].
- La grille et l'espaceur sont gravés comme pour une intégration normale (II.2) mais ensuite le SOI et le BOX sont gravés dans les régions S/D jusqu'au substrat. La grille sert de masque à la gravure. Afin d'assurer une bonne reprise de l'épitaxie sur le substrat, celui-ci est surgravé d'environ 10 nm.
- Les S/D en $\text{Si}_{0.7}\text{Ge}_{0.3}\text{:B}$ sont formés par épitaxie (40 nm) depuis le substrat en silicium. L'implantation de type N a pour but d'éviter qu'un canal de conduction ne se forme sous le BOX (anti perçage). Elle limite aussi les fuites de courant des S/D dans le substrat.

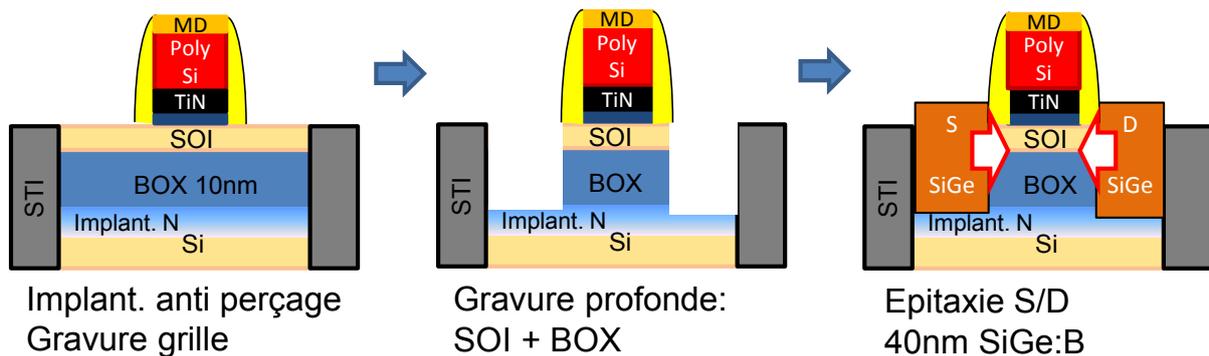


Figure II.40: Schéma d'intégration simplifié d'une architecture pFET sur SOI avec des S/D profonds en SiGe:B.

Bien que la consommation de l'espaceur lors de la gravure ait été prise en compte (par un espaceur plus épais), la principale difficulté est de conserver assez de masque dur et d'espaceur pour protéger le sommet de la grille lors de l'épitaxie. Après plusieurs essais, nous sommes arrivés à un résultat morphologique prometteur (Figure II.41).

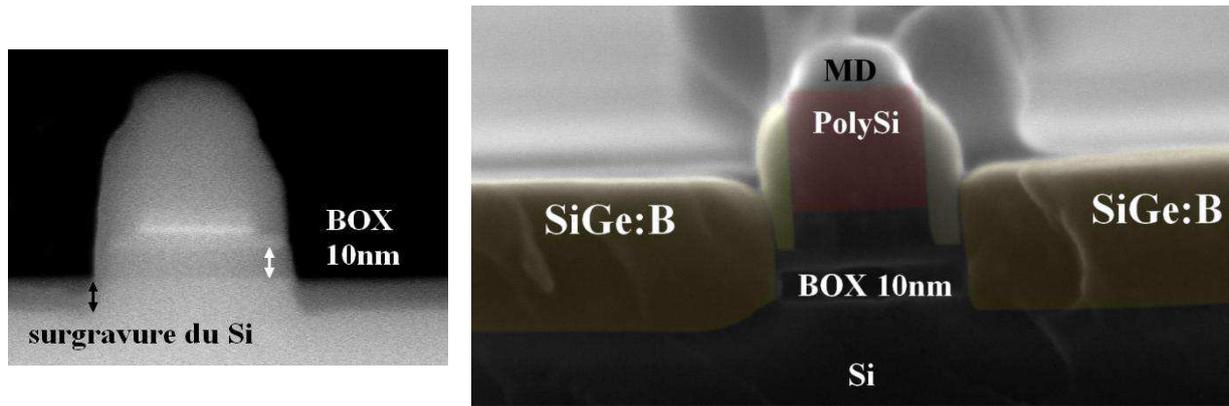


Figure II.41: Images MEB en coupe de la grille après la gravure profonde des zones de S/D (à gauche) et après épitaxie de 40 nm de SiGe:B (à droite, fausses couleurs).

Les résultats électriques de cette étude devraient permettre d'évaluer la contrainte compressive maximale pouvant être atteinte par des S/D profonds en $\text{Si}_{0.7}\text{Ge}_{0.3}\text{:B}$ par rapport aux S/D sur SOI.

II.6. Effets de contrainte induits par le STI

Sauf exceptions, l'isolation électrique des zones actives est réalisée par des tranchées profondes (de quelques dizaines à quelques centaines de nanomètres) remplies de diélectrique (STI : *Shallow Trench Isolation*). Bien que cela ne soit pas intentionnel, cette étape induit des contraintes dans la zone active et donc dans le canal de conduction des transistors. Ainsi il a été démontré que le STI dégrade les performances de nFET et des pFET [Scott99] [Bianchi02]. Les performances des dispositifs contraints de cette manière dépendent fortement des dimensions de la zone active. Ainsi la contrainte compressive induite par le STI peut parfois être un avantage pour les pFET mais toujours au détriment des nFET [Chan03] [Gallon04]. Différentes études ont donc été menées afin de réduire la contrainte induite par le STI, soit en appliquant une couche intermédiaire entre la zone active et le STI [En01], soit en changeant le type de matériau utilisé [LeCam06]. Malgré le dépôt d'une épaisse couche de SiN au-dessus des zones actives (utilisée comme couche d'arrêt à la CMP mais aussi pour rigidifier la structure lors de l'isolation), une contrainte compressive de plusieurs centaines de MPa est mesurée dans les zones actives [Liao09].

Lors de nos études sur les différents procédés induisant intentionnellement de la contrainte dans le canal, nos résultats électriques mettent en évidence l'existence d'une contrainte compressive longitudinale et transverse. Ces effets sont surtout visibles sur les plaques de référence considérées initialement comme étant non contraintes. Nous allons donc illustrer ces résultats en nous focalisant sur des nFET puis pFET sur SOI avec des S/D en silicium et un CESL neutre. La surface est orientée selon (001) et le transport se fait selon la direction $\langle 110 \rangle$ classique ou bien selon $\langle 100 \rangle$ sur des substrats tournés à 45° .

Nous avons mesuré la mobilité des électrons à faible champ sur des nFET larges ($W=10\ \mu\text{m}$) pour deux orientations différentes. Sur les transistors longs ($L=10\ \mu\text{m}$) la mobilité est identique entre des transistors classiques et des transistors tournés. Par contre

pour des transistors plus courts la mobilité des électrons est dégradée pour un transport selon $\langle 100 \rangle$ par rapport à $\langle 110 \rangle$. Cette différence de mobilité est particulièrement marquée pour des longueurs de grille entre $0.2 \mu\text{m}$ et $1 \mu\text{m}$ (Figure II.42). Une chute de mobilité de 28 % est observée à $L=0.34 \mu\text{m}$ comme illustrée par la diminution de 14 % sur le courant de saturation des nFET larges (Figure II.43).

De même, nous avons extrait la mobilité des électrons sur des transistors étroits ($W=0.4 \mu\text{m}$) et pour deux orientations (Figure II.42). La mobilité dans les transistors étroits varie par rapport à des transistors larges mais pas de la même façon suivant l'orientation :

- ✓ Pour une orientation $\langle 110 \rangle$, la mobilité diminue quand la largeur de grille diminue
- ✓ Pour une orientation $\langle 100 \rangle$, la mobilité augmente quand la largeur de grille diminue

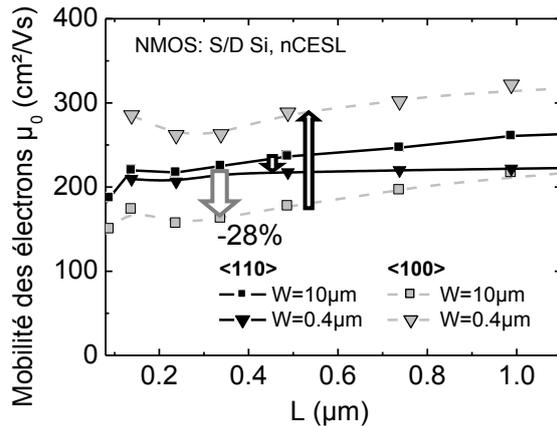


Figure II.42: Mobilité des électrons à faible champ en fonction de la longueur de grille pour des nFET larges ($W=10 \mu\text{m}$) et étroits ($W=0.4 \mu\text{m}$) sur SOI avec S/D Si et CESL neutre.

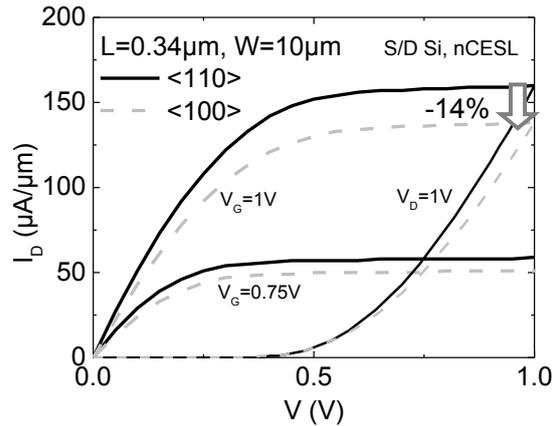


Figure II.43: $I_D(V_G)$ et $I_D(V_D)$ grille pour des nFET ($W=10 \mu\text{m}$, $L=0.34 \mu\text{m}$) sur SOI avec S/D Si et CESL neutre.

Sur les transistors larges et courts ($W=10 \mu\text{m}$, $L < 1 \mu\text{m}$), la contrainte transverse potentiellement induite par le STI est négligeable devant la contrainte longitudinale à cause du rapport W/L très grand. On peut aussi négliger l'influence de la contrainte transverse parce que l'effet de bord joue peu sur la valeur moyenne de la contrainte pour une largeur aussi grande que $10 \mu\text{m}$. Avec cette hypothèse, la dégradation de mobilité observée (pour $W=10 \mu\text{m}$) avec l'orientation $\langle 100 \rangle$ par rapport à $\langle 110 \rangle$ s'explique par une plus grande sensibilité à la contrainte à 45° ($|\pi_{L100}| > |\pi_{L110}|$) et une **contrainte longitudinale compressive**.

En diminuant la largeur de grille, la composante transverse de la contrainte n'est plus négligeable et modifie elle aussi la mobilité. Ainsi sur les nFET étroits ($W=0.4 \mu\text{m}$) les deux observations suivantes s'expliquent par **une contrainte transverse compressive**:

- suivant $\langle 110 \rangle$: chute de mobilité et $\pi_{T110} < 0$.
- suivant $\langle 100 \rangle$: augmentation de la mobilité et $\pi_{T110} > 0$

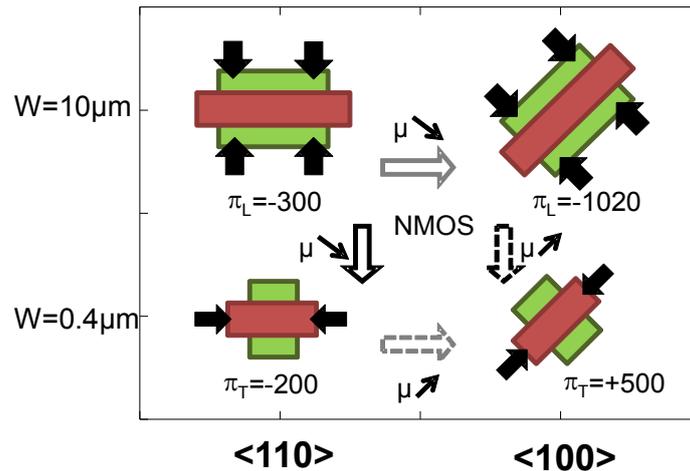


Figure II.44: Schéma des zones actives de nFET larges ($W=10\mu\text{m}$) et étroits ($W=0.4\mu\text{m}$). Les flèches noires représentent la contrainte compressive longitudinale ou transverse induite par le STI ainsi que les coefficients piézorésistifs associés ($10^{-12}.\text{Pa}^{-1}$) [Dorda71]. (une contrainte compressive associée à un coefficient négatif dégrade la mobilité)

De même, nous avons extrait la mobilité des porteurs sur les pFET larges ($W=10\mu\text{m}$) et courts ($W=0.4\mu\text{m}$) et pour différentes orientations (Figure II.45).

D'après le signe des coefficients piézorésistifs (Figure II.46), une contrainte longitudinale améliore la mobilité des trous pour un transport suivant la direction <110> tandis qu'elle la dégrade suivant <100>. Or, pour des pFET larges, la mobilité des trous est plus faible suivant l'orientation <100> que suivant l'orientation <110>. Avec les mêmes hypothèses que pour les nFET (c'est-à-dire que la contrainte transverse n'influence la mobilité que sur les transistors étroits), ceci met en évidence la présence **d'une contrainte longitudinale compressive** sur nos pFET.

Pour l'orientation standard, la mobilité est également plus faible sur les transistors étroits que sur les transistors larges. Ceci s'explique par le fait que l'ajout d'une **contrainte transverse compressive** dégrade la mobilité ($\pi_{T110} < 0$).

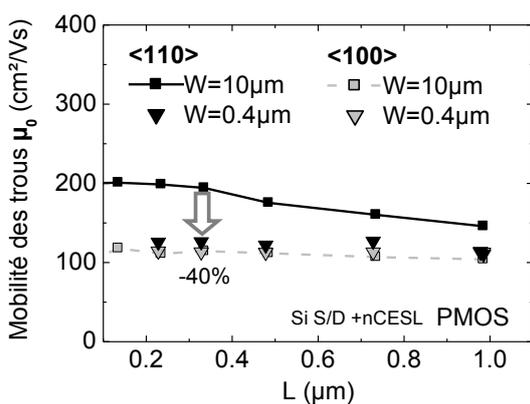


Figure II.45: Mobilité des trous à faible champ en fonction de la longueur de grille pour des pFET large ($W=10\mu\text{m}$) et étroits ($W=0.4\mu\text{m}$) sur SOI avec S/D Si et CESL neutre.

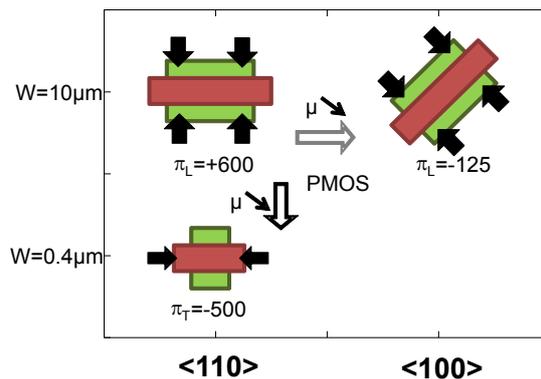


Figure II.46: Schéma des zones actives de pFET larges ($W=10\mu\text{m}$) et étroits ($W=0.4\mu\text{m}$). Les flèches noires représentent la contrainte compressive longitudinale ou transverse induite par le STI ainsi que les coefficients piézorésistifs associés ($10^{-12}.\text{Pa}^{-1}$) [Canali79].

Ces variations de mobilité ainsi que les valeurs des coefficients piézorésistifs montrent qu'en l'absence de contraintes intentionnelles il existe néanmoins une contrainte compressive exercée sur la zone active des transistors.

Afin d'identifier l'origine de cette contrainte, nous avons fabriqué des MOSFET sur BOX épais avec une orientation $\langle 110 \rangle$ et deux types d'isolation :

- L'isolation par des tranchées profondes (STI) remplies d'oxyde
- L'isolation mesa. Pour ce type d'isolation, le BOX n'est pas gravé et les zones actives sont isolées électriquement les unes des autres lors de leur gravure.

La mobilité à faible champ est extraite à l'aide de la méthode de la fonction Y. Quel que soit l'isolation, on retrouve la chute de mobilité observée précédemment en fonction de la longueur de grille. Cependant, la mobilité sur les pFET est améliorée (+55 % à $L \approx 0.3 \mu\text{m}$) tandis que la mobilité sur les nFET est dégradée (-18 % à $L \approx 0.3 \mu\text{m}$) avec une isolation STI par rapport à une isolation mesa (Figure II.47). Nous avons utilisé le modèle piézorésistif et montré que ces variations de mobilité sont consistantes avec une contrainte compressive (σ) de l'ordre de -600 MPa induite par le STI :

$$\mu_{\text{modele}} = \mu_{\text{exp}} (1 + \sigma_L \pi_{L\langle 110 \rangle}) \quad \text{Equation II.22}$$

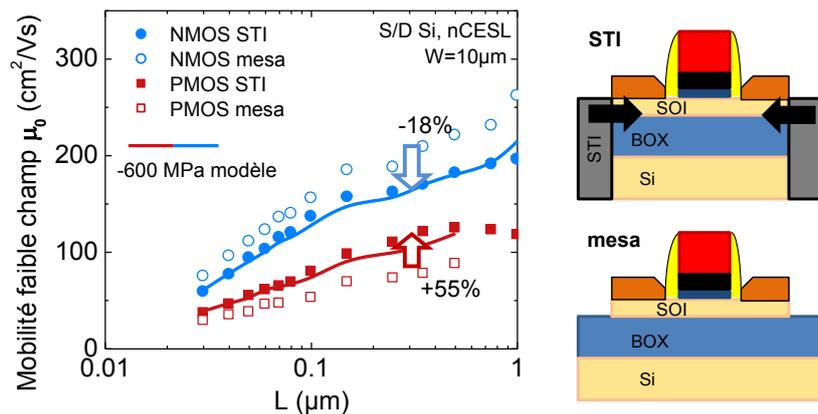


Figure II.47: Mobilité des porteurs à faible champ en fonction de la longueur de grille pour des nFET et des pFET avec une isolation de type mesa ou de type STI.

En résumé, grâce à l'analyse de la mobilité extraite pour différentes orientations ainsi que pour des zones actives de tailles variables nous avons montré plusieurs points dans ce paragraphe:

- ✓ il existe une contrainte mécanique non intentionnelle biaxiale et compressive de l'ordre de -600 MPa induite par le STI.
- ✓ Bien que cette contrainte soit avantageuse pour augmenter les performances des pFET larges ($W=10 \mu\text{m}$) selon $\langle 110 \rangle$, celle-ci dégrade systématiquement les performances des nFET. Le fait que cette contrainte soit biaxiale dégrade également les pFET étroits ($W < 0.4 \mu\text{m}$).

Pour les transistors comprenant des S/D, des CESL ou bien des substrats contraints la mobilité et les performances dépendent d'abord de ces procédés qui ont une action locale

donc plus efficace sur la contrainte du canal. Malgré cela, il est souhaitable que la contrainte du STI reste la plus faible possible puisqu'elle n'augmente pas la mobilité des porteurs dans la majorité des cas.

II.7. Co-intégration de différents procédés pour le CMOS

II.7.1. Co-intégration de procédés contraints pour les nFET et pFET et performances statiques

Dans les paragraphes précédents, nous avons abordé chaque procédé contraint séparément pour mieux comprendre leurs effets respectifs. Cependant plusieurs procédés doivent être intégrés sur un dispositif afin d'augmenter au maximum la contrainte et les performances.

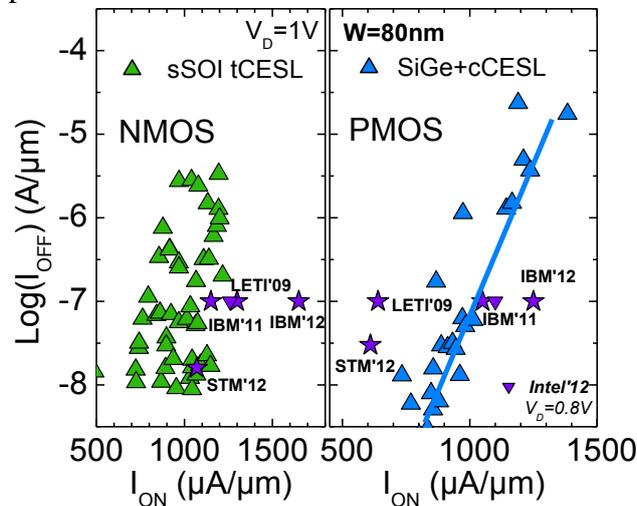


Figure II.48: Compromis I_{ON} - I_{OFF} de transistors FDSOI fortement contraints ($W=80\text{nm}$, $V_{DD}=1\text{V}$) ainsi que références [Andrieu09][Andrieu09] [Cheng11] [Khakifirooz12] [Planes12] [Auth12].

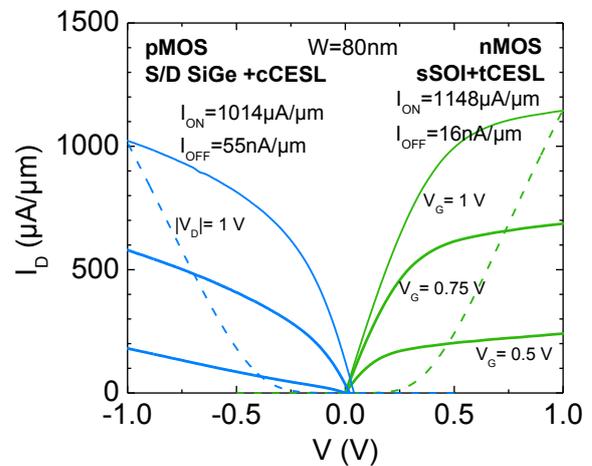


Figure II.49: Caractéristiques $I_D(V_D)$ et $I_D(V_G)$ d'un pFET et d'un nFET fortement contraints ($L= 35 - 45 \text{ nm}$).

Sur les nFET tout d'abord, nous avons obtenus les meilleurs performances en combinant un substrat contraint (sSOI) et d'un CESL tensile. Ainsi, grâce à la forte contrainte en tension obtenue dans le canal des nFET avec ces procédés, nous avons démontré un courant de drain de $1148 \mu\text{A}/\mu\text{m}$ (à $I_{OFF}=16\text{nA}/\mu\text{m}$ et $V_{DD}=1 \text{ V}$) comme démontré par le compromis I_{ON} - I_{OFF} Figure II.48 et les caractéristiques I-V Figure II.49. La Figure II.50 résume l'influence des procédés utilisés sur la mobilité des électrons en fonction de l'inverse du DIBL. Pour un contrôle électrostatique donné, la mobilité des électrons est augmentée de 50 % dans les nFET larges contraints (sSOI, tCESL) par rapport aux nFET non contraints (SOI, nCESL). La mobilité est fortement influencée par le sSOI (+40 %) et par le CESL tensile dans une moindre mesure (+20 %). Sans modifier l'intégration, des S/D en SiC pourraient également être rajoutés à ces procédés pour augmenter encore plus les performances.

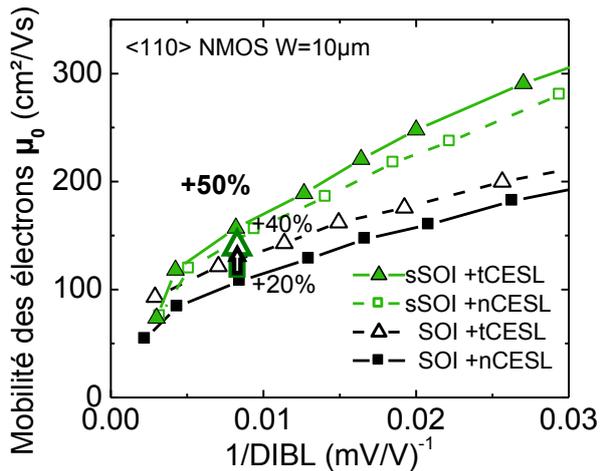


Figure II.50: Mobilité des électrons à faible champ en fonction de $1/\text{DIBL}$ pour des nFET avec un CESL tensile, sur sSOI ($W=10\mu\text{m}$, $L\approx 35\text{nm}$).

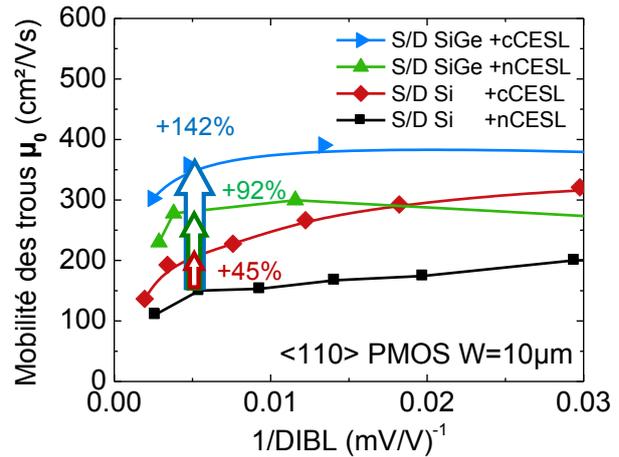


Figure II.51: Mobilité des trous à faible champ en fonction de $1/\text{DIBL}$ pour des pFET avec des S/D SiGe, un CESL compressif ($W=10\mu\text{m}$, $L\approx 25\text{nm}$).

Sur les pFET, l'effet compressif des S/D en SiGe:B et du CESL compressif se combinent pour améliorer les performances et atteindre un courant de $1014\mu\text{A}/\mu\text{m}$ (à $I_{\text{OFF}}=55\text{nA}/\mu\text{m}$ et $V_{\text{DD}}=-1\text{V}$) (Figure II.48, Figure II.49). La mobilité des trous en fonction de l'inverse du DIBL permet de comparer les gains apportés par chacun des procédés à un contrôle électrostatique donné. Ainsi, pour une longueur de grille de 25 nm, la mobilité des trous dans les pFET larges contraints (S/D SiGe, cCESL) est améliorée de 142 % par rapport à des pFET non contraints (S/D Si, nCESL). La majeure partie de ce gain est due aux S/D en $\text{Si}_{0.7}\text{Ge}_{0.3}\text{:B}$ (+92 %) tandis qu'un gain de 45 % est apporté par le CESL compressif (Figure II.51). Cela prouve l'additivité de ces deux procédés pour améliorer la mobilité des trous.

Sur les pFET, un canal en SiGe permet d'augmenter la mobilité des trous (§II.1.2.a). Ce canal peut par exemple être formé localement par condensation ce qui permet une optimisation des pFET sans dégrader les nFET. En revanche, il n'est pas possible d'obtenir des canaux contraints uniquement pour les nFET avec les substrats sSOI puisque la contrainte biaxiale en tension s'applique sur toute la plaque. Certes, l'utilisation de substrats sSOI dégrade les performances des pFET (-35 % μ_0 à $L=45\text{nm}$, Figure II.23) mais cet inconvénient pourrait être acceptable du point de vue d'une intégration CMOS car le gain apporté par le sSOI sur les nFET est important (+45% μ_0 à $L=45\text{nm}$, Figure II.29). Idéalement, cette contrainte en tension devrait être minimisée sur les pFET. Il est également important de noter que la nature du substrat (sSOI ou SiGe) diminue l'efficacité de la contrainte induite par l'épitaxie des S/D en SiGe à cause d'une différence de paramètre de maille plus faible.

L<20nm	sSOI	tCESL	cCESL	S/D SiGe
nFET	35%	10%		
pFET			23%	97%

Gain en mobilité satisfaisant
 Gain en mobilité non satisfaisant

Figure II.52: Résumé de l'intérêt des procédés contraints pour améliorer la mobilité dans les nFET et les pFET et gains en mobilité démontré sur SOI pour L<20 nm et une distance entre les contacts de 130 nm environ.

Les gains en courant (pour un courant I_{OFF} fixé à 100 nA/ μ m) ainsi que les gains en mobilité à faible champ pour un contrôle électrostatique donné (un DIBL entre 100 et 150 mV/V) obtenus à l'aide de différents procédés contraints sont reportés sur la Figure II.53 pour les nFET et pFET. Les longueurs de grilles correspondantes sont de 35 nm environ.

Sur les pFET, on voit que la meilleure configuration obtenue avec des S/D en SiGe et un CESL compressif (1) présente un gain en mobilité important qui se répercute sur le gain en courant. De même sur les nFET, l'effet du sSOI combiné à un CESL en tension (a) augmente la mobilité ce qui est lié à un gain en courant important. Ainsi, on observe une tendance similaire pour les différentes configurations : le gain en courant I_{ON} est proportionnel au gain en mobilité dans un rapport d'environ 0.4 ce qui justifie l'étude de la mobilité pour comparer les performances des dispositifs contraints.

Les configurations (5) et (8) ne suivent pas la tendance générale à cause d'une forte différence de longueur effective qui perturbe le calcul du gain en I_{ON} .

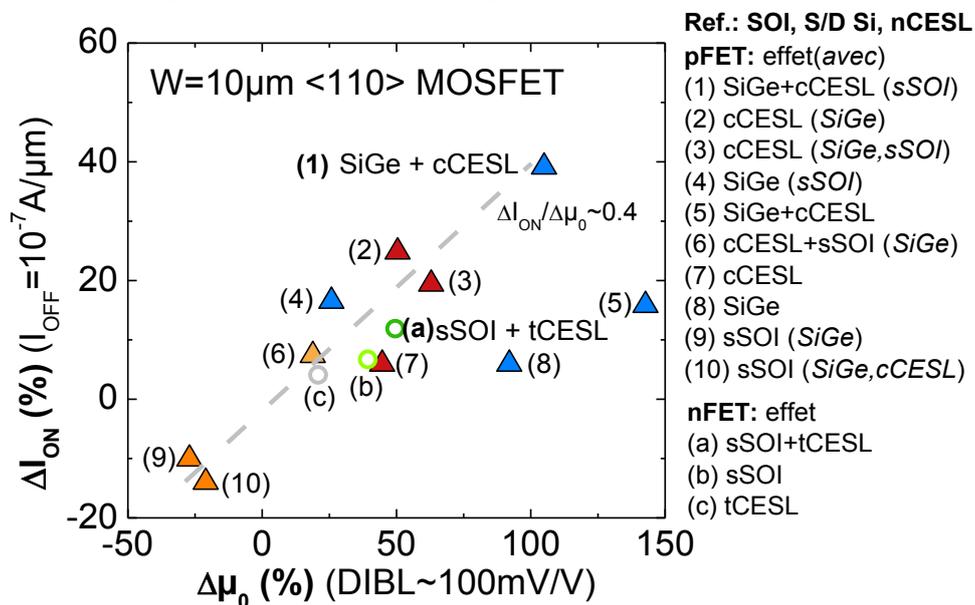


Figure II.53: Influence des procédés contraints sur le gain en I_{ON} et le gain en mobilité dans les nFET et pFET par rapport aux procédés non contraints de référence. Les procédés entre parenthèses sont communs à la référence et à la configuration considérée.

II.7.2. Mesures de contrainte dans le canal des pFET

Sur les pFET, les meilleures performances ont été obtenues avec des S/D SiGe et un CESL compressif (Figure II.48). Afin de vérifier la valeur de la contrainte compressive associée à ces procédés, nous avons mesuré la déformation suivant le sens du transport (*longitudinal strain*) par holographie électronique en champ sombre [Cooper10]. Les dispositifs sont fabriqués en *gate-first* sur BOX mince (25 nm) (§II.2) et la mesure est réalisée sur les dispositifs larges avec une longueur de grille de 60 nm et 28 nm après les étapes de *back-end* (Figure II.54).

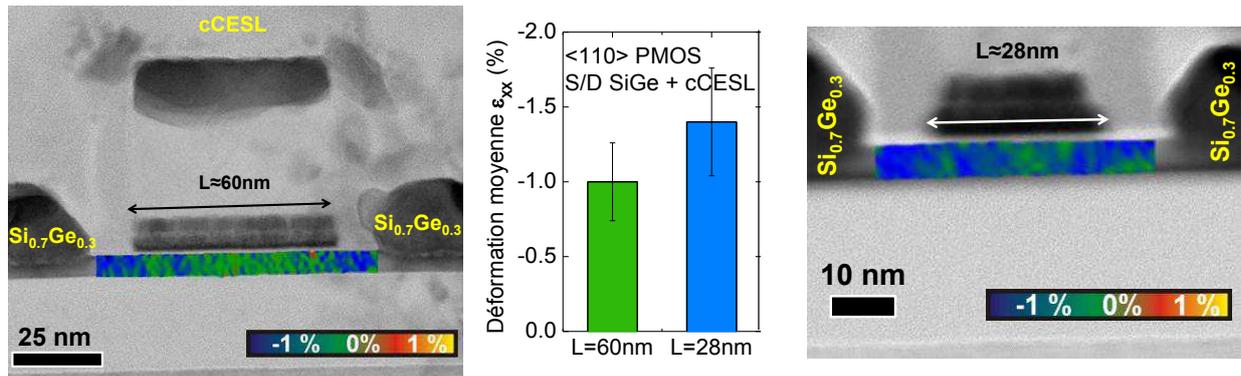


Figure II.54: Image TEM et champ de contrainte longitudinale dans le canal de pFET avec des S/D SiGe et un CESL compressif pour une longueur de grille de 60 nm (à gauche) et 28 nm (à droite) selon $\langle 110 \rangle$. La déformation compressive moyenne est extraite sous la grille (au milieu).

La déformation moyenne dans le canal en silicium sous la grille de 60 nm est de -1.0 % soit une contrainte compressive d'environ -1.7 GPa. La déformation augmente même sur une grille plus courte ($L=28$ nm) et atteint **-1.4 %**. Cela s'explique par le fait que les S/D SiGe:B et le CESL compressif sont plus efficaces sur des grilles plus courtes (II.5, II.3.2).

- ✓ Ce résultat montre que la contrainte est bien maintenue, et même augmentée, sur des transistors de 28 nm. La chute de mobilité avec la diminution de la longueur de grille observée sur les dispositifs contraints n'est pas associée à une diminution de la déformation du canal mais à d'autres phénomènes limitant le transport.

II.8. Influence de l'orientation sur le transport

Un autre moyen de modifier et donc d'optimiser le transport est de changer l'orientation cristalline du canal. On distingue pour cela deux paramètres : le plan du substrat (désigné par la normale au plan notée entre parenthèses) puis la direction du transport. Cette direction (désigné généralement entre $\langle \rangle$) correspond à l'axe cristallographique selon lequel les porteurs se déplacent entre la source et le drain.

Les trois orientations du substrat principalement étudiées sont (001), (110) ou (111) mais par défaut, une surface (001) est utilisée avec une direction du canal suivant $\langle 110 \rangle$ (Figure II.55).

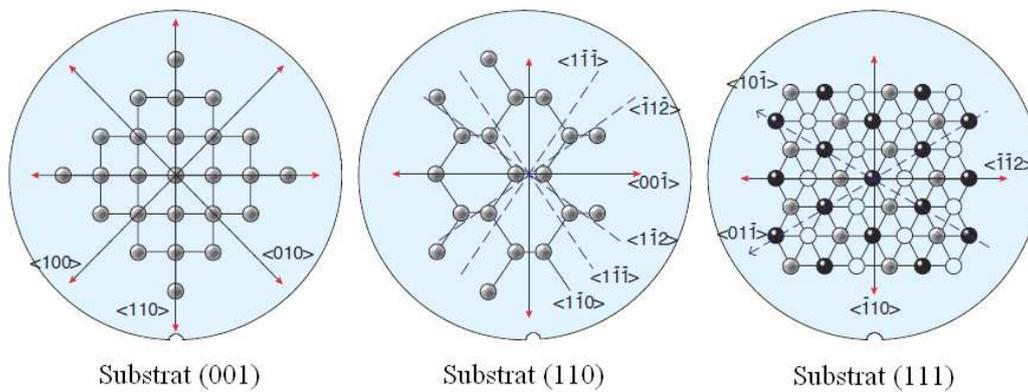


Figure II.55: Schéma des différents axes cristallographiques pour des substrats (001), (110) et (111) [Liu05].

En l'absence de contrainte, la configuration $\langle 110 \rangle / (001)$ est avantageuse pour la mobilité des électrons mais elle n'est pas optimale pour les trous (Figure II.56). A l'inverse, la configuration $\langle 110 \rangle / (110)$ améliore la mobilité des trous (+162 %) au détriment des électrons (-49 %) ce qui améliore le courant I_{ON} des pFET (+68 % par rapport à $\langle 110 \rangle / (001)$ à $L=120$ nm) [Yang03].

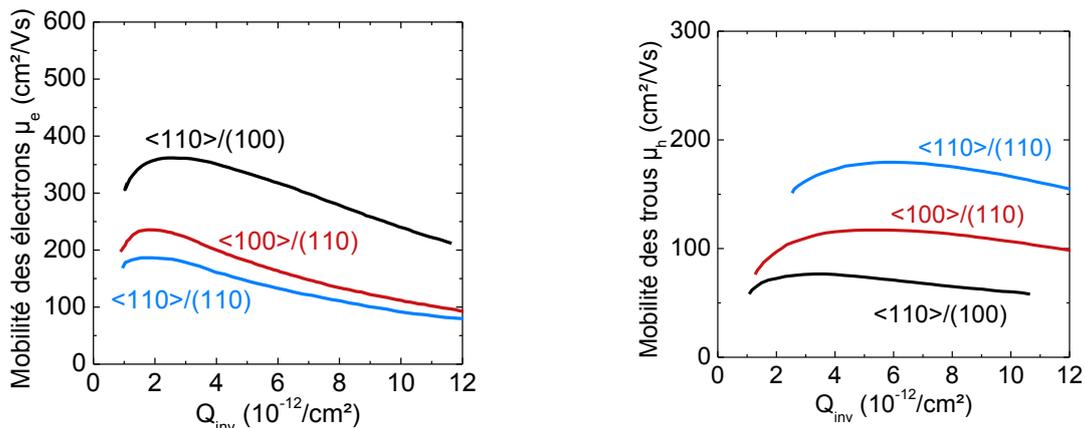


Figure II.56: Mobilité des électrons et des trous en fonction de la charge d'inversion pour différentes orientations de canal et de substrat d'après [Yang03].

Afin d'optimiser la mobilité des électrons et des trous simultanément, des études ont été menées pour co-intégrer une orientation (001) pour les nFET et (110) pour les pFET sur

une même puce. Par exemple, *Yang et al.* ont proposé une structure nommée HOT (*Hybrid Orientation Technology*) qui permet d'obtenir une orientation adaptée au type de porteur [Yang03i] [Yang06] mais seulement un type de dispositif (nFET ou pFET) est sur SOI alors que l'autre est sur silicium massif. *G. Bidal et al.* [Bidal09i] ont réussi à intégrer des nFET sur un substrat (001) et des pFET sur un substrat (110), tous deux sur un BOX mince en se basant sur une intégration de type SON (*Silicon On Nothing*).

Une autre approche, plus simple à réaliser, consiste à conserver la même surface pour les nFET et pFET mais à changer uniquement l'orientation du canal. Ainsi, la configuration $\langle 100 \rangle / (001)$ consiste uniquement à tourner le substrat de 45° par rapport à la configuration $\langle 110 \rangle / (001)$. Sans contrainte, cette configuration améliore les performances de pFET sans affecter les nFET [Sayama99] [Komoda04] [Fenouillet09].

Cependant, l'ajout de contraintes dans les transistors vient modifier le transport de manière différente suivant les configurations. Les valeurs des coefficients piézorésistifs indiquent seulement la sensibilité de la mobilité par rapport aux variations de contrainte suivant les différentes directions. Finalement, l'orientation permettant d'atteindre la mobilité la plus intéressante va dépendre de la mobilité initiale (sans contrainte), de la sensibilité à la contrainte (coefficients piézorésistifs) ainsi que du niveau de contrainte atteint dans le canal.

Dans le paragraphe précédent, nous avons déjà comparé différentes orientations du canal afin de mettre en évidence l'effet du STI sur le transport. Sans contrainte intentionnelle mais en prenant en compte le STI, l'orientation $\langle 110 \rangle$ est avantageuse pour les transistors larges.

Nous avons fabriqué des transistors *gate-first* avec deux orientations : $\langle 110 \rangle$ et $\langle 100 \rangle$ sur un substrat SOI (001) afin de déterminer la meilleure orientation pour des canaux contraints. Sur les nFET, la contrainte maximale est induite en combinant un substrat sSOI et un CESL tensile. Ces transistors contraints sont comparés à des nFET de référence peu contraints fabriqués sur SOI et comportant un CESL neutre. Des pFET fortement contraints ont été fabriqués avec des S/D en SiGe:B et un CESL compressif et des pFET peu contraints avec des S/D en silicium et un CESL neutre sur sSOI.

La Figure II.57 montre l'évolution de la mobilité des électrons à faible champ en fonction de la longueur de grille et pour deux orientations. Pour les nFET peu contraints, la mobilité est plus faible suivant l'orientation $\langle 100 \rangle$ que $\langle 110 \rangle$ à cause de la contrainte du STI (II.6). Cependant, avec une forte contrainte en tension, l'orientation $\langle 100 \rangle$ devient plus avantageuse que l'orientation standard $\langle 110 \rangle$. Ce gain s'explique par une plus forte sensibilité à la contrainte (voir coefficient piézorésistifs §II.1.3.b).

De même, la Figure II.58 montre la mobilité des trous à faible champ pour les deux orientations étudiées. Contrairement aux pFET peu contraints, l'orientation influence fortement la mobilité dans le cas de canaux en compression. En effet, selon $\langle 100 \rangle$ la contrainte a peu d'impact et la mobilité est améliorée dans une moindre mesure. Par contre, pour une orientation $\langle 110 \rangle$ la mobilité des trous est fortement augmentée dans les canaux contraints par rapport au pFET de référence. En conclusion, la mobilité des trous dans les canaux contraints est plus importante selon $\langle 110 \rangle$ que selon $\langle 100 \rangle$.

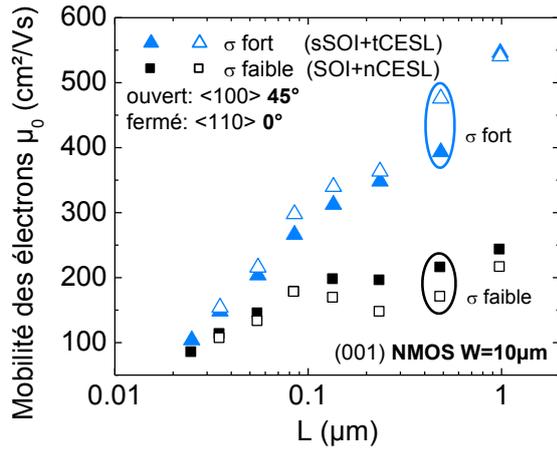


Figure II.57: Influence de l'orientation du canal sur un substrat (001) pour des nFET fortement et faiblement contraints.

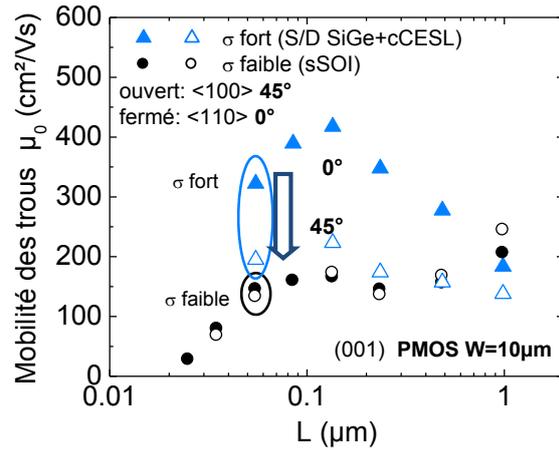


Figure II.58: Influence de l'orientation du canal sur un substrat (001) pour des pFET fortement et faiblement contraints.

En résumé, il est délicat d'optimiser simultanément l'orientation du canal pour favoriser le transport des électrons et des trous (Tableau II.7).

- ✓ Dans les **canaux non contraints**, la mobilité des électrons est meilleure dans un substrat (001) tandis que la mobilité des trous est meilleure dans un substrat (110). Cependant, en tournant simplement l'orientation des plaques de 45°, la configuration **<100>/<001>** présente un bon compromis à la fois pour les nFET et les pFET.

Tableau II.7: Résumé de l'influence de trois orientations sur la mobilité des porteurs dans les nFET et les pFET en l'absence de contrainte et avec contraintes ainsi que sur les coefficients piézorésistifs longitudinaux.

NFET / PFET	μ sans contraintes (cm^2/Vs , $Q_{\text{inv}}=8.10^{-12}/\text{cm}^2$) (Fig. II.56)	Coeff. Piezo. π_L ($10^{-12} \cdot \text{Pa}^{-1}$) (Thompson06, Chiang07)	μ_0 avec contraintes (tensile/compr.) (L=50nm Figs. II.57, III.36)
<110>/<001> « 0° »	278/65	-355/717	204/434
<100>/<001> « 45° »	278/65	-426/91	216/267
<110>/<110>	110/175	-270/270	
<100>/<110>	133/112	-1300/-470	/100

- ✓ Dans les technologies avancées, l'ajout de contraintes dans le canal est indispensable pour augmenter les performances. Les procédés utilisés jouent essentiellement sur la contrainte dans le sens du transport. Suivant l'orientation utilisée la sensibilité à la contrainte (représentée par les coefficients piézorésistifs) n'est pas la même et la mobilité est modifiée de façon différente. Pour une surface (001), nous avons mis en évidence expérimentalement que la meilleure orientation pour les nFET contraints en tension est <100> tandis que l'orientation pour les pFET en compression est <110>. L'influence de l'orientation sur la mobilité de nos dispositifs étant plus faible sur les nFET que sur les pFET, la configuration **<110>/<001>** est alors plus intéressante pour intégrer des **MOSFET contraints**. Ceci permet en outre de rapprocher la mobilité des trous de celles des électrons et donc de dessiner des portes logiques CMOS équilibrées avec la même largeur pour les nFET et pFET.

II.9. Conclusion du chapitre

Nous avons vu dans ce chapitre qu'il existe plusieurs possibilités pour augmenter les performances des transistors sur SOI via une augmentation de la mobilité.

- La première solution consiste à utiliser des semiconducteurs avec une haute mobilité intrinsèque à la place du silicium. Les alliages à bases de matériaux III-V sont de bons candidats et ont démontrés des résultats prometteurs pour les nFET notamment. Sur les pFET, les canaux en SiGe sur isolant ont démontré un gain en performance important tout en étant compatible avec une intégration CMOS. Ce gain est dû à une amélioration de la mobilité des trous avec le germanium mais aussi à une forte contrainte compressive.
- La deuxième solution pour augmenter la mobilité consiste à contraindre le canal de conduction. Nous avons donc évalué l'influence de l'utilisation de quatre procédés contraints dans la fabrication de MOSFET planaire sur SOI. Des transistors avec des longueurs de grille inférieures à 20 nm ont été fabriqués sur film mince avec une intégration *gate-first* puis caractérisés.
 - ✓ nous avons démontré que la mobilité des électrons et les performances des nFET sont améliorées par les substrats en tension biaxiale (sSOI) pour des transistors courts. Cependant l'utilisation de sSOI à l'échelle de la plaque n'est pas bénéfique pour les pFET.
 - ✓ l'ajout d'une couche de nitrure contraint (CESL) soit en tension (tCESL) soit en compression (cCESL) permet d'augmenter la mobilité des électrons de 10 % et celle des trous de 23 % respectivement. Cependant, avec la diminution de l'espace entre les grilles pour les nœuds avancés, l'intérêt pour ce type de procédé décroît.
 - ✓ les source/drain en SiGe:B améliorent fortement les performances des pFET en diminuant les résistances d'accès et en induisant une contrainte compressive (+97 % μ_h).
 - ✓ nous avons mis en évidence l'impact d'une contrainte compressive biaxiale exercée par le STI sur la zone active. Cette contrainte non intentionnelle est de l'ordre de -600 MPa et dégrade la mobilité des MOSFET.

L<20nm	sSOI	canal SiGe	tCESL	cCESL	S/D SiC	S/D SiGe	45°: <100>
nFET	35%		10%				+4%
pFET				23%		97%	-45%

	Gain en mobilité satisfaisant
	Gain en mobilité peu satisfaisant
	Gain en mobilité non satisfaisant

Figure II.59: Résumé de l'intérêt des procédés contraints et de l'orientation du canal pour une surface (001) pour améliorer la mobilité dans les nFET et les pFET et gains en mobilité démontré lors de nos études sur SOI pour L<20 nm et une distance entre contacts de 130 nm environ.

- L'orientation cristalline du substrat et du canal modifie la mobilité et doit également être prise en compte. En conservant un substrat (001) standard, il a été montré que la mobilité des trous dans des pFET non contraints est améliorée pour un transport suivant <100>. Nous avons comparé l'orientation <110> à l'orientation à <100> à 45° dans le cas de dispositifs fortement contraints. Malgré une amélioration des performances des nFET à 45°, l'orientation <110> est nettement plus favorable au transport des trous grâce à une plus grande sensibilité à la contrainte.

Chapitre III.
Intégration « Gate-Last » pour les
transistors FDSOI planaires

CHAPITRE III. INTEGRATION « GATE-LAST » POUR LES TRANSISTORS FDSOI PLANAIRES	83
III.1. Etat de l'art des intérêts et inconvénients de l'intégration Gate-Last.....	85
III.1.1. Spécificités de l'intégration gate-last	85
III.1.2. Méthodes d'ajustement de la tension de seuil.....	86
<i>III.1.2.a. Le travail de sortie de la grille métal.....</i>	<i>86</i>
<i>III.1.2.b. L'ajout d'additifs dans la grille</i>	<i>87</i>
<i>III.1.2.c. Le matériau du canal : cas du SiGe</i>	<i>87</i>
<i>III.1.2.d. Avantages de l'intégration gate-last pour l'ajustement du travail de sortie.....</i>	<i>88</i>
III.1.3. Techniques permettant de réduire l'EOT	89
<i>III.1.3.a. L'utilisation des high-k</i>	<i>89</i>
<i>III.1.3.b. Réduction de l'oxyde piédestal par « scavenging ».....</i>	<i>90</i>
<i>III.1.3.c. Le phénomène de « Roll-off ».....</i>	<i>90</i>
III.1.4. Augmentation des contraintes mécaniques	91
III.2. L'intégration Gate-Last planaire sur SOI.....	93
III.2.1. Enchaînement(s) des procédés de fabrication	93
III.2.2. High-k first	95
III.2.3. L'enjeu des étapes de CMP en gate-last.....	96
III.2.4. Etude du retrait de la grille Poly-Si.....	97
III.2.5. Choix du métal de grille et de l'encapsulation.....	99
<i>III.2.5.a. Influence de l'encapsulation sur les propriétés de la grille.....</i>	<i>99</i>
<i>III.2.5.b. Etude d'une intégration mixte : métal de grille chaud et froid.....</i>	<i>101</i>
III.3. Performance canal court des transistors gate-last sur SOI.....	103
III.3.1. Cas des transistors gate-last non contraints.....	103
<i>III.3.1.a. Fabrication des dispositifs.....</i>	<i>103</i>
<i>III.3.1.b. Performances des dispositifs non contraints</i>	<i>103</i>
III.3.2. Cas des transistors gate-last contraints.....	106
<i>III.3.2.a. Fabrication des dispositifs et introduction de la contrainte</i>	<i>106</i>
<i>III.3.2.b. Mesures de contraintes lors de la fabrication</i>	<i>107</i>
<i>III.3.2.c. Performances des dispositifs contraints.....</i>	<i>108</i>
<i>III.3.2.d. Comparaison des performances des pFET gate-last par rapport au gate- first.....</i>	<i>111</i>
III.3.3. Perspectives de l'intégration gate-last.....	112
<i>III.3.3.a. High-k last.....</i>	<i>112</i>
<i>III.3.3.b. La fiabilité.....</i>	<i>114</i>
<i>III.3.3.c. Variabilité des transistors Gate-Last sur SOI.....</i>	<i>115</i>
III.4. Conclusion du chapitre	117

III.1. Etat de l'art des intérêts et inconvénients de l'intégration Gate-Last

III.1.1. Spécificités de l'intégration gate-last

Indépendamment de l'architecture utilisée, deux types d'intégrations existent dans l'industrie pour réaliser la grille : le *gate-first* et le *gate-last*.

Lors de la fabrication d'un MOSFET avec l'intégration *gate-first* ou MIPS (*Metal Inserted Polysilicon*), la grille et l'oxyde de grille sont formés avant l'implantation et le recuit d'activation des zones de sources et drains. Le métal de grille subit alors un budget thermique important de l'ordre de 1000°C. Avec cette intégration, le motif de grille est défini par lithographie puis gravure de l'empilement final comportant le polysilicium, le métal et l'oxyde de grille. Cette gravure est encore plus complexe lorsque deux grilles métalliques différentes sont utilisées sur le nFET et pFET ou bien différents empilements d'oxydes de grille (par exemple certains transistors d'entrée et sortie d'un circuit fonctionnent à des tensions d'alimentation plus élevées et présentent donc des oxydes de grille plus épais que les transistors logiques).

Par opposition au cas précédent, la grille *gate-last* est dite froide puisque les matériaux sont déposés après l'activation des dopants à haute température. Une grille sacrificielle en polysilicium est d'abord gravée puis les sources et drains sont formés et recuits à haute température. Les transistors sont ensuite recouverts d'un oxyde épais qui est poli par une étape spécifique de CMP (*Chemical Mechanical Polishing*) afin de découvrir le sommet des fausses grilles. Celles-ci sont ensuite vidées ce qui forme une cavité où sont déposés les matériaux de grille. Une nouvelle étape de CMP est finalement nécessaire afin de retirer le métal en dehors de la grille. Cette intégration a été proposée par Texas Instrument sur substrat massif (avec un oxyde de grille en SiO₂) [Chatterjee97], reprise avec un *high-k* sur silicium massif [Guillaumot02] puis sur SOI [Widiez06]. L'intégration *gate-last* est utilisée en production par Intel depuis le nœud 45 nm [Mistry07] et par TSMC depuis le 28 nm [Yang11]. Elle est aussi appelée grille de remplacement (RMG *Replacement Metal Gate*) ou grille damascène.

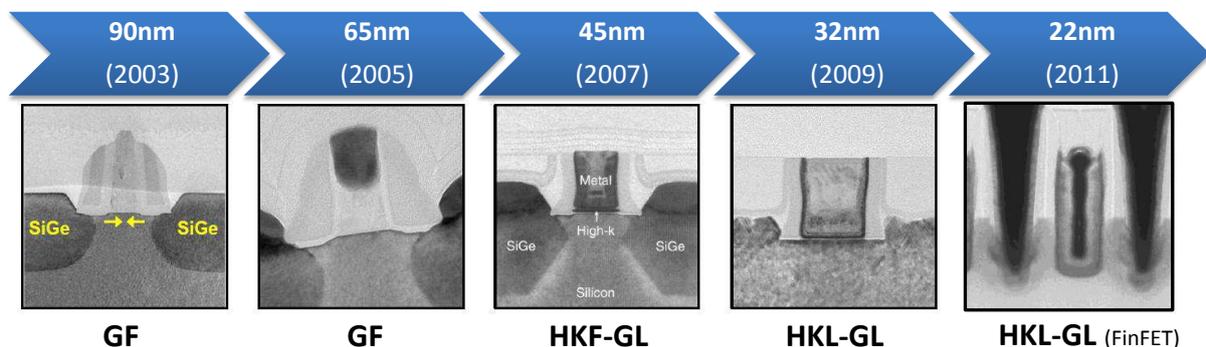


Figure III.1: Images TEM et évolution des transistors en production chez Intel.

De même que pour le métal de grille, l'oxyde de grille peut être déposé avant ou après la formation des sources et drains. On parle alors de *high-k first* (HKF) ou *high-k last* (HKL). L'option *high-k last* est utilisée par Intel depuis le nœud 32 nm [Packan09] [Jan09].

L'intégration *gate-last* ouvre de nouvelles possibilités concernant l'ajustement des travaux de sortie du métal de grille, la réduction de l'EOT et l'augmentation des contraintes dans le canal. Ces points seront détaillés dans les paragraphes suivants. On peut également mentionner que cette approche améliore les gains en RF grâce à une résistance de grille plus faible par rapport à une grille en polysilicium [Fiorenza03] [Veloso11]. Cependant la réalisation de transistors *gate-last* se révèle complexe et nécessite de développer de nouvelles briques technologiques spécifiques à cette intégration. Ces briques seront détaillées dans la deuxième partie de ce chapitre.

III.1.2. Méthodes d'ajustement de la tension de seuil

Le contrôle de la tension de seuil (V_T) des transistors est essentiel pour une plateforme technologique puisque cela influence directement le courant I_{ON} et I_{OFF} comme décrit au paragraphe I.1.2. De plus, une technologie doit être en mesure de proposer plusieurs valeurs de V_T pour s'adapter aux applications visées et offrir ainsi différents compromis entre les performances et la consommation. Généralement, on retrouve une configuration pour des applications hautes performances (HP pour *High Performance*) et une configuration basse consommation (LP pour *Low Power*). Celles-ci sont appelées *Low-VT* (LVT) et *High-VT* (HVT) respectivement. Parfois, une configuration intermédiaire dite *Regular-VT* (RVT) est aussi proposée. Il existe différents paramètres permettant d'ajuster la tension de seuil. Dans certain cas, la tension de seuil des transistors N et P doit être ajustée indépendamment pour obtenir la valeur désirée.

Sur silicium massif, la tension de seuil est ajustée simplement en changeant le dopage du canal. Mais pour des petites longueurs de grille, le nombre de dopants est faible et difficilement contrôlable. Dans une structure à canal complètement déserté, l'absence de dopage intentionnel permet donc d'éliminer une source de variabilité [Yang07]. Afin de maintenir cet avantage, le canal du FDSOI planaire doit donc rester non dopé. Le FDSOI avec un BOX mince offre la possibilité d'ajuster la tension de seuil en appliquant une tension en face arrière (§I.2.3.b). Dans les paragraphes suivants, nous allons nous intéresser aux autres leviers permettant d'ajuster la tension de seuil puis aux spécificités de l'intégration *gate-last*.

III.1.2.a. Le travail de sortie de la grille métal

La tension de seuil peut être ajustée grâce au métal de grille utilisé (Figure III.2 et Figure III.3). Comme vu dans le paragraphe I.2.1.a, V_T dépend du travail de sortie du métal à travers la tension de bande plate V_{FB} .

Une intégration avec une grille métallique unique, c'est-à-dire identique sur les nFET et pFET, s'avère relativement simple à mettre en œuvre. Dans ce cas et sur du silicium non dopé (à la fois pour les nFET et les pFET), le métal de grille choisi doit être proche du *midgap* (4.61 eV) afin d'obtenir des V_T équilibrés entre les nFET et pFET d'une valeur absolue de l'ordre de 0.4 V [Shimada97] [Andrieu10]. Ces valeurs de V_T sont intéressantes pour des applications basse consommation.

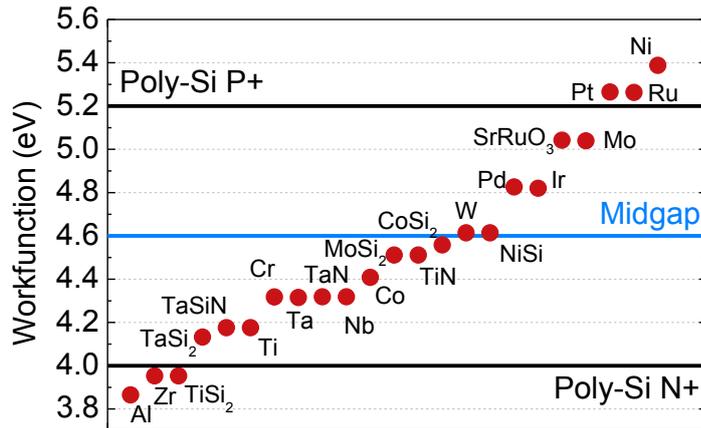


Figure III.2 : Travaux de sortie de différents métaux ou d'alliages d'après [Skotnicki08].

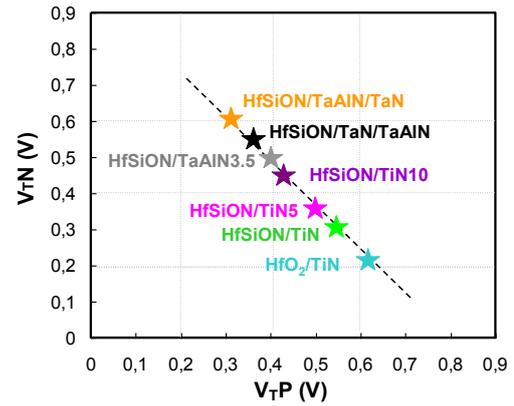


Figure III.3 : Tensions de seuil de nFET et pFET FDSOI obtenues pour différents empilements de grille en gate first [Faynot10].

Une autre solution consiste à utiliser deux grilles métalliques ayant le travail de sortie désiré. Cela est nécessaire afin d'obtenir des tensions de seuil plus faibles, typiquement ± 0.3 V. Leur réalisation rajoute des difficultés techniques puisqu'il faut alors déposer et graver (en *gate-first*) deux empilements de grille différents [Samavedam02].

III.1.2.b. L'ajout d'additifs dans la grille

L'ajout ou la diffusion de matériaux dans la grille permet de modifier le travail de sortie tout en limitant les modifications dans l'empilement. Ainsi, l'insertion d'une fine couche d'Aluminium dans une grille TiN ou TaN *midgap* permet d'obtenir une grille P en *gate-first*. Un décalage de $V_{T,P}$ de +148 mV a été observé [Tatsumura08] ainsi qu'un décalage de V_{FB} de +50 mV pour une épaisseur d'aluminium de 0.4 nm [Baudot11] sur un oxyde en HfSiON/SiO₂. De manière similaire, le travail de sortie de la grille N est obtenu par l'ajout de Lanthane en *gate-first*. Par exemple, un décalage de V_{FB} de -150 mV a été reporté [Ragnarsson07] pour une épaisseur de La₂O₃ de 0.5 nm dans un empilement HfSiON/TiN. Les variations de V_T ainsi obtenues sont dues à la création de dipôles à l'interface entre le *high-k* et le SiO₂ du piédestal. Cependant, la diffusion de l'Al dans l'empilement de grille engendre une chute de mobilité attribuée à une augmentation des interactions de Coulomb [Weber10i] [Tatsumura08].

III.1.2.c. Le matériau du canal : cas du SiGe

Un autre paramètre à prendre en considération lors de l'ajustement de V_T est le matériau du canal. Pour les pFET, l'utilisation d'un canal en SiGe entraîne une augmentation de la bande de valence et de conduction par rapport au silicium (+200meV et +49meV resp. avec c-Si_{0.8}Ge_{0.2} [LeRoyer11]) et donc un décalage de V_T . Ce décalage dépend de la concentration en Ge du canal avec une sensibilité évaluée à 8 ± 1 mV/% en TCAD. Il a été démontré expérimentalement qu'un canal Si_{0.7}Ge_{0.2} était capable de changer le $V_{T,p}$ de +120 mV par rapport à un canal en silicium [LeRoyer11].

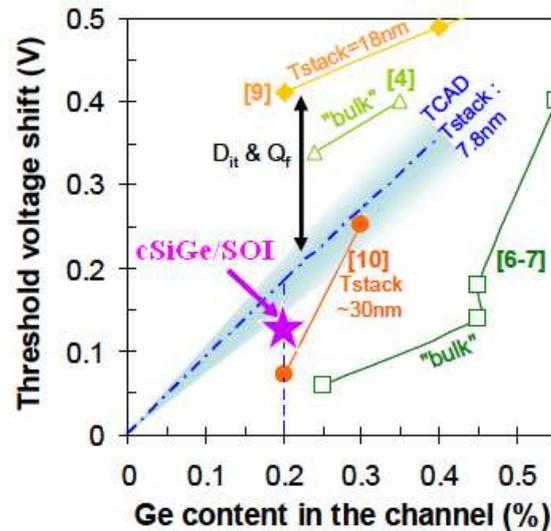


Figure III.4 : Variation de la tension de seuil pour des pMOSFETs en fonction de la concentration en Germanium dans le canal [LeRoyer11].

Un canal en SiGe peut être fabriqué par report de couche, par épitaxie et/ou condensation [Vincent07]. La technique de condensation est basée sur l'oxydation sélective du silicium après l'épitaxie de SiGe sur isolant. Elle permet d'enrichir le SiGe en Ge lors de son amincissement. Une concentration de 25% en Ge a ainsi été démontrée [Cheng12].

III.1.2.d. Avantages de l'intégration *gate-last* pour l'ajustement du travail de sortie

L'intégration *gate-last* a été développée initialement sur silicium massif afin d'atteindre des travaux de sortie bord de bande pour des applications à faible V_T . Avec la réduction de l'épaisseur d'oxyde, il est difficile de maintenir un travail de sortie bord de bande particulièrement pour les grilles P en *gate-first*. Nous reviendrons sur ce point dans le paragraphe suivant. Bien que les structures à canal déserté ne requièrent un travail de sortie qu'à ± 200 mV autour du *midgap*, l'emploi du *gate-last* est une solution supplémentaire permettant d'ajuster les V_T .

Premièrement, l'utilisation de deux empilements de grille n'est plus problématique pour la gravure des grilles puisque les matériaux sont déposés dans les cavités après la gravure grille puis partiellement retirés par polissage (CMP). Les métaux peuvent donc être de nature et d'épaisseurs différentes sur des nFET et pFET. Ils doivent cependant pouvoir remplir les fines tranchées des grilles sacrificielles.

Ensuite, comme l'empilement de grille est formé après les recuits d'activation en *gate-last*, les interactions entre le *high-k* et le métal sont réduites. Une température plus faible permet d'obtenir des travaux de sortie plus éloignés du *midgap* [Bersuker08].

Néanmoins, il semblerait que la plus grande partie du changement du travail de sortie dans les pFET *gate-last* par rapport au *gate-first* soit due aux atomes d'azote venant du métal de grille. Ceux-ci induisent des dipôles à l'interface entre le *high-k* et le métal qui changent le travail de sortie de plusieurs centaines de millivolts [Hinkle10]. En revanche, le travail de sortie des nFET (avec une grille TiN/HfO₂) est influencé par la diffusion d'espèces telles que l'aluminium ainsi que des lacunes d'oxygène dans le *high-k*.

III.1.3. Techniques permettant de réduire l'EOT

III.1.3.a. L'utilisation des high-k

Historiquement, les performances des dispositifs ont été améliorées en réduisant l'épaisseur de l'oxyde de silicium utilisé comme isolant de grille puis en le nitrurant afin de le densifier. Cette réduction permet d'améliorer le contrôle des effets canaux court et augmente aussi le courant I_{ON} . Cependant, pour des épaisseurs de SiO_2 de quelques nanomètres, les fuites deviennent trop importantes et des matériaux à forte permittivité, appelés *high-k* ($\epsilon_r > 10$) sont nécessaires afin d'augmenter l'épaisseur physique du diélectrique pour une valeur de capacité donnée.

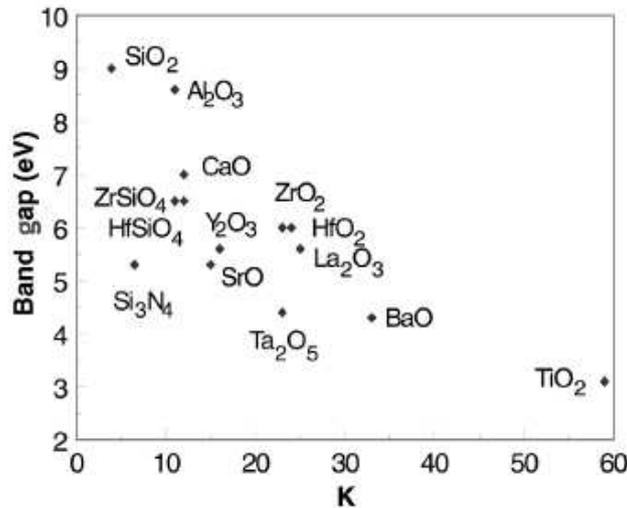


Figure III.5 : Constante diélectrique (k) et band gap de différents isolants [Bersuker04].

Les diélectriques de grille couramment utilisés actuellement sont à base d'Hafnium, ils présentent une constante diélectrique supérieure à celle du SiO_2 ($k_{\text{SiO}_2}=3.9$) et un courant de fuite inférieur de plusieurs décades. L'EOT (*Equivalent Oxide Thickness*) est l'épaisseur d'oxyde de silicium équivalente à une épaisseur t_{ox} de *high-k* et permettant d'obtenir une capacité identique (C) :

$$C = \frac{\epsilon_0 \kappa_{HK}}{t_{ox}} = \frac{\epsilon_0 \kappa_{\text{SiO}_2}}{EOT} \quad \text{Equation III.1}$$

$$\text{avec } EOT = t_{HK} \cdot \frac{\kappa_{\text{SiO}_2}}{\kappa_{HK}} \quad \text{Equation III.2}$$

Avec ϵ_0 la permittivité électrique du vide, κ_{HK} et κ_{SiO_2} la permittivité électrique relative du *high-k* et du SiO_2 respectivement et t_{HK} étant l'épaisseur physique du *high-k*.

L'EOT est le critère couramment utilisé afin de comparer des diélectriques de grille de différente nature. Ces matériaux sont généralement déposés sur un oxyde piédestal SiO_2 (IL: *Interfacial Layer*) souvent nitruré et d'une épaisseur inférieure au nanomètre qui doit être pris en compte dans le calcul de l'EOT. Cet oxyde assure un dépôt homogène du *high-k* ainsi qu'une interface de bonne qualité avec le silicium. Ses propriétés influencent les caractéristiques électriques de tout l'empilement de grille.

III.1.3.b. Réduction de l'oxyde piédestal par « scavenging »

Afin de réduire l'épaisseur de cette couche interfaciale et donc de l'EOT, plusieurs méthodes ont été proposées. Les atomes d'oxygène du SiO_2 peuvent être pompés à l'aide d'un matériau placé dans la grille (*scavenging*). Ainsi, une couche de Ti [Kim04] ou de TiN [Ando09] peut capter les atomes d'oxygène à travers du HfO_2 réduisant l'EOT à 0.42 nm. A l'extrême, l'oxyde piédestal peut alors complètement disparaître [Huang09]. Cependant, la réduction de l'épaisseur de l'oxyde interfaciale est limitée par une perte de contrôle du travail de sortie de la grille ainsi qu'une dégradation de la fiabilité [Ando12]. Les techniques de *scavenging* sont compatibles avec une intégration *gate-first* et *gate-last* [Ragnarsson09] [Veloso11], la diffusivité de l'oxygène à travers le HfO_2 étant rapide même à température ambiante (estimé à 10^{-16} cm^2/s [Kim04]).

Un des avantages principaux du *gate-last* est de pouvoir déposer le *high-k* après les recuits d'activations (*high-k last*). Cela permet de limiter le budget thermique et la recroissance d'oxyde pour atteindre des EOT sub-nanométriques.

III.1.3.c. Le phénomène de « Roll-off »

Bien qu'avantageuse, la réduction de l'EOT pose certains problèmes pour l'ajustement des tensions de seuil, notamment en *gate-first*. Pour les pFET, la tension de bande plate (V_{FB}) se rapproche du *midgap* lorsque l'EOT décroît (Figure III.6). Bien que cela soit moins problématique sur les nFET, le travail de sortie des grilles de type n diminue également ce qui tend à diminuer la tension de seuil (TiN/La/HfSiON en *gate-first* [Leroux12]). Ce phénomène, connu sous le nom de V_{FB} *roll-off*, doit donc être pris en compte puisqu'il influence directement le travail de sortie de la grille.

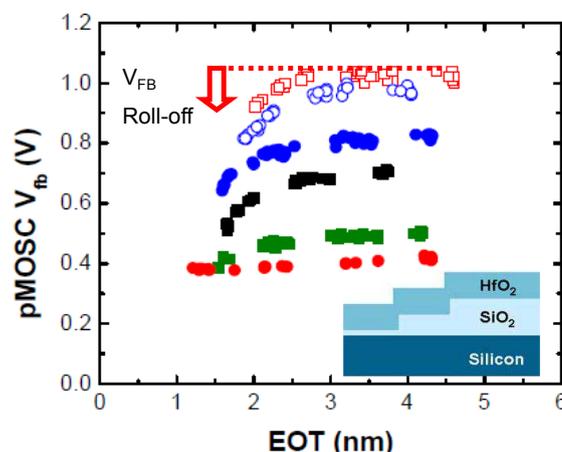


Figure III.6 : Chute de V_{FB} avec la réduction de l'EOT (V_{FB} *Roll-off*) pour différents travaux de sortie en *gate-first* (capacités TiN/ HfO_2) [Bersuker08] [Bersuker10].

Au contact du *high-k*, le métal engendre des lacunes d'oxygène, chargées positivement, dans le SiO_2 à l'interface. Cette réduction de V_{FB} peut être évitée en apportant de l'oxygène dans l'empilement de grille [Bersuker08] mais cet ajout d'oxygène peut entraîner une augmentation de l'EOT.

La chute de V_{FB} est moins marquée pour des températures de procédé plus basses [Song07] [Bersuker08]. Ainsi, le *roll-off* est limité avec une intégration *gate-last* même si ce phénomène est toujours présent [Hyun11].

III.1.4. Augmentation des contraintes mécaniques

Malgré les différences dans l'intégration *gate-last*, la structure finale des dispositifs est similaire et les techniques d'introduction de contraintes utilisées en *gate-first* restent les mêmes. Cependant, dans le cas du *gate-last*, le retrait du polysilicium diminue la rigidité de la grille. La contrainte extérieure (induite par la source et le drain par exemple) est alors principalement supportée par le canal. L'intégration *gate-last* permet donc d'augmenter le transfert de contrainte dans le canal sans ajout de techniques supplémentaires.

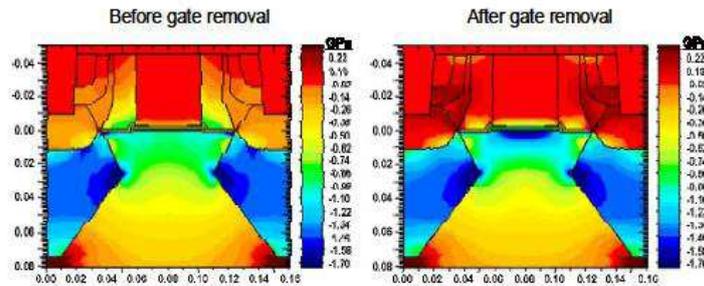


Figure III.7 : Simulation de la contrainte dans le canal d'un transistor pMOS sur silicium massif avec des S/D $\text{Si}_{0.7}\text{Ge}_{0.3}$ avant (gauche) et après (droite) le retrait de la grille sacrificielle en polysilicium [Auth08].

Sur silicium massif et avec des sources et drains en SiGe, l'augmentation de la contrainte longitudinale compressive dans le canal est estimée à 50% lors du retrait de la grille sacrificielle [Wang07] [Auth08]. Expérimentalement, ce gain en contrainte se traduit par une augmentation de +12% sur le courant I_{ON} par rapport à une intégration *gate-first* avec des S/D SiGe identique. Sans contrainte extérieure, le *gate-last* n'apporte pas de gain significatif sur les pFET (Figure III.8).

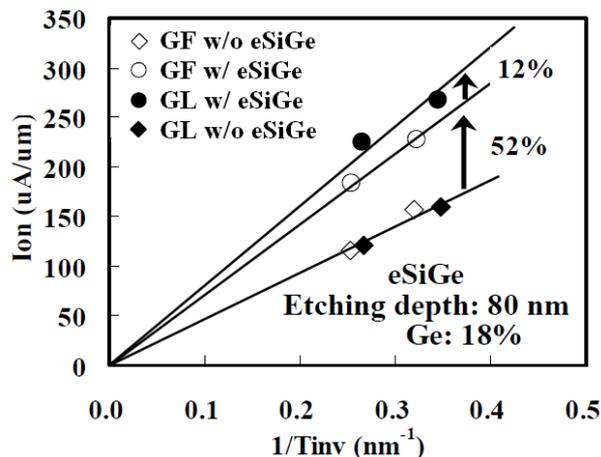


Figure III.8 : Gain en I_{ON} de +52% grâce aux S/D SiGe en *gate-first* et gain supplémentaire de +12% avec l'intégration *gate-last* [Wang07].

Pour une architecture de type FinFET sur *bulk* ou SOI, des simulations montrent que la contrainte longitudinale (σ_{XX}) induites par les sources et drains augmente également de plus de 50% par rapport à une intégration *gate-first*, alors que la contrainte verticale est considérablement réduite [Xu12].

Dans le cas des nFET, la technique de SMT basée sur la création de dislocations dans les régions source et drain permet également un gain en contrainte de +50% avec une intégration *gate-last* [Shen12] [Lim10]. Des simulations TCAD estiment le gain en courant apporté par cette technique à +22% contre +16% avec un *gate-first* [Weber11].

La contrainte en tension ou en compression induite par les couches en SiN de type CESL est aussi augmentée lors du vidage des grilles en polysilicium [Mayuzumi09], pour des architecture planaire ou FinFET [Eneman11].

Bien que la plupart des procédés utilisées en *gate-first* pour contraindre le canal soient compatibles avec une intégration *gate-last*, ceux faisant intervenir la grille tels que certains SMT perdent de leur efficacité [Lim10]. Ces techniques doivent donc être abandonnées au profit de techniques basées sur l'ajout de stress par le métal de remplissage. Par exemple, l'utilisation du tungstène (simulé avec une contrainte intrinsèque de +1 GPa) dans une grille planaire dégrade légèrement la mobilité des électrons (-4%) par rapport à une configuration *gate-first* ou sans contrainte [Eneman11]. Par contre, ce type de contrainte pourrait être bénéfique pour les trous.

III.2. L'intégration Gate-Last planaire sur SOI

III.2.1. Enchaînement(s) des procédés de fabrication

L'intégration *gate-last* doit son nom au fait que les matériaux de grilles sont déposés après le recuit d'activation des sources et drains (Figure III.9). Les premières étapes sont très similaires à l'intégration *gate-first* :

- 1/ A partir d'un substrat SOI avec un BOX mince (25 nm), l'isolation des zones actives est réalisée par STI.
- 2/ Le *high-k* (HfSiON) est déposé (III.2.2) ainsi que le polysilicium formant la grille sacrificielle. Contrairement à l'intégration *gate-first*, le polysilicium est déposé ici directement sur le *high-k* et pas sur le métal de grille.
- 3/ Après le premier espaceur, les sources et drains sont formés par épitaxie sélective. Ensuite le deuxième espaceur est formé puis les S/D sont dopés. Le recuit d'activation ($\sim 1050^\circ\text{C}$) est alors réalisé. Enfin le siliciure est formé sur les S/D.
- 4/ Un CESL de 20 nm est déposé puis l'oxyde (ILD : *Inter Layer Dielectric* parfois appelé PMD : *Pre Metal Dielectric*)

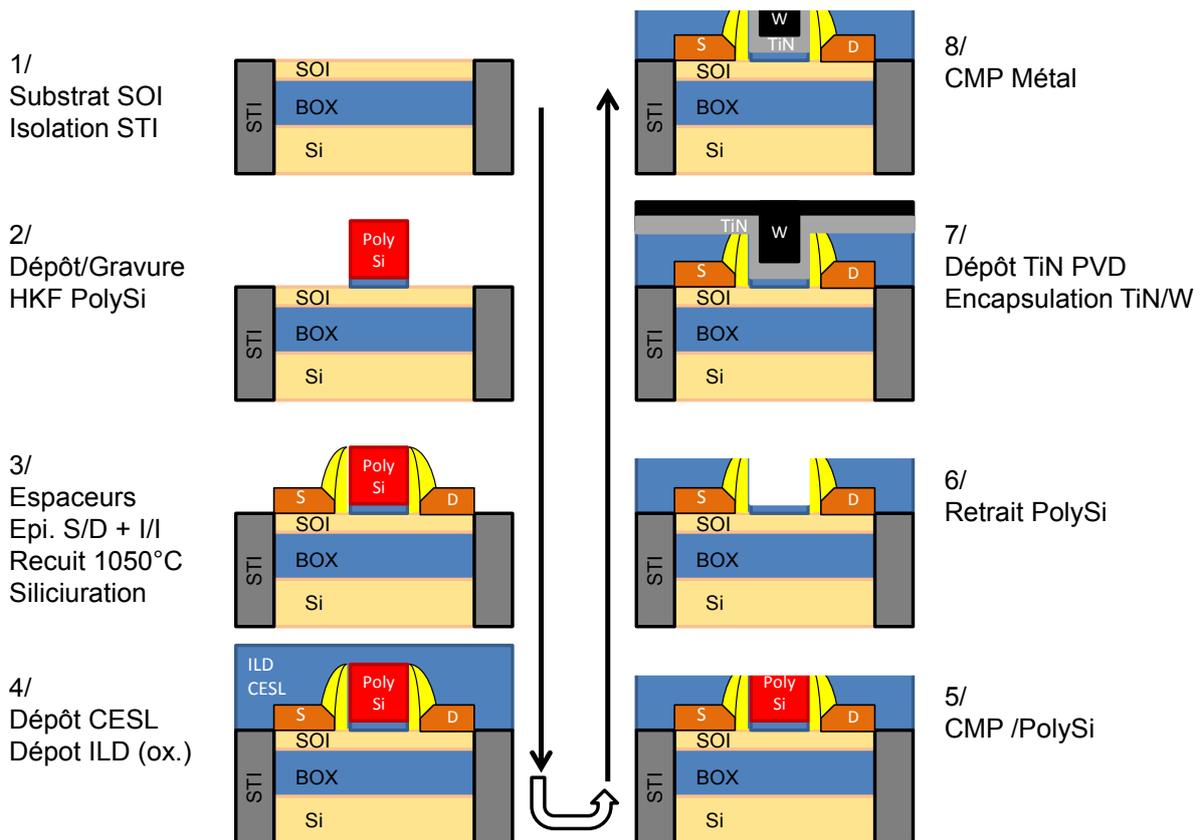


Figure III.9 : Description schématique de l'enchaînement des principales étapes de fabrication des transistors high-k first gate-last (HKF-GL) sur SOI.

Les étapes suivantes sont spécifiques à l'intégration *gate-last*, leur développement sera détaillé dans les paragraphes suivants.

- 5/ Le diélectrique et le CESL sont partiellement retirés : le sommet de la grille sacrificielle est découvert par des étapes de CMP (III.2.3).

- 6/ La grille en polysilicium est retirée par une solution de TMAH (III.2.4).
- 7/ Le métal de grille (TiN PVD) ainsi que des métaux d'encapsulation (TiN/W) sont déposés dans la cavité ainsi formé (III.2.5).
- 8/ Le métal déposé en dehors des cavités de grilles est retiré par CMP.
- Finalement, les contacts sont formés. Avec une intégration *gate-first*, la gravure du diélectrique pour former les contacts débouche sur le siliciure aussi bien sur la grille que sur les régions de sources et drains. Cette gravure doit être adaptée avec l'intégration *gate-last* pour déboucher aussi sur les grilles métalliques.

On peut remarquer que l'intégration *gate-last* est favorable à la formation de contacts auto-alignés (Self Aligned Contacts) sur la grille. Le fait que le sommet de la grille ne soit pas siliciuré permet de mettre en place plus facilement un « bouchon » isolant. Celui-ci sert à éviter un court-circuit avec les contacts remplissant tout l'espace entre les grilles [Auth12].

Habituellement, des tests électriques sont réalisés sur des transistors isolés après le premier niveau d'interconnexion. Cependant, cette intégration est longue et n'est pas adaptée au développement de briques technologiques. Une deuxième intégration, beaucoup plus rapide, permet d'évaluer l'influence de certains modules sur les propriétés électriques des futurs transistors (Figure III.10). Les capacités de plusieurs dizaines de micromètres de côté ainsi obtenues sont utilisées pour étudier l'empilement de grille par exemple.

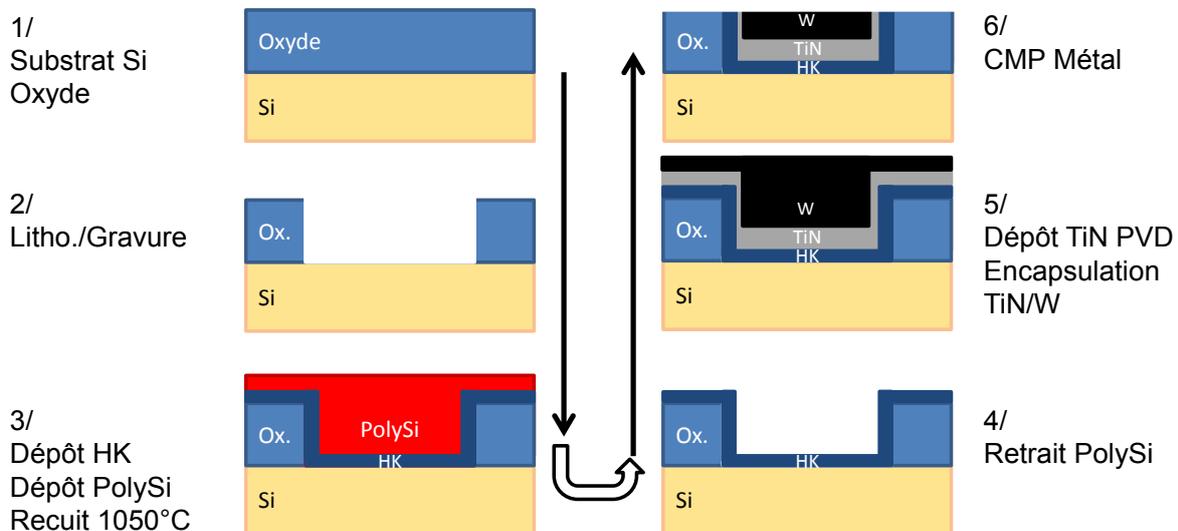


Figure III.10: Description schématique de l'enchaînement des principales étapes de fabrication des capacités MOS.

L'intégration rapide (MOSCAP) est basée sur les étapes suivantes :

- 1/ Une couche d'oxyde est formé à la surface d'un substrat en silicium massif par oxydation thermique puis dépôt.
- 2/ Grâce à une étape de lithographie et de gravure, des cavités sont formées dans l'oxyde.

- 3/ Le *high-k* est déposé puis le polysilicium. L'ensemble est alors recuit à une température d'environ 1050°C ce qui correspond à la température du recuit d'implantation dans une intégration MOSFET.
- 4/ Le polysilicium est retiré.
- 5/ Les métaux de grille sont déposés : TiN PVD puis l'encapsulation TiN/W.
- 6/ Le métal en dehors des cavités est retiré par CMP.

Cette intégration est celle utilisée par défaut pour former des capacités en utilisant les procédés et un enchaînement similaire à ce qui a été décrit précédemment (Figure III.9). Cependant, dans certains cas (qui seront précisés), le polysilicium n'est pas déposé. Dans le cas d'une intégration de type *high-k last* par exemple, le polysilicium n'intervient pas et le *high-k* n'est pas recuit. Dans les paragraphes qui suivent, nous allons détailler les étapes clés de l'intégration *gate-last* en focalisant sur les résultats obtenus sur des capacités MOS. Celles-ci sont caractérisées par des mesures C(V) et I(V) entre la face arrière et la face avant [Leroux07] [Leroux07m].

III.2.2. High-k first

Le schéma d'intégration retenu au LETI pour les premiers développements est le silicate *first* (HfSiON). Le retrait de l'oxyde de la fausse grille (SiO₂ ou silicate) est délicat à cause de la sensibilité à l'acide fluorhydrique de l'oxyde HARP utilisé pour entourer les grilles (voir Figure III.13 ou Figure III.14). L'enchaînement utilisé par défaut est donc le même que celui des transistors *gate-first*, à savoir:

- 0.8 nm d'oxyde plasma pour le piédestal
- 1.9 nm de HfSiO₄
- Nitruration plasma
- Recuit 950°C sous N₂ (PNA *Post Nitruration Anneal*)

Le HfSiON ainsi formé a été évalué avec une intégration *gate-last* (comportant le dépôt et le retrait du polysilicium) et avec deux encapsulations (TiN ALD et TiN MOCVD détaillées au §III.2.5.a). Ce silicate comporte une concentration de Hf de 60 %. La Figure III.11a montre la variation de tension de bande plate (ΔV_{FB}) en fonction de l'EOT pour deux concentrations d'Hafnium tandis que la Figure III.11b reporte les courants de fuite. On observe que l'EOT obtenu avec le HfSiON utilisé par défaut (60 %) se situe entre 1.1 nm et 1.2 nm et le courant de fuite (J_G) est diminué d'un facteur 10⁴ par rapport à un oxyde de silicium. En augmentant la concentration de Hf à 72% l'EOT est réduit de 0.1 nm. Même si le courant de fuite augmente d'une demi-décade, ce compromis reste très intéressant.

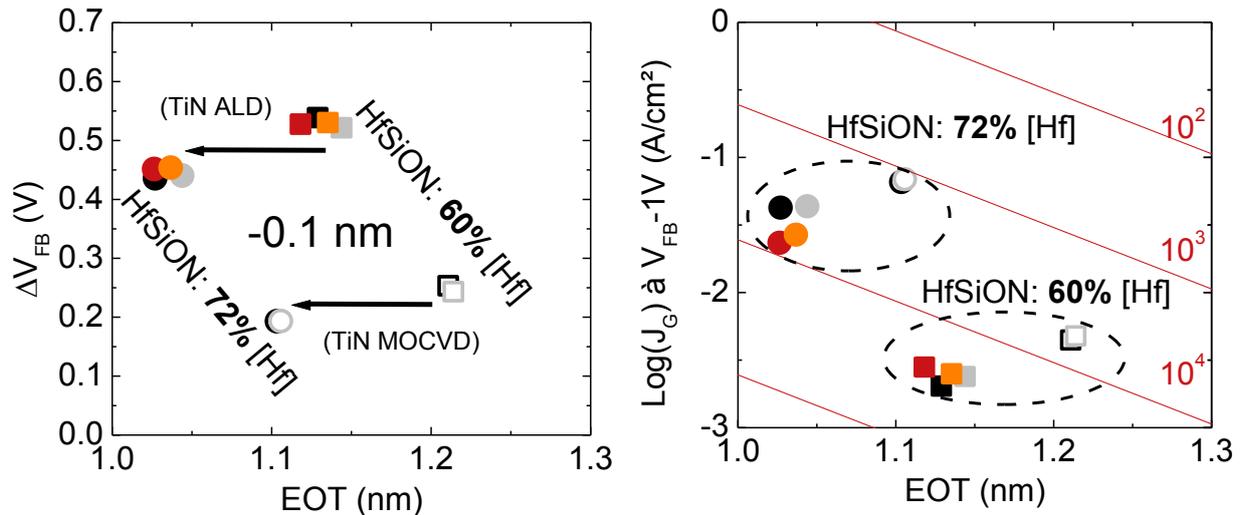


Figure III.11 : Décalage de la tension de bande plate par rapport au midgap (ΔV_{FB}) et courant de fuite (à droite) en fonction de l'EOT pour deux silicates avec des concentrations d'Hafnium de 72% et 60% sur des MOSCAP HKF-GL (TiN PVD/HfSiON).

III.2.3. L'enjeu des étapes de CMP en gate-last

L'intégration *gate-last* repose sur de nombreuses d'étapes de planarisation mécano-chimique (CMP).

La première étape de CMP, lors de l'isolation des zones actives (STI), n'est pas spécifique à l'intégration *gate-last* mais celle-ci doit être maîtrisée afin de limiter la hauteur de marche entre l'isolation et les zones actives. En *gate-last*, une différence de hauteur importante se répercute sur la taille finale des grilles (voir Figure III.13) à cause de l'utilisation d'étapes de CMP. La sélectivité est ajustée en modifiant la concentration de la solution utilisée (*slurry*) afin d'obtenir une vitesse de retrait similaire entre l'oxyde et le nitrure protégeant les zones actives [Euvrard12]. Plusieurs *slurry* ont été testés au LETI afin de limiter la différence de consommation d'oxyde (STI):

- entre le bord et le centre des motifs de STI
- entre des motifs de différentes tailles et densités
- avec le nitrure (effet de *dishing*)

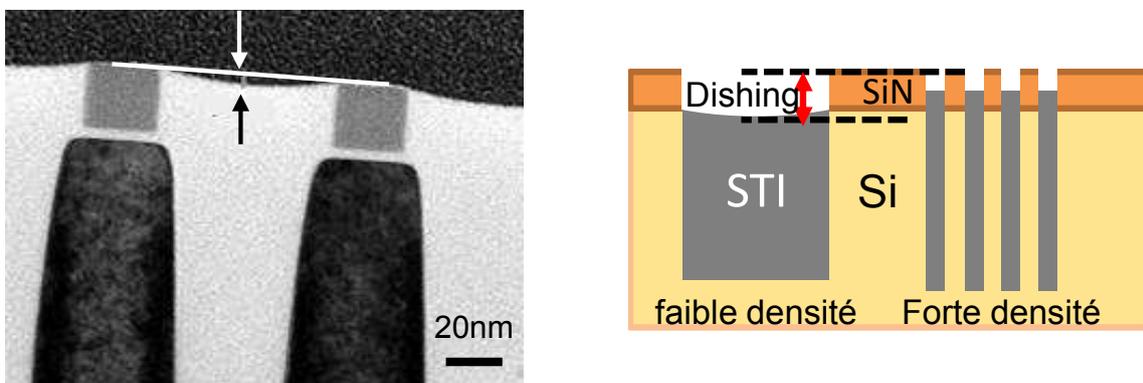


Figure III.12 : Image TEM et schéma du *dishing* du STI.

La deuxième étape de CMP (POP *Poly Open Polish*) a pour but de découvrir le sommet des grilles sacrificielles. Les matériaux au-dessus de la grille sont retirés en deux fois : l'oxyde (HARP) en s'arrêtant sur le SiN puis le SiN en s'arrêtant sur le poly-Si (Figure III.13). La difficulté lors de ces étapes est de retirer ces matériaux avec des vitesses d'enlèvement faibles afin d'augmenter la fenêtre procédé mais sans laisser de résidus. Ce retrait doit être sélectif par rapport au poly-Si afin de limiter la perte de hauteur de grille. Ce problème est amplifié pour les grilles se trouvant sur isolation puisqu'elles ne sont pas à la même hauteur que les grilles sur silicium.

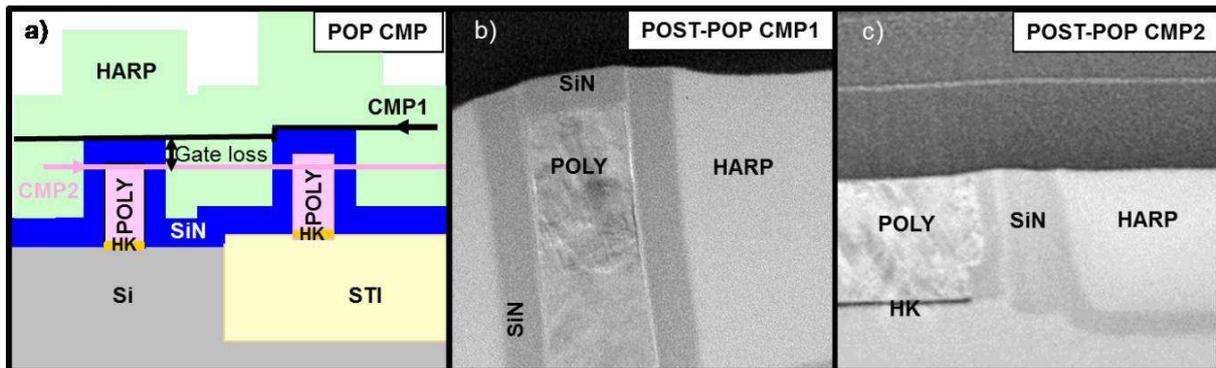


Figure III.13 : Schéma des deux étapes de CMP a) et images TEM avec arrêt sur SiN b) et arrêt sur poly-Si c) [Euvrard12], CEA-LETI.

Après le dépôt des matériaux de grille, le métal en dehors des cavités de grilles est également enlevé par CMP. Cette dernière étape doit également être prise en compte pour évaluer la diminution totale de la hauteur de grille.

En *gate-last*, l'utilisation des étapes de CMP pour former la grille finale permet de relâcher la contrainte au niveau de la gravure grille par rapport au cas *gate-first* avec deux grilles métalliques. Par contre, des problématiques nouvelles apparaissent. Notamment, la consommation de la hauteur des grilles doit être limitée dans des environnements variés (taille des grilles, densité, topologie...). De nouveaux procédés ont ainsi été développés mais il est encore possible d'optimiser cette intégration en modifiant les règles de dessins. Typiquement les étapes de CMP imposent que les grilles soient orientées dans le même sens, que la densité des motifs soit ajustée et qu'il n'y ait pas de larges capacités.

III.2.4. Etude du retrait de la grille Poly-Si

Après l'étape de CMP découvrant le sommet des grilles, les matériaux en présence sont le polysilicium que l'on souhaite retirer, l'oxyde HARP et TEOS mais aussi le nitrure utilisé pour les espaceurs et la couche d'arrêt (CESL). Le polysilicium doit donc être gravé en s'arrêtant sur le *high-k* (HfSiON) avec un procédé ayant une bonne sélectivité par rapport à tous ces matériaux.

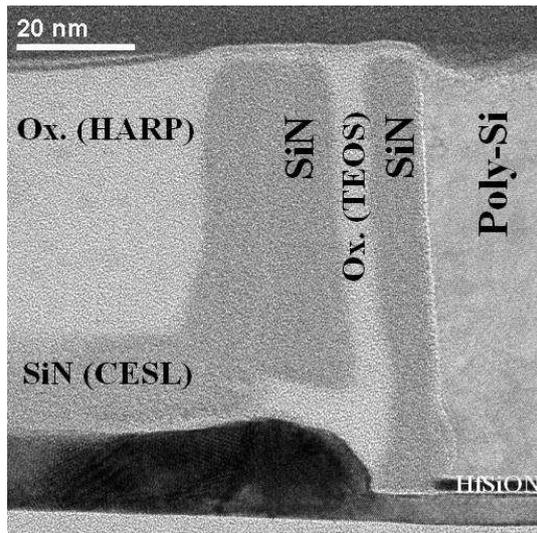


Figure III.14 : Image TEM mettant en évidence les matériaux en présence (oxydes et nitrure) avant le retrait de la grille en polysilicium sur silicate.

L'utilisation d'une gravure sèche (à base de CF_4/O_2) a été écartée à cause d'une vitesse d'attaque trop importante de l'oxyde d'encapsulation (HARP, 100 Å/min). Concernant la gravure humide, des essais ont également montré une forte vitesse d'attaque de cet oxyde à l'acide fluorhydrique. Plusieurs solutions de TMAH (hydroxyde de tetraméthylammonium) dilué ont aussi été évaluées. La concentration initiale à 25% n'est pas envisageable pour des problèmes de coût et de toxicité. Cependant, une excellente sélectivité d'attaque du poly-Si à l'oxyde HARP est obtenue avec une solution à 5% et à 60°C (Tableau III.1).

Tableau III.1: Vitesse d'attaque de différents matériaux (pleine plaque) par une solution de TMAH (P. Besson, CEA-LETI).

Vitesse de gravure (Å/min)	TMAH Immersion			TMAH Spray
	25% 90°C	5% 75°C	5% 60°C	5% 60°C
Si bulk	7120	6810	3290	2000
Si-poly	11710	8380	3870	
Ox. Thermique	0.18	0.219	0.165	0.02
Ox. HARP		5.518	1.512	0.25
Ox. UDOX	1.1	1.4	0.6	0.33
Ox. TEOS	2	3	1.1	0.52
Nitrure PECVD	0.87	0.493	0.174	0.22
Nitrure IRAD	0.73	0.344	0.101	0.27

Afin de retirer d'éventuels résidus de nitrure et d'oxyde au sommet de la grille, une solution de H_3PO_4 puis de HF à 0.2 % est utilisée avant d'effectuer le retrait du polysilicium au TMAH.

La bonne sélectivité d'attaque entre le polysilicium et le silicate a permis de tester ces gravures sur des lots de type MOSCAP. Aucun effet électrique des éventuels résidus de contamination laissés par le TMAH sur le silicate n'a été mis en évidence.

Par contre, lors du retrait du polysilicium par la solution de TMAH, il est possible que des molécules d'eau soient adsorbées dans les cavités et viennent modifier le travail de sortie

des grilles. Afin de vérifier cette hypothèse, des recuits à 500°C et 850°C pendant 10 minutes sous N₂ ont été réalisés après le retrait de la fausse grille. Les capacités ont ensuite été testées avec un empilement de 10 nm de TiN PVD plus un contact TiN (ALD ou MOCVD) puis W (Figure III.15).

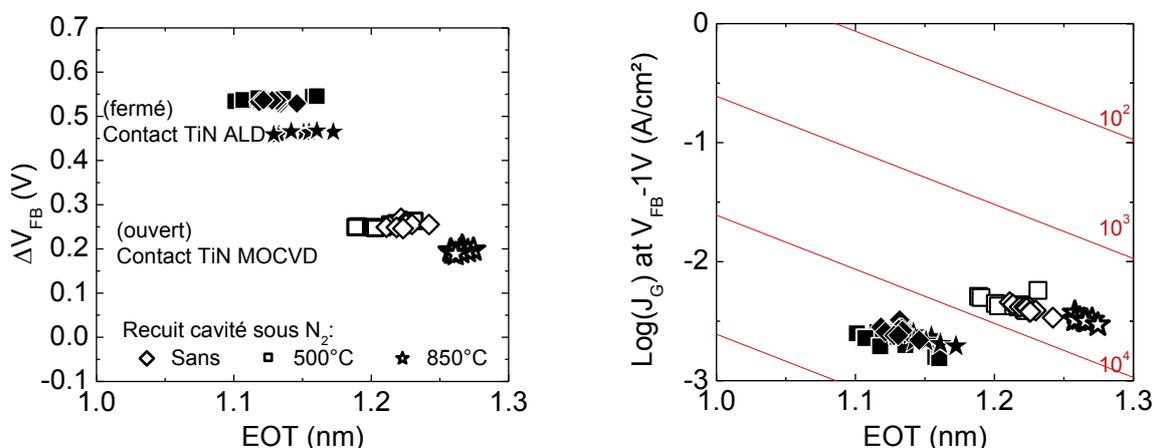


Figure III.15 : Effet du recuit après le vidage des cavités sur le décalage de la tension de bande plate par rapport au midgap (ΔV_{FB}) et sur le courant de fuite (à droite) en fonction de l'EOT pour différents contacts de grille sur des MOSCAP HKF-GL.

Le recuit à 500°C ne change pas les caractéristiques de l'empilement. Le recuit à 850°C augmente très légèrement l'EOT, le travail de sortie diminue légèrement (-50 mV) et le courant de fuite reste identique. Si des molécules sont adsorbées après le vidage des cavités, celles-ci ne modifient pas significativement le travail de sortie de la grille ou bien les recuits sont inefficaces pour les désorber. Ces recuits ne sont donc pas nécessaires.

Deux types de polysilicium ont été évalués pour la fausse grille (Figure III.11):

- Celui de référence sur l'équipement TCENT6 (symboles noir et rouge)
- Sur un équipement TEL FORM (symboles gris et orange)

L'utilisation de l'un ou l'autre de ces matériaux ne modifie pas les propriétés électriques de l'empilement final.

III.2.5. Choix du métal de grille et de l'encapsulation

III.2.5.a. Influence de l'encapsulation sur les propriétés de la grille

Une fois la fausse grille retirée, le métal de grille est déposé sur le silicate. C'est ce métal qui est sensé déterminer le travail de sortie de la grille. Celle-ci est ensuite contactée par un empilement de TiN et de W. Le TiN entre le métal de grille et le contact en W sert à assurer une bonne adhérence et ainsi d'éviter la délamination du W. L'empilement de grille a été étudié sur des capacités avec une intégration *gate-last* comportant le retrait du polysilicium (voir §III.2.1). Le métal de grille est du TiN PVD (*Physical Vapor Deposition*) avec une épaisseur variant de 0 à 10 nm. Ensuite, en plus du W, deux types de TiN ont été envisagés pour former le contact :

- TiN MOCVD (*Metal Organic Chemical Vapor Deposition*) avec un précurseur TDMAT et un plasma N₂/H₂.

- TiN ALD (*Atomic Layer Deposition*) avec un précurseur TDMAT et un plasma N₂ déporté.

L'avantage de ce dernier est que la méthode de dépôt par couche atomique permet de mieux contrôler le dépôt et d'obtenir une épaisseur de quelques nanomètres seulement ce qui est plus approprié pour remplir des cavités plus étroites.

Les caractéristiques $\Delta V_{FB}(EOT)$ de ces empilements sont présentés Figure III.16a. On voit que pour une même épaisseur de métal de grille (10 nm de TiN PVD), le travail de sortie avec 2.2 nm de TiN ALD est de 4.9 eV contre 4.7 eV avec un contact comportant 5 nm de TiN MOCVD. L'EOT est également plus épais de 0.1 nm dans le cas du TiN MOCVD. Le choix du TiN utilisé pour le contact influence donc fortement le travail de sortie de tout l'empilement.

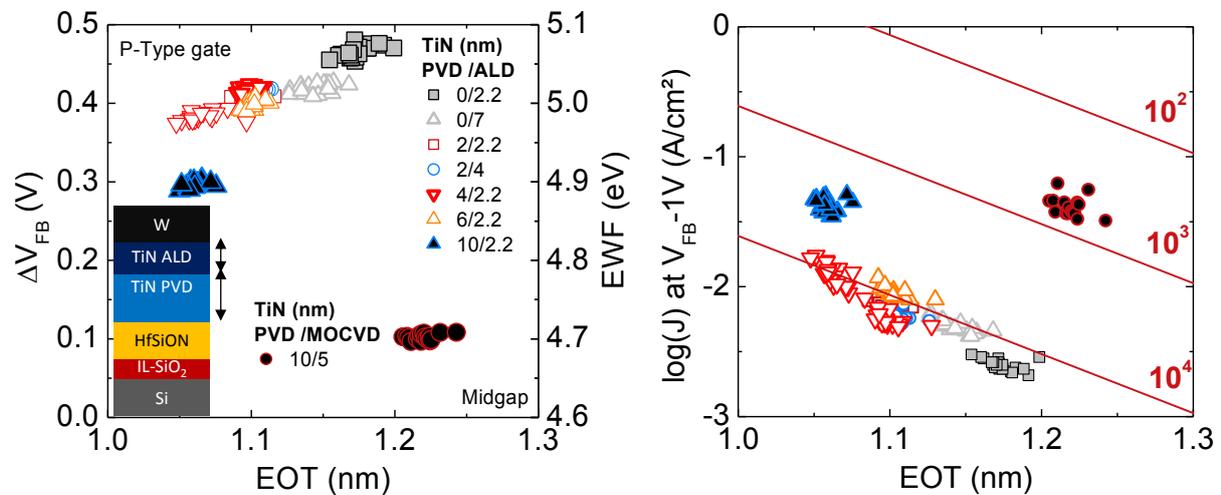


Figure III.16 : Décalage de la tension de bande plate par rapport au midgap (ΔV_{FB}) et courant de fuite (à droite) en fonction de l'EOT pour différent contact de grille sur des MOSCAP HKF-GL

Lorsque le TiN ALD est mis directement en contact avec le silicate, la grille est de type P+ avec un travail de sortie de plus de 5 eV. On peut remarquer qu'un travail de sortie similaire est obtenu en *gate-last* avec du TiN sur HfO₂ pour le même EOT [Veloso11]. Ce travail de sortie tend à diminuer lorsque l'épaisseur de TiN augmente (Figure III.16), la même tendance est observée avec le TiN PVD et une encapsulation de TiN ALD d'épaisseur constante (2.2 nm). Cette réduction du travail de sortie, associée à une faible réduction d'EOT s'explique par le *roll-off* de la tension de bande plate (III.1.3.c).

Figure III.16b, on observe que les fuites de grilles avec le TiN ALD sont diminuée de l'ordre de 10⁴ par rapport à du SiO₂. Le gain est plus faible d'une décade dans le cas du TiN MOCVD. Afin de confirmer cette dégradation, la fiabilité de cet empilement a été mesurée.

La fiabilité de ces capacités est estimée par une mesure C-V permettant de calculer la variation de V_{FB} en fonction du temps lorsque l'empilement est soumis à une tension constante. On observe (Figure III.17), que l'utilisation du TiN MOCVD dégrade la fiabilité par rapport au TiN ALD. Cette dégradation ainsi que la variation du travail de sortie sont attribuées à l'impact du plasma N₂/H₂ lors du dépôt et à travers le TiN PVD non recuit.

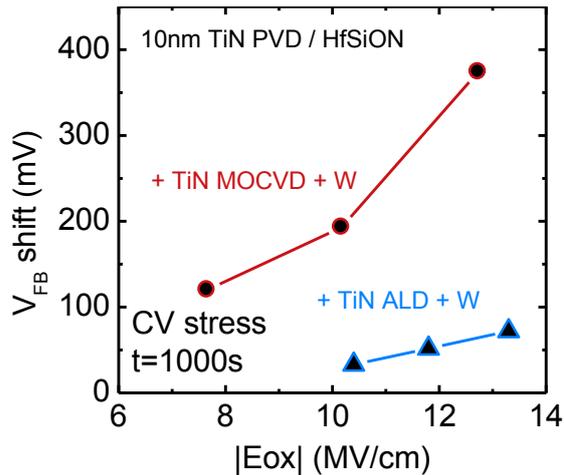


Figure III.17 : Variation de la tension de bande plate après 1000 secondes et à température ambiante en fonction du champ électrique à travers l'oxyde.

- ✓ En résumé, ces résultats ont permis de comparer les travaux de sortie, l'EOT, les courants de fuite et la fiabilité de deux empilements de grilles pour l'intégration *gate-last*. L'encapsulation joue un rôle important sur ces caractéristiques et la configuration avec un TiN ALD offre un compromis plus avantageux.

III.2.5.b. Etude d'une intégration mixte : métal de grille chaud et froid

Un schéma d'intégration alternatif a également été évalué. Une partie du métal de grille est chaud (*metal first*), en contact avec le silicate, alors que le reste est déposé après le recuit d'activation et le retrait du polysilicium (*metal last*). Cet empilement permet de quantifier l'influence de l'empilement de la grille damascène (comportant un TiN PVD froid et le contact de grille en TiN MOCVD ou ALD et du W) à travers un TiN PVD chaud sur du silicate. De plus, cette intégration pourrait être intéressante sur un *high-k first* pour répondre au problème posé par le remplissage de cavités de petites dimensions puisque le métal chaud est gravé et n'est pas déposé sur les flancs (même en petite quantité comme avec un TiN PVD froid).

Les caractéristiques électrique de cet empilement (Figure III.18a) montrent que lorsque le TiN en contact avec le silicate est recuit, le travail de sortie de la grille est *midgap* comme c'est le cas avec un schéma complètement *gate-first*. De plus, pour une épaisseur totale de TiN PVD de 10 nm dont 2 nm de TiN chaud, le type de contact utilisé n'a pas d'influence sur les propriétés électriques alors qu'un écart de 300 mV est observé avec un métal froid ayant la même épaisseur totale. Le courant de fuite est meilleur d'environ une décade avec une grille entièrement froide (Figure III.18b).

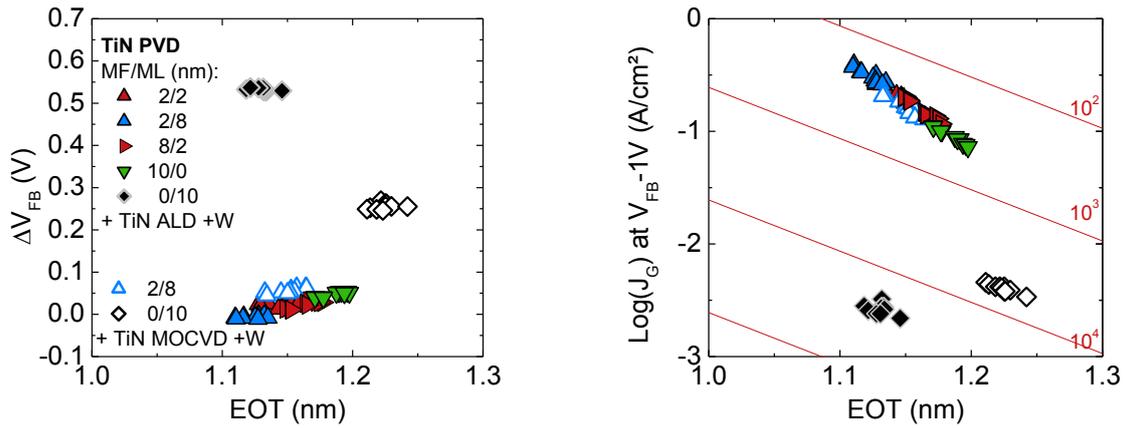


Figure III.18 : Décalage de la tension de bande plate par rapport au *midgap* (ΔV_{FB}) et courant de fuite (à droite) en fonction de l'EOT pour différents empilements de grille comportant une partie de TiN chaud (MF) et froid (ML) et avec différents contacts sur des MOSCAP avec HKF.

Hormis le fait que le métal en contact avec le silicate soit recuit dans un cas, il est important de noter que l'interface entre le *high-k* et le métal n'est pas strictement identique. Dans le cas où le métal de grille est entièrement froid, le *high-k* est en contact avec le polysilicium lors du recuit à haute température. Ensuite, lors du retrait du polysilicium par le TMAH, le silicate est mis à nu. Ces deux étapes sont susceptibles de modifier la composition du *high-k* et par conséquent les propriétés de la grille.

III.3. Performance canal court des transistors gate-last sur SOI

III.3.1. Cas des transistors gate-last non contraints

III.3.1.a. Fabrication des dispositifs

Dans un premier temps, des transistors FDSOI *gate-last* sans contraintes mécaniques intentionnelles ont été réalisés suivant le processus d'intégration décrit au paragraphe III.2.1. Ceux-ci possèdent une épaisseur de silicium sous la grille de 7.5 nm et un BOX de 25 nm (sans plan de masse). L'oxyde de grille est un silicate nitruré (de type *high-k first* III.2.2). Ensuite, les sources et drains en silicium sont surélevés par épitaxie, implantés et recuits à 1050°C puis le siliciure est formé. L'oxyde HARP est déposé et poli puis la fausse grille en polysilicium est retirée par une solution de TMAH. L'empilement de grille final comprend 10 nm de TiN PVD et un contact en TiN et W. Comme pour les études sur des capacités, deux types d'encapsulation (III.2.5) ont été intégrés sur ces MOSFET: 2.2 nm de TiN ALD (ref. 3) ou 5 nm de TiN MOCVD (ref. 2) avec du W. Ces deux configurations *gate-last* sont comparées à une intégration *gate-first* ayant le même diélectrique de grille et le même métal de grille (ref. 1) [Morvan13b].

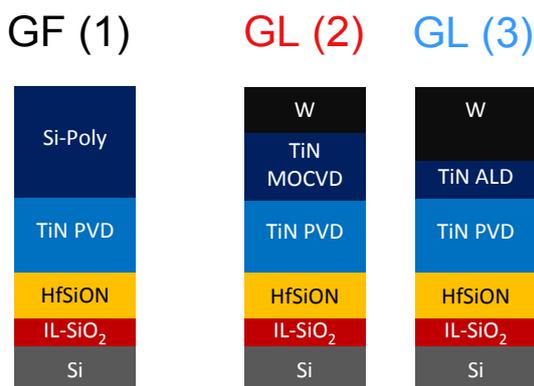


Figure III.19 : Schéma des empilements de grille étudiés sur les MOSFET.

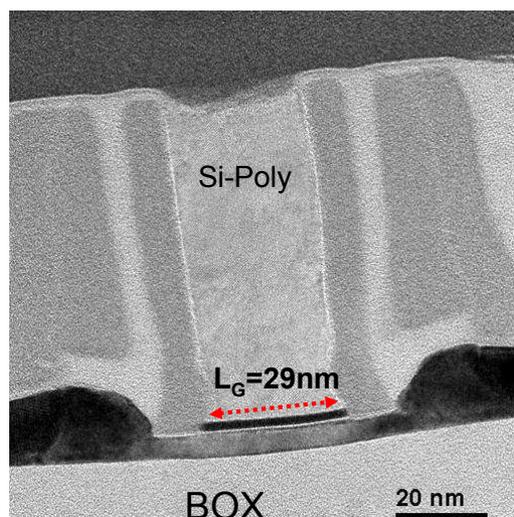


Figure III.20 : Image TEM d'une grille damascène sur SOI avant retrait du polysilicium.

III.3.1.b. Performances des dispositifs non contraints

Le compromis I_{ON} - I_{OFF} des pFET avec une intégration *gate-last* et sans contraintes est comparé à celui des transistors *gate-first* (Figure III.21). Les deux intégrations se situent sur le même compromis I_{ON} - I_{OFF} . Cela est dû à une EOT et une mobilité des trous à fort champ similaires (Figure III.22). Cependant, l'utilisation du TiN MOCVD pour l'encapsulation entraîne une dégradation de la mobilité, particulièrement à faible champ, attribuée à l'impact du plasma lors du dépôt.

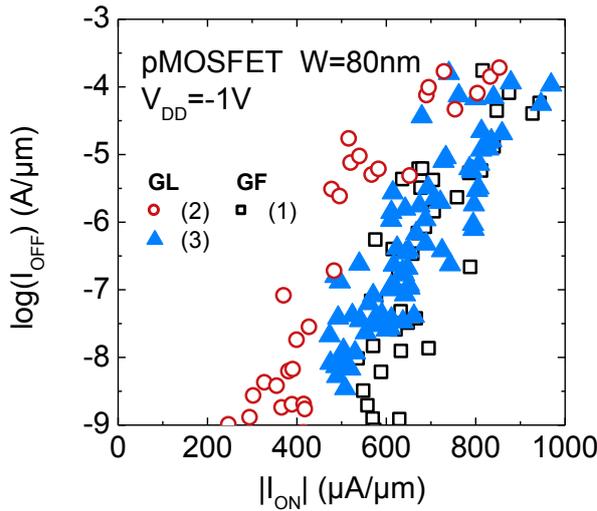


Figure III.21 : Comparaison des performances I_{ON} - I_{OFF} de pMOSFET ($W=80nm$, $V_{DD}=-1V$) avec une intégration *gate-first* (1) ou *gate-last* (2 et 3).

La fiabilité des pFET est évaluée en mesurant l'augmentation en valeur absolue de la tension de seuil en fonction du champ électrique à travers l'oxyde (Figure III.23). On observe ainsi que la valeur du NBTI (*Negative Bias Temperature Instability*) augmente avec l'intégration *gate-last* et que la fiabilité est particulièrement dégradée avec l'utilisation du TiN MOCVD dans l'encapsulation. Comme c'est le cas sur les capacités, cette dégradation ainsi que la chute de mobilité sont attribués à l'impact du plasma N_2/H_2 lors du dépôt de TiN MOCVD.

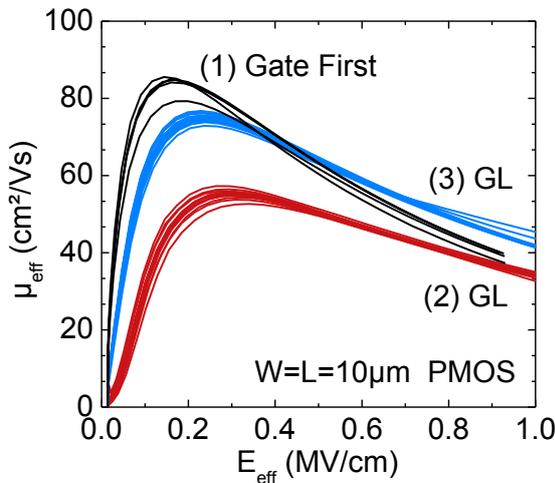


Figure III.22 : Mobilité effective des trous en fonction du champ effectif à travers l'oxyde sur des pMOSFET long et large ($W=L=10\mu m$).

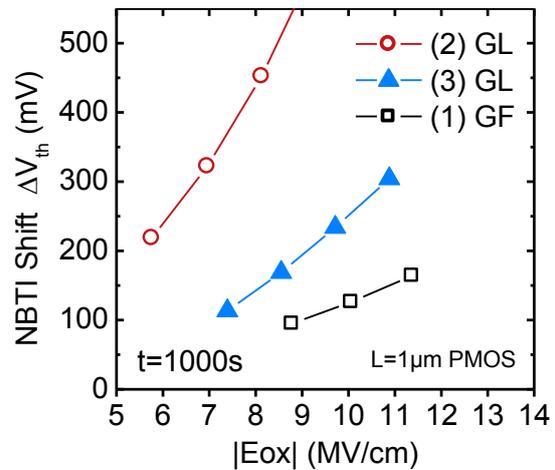


Figure III.23 : NBTI: décalage de la tension de seuil des pFET ($L=1\mu m$) au bout de 1000 s à une température de $125^\circ C$ en fonction du champ appliqué à travers l'oxyde.

Néanmoins, les transistors *gate-last* ont d'excellentes fuites de grilles : celles-ci sont diminuées d'une décade pour les deux types de contact étudiés par rapport à la référence *gate-first* (Figure III.24). Cette différence est probablement due à la réduction des interactions entre le métal de grille et le *high-k* en *gate-last*.

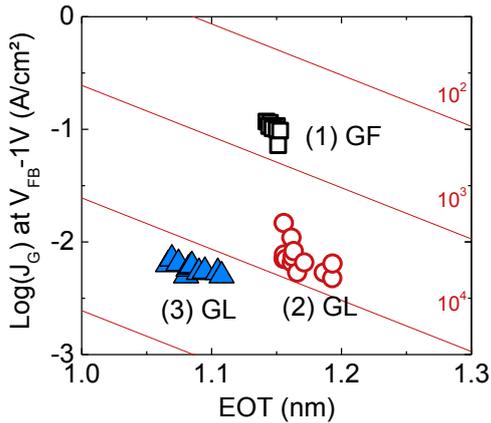


Figure III.24 : Courant de fuite à travers l'oxyde sur des pFET en fonction de l'EOT.

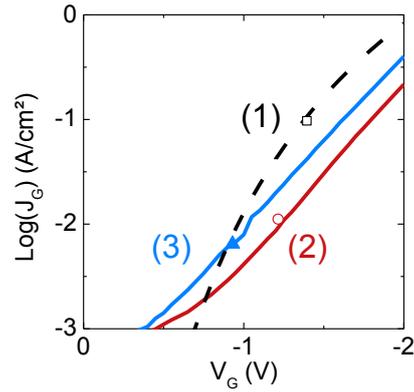


Figure III.25 : Courant de fuite à travers l'oxyde sur des pFET en fonction de la tension appliquée.

Les épaisseurs d'oxyde équivalent sont comprises entre 1.1 nm et 1.2 nm avec une EOT légèrement plus faible pour l'intégration GL comportant l'encapsulation TiN ALD.

En revanche, les travaux de sortie (Figure III.26) sont bien distincts. La grille chaude est de type N, avec une tension de bande plate de -100 mV par rapport au *midgap* tandis que les grilles froides sont de type P+. La nature du TiN utilisé pour le contact joue énormément sur le travail de sortie final de la grille puisqu'une valeur de 4.96 eV et 4.76 eV ont été obtenus avec le TiN ALD et le TiN MOCVD respectivement. Comme on peut le voir Figure III.27, les travaux de sortie les plus hauts obtenus en *gate-last* conduisent aux tensions de seuil les plus basses en valeur absolue sur les pFET longs soit -0.2 V (avec le TiN ALD) et -0.4 V (avec le TiN MOCVD) contre -0.6 V avec l'intégration *gate-first*.

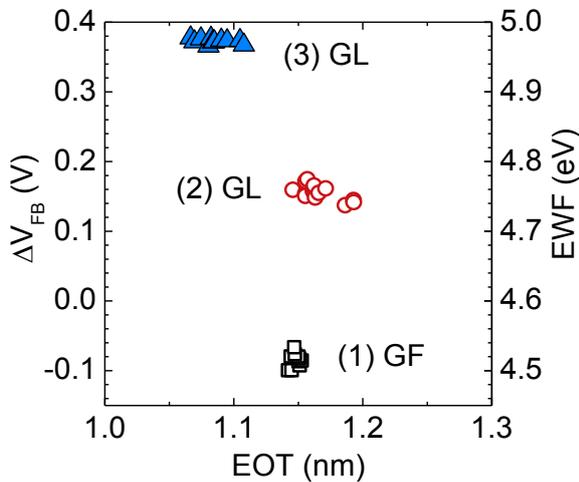


Figure III.26: Décalage de la tension de bande plate par rapport au *midgap* (ΔV_{FB}) et travail de sortie effective (EWF) en fonction de l'EOT sur des pFET longs et larges avec HKF.

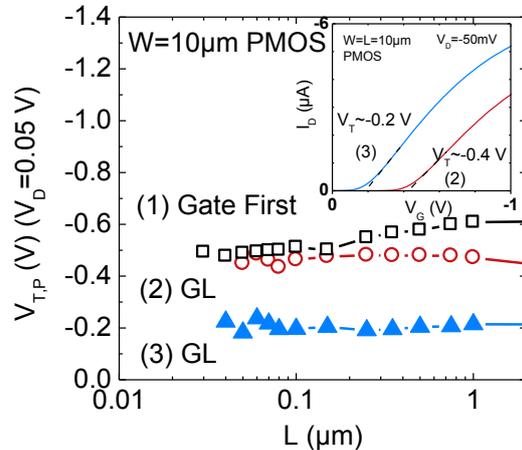


Figure III.27: Tension de seuil (V_T) à $V_D = -50$ mV sur des pFET large ($W = 10 \mu\text{m}$) en fonction de la longueur de grille.

- ✓ Ainsi, sans ajout d'additifs et avec un canal en silicium, l'intégration *gate-last* permet d'obtenir des V_T très bas pour les pFET. On remarquera que ces grilles P+ ne sont pas appropriées pour des nFET puisque les tensions de seuil sont alors trop élevées ($V_{T,n} \approx 0.8$ V avec un contact TiN ALD). Un autre empilement de grille est alors nécessaire pour les nFET.

III.3.2. Cas des transistors gate-last contraints

III.3.2.a. Fabrication des dispositifs et introduction de la contrainte

L'intégration *gate-last* fournit un levier intéressant afin d'ajuster les tensions de seuil, comme nous l'avons vu au paragraphe précédent sur des dispositifs non contraints. Sur silicium massif, l'ajout de procédés induisant de la contrainte se révèle être un atout supplémentaire de cette intégration (III.1.4). Les performances des pFET GL sur SOI ont été évaluées en ajoutant des contraintes mécaniques et avec un canal suivant différentes orientations cristallographiques [Morvan13c]:

- l'orientation classique (0°) avec un transport suivant $\langle 110 \rangle$ pour une surface (100)
- l'orientation tournée à 45° avec un transport suivant $\langle 100 \rangle$ et pour une même surface
- avec une surface (110) et un substrat à 90° , le transport se fait suivant l'axe $\langle 100 \rangle$

Comme pour l'intégration *gate-last* sans contrainte (III.3.1.a), un enchaînement de type *high-k first gate-last* (III.2.1) a été suivi sur des substrats SOI avec une épaisseur de BOX de 25 nm. Un plan de masse de type P est réalisé par implantation d'indium. Les zones actives sont définies par une isolation STI. Ensuite, le silicate (HfSiON) et le polysilicium sont déposés. Des sources/drains en SiGe (S/D SiGe) sont déposés par épitaxie sélective afin de contraindre le canal. Ce SiGe a une concentration de germanium d'environ 30 % et il est dopé *in-situ* par du bore ($2 \times 10^{20} \text{ cm}^{-3}$). Des références avec des S/D en silicium puis une implantation des extensions de type P ont également été conservées. Ensuite, la contrainte est modifiée par l'utilisation d'un CESL de différente nature (compressif, neutre ou tensile). L'empilement de grille est formé de 10 nm de TiN PVD ainsi que d'une encapsulation TiN ALD/W. Cet enchaînement ainsi que les variantes étudiées dans les paragraphes suivants sont résumés Figure III.28.

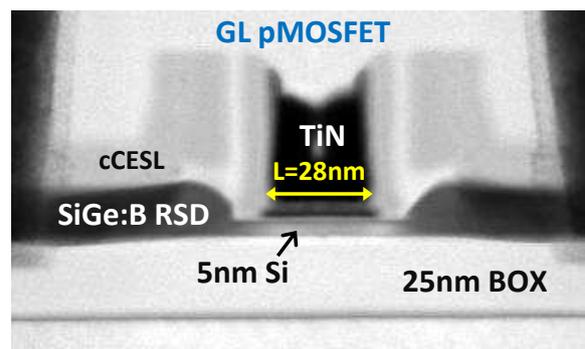
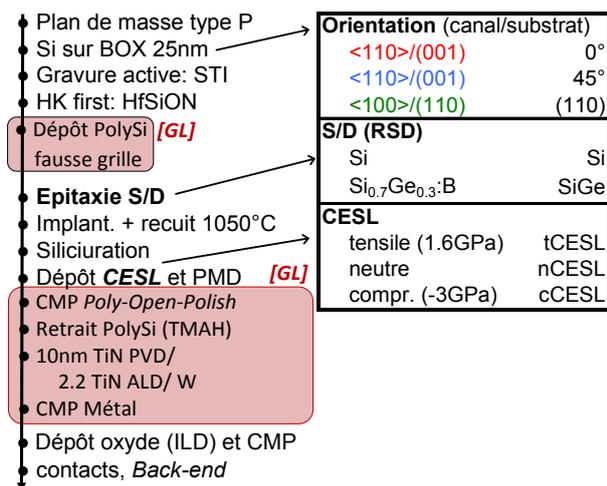


Figure III.28: Enchaînement des principales étapes de fabrication des transistors FDSOI *gate-last* et tableau résumé des variantes étudiées et de la notation associée.

Figure III.29: Image TEM d'un pFET GL (L=28nm) avec des S/D SiGe:B sur SOI (T_{Si} = 5nm, T_{BOX} = 25nm, cCESL).

III.3.2.b. Mesures de contraintes lors de la fabrication

La déformation suivant le sens du transport (*longitudinal strain*) a été mesurée au cours de la fabrication par holographie électronique en champ sombre [Cooper10] après quatre étapes (Figure III.30-Figure III.31):

- a) CMP POP
- b) Retrait des fausses grilles
- c) Remplissage et CMP des métaux de grille
- d) Formation des contacts et *back-end*

Ces transistors *gate-last* sur SOI sont orientés avec un transport selon l'orientation classique $\langle 110 \rangle$. La contrainte initiale est générée par l'épitaxie $\text{Si}_{0.7}\text{Ge}_{0.3}\text{:B}$ des source/drain et par un CESL compressif.

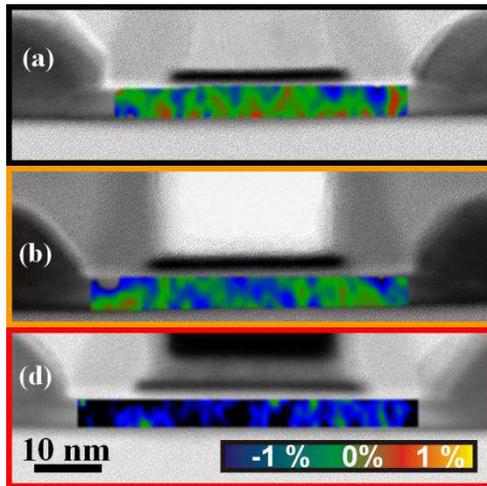


Figure III.30: Images TEM et champ de déformation ε_{xx} extrait dans le canal après : CMP (a), retrait du PolySi (b), back-end (d) d'un pFET GL ($L=28$ nm).

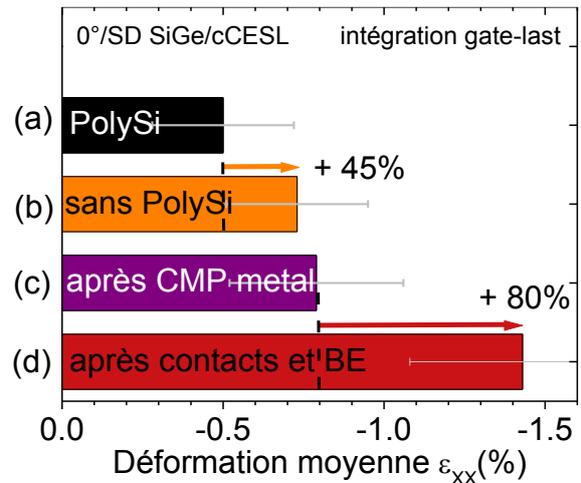


Figure III.31: Déformation longitudinale moyenne (ε_{xx}) dans le canal pour différentes étapes de fabrication d'un pFET GL sur SOI avec des S/D SiGe et un CESL compressif.

Initialement, après la première CMP et lorsque la fausse grille en polysilicium est toujours en place (a), la déformation moyenne dans le canal est de -0.5 %. Cette déformation compressive est due à l'action des source/drain et du CESL.

Une fois la fausse grille retirée (b), la déformation augmente de **45 %** pour atteindre -0.7 %. Cette augmentation s'explique par la suppression de la force de réaction du polysilicium. La contrainte extérieure est alors entièrement supportée par le canal qui se déforme davantage.

Le dépôt des métaux de grille (TiN et W) modifie relativement peu la déformation du canal (c).

Enfin, après la formation des contacts et les étapes de *back-end* (d), la déformation dans le dispositif final atteint **-1.4 %** ce qui correspond à une augmentation de 80 % par rapport à la déformation précédente. L'apport de contraintes par les contacts est une piste envisagée pour expliquer cette variation. Afin de valider cette hypothèse, les performances de ces pFET avec une distance grille/contact variable ($L_{GTC}=65\text{nm}$ et $L_{GTC}=200\text{nm}$) ont été comparées mais aucune différence n'est observée avec ces dimensions ($L=100\text{nm}$, $W=10\mu\text{m}$).

- ✓ On remarquera que le CESL utilisé en *gate-last* est deux fois plus fin par rapport à celui utilisé en *gate-first*. De plus le CESL au-dessus de la grille est retiré lors des étapes de CMP. Ces deux points devraient entraîner une diminution de la contrainte en *gate-last* par rapport à notre référence *gate-first*. Cependant, le niveau de contrainte mesuré en *gate-last* est similaire à celui mesuré en *gate-first* (§II.7.2) grâce à l'augmentation du transfert de contrainte dans le canal au moment du retrait de la grille en polysilicium sur SOI.

Dans le paragraphe suivant, nous nous intéressons à l'impact de ces contraintes sur les performances électriques et le transport des trous dans les dispositifs finaux.

III.3.2.c. Performances des dispositifs contraints

❖ Résultats électriques

Le compromis I_{ON} - I_{OFF} des pFET GL sur SOI est amélioré par l'ajout de contraintes. Ainsi, l'utilisation d'un CESL compressif (cCESL) par rapport à un CESL neutre (nCESL) induit un gain en courant de l'ordre de 18% à $I_{OFF}=100\text{nA}/\mu\text{m}$ et à $V_{DD}=-0.9\text{V}$ (Figure III.32). Un CESL tensile (tCESL) n'ayant pas d'impact significatif sur le courant. Le deuxième procédé induisant de la contrainte est l'épitaxie sélective des source/drain en $\text{Si}_{0.7}\text{Ge}_{0.3}:\text{B}$ (S/D SiGe) plutôt qu'en silicium. Combiné à un CESL compressif, l'utilisation des S/D SiGe permet d'atteindre $I_{ON}=1020\mu\text{A}/\mu\text{m}$ à $I_{OFF}=100\text{nA}/\mu\text{m}$ et à $V_{DD}=-0.9\text{V}$ pour un transport selon $\langle 110 \rangle$ et avec une surface (001) (Figure III.33).

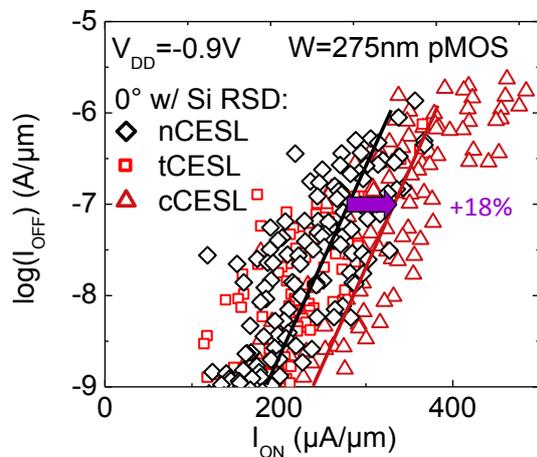


Figure III.32: I_{ON} - I_{OFF} de pFET GL selon $\langle 110 \rangle / \langle 001 \rangle$ avec des S/D Si et un CESL neutre / tensile / compressif.

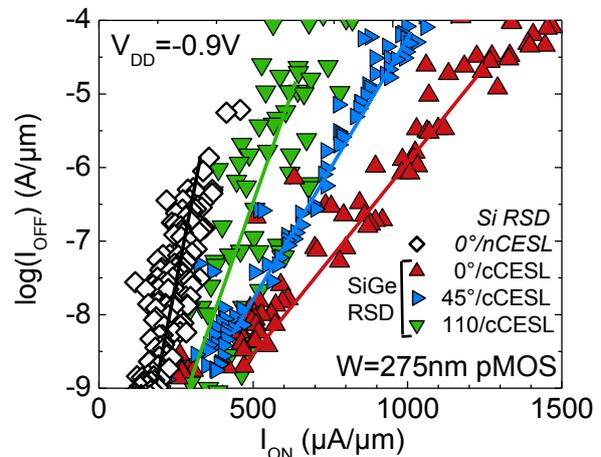


Figure III.33: Impact de l'orientation et de la surface du dispositif sur les performances I_{ON} - I_{OFF} de pFET GL FDSOI avec des S/D SiGe.

Pour cette orientation (0°), les S/D SiGe permettent d'atteindre une résistance totale R_{TOT} ($=V_{DS,lin}/I_{D,lin}$ à $V_G-V_T=-0.8\text{V}$) de $300\ \Omega\cdot\mu\text{m}$ soit une diminution de 70% par rapport au cas avec des S/D Si (Figure III.34). Cette différence s'explique en partie par les faibles résistances d'accès obtenues avec les S/D SiGe ($140\ \Omega\cdot\mu\text{m}$).

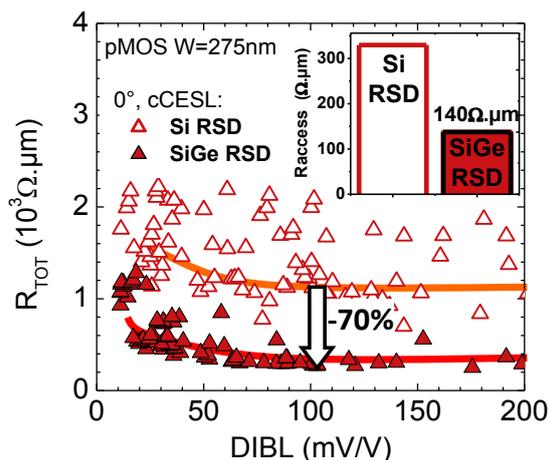


Figure III.34: Effet des S/D SiGe comparé aux S/D Si sur la résistance totale (R_{TOT}) en fonction du DIBL pour des pFET selon $\langle 110 \rangle / \langle 001 \rangle$ avec un CESL compressif.

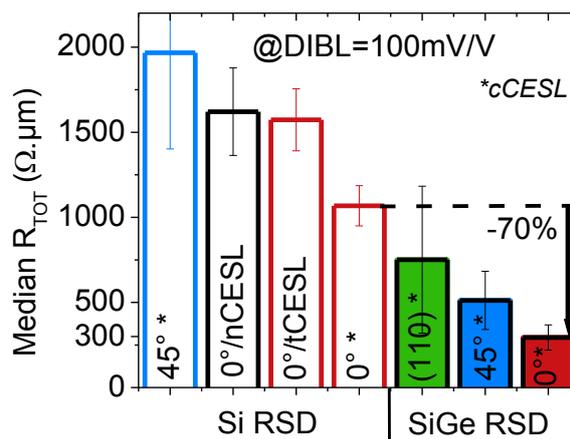


Figure III.35: R_{TOT} médian de pFET GL avec différentes configurations de surfaces/orientation et S/D à un DIBL de 100mV/V.

Les performances des transistors *gate-last* contraints (S/D SiGe:B et CESL compressif) ont été évaluées avec un transport suivant différentes directions et pour des substrats avec une surface (110) ou (001). La configuration $\langle 110 \rangle / \langle 001 \rangle$ présente le meilleur compromis $I_{ON} - I_{OFF}$ (Figure III.33) ainsi que la résistance totale la plus faible (Figure III.35) ce qui la rend plus avantageuse pour l'intégration des pFET en *gate-last*.

❖ Mobilité des trous dans les pFET contraints

Afin de mieux comprendre ces performances et de s'affranchir des résistances d'accès, la mobilité à faible champ a été extraite à l'aide de la méthode de la fonction Y [Ghibaudo88] à partir de mesures I(V) sur les pFET GL (Figure III.36).

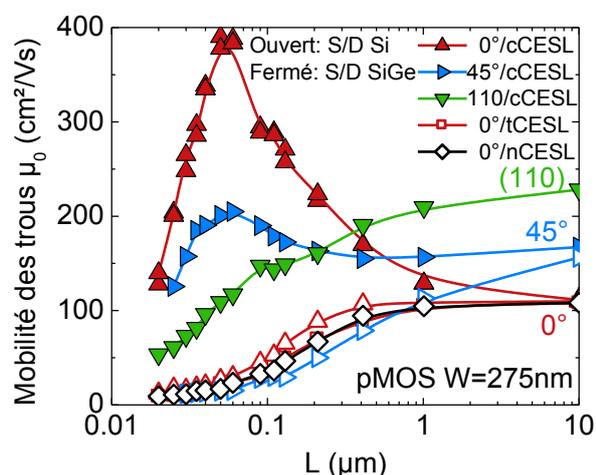


Figure III.36: Mobilité des trous à faible champ en fonction de la longueur de grille pour différentes configurations (surfaces/orientations, CESL et S/D).

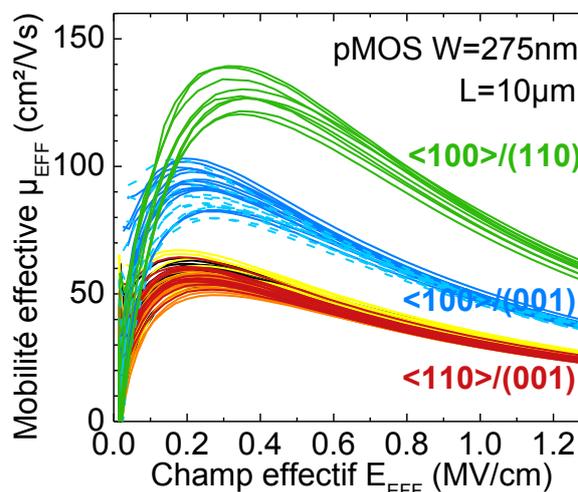


Figure III.37: Mobilité effective des trous en fonction du champ effectif (split-CV) pour des canaux long avec différentes configurations (surfaces/orientations, CESL et S/D).

- Pour les canaux longs ($L=10\mu\text{m}$), la mobilité à faible champ est influencée par l'orientation du canal et du substrat. La configuration $\langle 100 \rangle / \langle 110 \rangle$ présente une mobilité plus importante comparée à $\langle 100 \rangle / \langle 001 \rangle$ (« 45° »), celle-ci étant aussi plus

importante que la configuration $\langle 110 \rangle / (001)$ (« 0° »). Cette observation est confirmée par la méthode de split-CV donnant la mobilité effective des trous en fonction du champ effectif dans le SOI (Figure III.37).

- Pour les canaux courts, les configurations avec des S/D SiGe se démarquent nettement avec une forte mobilité par rapport au S/D Si. La tendance est alors inversée par rapport aux canaux long : pour une surface (001), l'orientation 0° présente une mobilité supérieure à l'orientation 45° , elle-même supérieure à la configuration $\langle 100 \rangle / (110)$.

La mobilité des trous pour les trois orientations et pour des canaux courts ($L=50$ nm) ou longs ($L=10$ μm) est synthétisé Figure III.38 ($W=245$ nm).

Dans le cas des canaux courts, les S/D SiGe et le CESL compressif induisent une forte contrainte longitudinale. Du fait de sa plus grande sensibilité à la contrainte ($\pi_{L\langle 110 \rangle} = 436 \times 10^{-12} \text{ Pa}^{-1}$) [Weber10j], l'orientation 0° est la plus favorable au transport des trous.

Lorsque la longueur de grille est plus importante, la contrainte longitudinale induite par les S/D SiGe et le CESL dans le canal est faible. La dégradation de mobilité observée à 0° s'explique par un coefficient piezorésistif négatif

($\pi_{T\langle 110 \rangle} = -180 \times 10^{-12} \text{ Pa}^{-1}$) et une contrainte transverse compressive. Pour une grille plus large ($W=10$ μm) la mobilité est identique entre l'orientation 0° et 45° ce qui tend à confirmer cette hypothèse. A cette largeur ($W=275$ nm), la contrainte compressive est attribuée au STI comme cela a été démontré en *gate-first* (chapitre II.6).

Avec une intégration *gate-last* et comme c'est le cas en *gate-first*, l'action combinée des source/drain en SiGe:B et d'un CESL compressif permet d'induire une forte contrainte compressive dans le canal des pFET. Associée à une forte sensibilité à la contrainte, l'orientation classique avec un transport des trous selon $\langle 110 \rangle$ est alors la meilleure orientation avec une surface (001). Nous allons tenter dans le paragraphe suivant de comparer les performances des pFET avec une intégration *gate-last* par rapport au *gate-first*.

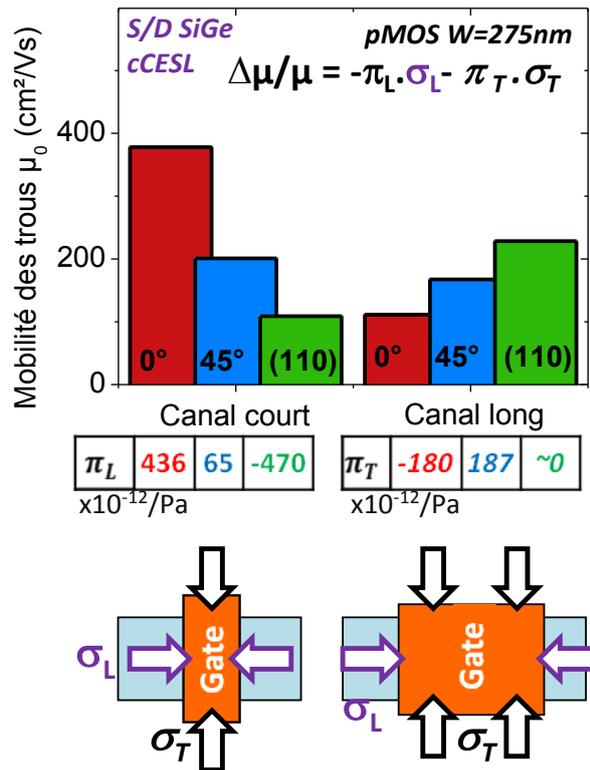


Figure III.38: Mobilité des trous à faible champ pour des canaux courts ($L=50$ nm) et longs ($L=10$ μm) sur des pFET GL contraints (S/D SiGe et cCESL, $W=275$ nm) ainsi que les coefficients longitudinaux et transversaux pour différentes orientations.

III.3.2.d. Comparaison des performances des pFET gate-last par rapport au gate-first

Comparer deux lots et à fortiori deux intégrations différentes n'est pas une tâche aisée. Bien que les conditions de fabrication soient les plus proches possibles d'un lot à l'autre (même épaisseur de BOX, même *high-k*, même matériaux pour les S/D et le canal,...) certaines différences subsistent (temps de gravure différents pour l'active et la grille, masques,...). Néanmoins, nous proposons dans ce paragraphe quelques pistes de comparaisons entre le *gate-first* et le *gate-last* sur SOI.

Comme nous l'avons vu au paragraphe III.3.1.b, l'intégration *gate-last* avec un *high-k first* sans ajout de contrainte permet d'ajuster la tension de seuil des pFET pour un compromis I_{ON} - I_{OFF} similaire au *gate-first*. Nous nous intéressons ici au cas des pFET contraints (S/D SiGe:B et CESL compressif) et particulièrement à l'orientation classique $\langle 110 \rangle / (110)$.

Les performances I_{ON} - I_{OFF} des pFET avec une intégration *gate-last* et *gate-first* avec contraintes (S/D SiGe:B, CESL compressif) et sans contraintes (S/D Si, CESL neutre) sont présentées Figure III.39. Bien que pour des dispositifs non contraints le compromis soit moins bon en *gate-last*, les pFET contraints présentent de meilleures performances avec une intégration *gate-last* comparé au *gate-first*. Cependant, du fait des différences de W et de tension de seuil, cette comparaison à I_{OFF} donné ne se fait pas à une même longueur de grille. Pour cela, l'extraction de la mobilité en fonction de la longueur de grille pour des dispositifs large s'avère être une solution plus pertinente pour comparer ces deux intégrations.

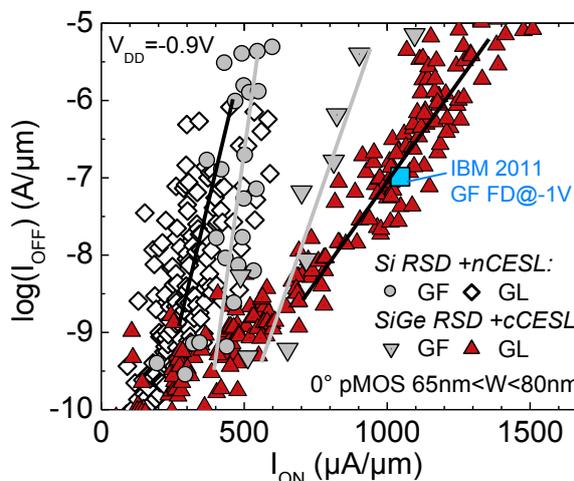


Figure III.39: I_{ON} - I_{OFF} de pFET FDSOI étroits avec une intégration *gate-first* et *gate-last* selon $\langle 110 \rangle / (001)$ pour des configurations non contraintes et contraintes (S/D SiGe:B, cCESL).

Plus qu'une comparaison à une longueur de grille donnée, il est intéressant de regarder la mobilité pour un contrôle électrostatique fixé. La Figure III.40 montre la mobilité des trous à faible champ en fonction de l'inverse du DIBL pour une intégration *gate-last* et *gate-first* avec des contraintes. Deux orientations sont présentées : $\langle 110 \rangle$ et $\langle 100 \rangle$ avec une surface (001). Pour une intégration donnée et avec une contrainte compressive, la mobilité des trous est plus importante pour un transport selon $\langle 110 \rangle$ que selon $\langle 100 \rangle$ en accord avec la valeur des coefficients piézorésistifs (§II.1.3.b). Soulignons également une différence notable entre ces deux intégrations : l'épaisseur de silicium sous la grille est de 7.5 nm sur les plaques *gate-first* tandis qu'il est de 5 nm en *gate-last*. La diminution de l'épaisseur du canal est susceptible d'entraîner une légère chute de mobilité [Barral07]. Cependant pour chaque orientation, la mobilité est plus importante sur les pFET *gate-last* que sur les *gate-first* pour un DIBL de 100mV/V environ. De plus la différence de mobilité entre les deux intégrations est plus marquée pour des pFET orientés selon $\langle 110 \rangle$ que selon $\langle 100 \rangle$. Malgré les mesures locales qui estiment une contrainte similaire entre les deux intégrations (§III.3.1.b), ces

mesures électriques suggèrent une contraintes plus importante dans les pFET *gate-last* par rapport à ceux en *gate-first*.

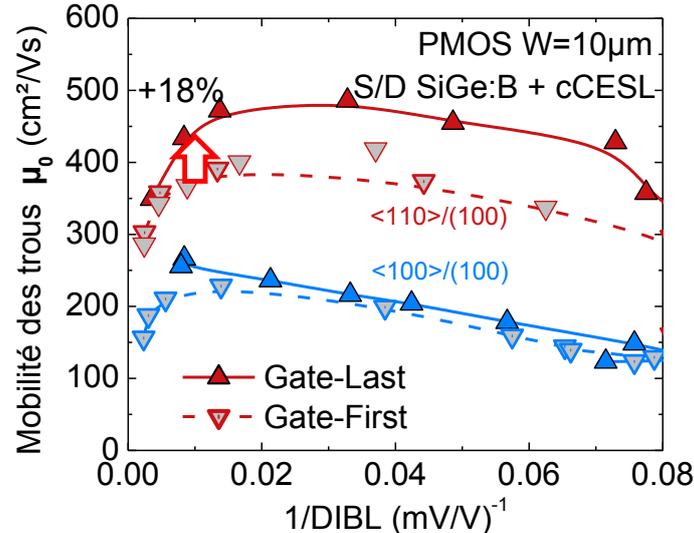


Figure III.40: Mobilité des trous à faible champ en fonction du DIBL pour des canaux larges ($W=10\mu\text{m}$) sur des pFET contraints (S/D SiGe et cCESL) avec une intégration *gate-first* ou *gate-last*.

- ✓ En conclusion, les comparaisons des performances $I_{\text{ON}}-I_{\text{OFF}}$ et de la mobilité entre les pFET contraints avec une intégration *gate-last* et *gate-first* tendent à montrer que le *gate-last* apporte un avantage en performance comparé au *gate-first*. Ce gain est dû à un meilleur transfert de contrainte dans le canal lors du retrait de la fausse grille en *gate-last* (III.3.2.b).

III.3.3. Perspectives de l'intégration *gate-last*

III.3.3.a. High-k last

Cette première intégration développée au LETI s'est faite avec un *high-k first*, le silicate déposé initialement sous le polysilicium de la grille factice étant conservé comme isolant pour la grille métallique. Cependant, afin de tirer pleinement partie de la réduction du budget thermique sur l'empilement de grille, le *high-k* doit être lui aussi déposé après la formation des cavités de grille. Cette intégration est alors dite *gate-last* avec *high-k last*.

Le silicate ou le SiO_2 utilisé comme couche d'arrêt à la gravure du polysilicium doit être retiré afin de déposer le nouvel isolant de grille. Ce retrait est problématique avec le schéma d'intégration actuel et vu la vitesse de consommation au HF de l'oxyde HARP utilisé pour le PMD (*Pre Metal Dielectric*) (voir paragraphe III.2.4).

L'enchaînement suivant a donc été testé sur des capacités sans dépôt de polysilicium :

- Désoxydation puis surface avec un oxyde chimique
- 2 nm HfO₂ ALD
- Recuit (PDA) 500°C 2 minutes
- Dépôt metal de grille
- Dépôt contact: TiN ALD 5 nm (précurseur $\text{TiCl}_4 + \text{NH}_3$) + W

(Remarque : cette encapsulation est différente de l'ALD présenté dans la partie précédente)

- CMP metal

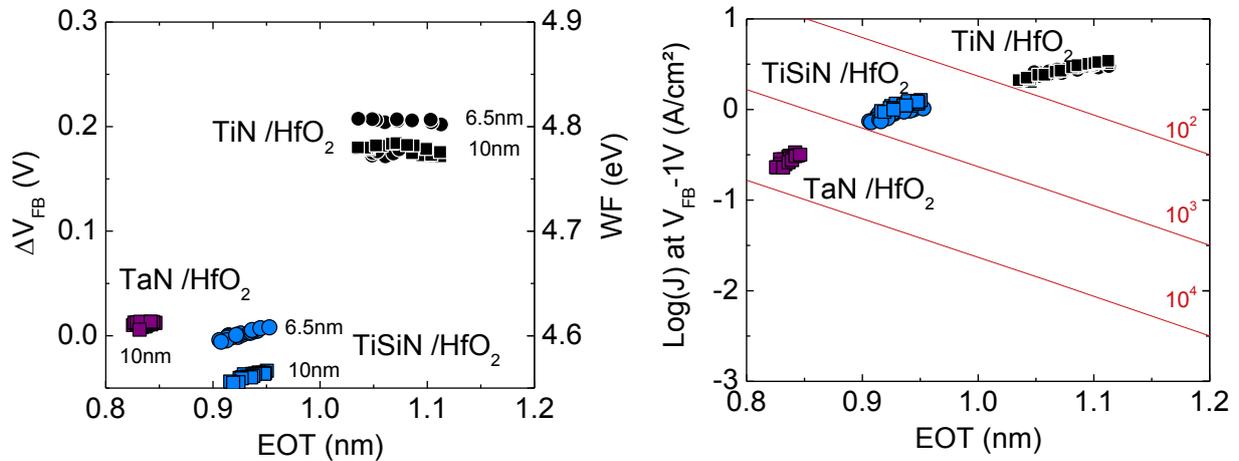


Figure III.41: Décalage de la tension de bande plate par rapport au midgap (ΔV_{FB}) et courant de fuite (à droite) en fonction de l'EOT pour différents empilements de grille sur des MOSCAP avec HfO₂ non recuit (type HKL).

L'empilement « froid » avec du TiN AVD (*Atomic Vapor Deposition* [Schumacher05]) sur HfO₂ est de type P ($\Delta V_{FB}=+200$ mV) avec une EOT de 1.1 nm. Lorsque l'épaisseur de la couche métallique augmente de 6.5 nm à 10 nm, le travail de sortie diminue de moins de 50 mV et les fuites de grille restent constantes avec un gain médiocre, inférieur à 10^2 par rapport au SiO₂. Vu l'EOT important et les fuites de grilles médiocres, ce métal n'est pas un bon candidat pour une grille de type P.

Le TiSiN AVD non recuit possède un travail de sortie *midgap* sur HfO₂. L'épaisseur influence peu le travail de sortie. La grille avec 10 nm de TiSiN étant faiblement de type N (-50 mV sous le *midgap*). L'EOT approche des 0.9 nm pour une réduction des fuites de grille de près de 10^3 .

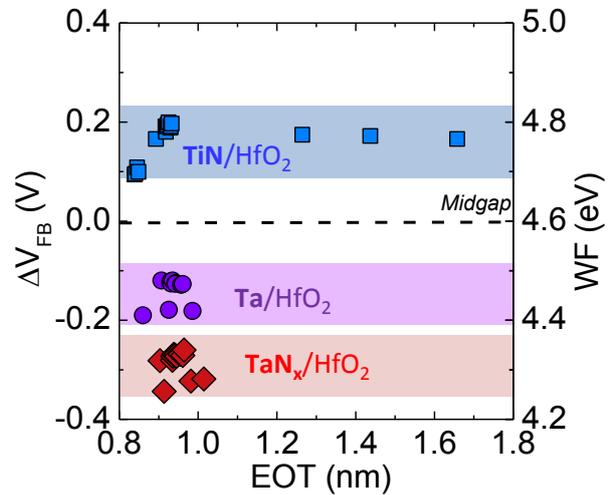
Le TaN AVD sur HfO₂ est le matériau permettant d'obtenir l'EOT le plus intéressant : un peu plus de 0.8 nm seulement. Le courant de fuite obtenu est de 0.3 A/cm², soit un gain de plus de 10^3 ce qui est meilleur que le point précédent. Le travail de sortie se situe à 4.6 eV pour une épaisseur déposée de 10 nm. Ainsi, le TaN sur HfO₂ est un bon candidat pour une intégration de type *high-k last*. Comme pour le TiSiN, son travail de sortie *midgap* peut convenir aussi bien pour une grille N que P. Cependant, cet empilement n'est pas approprié pour obtenir une faible tension de seuil.

D'autres matériaux offrent des pistes pour des grilles N ou P avec un travail de sortie ajusté sur HfO₂ (2 nm ALD, PDA 650°C 2 minutes) et pour des épaisseurs équivalentes inférieures au nanomètre (≈ 0.85 nm).

- Le TiN PVD (10 nm) a une tension de bande plate de +100 à +200mV ce qui convient pour une grille P mais est légèrement en dessous de ce qui est requis pour un faible V_T (+250mV).

- Le Ta (empilement : 5 nm TaN / 6 nm Ta / HfO₂) offre une grille N avec un ΔV_{FB} de -100mV à -200mV.
- Le TaN_x (empilement : 5 nm TaN / 10 nm de Ta / 2nm TaN / HfO₂) se situe entre -250mV et -350mV ce qui convient mieux pour une grille N et une application à faible tension de seuil.

Figure III.42 : Décalage de la tension de bande plate par rapport au midgap (ΔV_{FB}) en fonction de l'EOT pour différents métaux non recuits sur HfO₂. Les empilements sont de type HKL-GL (froid) sur des capacités (R. Gassilloud, S. Bilel, CEA-LETI).



III.3.3.b. La fiabilité

Sans ajout de contrainte, l'intégration avec une grille froide permet d'obtenir des performances similaires à une grille chaude. Cependant la fiabilité de ces grilles froides reste un point critique à améliorer. La fiabilité de l'empilement avec *high-k* froid (TaN AVD sur HfO₂, ref 5) est meilleure que celle d'un *high-k* chaud (TiN PVD sur silicate) avec une encapsulation TiN MOCVD (ref 2') mais moins bonne que la configuration avec l'encapsulation TiN ALD (ref 3') (voir Figure III.43 ci-dessous).

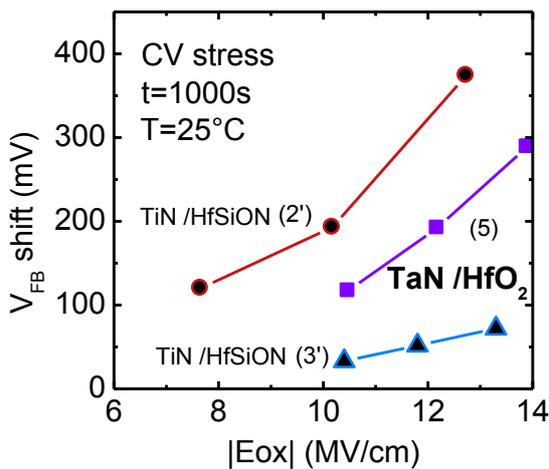


Figure III.43 : Variation de la tension de bande plate après 1000 secondes et à température ambiante en fonction du champ électrique à travers l'oxyde. Fiabilité de l'empilement TaN sur HfO₂ (GL-HKL) par rapport aux empilements TiN sur HfSiON (GL-HKF) (voir Figure III.17) évaluée sur des capacités.

III.3.3.c. Variabilité des transistors Gate-Last sur SOI

En technologie FD, l'utilisation d'un canal non dopé permet de s'affranchir d'une source de variabilité importante mais deux autres sources doivent être considérées :

- la rugosité des lignes (LER, *Line Edge Roughness*), induite par les procédés de lithographie et de gravure [Asenov03]
- la granularité de la grille métallique (MGG, *Metal Gate Granularity*), liée aux conditions de dépôt. La grille peut être irrégulière et présenter des grains dus à son caractère polycristallin. Ainsi, dans le cas du TiN chaud, deux orientations cristallines peuvent être observées : l'orientation cristalline <111> donnant un travail de sortie de 4.4 eV et l'orientation cristalline <200> donnant un travail de sortie de 4.6 eV [Dadgour10].

L'impact de ces sources de variabilité a été étudié par des simulations atomistiques 3D réalisées par GSS [GSS12a] (voir Figure III.44). Les courbes bleues de cette figure reflètent uniquement l'impact des dopants sur le courant de drain.

Les courbes grises représentent l'effet additionnel de la rugosité des lignes et de la granularité de la grille métallique. La variabilité obtenue est celle attendue pour une intégration *gate-first* sur SOI.

Enfin, les courbes rouges ne prennent pas en compte la granularité de la grille. Ce cas correspond au *gate-last* sur SOI où le métal de grille subit un budget thermique limité.

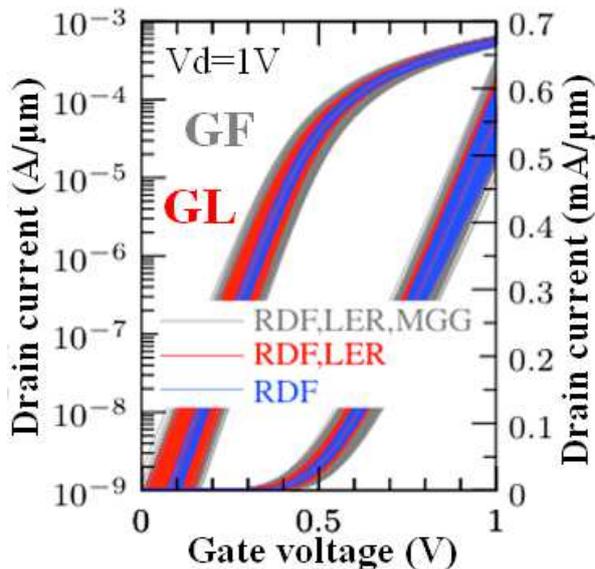


Figure III.44 : Simulations du courant de drain en fonction de la tension de grille à $V_D=1V$ pour 1000 transistors FDSOI avec une longueur de grille de 32 nm. Trois sources de variabilité sont prises en compte : la variation des dopants (RDF, *Random Dopant Fluctuation*), la rugosité des lignes (LER, *Line Edge Roughness*) et la granularité de la grille métallique (MGG, *Metal Gate Granularity*).

La variabilité est évaluée à partir du paramètre A_{VT} défini à partir de la déviation standard de la tension de seuil (σ_{VT}) et de la géométrie du transistor (W et L).

$$A_{VT} = \sigma_{VT} \cdot \sqrt{W \cdot L}$$

Equation III.3

Ces simulations montrent qu'une variabilité record de l'ordre de 0.6 mV.μm pourrait être atteinte avec une intégration *gate-last* sur SOI (Tableau III.2 : Simulations de la variabilité et de la tension d'alimentation minimale en technologie FDSOI 28 nm pour une intégration

gate-first ou *gate-last* [GSS12a].Tableau III.2). La tension d'alimentation minimale pour les mémoires SRAM pourrait alors être baissée à 0.5 V tout en assurant un bon fonctionnement.

Tableau III.2 : Simulations de la variabilité et de la tension d'alimentation minimale en technologie FDSOI 28 nm pour une intégration *gate-first* ou *gate-last* [GSS12a].

	Bulk planaire		FDSOI	
	A_{VT} (mV.μm)	V_{DDmin} (V)	A_{VT} (mV.μm)	V_{DDmin} (V)
Gate-First	2.9	1.0	1.2	< 0.7
Gate-Last	2.5	0.9	0.6	< 0.5

Les mesures sur silicium ont démontré une variabilité proche de 1.2 mV.μm en *gate-first* (§I.2.3.d). Cependant, le gain de l'intégration *gate-last* sur la variabilité n'a pas encore été démontré expérimentalement.

III.4. Conclusion du chapitre

Après avoir présenté l'intégration *gate-last* planaire sur silicium massif, ce chapitre a permis de souligner les avantages d'une telle intégration à savoir :

- le fait de déposer les matériaux de grille et avec un budget thermique limité permet d'ajuster les travaux de sortie et la tension de seuil
- l'intégration *gate-last* avec un *high-k last* permet de limiter le budget thermique de l'oxyde de grille et ainsi d'atteindre des EOT plus agressifs de l'ordre de 0.85 nm
- lors de l'intégration, le retrait de la grille sacrificielle permet un meilleur transfert de contrainte dans le canal (de l'ordre de 50%) et ainsi un gain en courant.

Nous avons ensuite présenté l'intégration *gate-last* planaire sur SOI. L'influence des nouveaux procédés a été mesurée grâce à une intégration rapide ainsi que des caractérisations morphologiques et électriques. Les modules ainsi développés ont ensuite été utilisés pour fabriquer des MOSFET planaires sur SOI en *gate-last*.

Sans ajout de contraintes dans un premier temps, nous avons montré sur les transistors *gate-last* sur BOX mince que :

- un travail de sortie de l'ordre de 4.95eV (+350mV) est obtenu avec une grille en TiN PVD sur HfSiON.
- ce travail de sortie permet d'obtenir des pFET à faible tension de seuil ($V_T = -0.2V$)
- le choix de l'encapsulation joue un rôle déterminant sur le travail de sortie de la grille ainsi que sa fiabilité. A cause de l'impact du plasma lors du dépôt du TiN MOCVD, l'encapsulation TiN ALD et W présente un compromis plus intéressant.
- les fuites de grilles sont réduites d'une décade par rapport à une intégration *gate-first*.
- sans contraintes, le compromis I_{ON} - I_{OFF} des transistors *gate-last* est comparable à celui des transistors *gate-first*.

Ensuite de la contrainte a été ajoutée dans l'intégration des pFET *gate-last* grâce à des sources/drains en $Si_{0.7}Ge_{0.3}:B$ et un CESL compressif. Nous avons mis en évidence :

- une augmentation de la contrainte compressive moyenne dans le canal au cours de l'intégration. Parmi les étapes spécifiques du *gate-last*, les mesures par holographie électronique en champ sombre ont démontré un gain de 45% sur la déformation après le retrait de la grille sacrificielle.
- l'orientation standard $\langle 110 \rangle$ avec une surface (001) est la plus intéressante en termes de compromis I_{ON} - I_{OFF} et de mobilité pour des pFET courts contraints par rapport aux configurations $\langle 100 \rangle / (001)$ et $\langle 100 \rangle / (110)$.
- pour cette orientation, l'effet de la contrainte combinée à la faible résistance d'accès des S/D SiGe:B (140 $\Omega \cdot \mu m$) permet de réduire la résistance totale de 70% par rapport à une référence non contrainte.
- les performances des pFET *gate-last* atteignent un courant I_{ON} d'environ 1020 $\mu A / \mu m$ à $I_{OFF} = 100 nA / \mu m$ et $V_{DD} = -1V$.

Bien que la fiabilité de l'intégration *gate-last* soit dégradée et particulièrement avec un *high-k last*, les perspectives offertes restent très intéressantes. Sur HfO_2 , des EOT de 0.85 nm peuvent être atteints.

Ces conclusions ainsi que les comparaisons faites avec l'intégration *gate-first*, montrent des avantages qui font de l'intégration *gate-last* une piste sérieuse pour le nœud technologique 10 nm sur SOI.

Chapitre IV.
Miniaturisation et perspectives pour le
nœud 10 nm

CHAPITRE IV. MINIATURISATION ET PERSPECTIVES POUR LE NŒUD 10 NM. 119

IV.1. Transfer de contrainte à partir d'une couche de SiGe enterrée.....	121
IV.1.1. Paramètres d'entrés pour les simulations mécaniques	122
IV.1.1.a. <i>Présentation de la structure</i>	122
IV.1.1.b. <i>Paramètres matériaux</i>	122
IV.1.2. Résultats des simulations 2D	123
IV.1.2.a. <i>Etude préliminaire</i>	123
IV.1.2.b. <i>Optimisation du transfert de contrainte</i>	125
IV.1.3. Résultats des simulations 3D	126
IV.1.4. Influence des contraintes sur la mobilité.....	129
IV.2. Fabrication de transistors tri-gate à forte densité d'active.....	131
IV.2.1. Utilisation des copolymères à blocs (BCP).....	131
IV.2.1.a. <i>Propriétés des copolymères</i>	131
IV.2.1.b. <i>Principe d'application au transistor</i>	133
IV.2.2. Fabrication de transistors tri-gate à forte densité (SIT)	135
IV.2.2.a. <i>Développement de la brique SIT</i>	135
IV.2.2.b. <i>Intégration de la brique SIT pour la fabrication de transistors Tri-gate.</i>	139
IV.2.2.c. <i>Résultats morphologiques et perspectives</i>	142
IV.3. Perspectives pour le nœud technologique 10 nm	143
IV.4. Conclusion du chapitre.....	147

IV.1. Transfer de contrainte à partir d'une couche de SiGe enterrée

L'ingénierie des contraintes est indispensable pour améliorer les performances des MOSFET pour les nœuds technologiques avancés. Comme nous l'avons vu dans le chapitre II, il existe différentes techniques permettant de contraindre le canal de transistors FDSOI. Certaines d'entre elles comme l'utilisation de couches contraintes sur la grille (CESL) ou l'épitaxie des régions source/drain sont couramment utilisées en production. Cependant, avec la diminution des dimensions et particulièrement la diminution de l'espace entre les grilles, l'efficacité de ces procédés diminue. Il est donc de plus en plus difficile de maintenir voire d'augmenter la contrainte et c'est pourquoi de nouvelles techniques sont nécessaires.

Sur silicium massif, une structure innovante a été proposée par R. Donaton *et al.* afin de mettre en tension le canal des NFET [Donaton06]. Cette technique fonctionne de la manière suivante : une couche de SiGe en compression est enterrée et la grille est formée au-dessus. Lors de la gravure des S/D, le SiGe est gravé ce qui crée des bords libres et entraîne une relaxation élastique de la couche. La variation de contrainte du SiGe est alors transmise au canal de silicium qui se retrouve en tension.

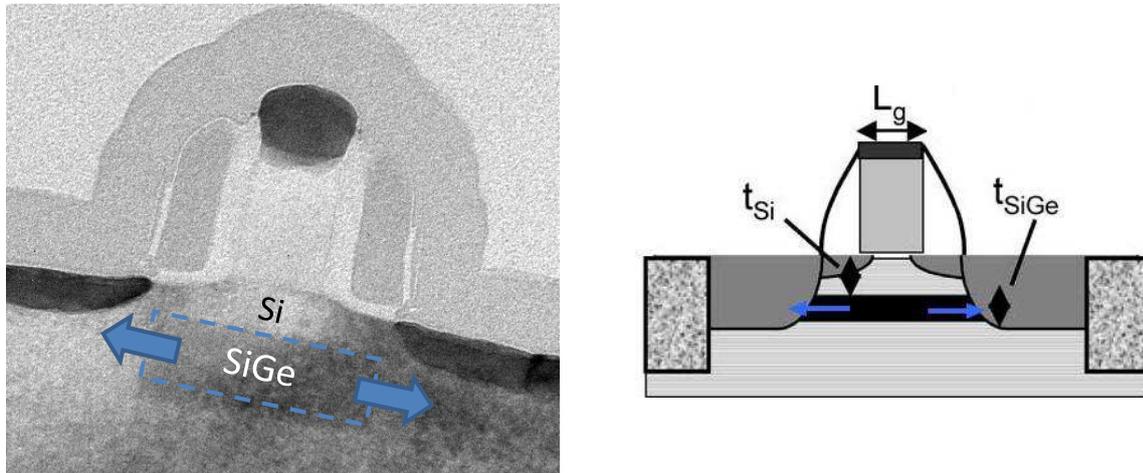


Figure IV.1: Image TEM [Donaton06] et schéma [Fiorenza08] d'un NFET comportant une couche de SiGe enterrée permettant de transférer une contrainte en tension dans le canal.

Il a été démontré à l'aide de simulations mécaniques [Fiorenza08] qu'une contrainte longitudinale moyenne de 0.7 GPa à 1.2 GPa pouvait être ainsi atteinte dans le canal pour une longueur de grille de 15 nm et une concentration en germanium de 35 %.

En nous basant sur des simulations mécaniques, nous avons étudié l'intérêt d'une nouvelle structure à transfert de contrainte (STS : *Strain Transfer Structure*) pour transférer une contrainte en tension à travers un oxyde enterré ultra mince (*Ultra-Thin BOX*) dans des films de SOI [Morvan12d] [Morvan13a]. Nous allons présenter la structure, les paramètres de simulations puis les résultats obtenus en les comparant aux substrats contraints (sSOI). Ensuite, nous discuterons de l'efficacité de cette structure pour le nœud 10 nm grâce à une estimation du gain sur la mobilité des électrons.

IV.1.1. Paramètres d'entrées pour les simulations mécaniques

IV.1.1.a. Présentation de la structure

La structure simulée avec le logiciel ANSYS est représentée Figure IV.2. Elle comporte une couche mince de silicium de 5 nm (SOI) et un BOX de 10 nm sur une couche de SiGe en compression. Ces dimensions correspondent aux épaisseurs requises pour le nœud 10 nm en terme d'effets canaux courts et d'électrostatique. Lorsqu'ils ne sont pas utilisés comme variables, les paramètres suivant sont fixés :

- l'épaisseur de la couche de SiGe : $t_{\text{SiGe}} = 20$ nm
- la concentration en germanium : $[\text{Ge}] = 50$ %
- les dimensions de la zone active : $\text{LAC} = 94$ nm et $W = 100$ nm
- la profondeur de sur-gravure dans le substrat de silicium : $t_{\text{etch}} = 50$ nm
- la distance entre deux zones actives adjacentes n'a quasiment pas d'influence dans les simulations pour une valeur comprise entre 10 nm et 100 nm. Celle-ci a été fixée à 40 nm.

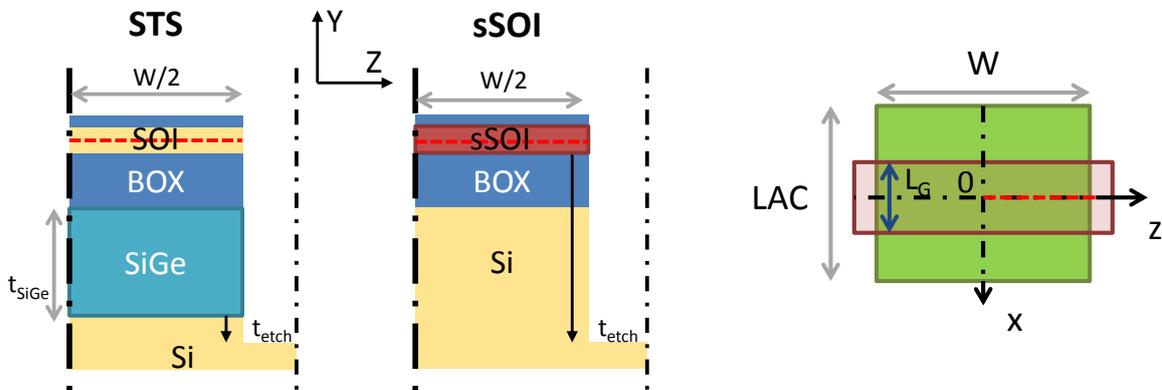


Figure IV.2: Schémas vue de profil (à gauche) et vue de dessus (à droite) de la structure à transfert de contrainte (STS) étudiée ainsi que des substrats contraints (sSOI).

Grace à la symétrie de l'empilement étudié, la moitié de la structure est simulée en 2D afin d'extraire les paramètres géométriques les plus influents dans la première partie. Dans un deuxième temps, la structure a été simulée en 3D d'après les conclusions tirées des simulations 2D. Nous nous focalisons sur le niveau de contrainte au milieu du SOI (ligne rouge, Figure IV.2) avant le remplissage du STI et la formation de la grille. La structure à SiGe enterré (STS) est comparée à un substrat sSOI ayant une contrainte initiale biaxiale en tension de 1.4 GPa ou à une couche de nitrure enterrée avec une contrainte intrinsèque compressive de -3 GPa.

IV.1.1.b. Paramètres matériaux

Dans nos simulations, les propriétés des matériaux sont considérées comme étant isotropes. Nous considérons que les structures simulées sont orientées suivant l'axe cristallographique $\langle 100 \rangle$. Les coefficients élastiques pris en compte sont les suivants (Tableau IV.1):

Tableau IV.1: Paramètres élastiques des différents matériaux pris en compte dans les simulations. Les matériaux sont considérés comme isotropes.

Matériau	Module d'Young E (GPa)	Coefficient de Poisson ν	Coefficient de dilatation thermique ($10^{-6}/^{\circ}\text{C}$)	Références
Si	130	0.279	2.6	[Wortman65], [Okada84]
Ge	103	0.259	5.9	[Wortman65], [IOFFE]
SiO ₂	42	0.17	0.5	[Halg90], [memsnet],[matweb]
Si ₃ N ₄	185	0.28	3.3	[Vila03]

Les paramètres élastiques du SiGe sont calculés par interpolation linéaire entre les paramètres du Si et du Ge en fonction de la concentration en germanium (Equation II.16). Le paramètre de maille du SiGe est calculé par une approximation quadratique (Equation II.17).

IV.1.2. Résultats des simulations 2D

IV.1.2.a. Etude préliminaire

Le principe de cette structure est d'induire une contrainte en tension dans le silicium grâce à la gravure de l'empilement Si/BOX/SiGe lors de la définition de la zone active. Cette étape de gravure permet de relaxer le SiGe enterré partiellement selon la direction z et de transférer la contrainte au silicium à travers le BOX (Figure IV.2). La contrainte (σ_{zz}) a été extraite au milieu de l'épaisseur du film de silicium, depuis le centre de la zone active ($z=0$) vers le bord libre. La Figure IV.3 montre les profils de contrainte dans la zone active pour différentes largeurs W. La contrainte obtenue dans le silicium augmente jusqu'au centre de la zone active. Pour les plus petites dimensions ($W < 200$ nm), la contrainte est maximale au centre (σ_0) avec une valeur de 1.5 GPa pour $W \approx 120$ nm. En considérant la symétrie de la structure, la contrainte au centre et selon la direction x (σ_{xx}) est aussi maximale pour une longueur de zone active de $LAC \approx 200$ nm. Ainsi comme le montre la Figure IV.3, il est plus avantageux d'avoir une couche de SiGe enterrée définie par le STI et ayant les dimensions de la zone active (LAC de l'ordre de 100 nm pour le nœud 10 nm) plutôt que définie lors de la gravure des source/drain et ayant les dimensions de la grille (< 50 nm) comme c'est le cas Figure IV.1.

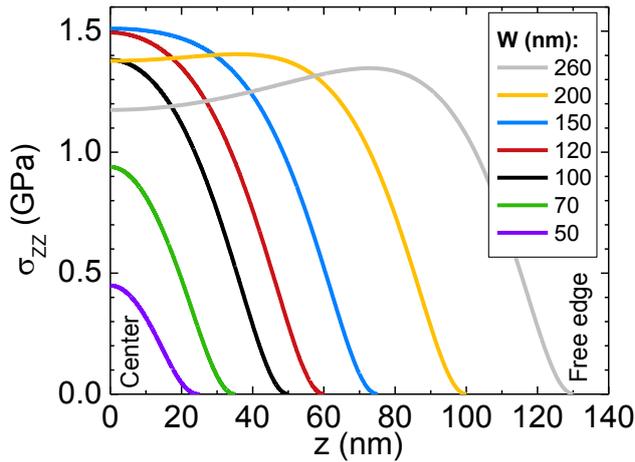


Figure IV.3: Profils de contrainte suivant z pour différentes largeurs (W) d'active avec du SiGe enterré (STS).

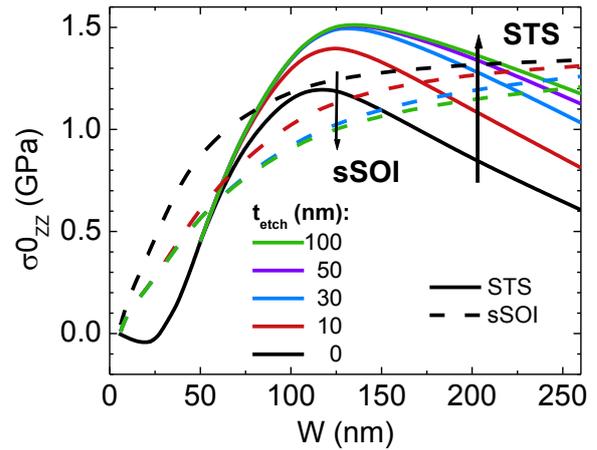


Figure IV.4: Influence de la sur gravure dans le silicium sur la contrainte au centre de la zone active (σ_{zz}) en fonction de W pour le STS et le sSOI.

La contrainte au centre de la zone active et suivant z (σ_{zz}) a été évaluée pour différentes largeurs d'active. L'épaisseur de la sur-gravure du substrat de silicium (t_{etch} , Figure IV.2) joue un rôle important : la contrainte augmente significativement avec la sur-gravure pour les larges dimensions (Figure IV.4). En conséquence, l'étape de gravure du STI (d'une profondeur supérieure à 100 nm) relaxe au maximum le SiGe et optimise le transfert de la contrainte. Dans le cas du sSOI c'est le contraire qui se produit : la déformation en tension est déjà dans le canal avant la gravure de la zone active. La contrainte en tension dans le silicium contraint décroît avec la profondeur de la gravure mais de façon moins importante grâce à la faible épaisseur de film ($t_{sSOI}=5$ nm par rapport à $t_{SiGe}=20$ nm). Par exemple à $W=200$ nm et pour $t_{etch}=100$ nm, la variation de la contrainte σ_{zz} est de +62 % pour le STS tandis qu'elle décroît de 13 % dans le sSOI.

Les zones actives des nFET dans les mémoires SRAM au nœud 10 nm pourraient être similaires à des longues bandes de 30 nm de large. Pour ces dimensions, la contrainte σ_{zz} est inférieure à 50 MPa ce qui influence très peu le transport (Figure IV.4). Pour les applications logiques, les zones actives communes à plusieurs grilles peuvent aussi être considérées comme des bandes avec une largeur $W=100$ nm (Figure IV.5). Dans ce cas, σ_{zz} est supérieur à 1 GPa.

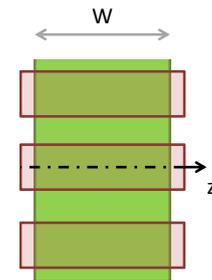


Figure IV.5: Schéma d'une zone active partagée par plusieurs grilles.

Afin d'augmenter l'énergie élastique dans la couche de SiGe et ainsi d'obtenir une contrainte plus forte dans le silicium, deux paramètres sont particulièrement importants : la concentration de germanium et l'épaisseur de la couche de SiGe. Pour une largeur donnée et pour une épaisseur de SiGe fixe la contrainte dans le silicium augmente linéairement avec la concentration de germanium (Figure IV.6). De même, à un W donné, plus la couche de SiGe est épaisse (de 5 nm à 80 nm Figure IV.7) et plus la contrainte augmente mais jusqu'à une certaine épaisseur.

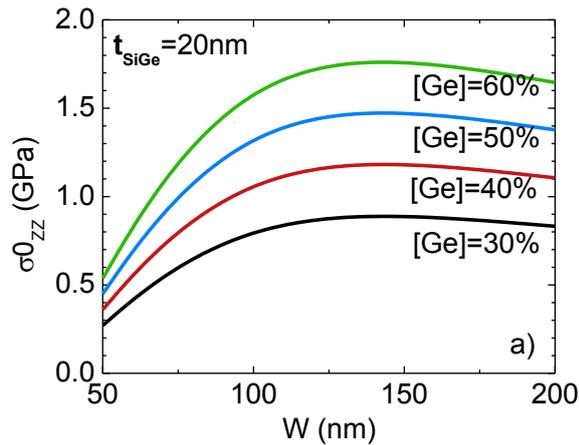


Figure IV.6: Augmentation de la contrainte au centre de la zone active en fonction de sa largeur (W) avec différentes concentrations en germanium.

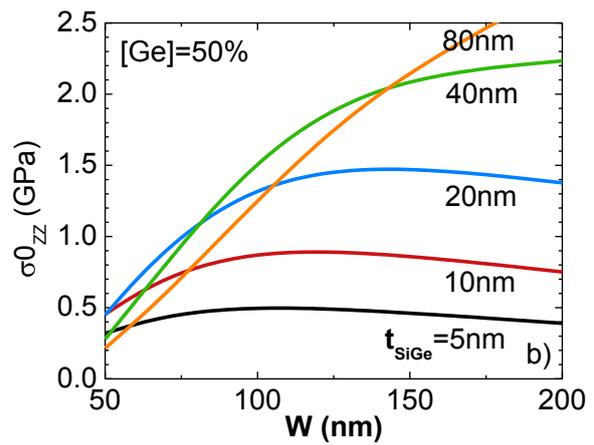


Figure IV.7: Augmentation de la contrainte au centre de la zone active en fonction de sa largeur (W) avec différentes épaisseur de SiGe.

Ainsi cette étude préliminaire en 2D permet de déterminer les paramètres d'intérêt. Nous allons voir maintenant comment choisir ces paramètres afin d'obtenir la contrainte maximale dans le silicium.

IV.1.2.b. Optimisation du transfert de contrainte

Comme on peut déjà le voir (Figure IV.7) sur des zones actives de moins de 150 nm par exemple, le fait d'augmenter l'épaisseur du SiGe ne permet pas systématiquement d'augmenter la contrainte. Afin d'optimiser la structure, nous avons tracé (Figure IV.8) l'évolution de la contrainte dans des zones actives de différentes tailles (W) en fonction de l'épaisseur du SiGe et pour deux concentrations de germanium (30 % et 50 %).

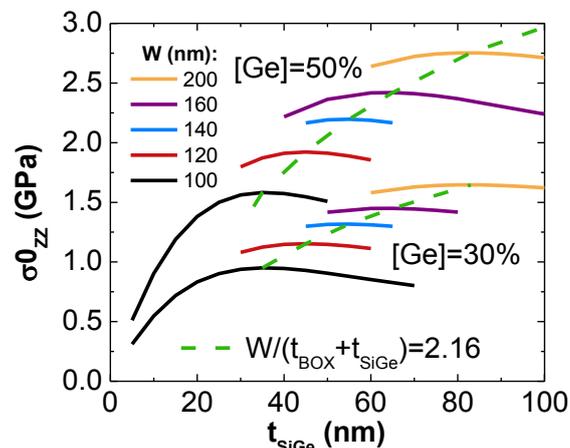


Figure IV.8: Contrainte en fonction de l'épaisseur de SiGe pour deux concentrations de germanium et différentes largeurs de zone active.

D'après cette figure, on observe que pour chaque dimension il y a une épaisseur t_{SiGe} optimale pour laquelle la contrainte est maximale. Cette épaisseur est indépendante de $[Ge]$. La contrainte maximale est obtenue pour le rapport de forme suivant :

$$\frac{W}{t_{SiGe} + t_{BOX}} = 2.16 \quad \text{Equation IV.1}$$

Cependant, les limites physiques des matériaux ne sont pas prises en compte dans les simulations mécaniques. Pour du SiGe sur un substrat (001) en silicium, l'épaisseur critique de relaxation plastique (t_{CSiGe}) détermine l'épaisseur maximale de SiGe à partir de laquelle des dislocations apparaissent et la contrainte diminue. Ainsi, la configuration optimale basée sur un film de SiGe pleinement contraint peut être déterminée à partir de deux relations reportées :

- l'épaisseur critique de SiGe en fonction de [Ge], déterminée dans la littérature
- le rapport de forme Equation IV.1, déterminé par les simulations

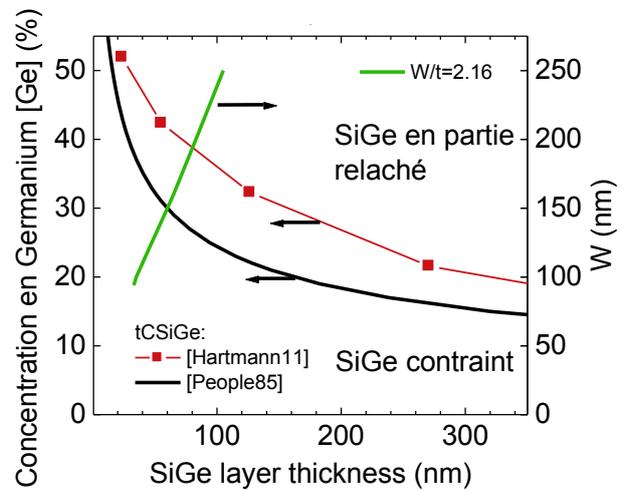


Figure IV.9: Epaisseur critique de SiGe d'après les données bibliographiques et rapport de forme optimal déterminé d'après nos simulations.

Par exemple pour un motif d'une dimension $W=100$ nm, d'après l'Equation IV.1 l'épaisseur optimale de SiGe est $t_{SiGe}=35$ nm. A cette épaisseur, la concentration de germanium peut être augmentée jusqu'à 50 % environ. Au-delà de cette valeur, des dislocations apparaissent et le SiGe est partiellement relâché. Différentes valeurs de l'épaisseur critique du SiGe en fonction de la concentration en germanium peuvent être trouvées dans la littérature [People85] [Hartmann11]. Ainsi, cette optimisation justifie le choix de notre point de référence à $t_{SiGe}=20$ nm assurant d'être inférieur à l'épaisseur critique pour $[Ge]=50$ %. Cependant la présence d'un oxyde enterré pourrait permettre d'utiliser une couche de SiGe contraint au-dessus de l'épaisseur critique sans propager de dislocations néfastes dans la zone active. On peut finalement remarquer que le fait d'augmenter l'épaisseur du BOX dans notre structure diminue l'efficacité du transfert de contrainte.

IV.1.3. Résultats des simulations 3D

Les transistors des cellules logiques en particulier ont besoin d'être rapide. Les hautes performances requises peuvent être atteintes avec l'introduction de contraintes mécaniques. C'est pourquoi nous avons concentré nos simulations 3D sur les dimensions des dispositifs logiques pour le nœud 10 nm. De façon similaire à ce qui a été fait en 2D (Figure IV.3), les profils de contraintes dans les trois directions ont été extraits depuis le centre de la zone active jusqu'au bord (Figure IV.10). Les conditions aux limites imposent une contrainte nulle perpendiculairement à la surface comme ce qui a été vu pour σ_{ZZ} Figure IV.3 mais ce n'est pas le cas pour σ_{XX} où la contrainte reste importante selon z (Figure IV.10). La valeur la plus importante de σ_{XX} et σ_{ZZ} est obtenue au centre de la zone active à $x=z=0$. Sous le bord d'une

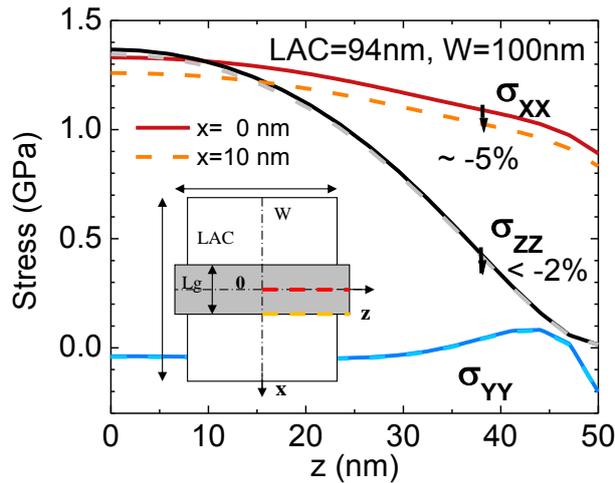


Figure IV.10: Profils de contraintes selon z . La variation de la contrainte selon la longueur de la grille ($L=20$ nm) est négligeable.

longitudinale (σ_{xx}) est plus sensible à LAC (Figure IV.11). Les dimensions n'ont pas d'impact sur la contrainte verticale (σ_{yy}) qui reste faible. La contrainte dans le sSOI reste relativement constante en fonction des dimensions de la zone active. Cependant, pour des dimensions inférieures à 200 nm la relaxation du sSOI par les bords diminue la valeur moyenne de la contrainte.

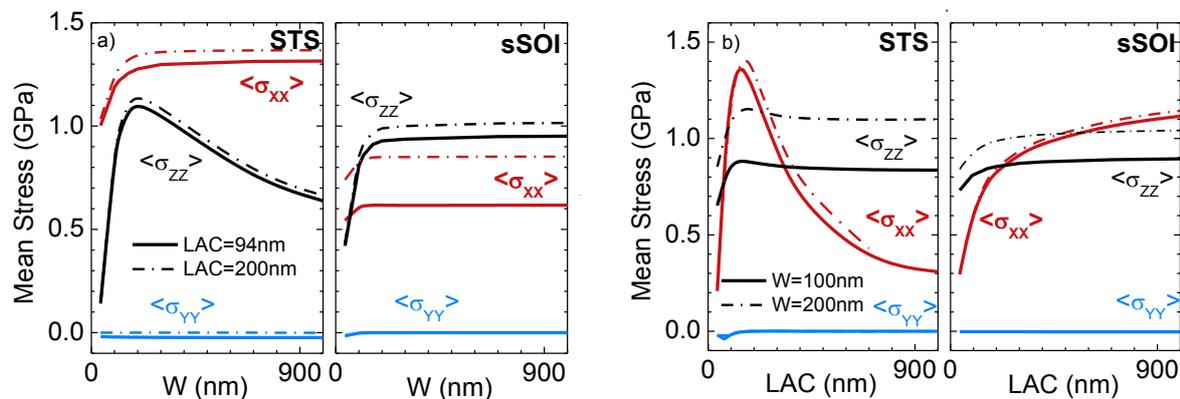


Figure IV.11: Contrainte moyenne selon z en fonction de la largeur (a) et la longueur (b) de la zone active pour la structure à SiGe enterré (STS) et un substrat contraint (sSOI).

En changeant les dimensions de la zone active pour des dispositifs logiques isolés, la contrainte a été extraite pour différents nœuds technologiques. Même si la contrainte diminue pour les nœuds avancés, les valeurs moyennes suivantes sont obtenues avec le STS au nœud 10 nm : $\sigma_{xx}=1.2$ GPa et $\sigma_{zz}=0.9$ GPa ce qui est 50 % et 35 % plus important qu'avec un substrat sSOI (Figure IV.12).

grille de 20 nm de long, le profil $\sigma_{xx}(z)$ est réduit de 5 %, σ_{zz} de moins de 2 % et la composante verticale de la contrainte (σ_{yy}) reste proche de zéro. Ainsi, la contrainte peut être considérée comme uniforme selon x pour des grilles courtes. Ceci sera d'autant plus vrai pour des grilles inférieures à 20 nm.

La valeur moyenne selon z des trois composantes de la contrainte a été extraite pour différentes dimensions d'active. Dans le cas de la structure avec du SiGe enterré (STS), la contrainte transverse (σ_{zz}) est plus sensible à W tandis que la contrainte

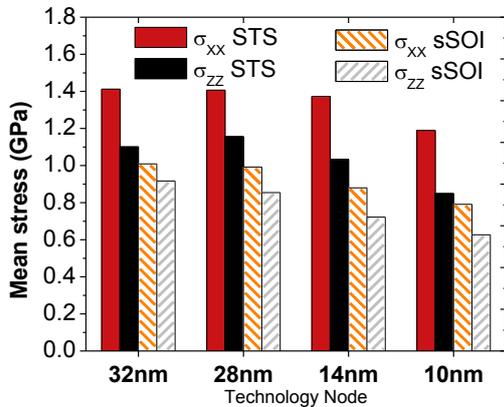


Figure IV.12: Valeur moyenne de la contrainte pour le STS et le sSOI pour différents nœuds.

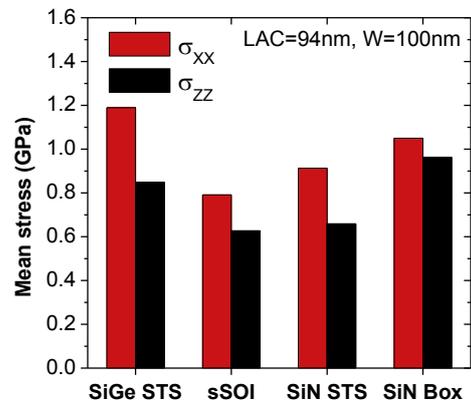
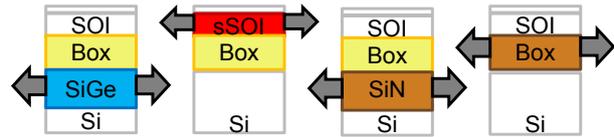


Figure IV.13: Valeur moyenne dans le silicium et schémas des structures simulées : SiGe STS, sSOI, SiN STS et BOX contraint.

Une structure à transfert de contrainte similaire à celle présentée jusqu'à présent a aussi été évaluée pour le nœud 10 nm. Le SiGe sous le BOX est remplacé par une couche de nitrure avec la même épaisseur et la même contrainte intrinsèque de -3 GPa (voir schéma Figure IV.13). A cause d'un module d'Young plus élevé (Tableau IV.1), le transfert de contrainte est moins efficace par rapport au cas du SiGe (Figure IV.13).

Finalement, l'effet d'un BOX en nitrure contraint a aussi été simulé sans couche additionnelle en dessous. Expérimentalement, il a déjà été démontré que ce type de technique permettait de transférer de la contrainte [Baudot09e]. Malgré une uniformité plus importante du profil de contrainte selon z, la contrainte longitudinale σ_{xx} reste plus faible qu'avec notre structure de référence comprenant une couche de SiGe sous le BOX. De plus, la simulation avec un nitrure contraint est plutôt optimiste puisqu'un oxyde mince d'encapsulation, qui n'a pas été pris en compte, est nécessaire afin d'assurer une bonne interface électrique avec le canal. De plus, de telles couches de SiN contraint sont obtenues par dépôt PECVD (*Plasma-Enhanced Chemical Vapor Deposition*) ce qui est plus problématique que de former du SiGe (par épitaxie ou condensation) du point de vue de la fabrication des substrats.

- ✓ En résumé, nous avons montré à l'aide de simulations mécaniques qu'une couche de SiGe en compression placée sous le BOX était efficace pour transmettre une contrainte en tension dans le SOI lors de la gravure de la zone active.
- ✓ Pour une dimension donnée, nous avons mis en évidence que la contrainte peut être optimisée en fonction de l'épaisseur de la couche de SiGe et de sa concentration en germanium.
- ✓ Pour le nœud 10 nm, cette technique permet d'atteindre une contrainte longitudinale moyenne de l'ordre de 1.2 GPa ce qui est plus important qu'avec des substrats sSOI ou bien des structures à base de nitrure contraint.

Afin d'estimer l'avantage apporté par cette structure nous avons calculé le gain en mobilité associé à cette contrainte dans le paragraphe suivant.

IV.1.4. Influence des contraintes sur la mobilité

Les valeurs des coefficients piézorésistifs longitudinal, transverse et plus rarement vertical peuvent être trouvées dans la littérature (II.1.3.b). Cependant, des courbes basées sur des simulations k.p donnent la variation de mobilité pour chaque composante de contrainte et pour de larges valeurs. Afin d'avoir une approximation de l'augmentation de performance qui peut être obtenus pour les nFET et les pFET avec les structures que nous avons simulées, la variation de mobilité est estimée selon :

$$\frac{\Delta\mu}{\mu} = \frac{1}{W/2} \cdot \int_{z=0}^{W/2} \sum_{i=xx;yy;zz} \pi_i(\sigma_i) \cdot \sigma_i(z) \cdot dz \quad \text{Equation IV.2}$$

avec $\pi_i(\sigma_i)$ les courbes piezorésistives présentées dans [Packan08] (II.1.3.c) et σ_i les profils de contrainte obtenus d'après les simulations et en négligeant les variations selon x (Figure IV.10).

La variation de mobilité ainsi obtenue donne une idée de l'influence des structures étudiées sur le transport des porteurs. Cependant, les autres sources de contraintes (telles que l'empilement de grille, le STI, les source/drain ...) doivent aussi être prises en compte pour obtenir la mobilité finale dans le transistor.

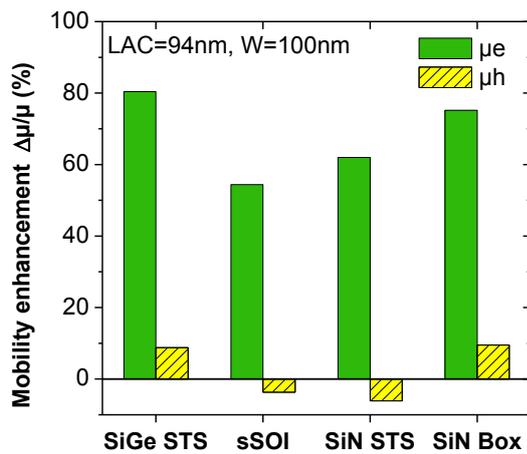


Figure IV.14: Variation de la mobilité des trous et des électrons due à la contrainte induite par différentes techniques pour des dispositifs logiques au nœud 10 nm.

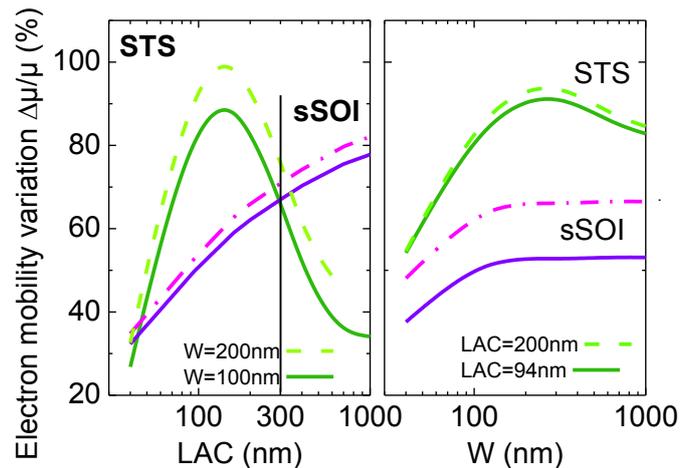


Figure IV.15: Variation de la mobilité des électrons en fonction des dimensions de la zone active pour la structure à SiGe enterré (STS SiGe) ou pour un substrat sSOI.

Les variations de mobilité des électrons (μ_e) et des trous (μ_h) pour différentes structures sont comparées Figure IV.14. La structure STS avec du SiGe permet d'améliorer la mobilité des électrons de **80 %** principalement grâce à la contrainte longitudinale. Pour la mobilité des trous, la contrainte transverse contrebalance à peine l'effet négatif de la contrainte longitudinale pour aboutir à une amélioration de 9 %. Pour des dimensions de l'ordre de 100 nm, le SiGe enterré est la meilleure solution puisqu'il offre le meilleur gain en mobilité comparé aux autres structures.

Le gain en mobilité induit par le SiGe enterré (STS) est tracé (Figure IV.15) en fonction des dimensions de la zone active des nFET. Ce gain est comparé à celui obtenu avec du sSOI. A

cause de la faible contrainte σ_{zz} (comparé à σ_{xx}) imposée par les conditions aux limites ainsi que la plus faible sensibilité à la contrainte selon z (π_{zz} plus faible que π_{xx}), la largeur de la zone active W influence plus faiblement la mobilité des électrons que le paramètre LAC avec le SiGe enterré. L'amélioration de la mobilité en fonction de LAC (Figure IV.15), montre que le STS est plus avantageux que le sSOI pour une longueur d'active inférieure à 300 nm. Cependant les deux techniques peuvent être cumulées : le sSOI apporte une forte contrainte en tension pour les grandes dimensions tandis que sur les plus petites zones actives l'effet de bord qui tend à faire perdre l'efficacité du sSOI par relaxation devient un avantage avec le SiGe enterré.

- ✓ En conclusion, nous avons présenté une structure à SiGe enterré (EBS : *embedded buried SiGe structure*) permettant d'induire une forte contrainte en tension à travers un BOX mince. Les simulations révèlent des niveaux de contrainte intéressants (jusqu'à 1.2 GPa) dans les zones actives de petites dimensions (100 nm). Une estimation du gain en mobilité montre que cette structure représente une solution supplémentaire pour augmenter les performances des nFET (+80% μ_e) au nœud technologique 10 nm tout en étant compatible avec les pFET (+9% μ_h). De plus il est toujours possible de réaliser un canal en SiGe sur les pFET pour augmenter la mobilité.
- ✓ Pour les nFET, l'utilisation d'une couche de SiGe sous le BOX entraîne de meilleures performances qu'une couche de SiN avec la même contrainte intrinsèque. Enfin, une augmentation plus importante de la mobilité des électrons est attendue par rapport au sSOI pour des actives inférieures à 300 nm mais les deux techniques peuvent être compatibles.

IV.2. Fabrication de transistors tri-gate à forte densité d'active

La miniaturisation des outils de lithographie passe par une diminution de la longueur d'onde et l'augmentation de l'ouverture numérique pour pouvoir réaliser des motifs toujours plus petits. Si la lithographie à immersion permet déjà d'augmenter l'ouverture numérique, le passage d'une longueur d'onde de 193 nm (DUV) à 13.5 nm (EUV) dans l'industrie se fait toujours attendre [Ronse12]. Par sur-gravure de la résine (*trimming*) il est possible de diminuer la taille d'un motif mais pas la distance minimale entre différents motifs. La lithographie électronique (*e-beam*) permet de graver sans masque des motifs de très petite taille (~10 nm) mais cette technique est limitée par son faible rendement. Afin de diminuer le temps d'écriture, des méthodes utilisant un grand nombre de faisceaux d'électrons sont en développement [Slot08] [Yasuda12]. Il est aussi possible de combiner la résolution de la lithographie électronique avec le rendement de la lithographie optique par des procédés hybrides [Pauliac06]. En conservant une source DUV, la densité des motifs peut être augmentée en faisant une double exposition mais ce type de lithographie nécessite alors plusieurs masques.

Parmi les solutions proposées pour dépasser les limitations de la lithographie DUV, nous nous sommes intéressés à deux techniques : la première se sert des propriétés des copolymères à blocs pour les utiliser comme masque de gravure. La seconde technique est basée sur des étapes de gravure successives. Après un aperçu de ses applications dans la littérature, nous présenterons les développements envisagés et réalisés pour fabriquer des transistors tri-gate à forte densité.

IV.2.1. Utilisation des copolymères à blocs (BCP)

L'utilisation de copolymères à blocs (BCP) est une autre technique permettant de dépasser les limitations actuelles imposées par la lithographie. Nous allons d'abord résumer l'état de l'art sur les BCP et leur utilisation pour former des motifs denses puis dans un deuxième temps nous proposons une intégration innovante permettant de fabriquer des transistors tri-gate à forte densité.

IV.2.1.a. Propriétés des copolymères

Un polymère est un enchainement d'un grand nombre de motifs de répétition appelés monomère. On parle de copolymères lorsqu'au moins deux motifs ayant chacun une structure moléculaire différente se répètent.

Si l'on considère une chaîne formée à partir de deux monomères, on peut distinguer différents types de copolymères suivant la répartition de ses monomères (Figure IV.16):

- aléatoires ou statistiques suivant la probabilité de présence d'un monomère en fonction de ses voisins
- périodiques dont les copolymères alternés sont un bon exemple
- à blocs lorsque les monomères de même type se suivent. Dans le cas le plus simple (avec deux monomères) on parle de copolymères diblocs. Par exemple, le polystyrène-b-polyméthacrylate de méthyle (abrégé en PS-b-PMMA) est un copolymère à blocs.

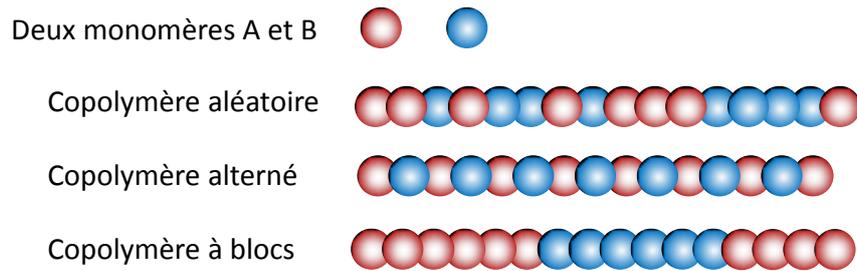


Figure IV.16: Schéma des types de copolymères existant en fonction de la répartition de ses monomères.

Un matériau polymère est un enchevêtrement de chaînes de polymères. Cependant les copolymères à blocs sont particulièrement intéressants puisqu'ils peuvent subir une séparation de phase ce qui forme des micro-domaines. Différentes morphologies peuvent ainsi être obtenues en fonction de la longueur des blocs et de la fraction volumique (f_A , f_B) des deux blocs (Figure IV.17).

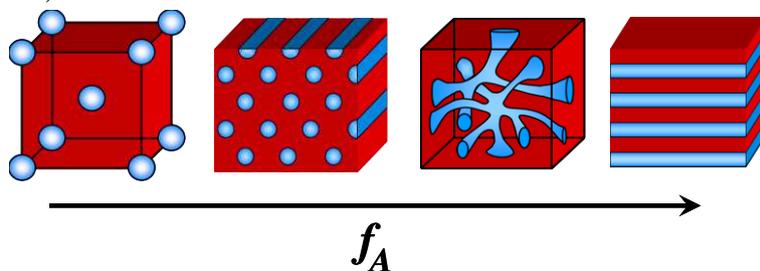
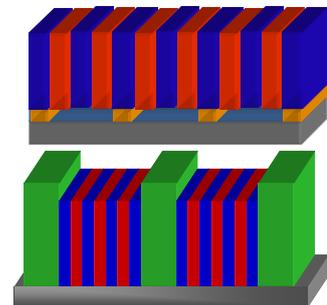


Figure IV.17: Différentes structures possibles avec un copolymère diblocs [Bates99]

Ainsi, les copolymères à blocs offrent la possibilité de s'auto organiser avec une haute résolution (la taille de chaque micro-domaine) [Kim08]. En général, la séparation de phase des BCP sur des surfaces planes entraîne la formation de grains orientés aléatoirement. Cependant, il est possible de contrôler l'orientation et l'alignement des micro-domaines. L'orientation par rapport au substrat dépend des propriétés de surface. Ensuite, parmi les solutions permettant de contrôler l'alignement des copolymères à blocs (DSA : *Direct Self Assembly*) on distingue :

- l'utilisation de motifs définis par modification chimique de la surface [Kim03] [Stoykovich05]
- la graphoépitaxie qui repose sur la topologie du substrat pour confiner les BCP [Segalman03] [Sundrani04] [Bita08] [Han10].



Une fois organisé en lignes (Figure IV.18) ou en cylindres (Figure IV.19) par exemple, un type de bloc peut être retiré (PMMA) sélectivement par rapport à l'autre afin de former un masque permettant de graver la couche sous-jacente. L'utilisation des copolymères à blocs permet ainsi de créer des motifs d'une dimension inférieure à 20 nm ce qui est difficilement faisable avec des techniques conventionnelles. Malgré les perspectives offertes par les propriétés des polymères PS-b-PMMA, les dimensions (CD) inférieures à 10 nm sont

difficilement atteignables à cause du faible degré de séparation de phase de ce type de matériau (paramètre de Flory-Huggins noté χ). L'utilisation de nouveaux BCP avec un χ plus grand permet cependant de repousser cette limite, un CD de 7 nm a ainsi été démontré [Chevalier13].

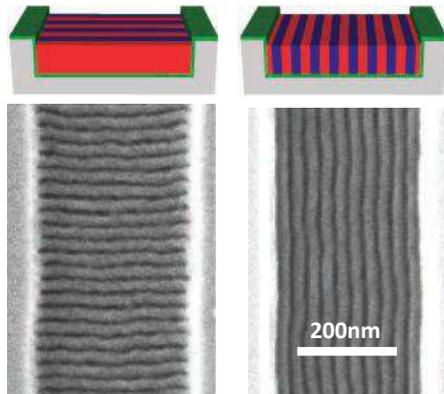


Figure IV.18: Images MEB de PS-b-PMMA en lignes avec différentes orientations assemblé par graphoépitaxie [Han10].

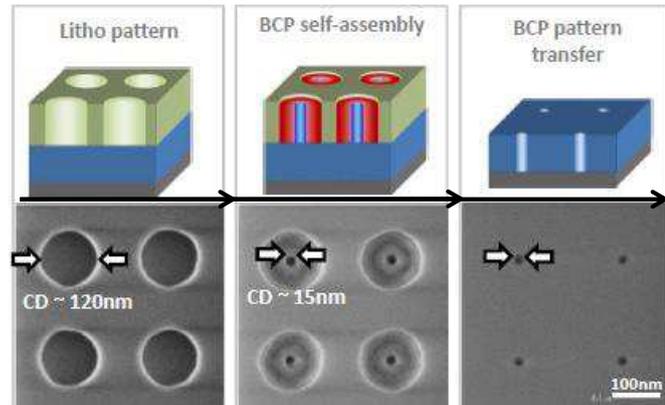


Figure IV.19: Images MEB de l'utilisation de BCP en cylindres obtenus par graphoépitaxie pour créer des motifs de 15nm [Tiron13, CEA-LETI].

Dans une intégration CMOS, il a déjà été démontré que l'organisation des copolymères en cylindres (Figure IV.19) permet d'obtenir des contacts d'un diamètre de 20 nm. Suivant la forme du motif initial défini par la lithographie DUV (*Deep Ultraviolet*, 193 nm), plusieurs contacts peuvent ainsi être formés à une distance de 40 nm [Cheng09b] [Cheng10]. L'utilisation de copolymères en lamelles permet également de réaliser des *fins* pour la logique ou pour des mémoires SRAM (Figure IV.20) [Lai13] [Tsai13].

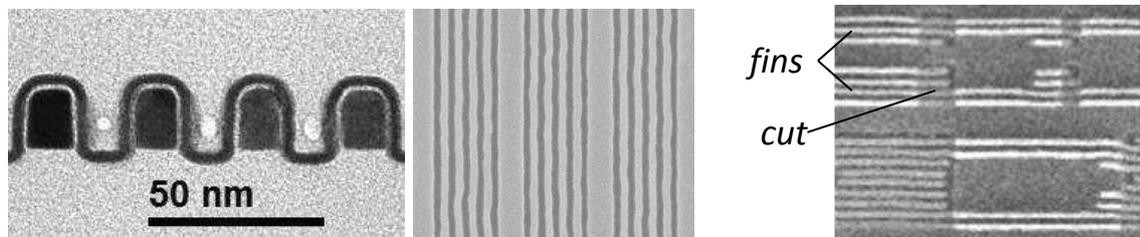


Figure IV.20: Images TEM et MEB de motifs sur SOI (à gauche) [Tsai13] et sur silicium (à droite) [Lai13] obtenus à l'aide de BCP auto-alignés.

Dans le paragraphe suivant, nous allons décrire un nouveau procédé de fabrication de motifs nanométriques utilisant les copolymères à blocs envisagé pour la réalisation de transistors MOS sur SOI.

IV.2.1.b. Principe d'application au transistor

Dans ce paragraphe, nous proposons une modification de l'intégration *gate-last* présentée au paragraphe III.2 pour utiliser les propriétés des copolymères à blocs et obtenir des motifs de très petite taille avec une densité élevée et de manière auto-alignée [Morvan12e]. Les principales étapes de cette intégration sont résumées Figure IV.1:

1/ Lors de l'intégration *gate-last*, une fausse grille en polysilicium est formée puis retirée. Le retrait de la grille forme ainsi une cavité limitée par le SOI et les espaceurs en SiN.

2/ Les copolymères à blocs (de type PS-b-PMMA par exemple) sont déposés sur toute la plaque. Suivant l'épaisseur, la passivation des surfaces et la quantité de chaque monomère, les BCP peuvent se séparer et s'organiser en phases A et B distinctes formants des lignes (Figure IV.18) perpendiculaires à la grille.

3/ Un type de bloc (B) est retiré sélectivement par rapport à l'autre.

4/ Le copolymère restant (A) est utilisé comme masque pour graver le silicium en s'arrêtant sur le BOX. Grâce à la taille des blocs (de 10 nm à 20 nm), les motifs ainsi définis ont une forte densité et sont de petite tailles.

5/ Tous les copolymères sont retirés et le silicium est nettoyé. Sous la grille, la zone active a été découpée en fils parallèles reliant les zones de source et drain.

6/ Un oxyde conforme de type *high-k* est déposé et recouvre les fils de silicium.

7/ Le métal de grille est déposé puis planarisé comme dans le cas d'une intégration *gate-last* classique. Ensuite les contacts peuvent formés de manière traditionnelle ou bien en utilisant encore une fois les copolymères comme ce qui a été proposé dans [Cheng09b].

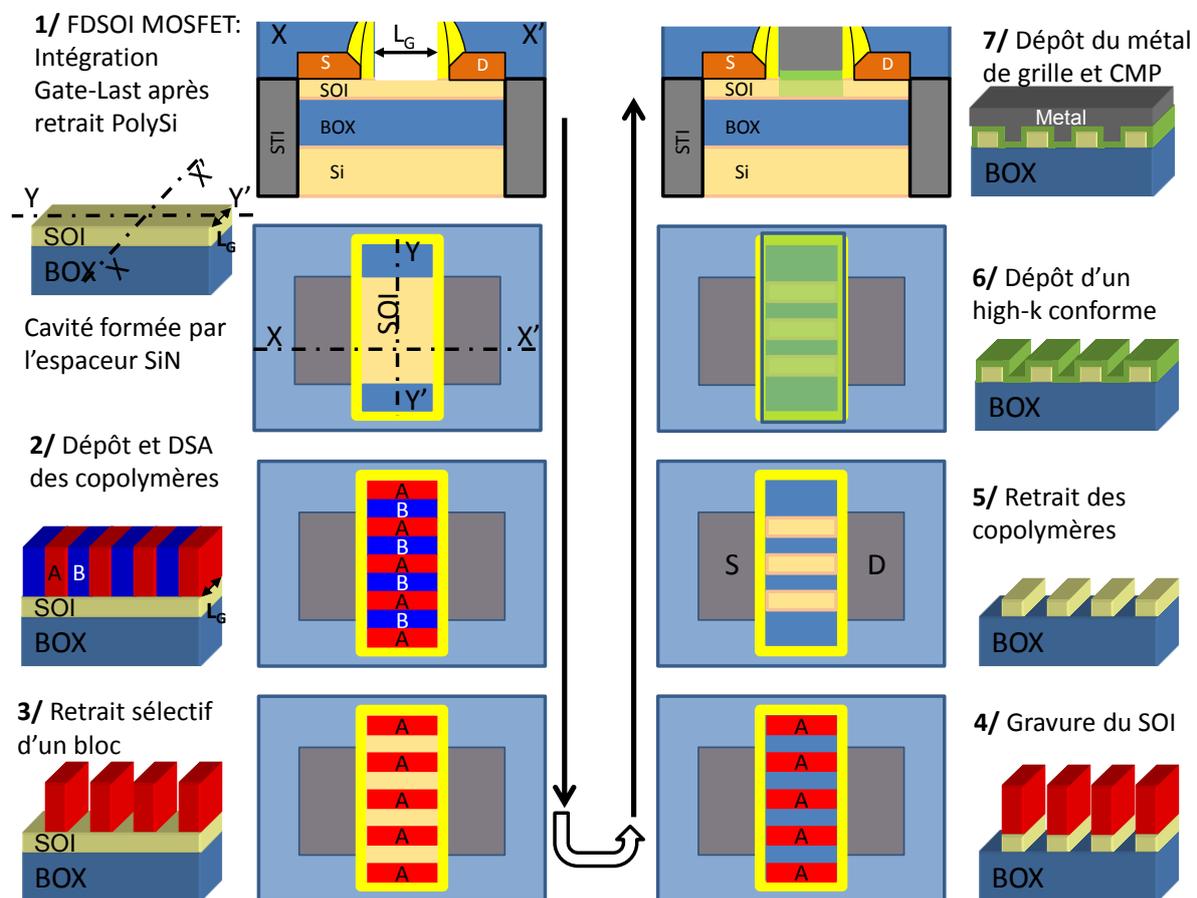


Figure IV.21: Schéma des principales étapes de fabrication d'un transistor FDSOI gate-last utilisant les copolymères à blocs pour obtenir des grilles multiples à forte densité.

- ✓ En conclusion, nous avons vu dans la littérature que les copolymères à blocs ouvrent de nouvelles perspectives pour dépasser les limites de la lithographie DUV et former des motifs denses de petite taille (< 20 nm). Grâce aux copolymères, l'intégration que nous avons proposée permettrait d'obtenir des transistors de type *tri-gate*: ils possèdent un meilleur contrôle électrostatique et un encombrement plus faible par rapport aux transistors planaires.

IV.2.2. Fabrication de transistors tri-gate à forte densité (SIT)

Une autre technique basée sur des procédés plus conventionnels de gravure permet de fabriquer des motifs à forte densité et de dépasser les limites de la lithographie (voir début du §IV.2). Malgré certaines variantes, la technique de SIT (*Sidewall Image Transfer*) aussi connue sous le nom de SADP (*Self-Aligned Double Patterning*) est toujours basée sur le même principe résumé Figure IV.22: un motif initial est défini par lithographie puis des espaceurs sont formés de part et d'autre du motif initial qui est retiré. Les espaceurs servent ensuite de couche de protection à la gravure pour définir un nouveau motif deux fois plus dense que le motif de départ. Cette technique est donc parfois appelée *spacer patterning*. Elle peut éventuellement être répétée pour augmenter encore la densité d'un facteur deux [Hara10].

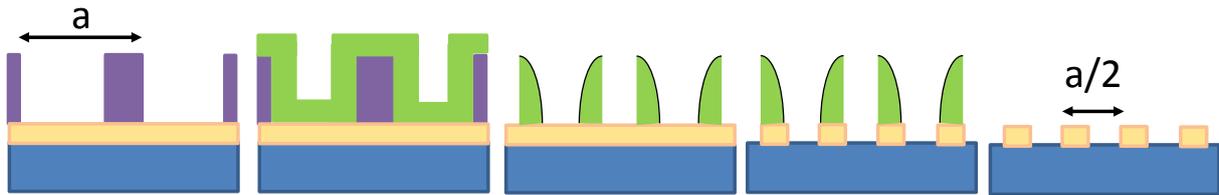


Figure IV.22: Schéma du principe de double gravure permettant d'augmenter la densité de motifs.

Dans la littérature, cette technique a été utilisée pour fabriquer des mémoires à haute densité [Hwang09] [Lee10] mais aussi des FinFET [Choi02] [Guillorn08] [Kaneko08] [Kawasaki09]. La périodicité des motifs (*pitch*) minimale ainsi obtenue est de 40 nm [Basker10] [Yamashita11].

IV.2.2.a. Développement de la brique SIT

Enchaînement des procédés

La brique SIT permet de passer d'un motif initial d'une périodicité « a » à « $a/2$ ». L'augmentation de la densité d'un facteur 2 est obtenue grâce à l'enchaînement d'étapes de dépôt et gravure. Les étapes utilisées au LETI pour atteindre un *pitch* final de 35 nm sont résumées Figure IV.23:

1/ La première étape est une lithographie qui peut être réalisée en DUV. Cependant, en l'absence de masque adapté nous avons choisi de réaliser cette étape par lithographie électronique (*e-beam*) avec une résine positive. La résine insolée est retirée ce qui forme des cavités d'une périodicité (*pitch*) de 70 nm. Les lignes de résines restantes ont une dimension critique (CD) de 40 nm. La difficulté lors de cette étape consiste à ajuster la dose pour obtenir un CD uniforme pour des motifs de différentes densités. Bien que le *pitch* soit le même, un motif comprenant un grand nombre de lignes et des lignes longues aura tendance à être surexposé (CD ligne faible) par rapport à un motif avec quelques lignes courtes. On peut noter qu'en réalité, le SOI est initialement couvert par un oxyde plasma de 2.5 nm non représenté dans les étapes ci-dessous.

2/ La dimension des lignes de résine est diminuée et le motif défini est transféré dans le SiARC (*Anti Reflecting Coating*) et dans le SOC (*Spin On Carbon*). Les lignes font alors 25 nm de large pour une hauteur de 100 nm environ. On remarquera qu'en dessous de 20 nm environ, l'empilement est trop fin et les lignes commencent à tomber.

3/ La couche de SiARC au sommet de l'empilement est retirée. Il y a deux possibilités pour ce retrait : une gravure humide (solution de HF 1%) ou une gravure sèche (plasma $\text{CH}_2\text{F}_2/\text{CF}_4/\text{He}$). Bien que la gravure humide présente une bonne sélectivité par rapport au silicium, cette solution a été écartée dans un premier temps au profit de la gravure sèche à cause de problèmes de décollement du SOC.

4/ L'espaceur est ensuite déposé sur le SOC. Cet espaceur doit être conforme afin d'obtenir une épaisseur conséquente (10 à 20 nm) sur les flancs du SOC. Nous utilisons pour cela un SiN basse température déposé par PECVD (*Plasma-Enhanced Chemical Vapor Deposition*).

5/ En une seule étape, l'espaceur est gravé et le SOC est entièrement retiré par plasma.

6/ Les lignes d'espaceur sont utilisées comme masque dur afin de graver le SOI. Seul le SOI situé sous les espaceurs est protégé alors qu'il est gravé partout ailleurs.

7/ Après le retrait du SiN avec une solution de HF 1%, le SOI se présente sous forme de nanofils parallèles avec une densité deux fois supérieure au motif défini initialement par la lithographie.

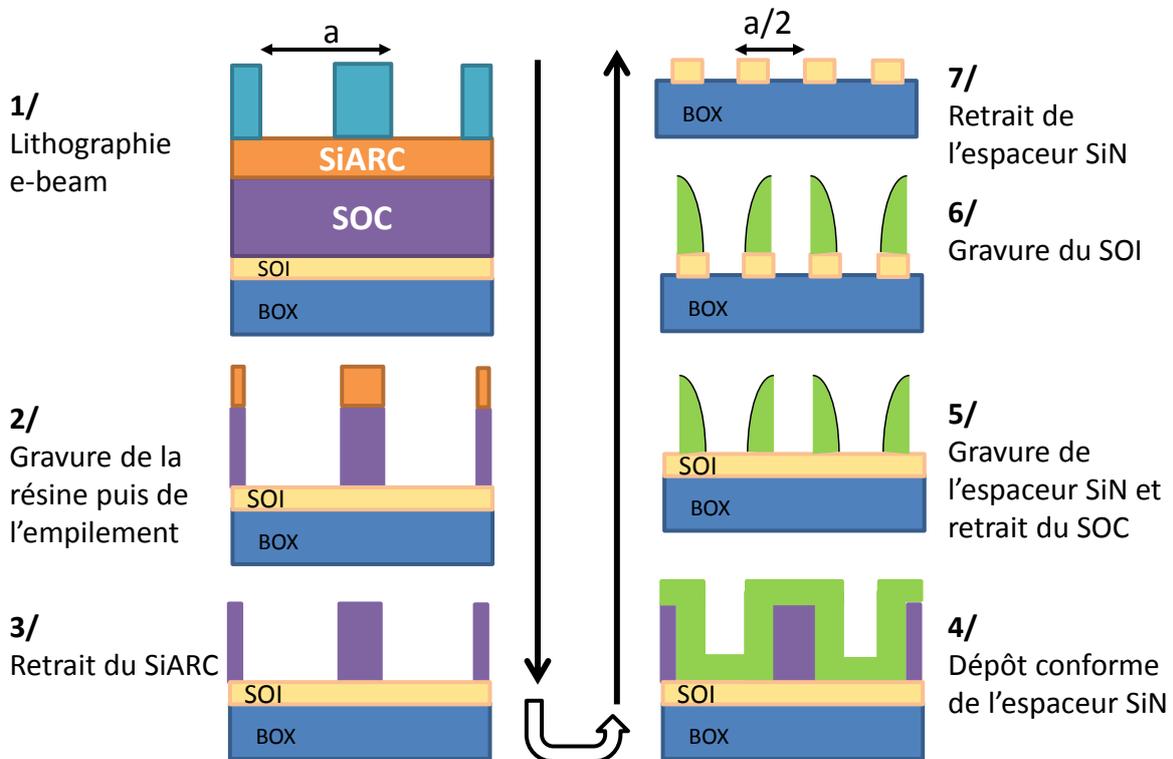


Figure IV.23: Schéma des étapes principales de réalisation de la brique SIT permettant d'augmenter par 2 la densité de motifs grâce au dépôt/gravure d'un espaceur.

Bien que cette intégration avec les espaceurs directement sur le SOI soit possible, certains inconvénients que nous allons aborder dans le paragraphe suivant rendent l'utilisation d'une couche supplémentaire nécessaire.

Utilisation d'une couche tampon

Lors de la gravure plasma de l'espaceur (étape 5), le silicium non protégé par le SOC est légèrement consommé (4 nm environ) ce qui entraîne un profil dissymétrique entre l'intérieur et l'extérieur des espaceurs. Ensuite, lors de la gravure du SOI (étape 6) cette

dissymétrie est accentuée par une différence d'angle solide due au profil des espaces. En effet, avec une ouverture plus grande les espèces réactives atteignent plus facilement le silicium qui se consomme plus vite.

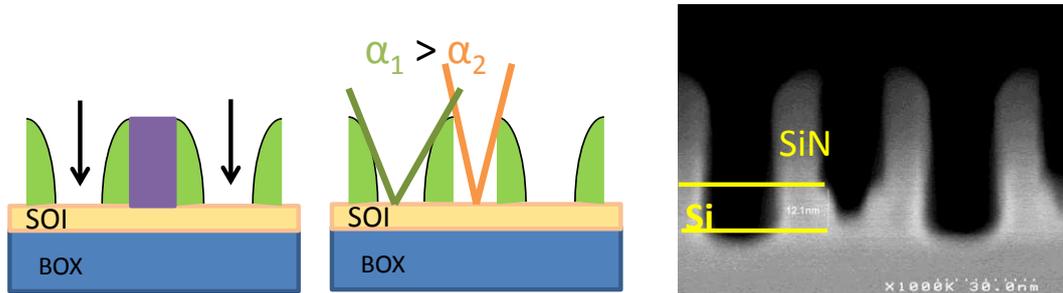


Figure IV.24: Schémas après la gravure des espaces et lors de la gravure du SOI. L'image MEB en coupe montre la différence de profils du silicium entre l'intérieur et l'extérieur des espaces.

Afin de transférer un profil droit et symétrique dans le silicium, une couche intermédiaire appelée couche tampon est ajoutée par rapport au schéma d'intégration présenté Figure IV.23. Une couche de 15 nm de TiN PVD est donc déposée sur le silicium. Le TiN protège le silicium jusqu'à la gravure des espaces. Le motif défini par les espaces est transféré dans le TiN ce qui permet d'obtenir un profil droit par surgravure latérale avant d'être transféré dans le silicium. Après le retrait de l'espaceur (étape 7), le TiN est entièrement retiré par une gravure humide (connue sous le nom de nettoyage SC1). La solution utilisée n'étant pas très sélective par rapport à l'oxyde plasma, celui-ci est remplacé par un oxyde thermique de meilleure qualité afin de protéger le silicium. On peut remarquer également que l'utilisation d'une couche tampon permet d'utiliser une gravure humide pour le retrait du SiARC (étape 3) sans rencontrer de problème de décollement.

Premiers résultats morphologiques

Les premiers résultats avec un espaceur de 10 nm ont montré des problèmes d'ondulation des lignes pour l'intégration directement sur silicium et l'intégration avec une couche de TiN. Indifféremment du type d'intégration, les lignes présentent de fortes ondulations après le transfert des motifs dans le silicium comme le montrent les images MEB Figure IV.25. Ce phénomène est plus marqué sur les lignes longues (>300 nm).

Avec d'autres matériaux, un phénomène d'ondulation similaire a déjà été observé et simulé [Darnon07]. Le flambage est un phénomène mécanique qui se caractérise par la déformation perpendiculaire d'un matériau soumis à une force de compression longitudinale. Cette instabilité mécanique a donc pour effet de provoquer des ondulations (ou

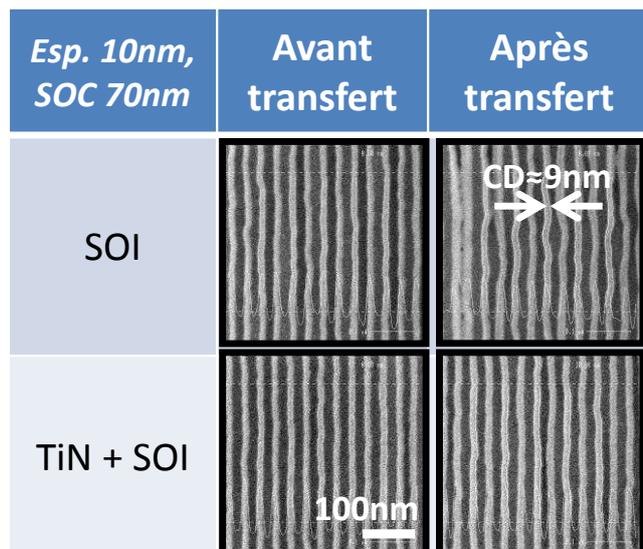


Figure IV.25: Images MEB des lignes formées par les espaces de 10 nm avant et après le transfert dans le SOI ou dans le TiN et le SOI. Avec les deux intégrations, les lignes présentent de fortes ondulations.

wiggling en anglais). L'apparition de ces ondulations dépend du rapport de forme des lignes, de la contrainte longitudinale et des propriétés mécaniques des matériaux.

Afin de vérifier cette hypothèse et de trouver un point de fonctionnement plus adéquat, nous avons modifié les procédés utilisés afin de faire varier la hauteur et la largeur de ces lignes. Nous avons utilisé un dépôt de carbone amorphe de 40 nm à la place du SOC de 70 nm. La largeur des lignes est aussi modifiée en augmentant l'épaisseur des espaceurs de 10 nm à 18 nm. On remarquera que la hauteur des espaceurs après gravure n'est pas égale à la hauteur de la couche déposée mais fait 15 ± 5 nm de moins. De même, latéralement les espaceurs perdent quelques nanomètres par rapport à l'épaisseur déposée.

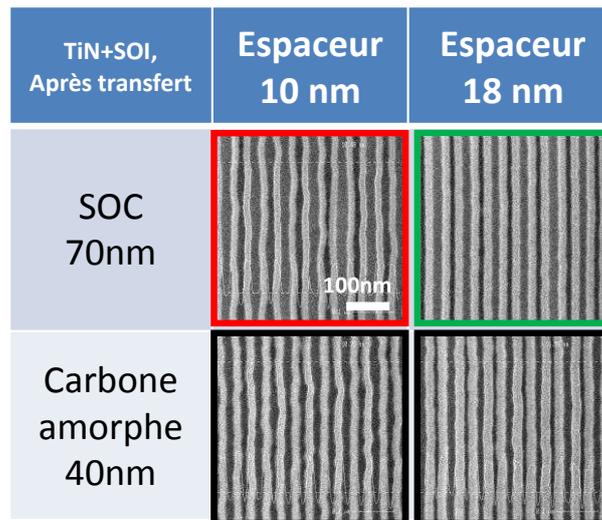


Figure IV.26: Images MEB des lignes avec différents rapports de forme après le transfert dans le TiN et le SOI.

La Figure IV.26 montre les lignes obtenues après gravure du TiN et du SOI pour différentes épaisseurs et hauteurs d'espaceur. Avec un espaceur de 10 nm et une épaisseur de SOC de 70 nm on retrouve les ondulations déjà observées. En diminuant la hauteur de l'espaceur grâce au carbone amorphe on n'observe pas de différence, les ondulations sont toujours présentes avec un espaceur de 10 nm. En revanche en conservant le SOC avec une épaisseur de 70 nm mais en augmentant la largeur de l'espaceur à 18 nm, les lignes sont bien droites. Afin d'utiliser cet espaceur et d'obtenir des motifs périodiques bien symétriques, le *pitch* final qui a été retenu est de 40 nm.

De plus ce choix se justifie par l'image TEM Figure IV.28 montrant les motifs finaux obtenus avec un espaceur de 10 nm et un *pitch* initial de 70 nm. La forte consommation latérale du silicium entraîne un espacement irrégulier mais surtout une taille trop faible des motifs (≈ 5 nm).

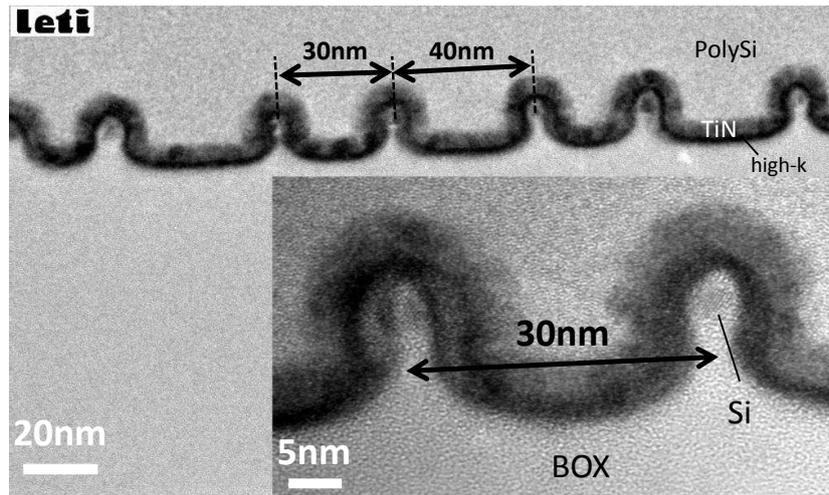


Figure IV.27: Images TEM après dépôt de la grille (high-k/TiN/PolySi) sur des motifs SIT obtenus avec un espaceur de 10nm pour un pitch initial de 70nm.

- ✓ En conclusion, bien que l'origine de ces ondulations ne soit pas clairement identifiée nous avons montré qu'elles pouvaient être évitées en augmentant l'épaisseur des lignes. Ainsi, un SOC d'une épaisseur de 70 nm combiné à un espaceur de 18 nm constitue un point de fonctionnement viable.

Dans le paragraphe suivant, nous verrons comment utiliser ces procédés afin de fabriquer des transistors de type tri-gate avec une forte densité.

IV.2.2.b. Intégration de la brique SIT pour la fabrication de transistors Tri-gate

❖ Etapes supplémentaires nécessaire pour l'intégration de MOSFET

En plus des procédés utiles à la réalisation de la briques STI que nous avons détaillé au paragraphe précédent, d'autres développements sont nécessaires afin de pouvoir utiliser la brique SIT pour la fabrication de MOSFET tri-gate en se basant sur la route existante.

Génération de la base e-beam

L'utilisation des SIT dans la fabrication des transistors doit utiliser les masques existants (grille, contacts, ...) pour minimiser sa complexité et son cout de développement. Les premiers motifs spécifiques au SIT peuvent être réalisés à l'aide d'une lithographie DUV. Cependant pour des raisons de flexibilité nous avons utilisé la lithographie électronique. Puisque l'approche SIT permet de découper le SOI en fils, la base a été générée à partir du masque DUV de la zone active par le laboratoire des masques du LETI (LMDK). Ce script permet d'automatiser le dessin des motifs SIT à insoler. Il détecte les zones actives rectangulaires correspondantes aux transistors isolés sur la puce puis y place les rectangles qui deviendront par la suite les cavités dans lesquelles les espaceurs sont déposés.

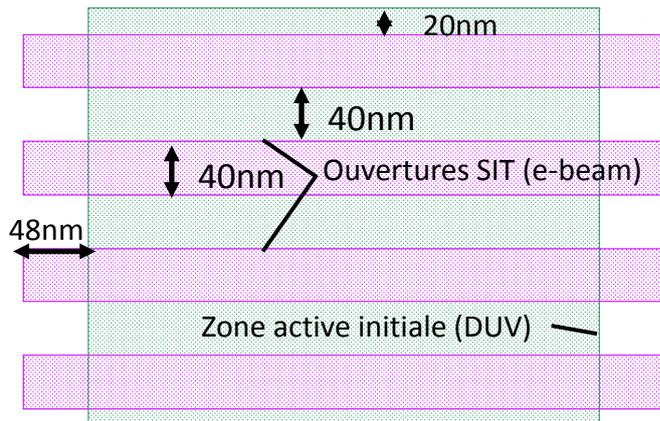


Figure IV.28: Dessin des motifs SIT à insoler (violet) et position par rapport à la zone active à graver (vert).

Les règles de dessins (Figure IV.28) sont prises en compte dans le script. Elles sont calculées afin de prendre en compte les erreurs d'alignement, l'épaisseur des espaceurs plus une marge supplémentaire pour au final assurer que les espaceurs se trouvent bien au-dessus de la zone active à graver ou en dehors pour les bouts de ligne.

Protection de motifs à conserver

Comme nous l'avons vu, l'approche SIT découpe les zones insolées en fils d'une largeur fixée par l'épaisseur des espaceurs tandis que le silicium des zones non exposées se retrouve entièrement gravé. Cependant certains motifs de silicium doivent être conservés. Dans ces motifs à protéger on trouve :

- les motifs d'alignement dans la périphérie du champ concepteur. Ces motifs nécessaires pour aligner les différentes lithographies entre elles et mesurer les décalages entre les niveaux (*overlay*).
- les zones actives factices (*dummies*). Bien que ces motifs ne soient pas indispensables à la fabrication ou au fonctionnement des transistors, ils assurent que la densité moyenne de motifs au niveau zone active soit assez importante. Dans le cas contraire, des procédés tels que la gravure peuvent être difficile à contrôler.
- les autres types de dispositifs que l'on souhaite conserver. Sur une puce, différents types de motifs sont co-intégrés et ils ne nécessitent pas tous d'être dessinés sur le même modèle.

Pour cela nous avons déposé un masque dur de 10 nm de SiN. Ce masque dur est gravé à l'aide d'une lithographie DUV et d'un masque se rapprochant le plus possible des critères mentionnés ci-dessus. Les étapes de la brique SIT sont ensuite réalisées sur les zones découvertes puis le masque dur est retiré en même temps que les espaceurs.

Marques d'alignement

Plusieurs types de dispositifs ont été suivis au cours de cette intégration sur lesquels les lignes ont différentes longueurs (LAC) et dont la périodicité s'étend sur des distances variables (W). Contrairement au motif de grande taille ($W=10\mu\text{m}$ et/ou $LAC=10\mu\text{m}$), les motifs les plus petits ($W=0.25\mu\text{m}$, $LAC=0.50\mu\text{m}$) sont difficiles à observer de manière automatique à cause des erreurs d'alignement. La stratégie d'alignement du microscope électronique a donc été ajustée en rajoutant des marques dans les zones actives factices proches des motifs d'intérêt. Afin de rester visible tout au long des étapes SIT, ces marques suivent les règles de dessin définies précédemment (Figure IV.28).

❖ **Résumé de l'intégration de transistors tri-gate à l'aide de la technique SIT**

Finalement, le schéma d'intégration utilisé pour fabriquer des transistors avec la technique de SIT est résumé Figure IV.29.

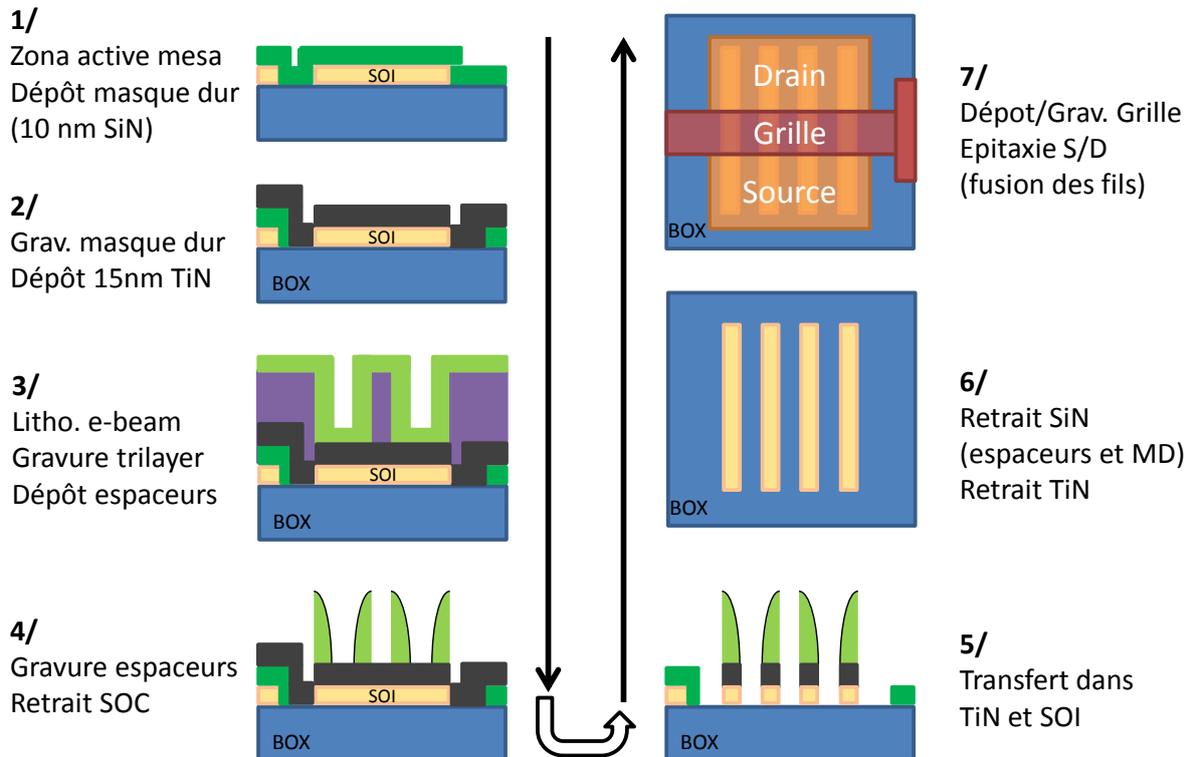


Figure IV.29: Schéma des principales étapes de fabrication d'un transistor tri-gate à partir de la brique SIT pour la zone active.

Les étapes principales sont les suivantes :

1/ Le zone active est définie à l'aide d'une lithographie DUV. L'isolation est de type méssa. Le masque dur utilisé est déposé (10 nm de SiN).

2/ Le masque dur est gravé pour découvrir les zones actives à graver tout en protégeant certains motifs. Une couche tampon de 15 nm de TiN PVD est déposée.

3/ Trois couches (SOC, SiARC et résine) sont déposées puis les motifs SIT sont définis à l'aide d'une lithographie électronique. Le *pitch* initial est de 80 nm. Les trois couches sont ensuite gravées (§0) et un nitrure conforme (18 nm de SiN) est déposé dans les cavités ainsi formées.

4/ Le nitrure est gravé ce qui forme des espaceurs sur les flancs du SOC. Le SOC est alors retiré.

5/ Les espaceurs définissent un motif d'une périodicité de 40 nm. Ce motif est transféré dans le TiN qui sert de couche tampon pour obtenir un profil de gravure droit puis dans le silicium.

6/ Les espaceurs et le masque dur étant tous les deux en SiN, ils sont retirés en même temps par une solution de HF 1%. Ensuite le TiN restant sur le silicium est également retiré. Les zones actives qui étaient initialement rectangulaires se retrouvent donc découpées en fils d'environ 15 nm de large pour un *pitch* final de 40 nm.

7/ La grille est déposée perpendiculairement sur les fils puis elle est gravée. Les fils peuvent être connectés électriquement de deux façons suivant le type de contact:

- avec des contacts classiques, en augmentant l'épaisseur de l'épitaxie des régions source/drain l'espace entre les fils diminue progressivement jusqu'à ce que les fils fusionnent
- sinon les fils peuvent être connectés entre eux lors de la formation de lignes de contacts

IV.2.2.c. Résultats morphologiques et perspectives

La Figure IV.30 montre les résultats morphologiques obtenus à ce jour après la gravure de la grille. On peut y voir la zone active constituée de fils parallèles d'une largeur de 15 nm et un espace moyen de 25 nm (*pitch* 40 nm). L'épaisseur des fils étant de 10 nm on forme ainsi un transistor tri-gate.

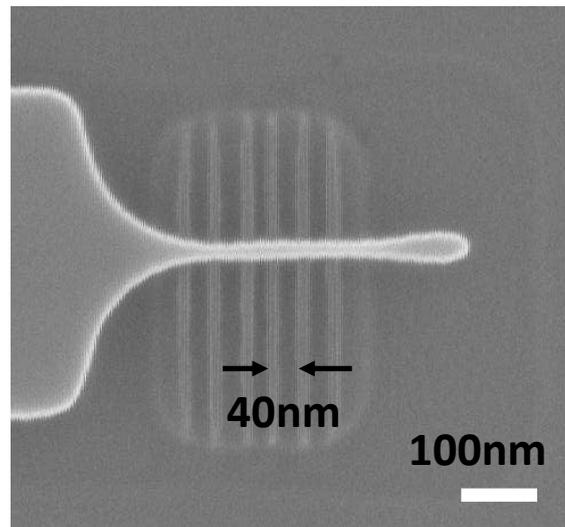


Figure IV.30: Image MEB d'une grille sur une zone active à nanofils obtenue par SIT.

Ce transistor doit combiner deux avantages : un très bon contrôle électrostatique grâce à la grille qui recouvre chaque fils ainsi qu'un courant plus important par rapport à une intégration tri-gate classique grâce à la forte densité des motifs.

- ✓ En conclusion, nous avons montré comment dépasser les limites de la lithographie DUV à l'aide d'un procédé de dépôt et de gravure d'espaceur (SIT). La brique ainsi développée a été adaptée pour être utilisée dans une intégration CMOS. Nous avons obtenu de bon résultats morphologiques jusqu'à la gravure de la grille avec des fils de silicium de 15 nm avec une forte densité (*pitch* de 40 nm). Cette étude est poursuivie et sera complétée par des caractérisations électriques approfondies. Des procédés induisant des contraintes seront également intégrés ultérieurement afin de déterminer les performances nominales possibles avec cette architecture.

IV.3. Perspectives pour le nœud technologique 10 nm

Dans ce paragraphe, nous allons tenter d'apporter des éléments sur les performances requises pour le nœud technologique 10 nm et les solutions techniques envisagées pour cette génération.

Comme nous l'avons évoqué dans le chapitre I, la miniaturisation a pour but de doubler la densité des circuits logiques tout en augmentant leur rapidité de 20 % à 30 % (à une puissance constante) à chaque nœud technologique. Ces critères peuvent être évalués au niveau composant à l'aide d'oscillateurs en anneau. A partir des données du nœud 28 nm FDSOI [Planes12], les caractéristiques des nœuds 14 nm et 10 nm peuvent être extrapolés en considérant une diminution du délai moyen de l'ordre de 30 %. Une augmentation de la densité d'un facteur 2 impose également une diminution de la largeur W des inverseurs de 30 %. En revanche d'après les données de l'ITRS, la longueur de grille (L_G) diminuerait dans une moindre mesure (-20 % par génération). Les dimensions ainsi obtenues pour les différentes générations technologiques sont résumées Tableau IV.2.

Tableau IV.2: Caractéristiques des inverseurs aux nœuds 14 nm et 10 nm extrapolées à partir du 28 nm FDSOI.

	28 nm [Planes12]	14 nm	10 nm
τ (ps/stg)	13	9	6-7
V_{DD} (V)	1	0.9	0.8
W_{min} N/P (μm)	0.21/0.30	0.15/0.21	0.10/0.15
L_G (nm)	24	20	16

A l'aide de simulations TCAD, une carte modèle a été développée au LETI (O. Rozeau et M.-A. Jaud) afin de prédire les caractéristiques électriques des transistors au nœud 10 nm tout en maintenant un bon contrôle électrostatique ($DIBL < 100\text{mV/V}$). Ce modèle prédictif a été modifié pour prendre en compte des variations de mobilité ($\Delta\mu/\mu$) par rapport à la génération 14 nm planaire en FDSOI. Le délai moyen de propagation (τ) est extrait à partir d'une chaîne d'inverseur. Chaque inverseur est relié à trois autres (FO3 : *Fan Out*) et chaque capacité en sortie est fixée à 1.5fF.

Dans nos simulations, la longueur de grille est fixée à 16 nm. Nous avons ensuite évalué les performances d'oscillateurs en anneaux avec deux largeurs de transistors :

- un cas agressif avec $W_n=W_p=120$ nm correspondant à la largeur moyenne extrapolée Tableau IV.2. Cette dimension est obtenue en considérant une miniaturisation constante entre les différentes générations technologiques.
- un cas relâché avec $W_n=W_p=170$ nm où la largeur des transistors pour le nœud 10 nm est similaire aux dimensions du 14 nm. Cette configuration est possible en planaire lorsque le *back-end* ou les autres cellules standards limitent la miniaturisation.

La Figure IV.31 montre le délai en fonction du gain en mobilité pour trois tensions d'alimentation (V_{DD}) et avec les dimensions relâché ($W=170$ nm). Pour atteindre le délai du nœud 10 nm ($6\text{ ps} < \tau < 7\text{ ps}$) un gain en mobilité de 30 % à 60 % est nécessaire à $V_{DD}=0.8\text{V}$. Pour des dimensions plus agressives ($W=120$ nm, Figure IV.32), la diminution du courant due à la réduction de W doit être compensée par un gain en mobilité plus important : de +100 % à

+150 % à $V_{DD}=0.8V$ ce qui correspond à un gain en courant I_{ON} de l'ordre de 30 % (Figure II.53).

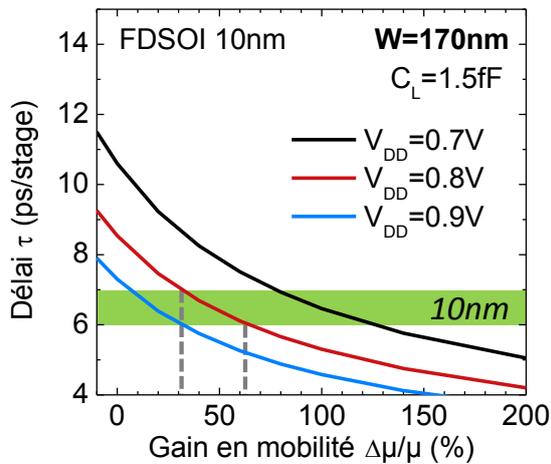


Figure IV.31: Simulation du délai d'un oscillateur en anneau (FO3, $C_L=1.5fF$) en fonction du gain en mobilité et à $W_n=W_p=170nm$.

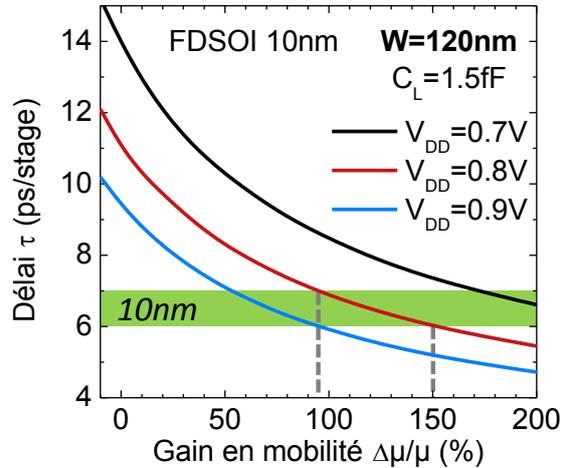


Figure IV.32: Simulation du délai d'un oscillateur en anneau (FO3, $C_L=1.5fF$) en fonction du gain en mobilité et à $W_n=W_p=120nm$.

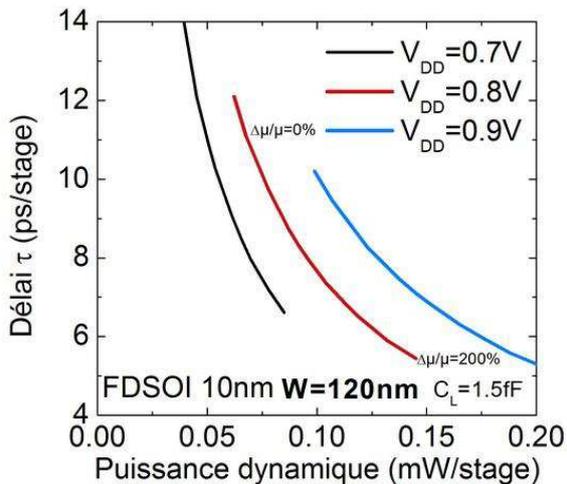


Figure IV.33: Simulation du délai en fonction de la puissance dynamique d'un oscillateur en anneau (FO3, $C_L=1.5fF$) pour différente valeur de mobilité et à $W_n=W_p=120nm$.

Sur les deux courbes ci-dessus, on voit que le fait de diminuer la tension d'alimentation augmente le délai des inverseurs. Cependant la réduction de la tension d'alimentation est nécessaire afin de diminuer la puissance dissipée (Figure IV.33).

Pour les nFET un gain en mobilité de l'ordre de 35 % (Fig. II.30) à 60 % (+27 % I_{ON}) [Khakifirooz12] (Figure IV.35) peut être apporté au nœud 10 nm grâce à l'introduction des substrats contraints (sSOI). Nous avons également démontré (§IV.1) qu'une structure à transfert de contrainte serait susceptible d'apporter jusqu'à 80 % de gain sur la mobilité des électrons.

Pour les pFET, l'augmentation de la contrainte serait liée aux améliorations des procédés déjà mis en place au nœud 14 nm notamment grâce à l'augmentation des concentrations en Ge (Figure IV.34):

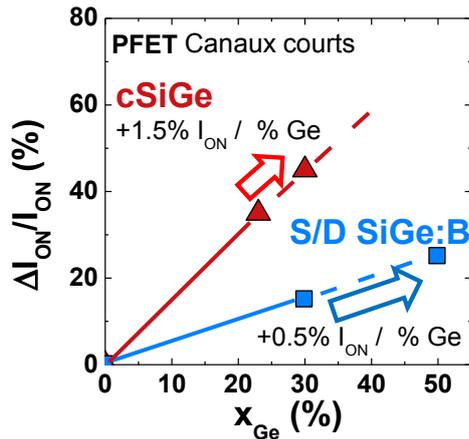


Figure IV.34: Résultats expérimentaux [Khakifirooz12] [Morvan12c] et extrapolés du gain en courant en fonction de la concentration en germanium dans le canal et les S/D des PFET.

- les S/D en SiGe:B avec une concentration de Ge de 30 % apportent un gain de 97 % sur la mobilité des trous en plus de la réduction des résistances d'accès (§II.5). Un gain de 15 % a ainsi été démontré (Figure II.34). En extrapolant ce résultat, un gain supplémentaire de 10 % sur le courant pourrait être atteint en augmentant la concentration de germanium jusqu'à 50 % dans les S/D.

- le canal en SiGe avec une concentration de Ge de 25 % apporte déjà dans le canal un gain en mobilité de plus de 50 % (+35 % I_{ON} à $I_{OFF}=100\text{nA}/\mu\text{m}$ et $V_{DD}=0.9\text{V}$). Une augmentation de la concentration de germanium jusqu'à 30 % permettrait de gagner environ 15 % en I_{ON} . De plus, une modification du dessin des zones actives (en bandeaux) permet de relâcher la contrainte compressive transverse et ainsi d'augmenter le courant (Figure IV.36).

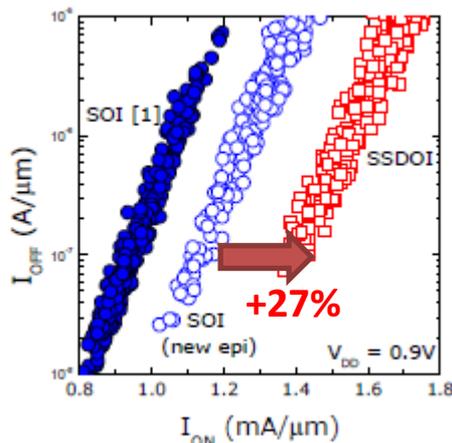


Figure IV.35: Gain en courant de 27% sur des nFET sur sSOI [Khakifirooz12]

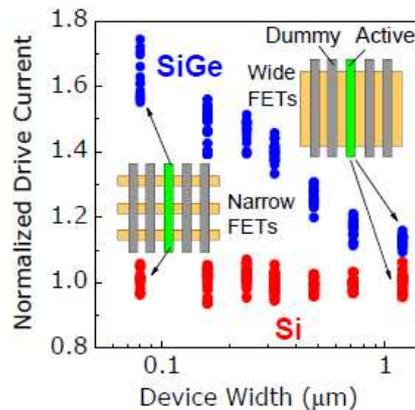


Figure IV.36: Gain en courant de pFET avec canal SiGe en fonction de la largeur [Cheng12]

Avec une architecture *tri-gate* la densité des zones actives en bandeau est alors un élément clé afin de maintenir un courant au moins similaire à l'architecture planaire. Avec cet objectif, un *pitch* de 40 nm a été démontré dans ce travail (§IV.2.2). De plus, les transistors *tri-gate* présentent un meilleur contrôle électrostatique [Coquand12] mais la modification des capacités parasites doit être prise en compte pour évaluer leurs performances dynamiques.

Outre les perspectives concernant la réduction de l'EOT (III.3.3), l'intégration *gate-last* permet d'augmenter le transfert de contrainte dans le canal (§III.3.2). Ainsi, nous avons démontré un gain de mobilité supplémentaire de 18 % sur SOI et un gain en courant I_{ON} de l'ordre de 8 % (à $I_{OFF}=10^{-8}\text{A}/\mu\text{m}$ et $V_{DD}=0.9\text{V}$, Figure III.39). Cependant, l'utilisation d'un canal SiGe sur les pFET et l'intégration *gate-last* sont tous les deux des moyens permettant d'augmenter le travail de sortie de la grille (III.2.c, III.3). La stratégie d'ajustement

de la tension de seuil doit donc être optimisé afin de conserver les avantages de ces deux options (par exemple utilisation d'une grille de type N sur les pFET, *back-bias*).

Ainsi, bien que l'augmentation de la mobilité à l'aide des contraintes soit un puissant facteur permettant d'augmenter les performances, il n'est pas le seul paramètre à considérer afin d'atteindre les spécifications dynamiques pour le nœud 10 nm. Une des spécificités de l'architecture FDSOI planaire est de pouvoir utiliser un BOX mince et d'appliquer une tension en face arrière ce qui augmente de manière contrôlée le courant I_{ON} (§I.2.3.b).

En dynamique, la capacité de charge des transistors doit aussi être diminuée. Pour cela, les capacités parasites peuvent être optimisées en utilisant une épitaxie des S/D en facettes ou bien en introduisant des espaceurs à faible permittivité (*low-k*) [Grenouillet13].

Ces résultats dessinent ainsi les perspectives pour le nœud technologique 10 nm sur SOI. Afin d'améliorer simultanément la vitesse des circuits et de réduire la puissance consommée, les dispositifs doivent satisfaire le compromis entre un fort courant et de faibles capacités. Les limites de l'architecture planaire sur SOI et la transition vers une architecture *tri-gate* restent donc discutables.

En résumé, l'architecture suivante est néanmoins envisageable pour le nœud 10 nm :

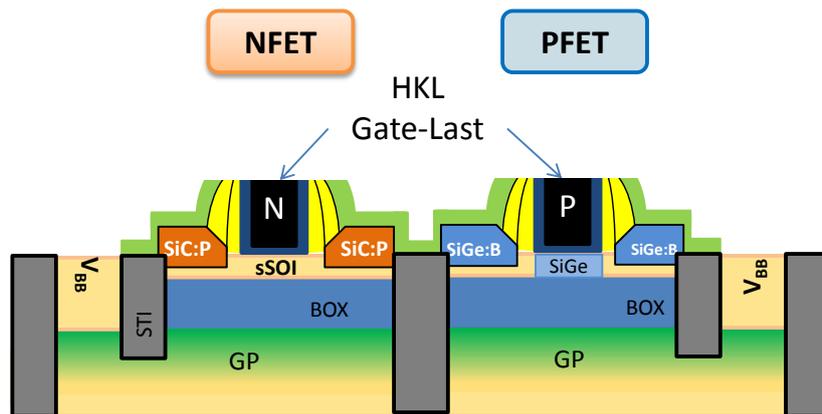


Figure IV.37: Schéma d'intégration CMOS proposé pour le nœud technologique 10 nm sur SOI.

L'influence de l'intégration *gate-last* ainsi que l'optimisation de certaines briques technologiques (Tableau IV.3) pourrait permettre un gain total en courant de 30 % environ sur les NFET et les PFET satisfaisant ainsi le gain nécessaire par rapport à la génération précédente.

Tableau IV.3 : Résumé des caractéristiques envisagées pour le nœud technologique 10 nm ainsi les gains en courant associés à chaque module par rapport au nœud 14 nm.

Module	NFET	PFET
Canal, $T_{si}=5nm$	sSOI: +27% I_{ON}	cSi _{0.7} Ge _{0.3} : +15% I_{ON}
Épitaxie source/drain	SiC:P	Si _{0.5} Ge _{0.5} :B : +10% I_{ON}
Grille, gate-last (high-k last), EOT<0.8nm		+8% I_{ON}
TOTAL	+27% I_{ON}	+33% I_{ON}

IV.4. Conclusion du chapitre

Dans ce chapitre nous avons abordé plusieurs points permettant de continuer la miniaturisation des transistors jusqu'au nœud 10 nm. Nous avons simulé une structure innovante permettant d'augmenter la contrainte dans le canal. D'autre part, deux approches ont été proposées afin d'augmenter la densité et le contrôle électrostatique de transistors *tri-gate*. La première, basée sur le dépôt et la gravure d'espaceurs a été démontrée. La seconde approche permettrait de réaliser des transistors denses à l'aide de copolymères à blocs.

En résumé, nous avons montré à l'aide de simulations mécaniques qu'une couche de SiGe en compression placée sous un BOX mince (EBS : *embedded buried SiGe structure*) était efficace pour transmettre une contrainte en tension dans le SOI lors de la gravure de la zone active.

- ✓ Pour une dimension donnée, nous avons mis en évidence que la contrainte peut être optimisée en fonction de l'épaisseur de la couche de SiGe et de sa concentration en germanium. Pour des applications logiques au nœud 10 nm, cet optimum est atteint pour une épaisseur proche de 20 nm et une concentration de 50 %.
- ✓ Cette technique permet d'atteindre une contrainte longitudinale moyenne de l'ordre de 1.2 GPa ce qui est plus important qu'avec des substrats sSOI ou bien des structures à base de nitrure contraint.
- ✓ Une estimation du gain en mobilité montre que cette structure représente une solution supplémentaire pour augmenter les performances des nFET au nœud technologique 10 nm tout en étant compatible avec les pFET.
- ✓ L'utilisation d'une couche de SiGe sous le BOX entraîne une meilleure amélioration des électrons qu'une couche de SiN avec la même contrainte intrinsèque. Enfin, une augmentation plus importante de la mobilité des électrons est attendue par rapport au sSOI pour des actives inférieures à 300 nm mais les deux techniques peuvent être compatibles.

Nous avons montré comment dépasser les limites de la lithographie DUV et obtenir des motifs denses à l'aide d'un procédé de dépôt et de gravure d'espaceur (SIT).

- ✓ Lorsque le rapport de forme des espaceur est trop grand (>5) la stabilité des lignes devient problématique. Ceci est résolu en augmentant la largeur des espaceurs.
- ✓ La brique ainsi développée a été adaptée pour être utilisée dans une intégration CMOS où des fils d'active sont formés.
- ✓ Nous avons obtenu de bon résultats morphologiques jusqu'à la gravure de la grille avec des fils de silicium de 15 nm avec une forte densité (*pitch* de 40 nm).

Finalement, l'utilisation des copolymères à blocs a été abordée comme moyen alternatif pour graver des motifs denses de petite taille (< 20nm).

- ✓ En particulier, nous proposons une intégration permettant d'obtenir des transistors de type *tri-gate* à l'aide de copolymères à blocs: ils possèdent un meilleur contrôle électrostatique et un encombrement plus faible par rapport aux transistors planaires.

Conclusion générale

Depuis plusieurs générations technologiques, la réduction des dimensions des transistors MOS n'est plus suffisante pour augmenter à elle seule les performances des circuits intégrés. Pour les circuits logiques à partir du nœud 28 nm, l'architecture planaire sur silicium massif a été abandonnée au profit de structures à canaux entièrement désertés (*Fully Depleted*). Malgré les avantages apportés par la fabrication de ces transistors, l'introduction et l'optimisation des contraintes mécaniques dans le canal restent indispensables. Dans ce contexte, ce manuscrit de thèse présente des perspectives pour la fabrication de transistors MOS sur films minces de Silicium-sur-Isolant (SOI) complètement désertés pour le nœud technologique 10nm. L'objectif de cette étude était d'évaluer la pertinence de briques technologiques pour améliorer les performances statiques des transistors sur SOI.

Dans le premier chapitre nous avons rappelé le principe de fonctionnement du transistor MOS sur silicium massif avant de présenter les architectures complètement désertés FinFET et FDSOI ainsi que leurs spécificités respectives.

Le second chapitre était dédié à la fabrication de transistors FDSOI contraints. A l'aide de caractérisations électriques, nous avons extrait la mobilité des porteurs à faible champ sur les nFET et pFET. Nous avons pu vérifier que l'ajout de procédés contraints permettait d'améliorer le compromis I_{ON} - I_{OFF} via une augmentation de mobilité. Le gain en courant étant proportionnel au gain en mobilité avec un facteur de 0.4 environ. Nous avons donc évalué l'influence de l'utilisation de quatre procédés contraints dans la fabrication de MOSFET planaire sur SOI. Des transistors avec des longueurs de grille inférieures à 20 nm ont été fabriqués sur film mince avec une intégration *gate-first* puis caractérisés.

- ✓ nous avons démontré que la mobilité des électrons et les performances des nFET sont améliorées par les substrats en tension biaxiale (sSOI) pour des transistors courts (+35 % μ_e à $L=14$ nm et +50 % μ_e à $L=35$ nm avec un gain en courant de 10 %). Cependant l'utilisation de sSOI à l'échelle de la plaque n'est pas bénéfique pour les pFET.
- ✓ l'ajout d'une couche de nitrure contraint (CESL) soit en tension (tCESL) soit en compression (cCESL) permet d'augmenter la mobilité des électrons de 10 % et celle des trous de 23 % respectivement. Cependant, avec la diminution de l'espace entre les grilles pour les nœuds avancés, l'intérêt pour type de procédés décroît.
- ✓ les source/drain en SiGe:B améliorent fortement les performances des pFET en diminuant les résistances d'accès (- 60 %) et en induisant une contrainte compressive (+15 % I_{ON}).
- ✓ nous avons également mis en évidence l'impact d'une contrainte compressive biaxiale exercée par le STI sur la zone active. Cette contrainte non intentionnelle est de l'ordre de -600 MPa et dégrade la mobilité des MOSFET.
- ✓ L'orientation cristalline du substrat et du canal modifie la mobilité et doit également être prise en compte. En conservant un substrat (001) standard, il a

été montré que la mobilité des trous dans des pFET non contraints est améliorée pour un transport suivant $\langle 100 \rangle$. Nous avons comparé l'orientation $\langle 110 \rangle$ à l'orientation à $\langle 100 \rangle$ à 45° dans le cas de dispositifs fortement contraints. Malgré une amélioration des performances des nFET à 45° ($+4\% \mu_e$), l'orientation $\langle 110 \rangle$ est nettement plus favorable au transport des trous ($+45\% \mu_h$) grâce à une plus grande sensibilité à la contrainte.

Dans le troisième chapitre nous avons développé puis évalué une intégration *gate-last* planaire sur SOI où la grille est réalisée après la formation et l'implantation des zones de source/drain. Sans contrainte nous avons montré que :

- ✓ un travail de sortie de l'ordre de 4.95eV (+350mV) est obtenu avec une grille en TiN PVD sur HfSiON ce qui permet d'obtenir des pFET à faible tension de seuil ($V_{Tp} = -0.2$ V) tout en conservant un canal en silicium. En comparaison, une grille de comportant le même empilement avec une intégration *gate-first* de référence à un travail de sortie de 4.5 eV environ.
- ✓ le choix de l'encapsulation joue un rôle déterminant sur le travail de sortie de la grille ainsi que sur sa fiabilité. A cause de l'impact du plasma lors du dépôt du TiN MOCVD, l'encapsulation TiN ALD et W présente un compromis plus intéressant.
- ✓ les fuites de grilles sont réduites d'une décade par rapport à une intégration *gate-first*.
- ✓ sans contraintes, le compromis I_{ON} - I_{OFF} des transistors *gate-last* est comparable à celui des transistors *gate-first*.

Dans un deuxième temps, nous avons fabriqué pour la première fois des pFET *gate-last* contraints sur SOI. Comme pour les transistors *gate-first* étudiés au chapitre 2, le canal de conduction est comprimé grâce à l'épithaxie des S/D en SiGe (30 % de Ge, dopé B *in-situ*) et un CESL compressif. Nous avons mis en évidence :

- ✓ une augmentation de la contrainte compressive moyenne dans le canal au cours de l'intégration *gate-last*. Parmi les étapes spécifiques, les mesures par holographie électronique en champ sombre ont démontré un gain de 45% sur la déformation après le retrait de la grille sacrificielle pour une longueur de grille de 28 nm
- ✓ une mobilité des trous plus importante avec l'intégration *gate-last* (+18 % pour un DIBL de 100mV/V) ce qui se traduit par un meilleur compromis I_{ON} - I_{OFF} par rapport à une intégration *gate-first*

Des études avec une intégration rapide ont permis de caractériser des empilements de grille où le *high-k* est lui aussi déposé après la formation des zones S/D (*high-k last*). Bien que la fiabilité de l'intégration *gate-last* soit dégradée et particulièrement avec un *high-k last*, les perspectives offertes restent très intéressantes. Sur HfO₂, des EOT de 0.85 nm ont été obtenus et des métaux de type Ta ou TaNx permettent d'obtenir des grilles de type n avec des travaux de sortie entre 4.5 eV et 4.3 eV.

Ces conclusions ainsi que les comparaisons faites avec l'intégration *gate-first*, montrent les avantages de l'intégration *gate-last* pour ajuster les travaux de sortie, atteindre des EOT inférieures au nanomètre et optimiser la contrainte dans le canal. Cette étude montre donc l'intérêt potentiel du *gate-last* pour le nœud technologique 10 nm sur SOI.

Dans le quatrième et dernier chapitre nous avons abordé plusieurs points permettant de continuer la miniaturisation des transistors jusqu'au nœud 10 nm et au delà. Face aux réductions des dimensions, il devient de plus en plus difficile de maintenir et d'augmenter la contrainte du canal à l'aide des techniques conventionnelles. De nouvelles approches, en rupture, doivent donc être considérées, autant pour introduire des contraintes que dans l'architecture des transistors. Dans cette perspective, nous avons simulé une structure innovante permettant d'augmenter la contrainte dans le canal. D'autre part, deux approches ont été proposées afin d'augmenter la densité et le contrôle électrostatique de transistors tri-gate. La première, basée sur le dépôt et la gravure d'espaceurs a été démontrée. La seconde approche permettrait de réaliser des transistors denses à l'aide de copolymères à blocs. Nous avons montré à l'aide de simulations mécaniques qu'une couche de SiGe en compression placée sous un BOX mince (EBS : *embedded buried SiGe structure*) était efficace pour transmettre une contrainte en tension dans le SOI lors de la gravure de la zone active.

- ✓ En conclusion, nous avons présenté une structure à SiGe enterré (EBS : *embedded buried SiGe structure*) permettant d'induire une forte contrainte en tension à travers un BOX mince. Les simulations révèlent des niveaux de contrainte intéressants (jusqu'à 1.2 GPa) dans les zones actives de petites dimensions (100 nm). Une estimation du gain en mobilité montre que cette structure représente une solution supplémentaire pour augmenter les performances des nFET (+80% μ_e) au nœud technologique 10 nm tout en étant compatible avec les pFET (+9% μ_h). De plus il est toujours possible de réaliser un canal en SiGe sur les pFET pour augmenter la mobilité.
- ✓ Pour les nFET, l'utilisation d'une couche de SiGe sous le BOX entraîne de meilleures performances qu'une couche de SiN avec la même contrainte intrinsèque. Enfin, une augmentation plus importante de la mobilité des électrons est attendue par rapport au sSOI pour des actives inférieures à 300 nm mais les deux techniques peuvent être compatibles.

Le contrôle électrostatique est également un puissant moyen pour augmenter les performances. L'évolution vers des transistors *tri-gate* permet d'augmenter le contrôle de la grille sur le canal mais plusieurs canaux doivent être réalisés en parallèle et avec une forte densité afin de délivrer un courant important. L'utilisation des copolymères à blocs a été abordée comme moyen original pour graver des motifs de petite taille avec une forte densité (*pitch* de quelques dizaines de nanomètres). En particulier, nous proposons une intégration permettant d'obtenir des transistors de type *tri-gate* à l'aide de copolymères à blocs.

Enfin, nous avons montré comment dépasser les limites de la lithographie DUV et obtenir des motifs denses à l'aide d'un procédé de dépôt et de gravure d'espaceur (approche SIT).

- ✓ La brique ainsi développée a été adaptée pour être utilisée dans une intégration CMOS où des fils d'active sont formés.
- ✓ Nous avons obtenu de bons résultats morphologiques jusqu'à la gravure de la grille avec des fils de silicium de 15 nm avec une forte densité (*pitch* de 40 nm).

L'optimisation de la contrainte est un élément clé dans la poursuite de la miniaturisation de la technologie CMOS sur SOI après le nœud 14 nm. L'introduction de substrats contraints (sSOI ou XsSOI) semble indispensable pour les nFET cependant de nouveaux défis apparaissent alors pour une intégration CMOS puisque la contrainte en tension doit être compensée dans la région des pFET. Du côté des pFET, la contrainte pourrait être améliorée en augmentant la concentration de germanium dans les régions source/drain mais aussi dans le canal. L'intégration *gate-last*, est aussi une option permettant d'optimiser la contrainte du canal mais également de diminuer l'EOT et de contrôler la tension de seuil. En plus de l'augmentation du courant par la contrainte, l'utilisation du *back-bias* est un levier important pour modifier dynamiquement les performances des circuits. Les capacités parasites doivent aussi être limitées avec l'utilisation d'espaceurs à faible permittivité par exemple pour gagner en rapidité.

Afin d'améliorer simultanément la vitesse des circuits et de réduire la puissance consommée, les dispositifs doivent satisfaire le compromis entre un fort courant et de faibles capacités. Si des solutions existent pour quelques nœuds technologiques encore, la transition vers une architecture *tri-gate* à forte densité sur SOI reste envisageable.

Références bibliographiques

- [Ahmed11] K. Ahmed, K. Schuegraf, “Transistor Wars”; *IEEE Spectrum*; Vol. 48, No. 11, p. 50-66; 2011
- [Akatsu06] T. Akatsu, J.-M. Hartmann, C. Aulnette, Y.-M. Le Vaillant, D. Rouchon, A. Abbadie, Y. Bogumilowicz, L. Portigliatti, C. Colnat, N. Boudou, F. Lallement, F. Triolet, C. Figuet, M. Martinez, P. Nguyen, C. Delattre, K. Tsyganenko, C. Berne, F. Allibert, C. Deguet; “Highly-Strained Silicon-On-Insulator Development”; *ECS Transaction*; Vol. 3, No 6, p. 107-117; 2006.
- [Ando09] T. Ando, M. M. Frank, K. Choi, C. Choi, J. Bruley, M. Hopstaken, M. Copel, E. Cartier, A. Kerber, A. Callegari, D. Lacey, S. Brown, Q. Yang, and V. Narayanan; “Understanding Mobility Mechanisms in Extremely Scaled HfO₂ (EOT 0.42 nm) Using Remote Interfacial Layer Scavenging Technique and Vt-tuning Dipoles with Gate-First Process”; *International Electron Devices Meeting (IEDM)*; p. 423-426; 2009
- [Ando12] T. Ando; “Ultimate Scaling of High- κ Gate Dielectrics: Higher- κ or Interfacial Layer Scavenging?”; *Materials*; Vol. 5, p. 478-500; 2012
- [Andrieu06] F. Andrieu, C. Dupré, F. Rochette, O. Faynot, L. Tosti, C. Buj, E. Rouchouze, M. Cassé, B. Ghyselen, I. Cayrefourcq, L. Brévard, F. Allain, J.C. Barbé, J. Cluzel, A. Vandooren, S. Denorme, T. Ernst, C. Fenouillet-Béranger, C. Jahan, D. Lafond, H. Dansas, B. Previtali, J.P. Colonna, H. Grampeix, P. Gaud, C. Mazuré and S. Deleonibus; “25nm Short and Narrow Strained FDSOI with TiN/HfO₂ Gate Stack”; *VLSI Technology*; p. 134; 2006
- [Andrieu07m] F. Andrieu, O. Weber, T. Ernst, O. Faynot and S. Deleonibus; “Strain and channel engineering for fully depleted SOI MOSFETs towards the 32 nm technology node”; *Microelectronic Engineering*; Vol. 84, No. 9-10, p.2047-53; 2007
- [Andrieu07v] F. Andrieu, O. Faynot, F. Rochette, J.-C. Barbé, C. Buj, Y. Bogumilowicz, F. Allain, V. Delaye, D. Lafond, F. Aussenac, S. Feruglio, J. Eymery, T. Akatsu, P. Maury, L. Brévard, L. Tosti, H. Dansas, E. Rouchouze, J.-M. Hartmann, L. Vandroux, M. Cassé, F. Boeuf, C. Fenouillet-Béranger, F. Brunier, I. Cayrefourcq, C. Mazuré, G. Ghibaud and S. Deleonibus; “Impact of Mobility Boosters (XsSOI, CESL, TiN gate) on the Performance of <100> or <110> oriented FDSOI cMOSFETs for the 32nm Node”; *VLSI Technology*; p.50-51; 2007
- [Andrieu09] F. Andrieu, C. Fenouillet-Béranger, O. Weber, S. Baudot, C. Buj, J.-P. Noel, O. Thomas, O. Rozeau, P. Perreau, L. Tosti, L. Brévard, O. Faynot; “Ultrathin Body and BOX SOI and sSOI for Low Power Application at the 22nm technology node and below”; *Solid State Device and Material (SSDM)*; 2009
- [Andrieu10] F. Andrieu, O. Weber, J. Mazurier, O. Thomas, J-P. Noel, C. Fenouillet-Béranger, J-P. Mazellier, P. Perreau, T. Poiroux, Y. Morand, T. Morel, S. Allegret, V. Loup, S. Barnola, F. Martin, J-F. Damlencourt, I. Servin, M. Cassé, X. Garros, O. Rozeau, M-A. Jaud, G. Cibrario, J. Cluzel, A. Toffoli, F. Allain, R. Kies, D. Lafond, V. Delaye, C. Tabone, L. Tosti, L. Brévard, P. Gaud, V. Paruchuri, K.K. Bourdelle, W. Schwarzenbach, O. Bonnin, B-Y. Nguyen, B. Doris, F. Boeuf, T. Skotnicki, O. Faynot; “Low Leakage and Low Variability Ultra-Thin Body and Buried Oxide (UT2B) SOI Technology for 20nm Low Power CMOS and Beyond”; *VLSI Technology*; p. 57-58; 2010
- [Ang05] K.-W. Ang, K.-J. Chui, V. Bliznetsov, Y. Wang, L.-Y. Wong, C.-H. Tung, N. Balasubramanian, M.-F. Li, G. Samudra and Y.-C. Yeo; “Thin body silicon-on-insulator N-MOSFET with silicon-carbon source/drain regions for performance enhancement ”; *IEDM Tech. Dig.*; p. 497-500; 2005
- [Ang06] K.-W. Ang, K.-J. Chui, H.-C. Chin, Y.-L. Foo, A. Du, W. Deng, M.-F. Li, G. Samudra, N. Balasubramanian, and Y-C. Yeo; “50nm Silicon-On-Insulator N-MOSFET featuring multiple stressors: silicon-carbon Source/Drain regions and tensile stress silicon nitride liner”; *VLSI Technology*; p. 66-67; 2006

- [Ang07] K. W. Ang, K.-J. Chui, C.-H. Tung, N. Balasubramanian, G. S. Samudra and Y.-C. Yeo; “Performance enhancement in uniaxial strained silicon-on-insulator N-MOSFETs featuring silicon–carbon source/drain regions”; *Transactions on Electron Devices*; Vol. 54, No. 11, p. 2910–2917; 2007
- [Asenov03] A. Asenov, S. Kaya, A.R. Brown; “Intrinsic parameter fluctuations in decanometer MOSFETs introduced by gate line edge roughness”; *Transactions on Electron Devices*; Vol. 50, No. 5, p. 1254-1260; 2003
- [Augendre05] E. Augendre, G. Eneman, A. De Keersgieter, V. Simons, I. De Wolf, J. Ramos, S. Brus, B. Pawlak, S. Severi, F. Leys, E. Sleenckx, S. Locorotondo, M. Ercken, J.-F. de Marneffe, L. Fei, M. Seacrist, B. Kellerman, M. Goodwin, K. De Meyer, M. Jurczak, S. Biesemans; “On the scalability of source/drain current enhancement in thin film sSOI”; *European Solid-State Device Research Conference (ESSDERC)*; p. 301-304; 2005.
- [Auth08] C. Auth, A. Cappellani, J.-S. Chun, A. Dalis, A. Davis, T. Ghani, G. Glass, T. Glassman, M. Harper, M. Hattendorf, P. Hentges, S. Jaloviar, S. Joshi, J. Klaus, K. Kuhn, D. Lavric, M. Lu, H. Mariappan, K. Mistry, B. Norris, N. Rahhal-orabi, P. Ranade, J. Sandford, L. Shifren%, V. Souw, K. Tone, F. Tambwe, A. Thompson, D. Towner, T. Troeger, P. Vandervoorn, C. Wallace, J. Wiedemer, C. Wiegand; “45nm High-k + Metal Gate Strain-Enhanced Transistors”; *VLSI Technology* ; p. 128-129; 2008
- [Auth12] C. Auth, C. Allen, A. Blattner, D. Bergstrom, M. Brazier, M. Bost, M. Buehler, V. Chikarmane, T. Ghani, T. Glassman, R. Grover, W. Han, D. Hanken, M. Hattendorf, P. Hentges, R. Heussner, J. Hicks, D. Ingerly, P. Jain, S. Jaloviar, R. James, D. Jones, J. Jopling, S. Joshi, C. Kenyon, H. Liu, R. McFadden, B. McIntyre, J. Neiryck, C. Parker, L. Pipes, I. Post, S. Pradhan, M. Prince, S. Ramey, T. Reynolds, J. Roesler, J. Sandford, J. Seiple, P. Smith, C. Thomas, D. Towner, T. Troeger, C. Weber, P. Yashar, K. Zawadzki, K. Mistry; “A 22nm High Performance and Low-Power CMOS Technology Featuring Fully-Depleted Tri-Gate Transistors, Self-Aligned Contacts and High Density MIM Capacitors”; *VLSI Technology*; p. 131-132; 2012
- [Bangsaruntip09] S. Bangsaruntip, G. M. Cohen, A. Majumdar, Y. Zhang, S. U. Engelmann, N. C. M. Fuller, L. M. Gignac, S. Mittal, J. S. Newbury, M. Guillorn, T. Barwicz, L. Sekaric, M. M. Frank, J. W. Sleight; “High performance and highly uniform gate-all-around silicon nanowire MOSFETs with wire size dependent scaling”; *International Electron Devices Meeting (IEDM)*; p. 297-300; 2009
- [Bangsaruntip10] S. Bangsaruntip, A. Majumdar, G. M. Cohen, S. U. Engelmann, Y. Zhang, M. Guillorn, L. M. Gignac, S. Mittal, W. S. Graham, E. A. Joseph, D. P. Klaus, J. Chang, E.A. Cartier, and J. W. Sleight; “Gate-all-around silicon nanowire 25-stage CMOS ring oscillators with diameter down to 3 nm”; *VLSI Technology*; p.21-22; 2010
- [Barral07] V. Barral, T. Poiroux, F. Andrieu, C. Buj-Dufournet, O. Faynot, T. Ernst, L. Brevard, C. Fenouillet-Beranger, D. Lafond, J.M. Hartmann, V. Vidal, F. Allain, N. Daval, I. Cayrefourcq, L. Tosti, D. Munteanu, J.L. Autran and S. Deleonibus; “Strained FDSOI CMOS technology scalability down to 2.5nm film thickness and 18nm gate length”; *International Electron Devices Meeting (IEDM)*; p. 61-64; 2007
- [Barral09] V. Barral, T. Poiroux, D. Munteanu, J.-L. Autran, S. Deleonibus; “Experimental Investigation on the Quasi-Ballistic Transport: Part II—Backscattering Coefficient Extraction and Link With the Mobility”; *Transactions on Electron Devices*; Vol. 56, No. 3, p. 420-430; 2009.
- [Barraud12] S. Barraud, R. Coquand, M. Cassé, M. Koyama, J.-M. Hartmann, V. Maffini-Alvaro, C. Comboroure, C. Vizios, F. Aussenac, O. Faynot, T. Poiroux; “Performance of Omega-Shaped-Gate Silicon Nanowire MOSFET With Diameter Down to 8 nm”; *Electrons Device Letters*; 2012
- [Basker10] V. S. Basker, T. Standaert, H. Kawasaki, C.-C. Yeh, K. Maitra, T. Yamashita, J. Faltermeier, H. Adhikari, H. Jagannathan, J. Wang, H. Sunamura, S. Kanakasabapathy, S. Schmitz, J. Cummings, A. Inada, C. -H. Lin, P. Kulkarni, Y. Zhua, J. Kuss, T. Yamamoto, A. Kumara, J.Wahl, A. Yagishita, L. F. Edge, R. H. Kim, E. Mclellan, S. J. Holmes, R. C. Johnson, T. Levin, J. Demarest, M. Hane, M. Takayanagi, M. Colburn, V. K. Paruchuri, R. J. Miller, H. Bu, B. Doris, D. McHerron, E. Leobandung and J. O’Neill; “A 0.063 μm^2 FinFET SRAM cell demonstration with conventional lithography using a novel integration scheme with aggressively scaled fin and gate pitch”; *VLSI Technology*; p. 19-20; 2010

- [Bates99] F. S. Bates, G. H. Fredrickson; “Block Copolymers—Designer Soft Materials”; *Physics Today*; Vol. 52, No. 2, p. 32; 1999
- [Baudot09e] S. Baudot, F. Andrieu, M. Kostrzewa, Y. Lamrani, J.-C. Barbe, C. Vizios, L. Brevard, F. Rieutord et J. Eymery; “Simulation and Characterization of the Strain Induced by an Original “Embedded Buried Nitride” Technique”; *ECS Transactions*; p. 37-42, Vol. 19, No. 4; 2009
- [Baudot09j] S. Baudot, F. Andrieu, F. Rieutord, J. Eymery; “Elastic relaxation in patterned and implanted strained silicon on insulator”; *Journal of Applied Physics*; Vol. 105, No. 11, 144302; 2009
- [Baudot10] S. Baudot, F. Andrieu, O. Faynot, J. Eymery ; “Electrical and diffraction characterization of short and narrow MOSFETs on fully depleted strained silicon-on-insulator (sSOI)”; *Solid-State Electronics*; Vol. 54, No. 9, p. 861-869; 2010
- [Baudot11] S. Baudot, C. Leroux, F. Chave, R. Boujamaa, E. Martinez, P. Caubet, M. Silly, F. Sirotti, G. Reimbold, G. Ghibaudo; “Understanding reversal effects of metallic aluminum introduced in HfSiON/TiN PMOSFETs”; *Microelectronic Engineering*; Vol. 88, No 7, p. 1305-1308; 2011
- [Bersuker04] G. Bersuker, P. Zeitzoff, G. Brown and H. R. Huff; “Dielectrics for future transistors”; *Materialstoday*; Vol. 7, No. 1, p. 26-33; 2004
- [Bersuker08] G. Bersuker, C. S. Park, H. C. Wen, K. Choi, O. Sharia, A. Demkov; “Origin of the flat-band voltage (Vfb) roll-off phenomenon in metal/high-k gate stacks”; *European Solid-State Device Research Conference (ESSDERC)*; p. 134–137; 2008.
- [Bersuker10] G. Bersuker, C. S. Park, H.-C. Wen, K. Choi, J. Price, P. Lysaght, H.-H. Tseng, O. Sharia, A. Demkov, J. T. Ryan, P. Lenahan; “Origin of the Flatband-Voltage Roll-Off Phenomenon in Metal/High-k Gate Stacks”; *Transactions on Electron Devices*; Vol. 57, No. 9, p. 2047-2056; 2010
- [Bianchi02] R. A. Bianchi, G. Bouche and O. Roux-dit-Buisson; “Accurate modeling of trench isolation induced mechanical stress effects on MOSFET electrical performance”; *International Electron Devices Meeting (IEDM)*; p.117-120; 2002
- [Bidal09i] G. Bidal, F. Boeuf, S. Denorme, C. Laviro, K. Bourdelle, N. Loubet, Y. Campidelli, R. Beneyton, H. Moriceau, F. Fournel, P. Morin, S. Barnola, T. Salvetat, P. Perreau, P. Gouraud, F. Leverd, B. Le-Gratiet, J.L. Huguenin, D. Fleury, K. Kusiaku, A. Cros, C. Leyris, S. Haendler, C. Borowiak, L. Clement, R. Pantel, G. Ghibaudo, T. Skotnicki; “First CMOS integration of ultra thin body and BOX (UTB2) structures on bulk direct silicon bonded (DSB) wafer with multi-surface orientations”; *International Electron Devices Meeting (IEDM)*; p. 677-680, 2009.
- [Bidal09v] G. Bidal, F. Boeuf, S. Denorme, N. Loubet, J.L.Huguenin, P.Perreau, D.Fleury, F. Leverd, S. Lagrasta, S.Barnola, T.Salvetat, B. Orlando, R. Beneyton, L. Clement, R. Pantel, S. Monfray, G.Ghibaudo, T. Skotnicki; “High velocity Si-nanodot : a candidate for SRAM applications at 16nm node and below”; *VLSI Technology*; p. 240-241; 2009
- [Bita08] I. Bita, J. K. W. Yang, Y. S. Jung, C. A. Ross, E. L. Thomas, K. K. Berggren; “Graphoepitaxy of Self-Assembled Block Copolymers on Two-Dimensional Periodic Patterned Templates”; *Science*; Vol. 321, p. 939; 2008
- [Boeuf04] F. Boeuf, F.Amaud, B.Tavel, B. Duriez, M.Bidaud, P. Gouraud, C. Chaton, P. Morin, J. Todeschini, M. Jurdit, L. Pain, V. De-Jonghe, M.T. Basso, D. Sotta, F. Wacquant, J. Rosa, R. El-Farhane, S. Jullian, N. Bicais-Lepinay, H. Bemard, J. Bustos, S. Manakli, M. Gaillardin, J. Grant, T.Skotnicki; “A Conventional 45nm CMOS node Low-Cost Platform for General Purpose and Low Power Applications”; *International Electron Devices Meeting (IEDM)*; p.425-428; 2004
- [Bohr11] M. Bohr, K. Mistry; “Intel’s Revolutionary 22 nm Transistor Technology”; intel.com
- [Buddharaju07] K. D. Buddharaju, N. Singh, S. C. Rustagi, Selin H. G. Teo, L. Y. Wong, L. J. Tang, C. H. Tung, G. Q. Lo, N. Balasubramanian, D. L. Kwong; “Gate-All-Around Si-Nanowire CMOS Inverter Logic Fabricated using Top-down Approach”; *European Solid-State Device Research Conference (ESSDERC)* ; p. 303-306; 2007
- [Bufler09] F. M. Bufler, A. Erlebach, and M. Oulmane; “Hole Mobility Model With Silicon Inversion Layer Symmetry and Stress-Dependent Piezoconductance Coefficients”; *Electron Device Letters*; Vol. 30, No. 9, p. 996-998; 2009

- [Canali79] C. Canali, G Ferla, B Morten and A Taronif; “Piezoresistivity effects in MOSFET useful for pressure transducers”; *J. Phys. D: Appl. Phys.*; Vol. 12, No. 11, p. 1973–1983; 1979
- [Cassé06] M. Cassé, L. Thevenod, B. Guillaumot, L. Tosti, F. Martin, J. Mitard, O. Weber, F. Andrieu, T. Ernst, G. Reimbold, T. Billon, M. Mouis, F. Boulanger; “Carrier transport in HfO₂ metal gate MOSFETs : a physical insight into critical parameters”; *Transactions on Electron Devices*; Vol. 53, No. 4, p. 759-768; 2006
- [Cassé12] M. Cassé, S. Barraud, C. Le Royer, M. Koyama, R. Coquand, D. Blachier, F. Andrieu, G. Ghibaudo, O. Faynot, T. Poiroux, G. Reimbold ; “Study of piezoresistive properties of advanced CMOS transistors: thin film SOI,SiGe/SOI, unstrained and strained Tri-Gate Nanowires”; *International Electron Devices Meeting (IEDM)*; p. 637-640, 2012
- [Chan03] V. Chan, R. Rengarajan, N. Rovedo, W. Jin, T. Hook, P. Nguyen, J. Chen, E. Nowak, X.-D. Chen, D. Lea, A. Chakravani, V. Ku, S. Yang, A. Steegen, C. Baiocco, P. Shafer, H. Ng, S.-F. Huang, C. Wann; “High Speed 45nm Gate Length CMOSFETs Integrated Into a 90nm Bulk Technology Incorporating Strain Engineering”; *International Electron Devices Meeting (IEDM)*; p. 77-80; 2003
- [Chang11] J. B. Chang, M. Guillorn, P.M. Solomon, C.-H. Lin, S.U. Engelmann, A. Pyzyna, J. A. Ott, W.E Haensch; “Scaling of SOI FinFETs down to Fin Width of 4 nm for the 10nm technology node”; *VLSI Technology*; p. 12-13; 2011.
- [Chatterjee97] A.Chatterjee, R.A.Chapman, G.Dixit, J.Kuehne, S.Hattangady, H.Yang, G.A. Brown, R.Aggarwal, U.Erdogan, Q.He, M.Hanratty, D.Rogers, S.Murtaza, S.J. Fang, R.Kraft, A.L.P.Rotondaro, J.C. Hu, M.Terry, W.Lee, C.Fernando, A.Konecni, G.Wells, D.Frystak, C. Bowen, M. Rodder, I.-C. Chen; “Sub-100nm Gate Length Metal Gate NMOS Transistors Fabricated by a Replacement Gate Process”; *International Electron Devices Meeting (IEDM)*; p. 821–824; 1997
- [Chen04] C.-H. Chen, T.L. Lee, T.H. Hou, C.L. Chen, C.C. Chen, J.W. Hsu, K.L. Cheng, Y.H. Chiu, H.J. Tao, Y. Jin, C.H. Diaz, S.C. Chen, M.S. Liang; “Stress memorization technique (SMT) by selectively strained-nitride capping for sub-65nm high-performance strained-Si device application”; *VLSI Technology*; p. 56-57; 2004
- [Chen96] K. Chen, H. C. Wann, J. Dunster, P. K. Ko, C. Hu; “MOSFET carrier mobility model based on gate oxide thickness, threshold and gate voltages”; *Electron Device Letters*; Vol. 39, No 10, p. 1515-1518; 1996
- [Cheng09a] K. Cheng, A. Khakifirooz, P. Kulkarni, S. Ponoth, J. Kuss, D. Shahrjerdi, L. F. Edge, A. Kimball, S. Kanakasabapathy, K. Xiu, S. Schmitz, A. Reznicek, T. Adam, H. He, N. Loubet, S. Holmes, S. Mehta, D. Yang, A. Upham, S.-C. Seo, J. L. Herman, R. Johnson, Y. Zhu, P. Jamison, B. S. Haran, Z. Zhu, L. H. Vanamurth, S. Fan, D. Horak, H. Bu, P. J. Oldiges, D. K. Sadana, P. Kozłowski, D. McHerron, J. O’Neill, B. Doris; “Extremely thin SOI (ETSOI) CMOS with record low variability for low power system-on-chip applications”; *International Electron Devices Meeting (IEDM)*; p. 3.2.1; 2009
- [Cheng09b] L.-W. Cheng, T. L. Lee, C. H. Wann, C. Y. Chang and H.-S. P. Wong; “Top-gated FETs/inverters with diblock copolymer self-assembled 20 nm contact holes”; *International Electron Devices Meeting (IEDM)*; p. 1-4; 2009
- [Cheng10] L.-W. Cheng, X. Bao, C. Bencher and H.-S. P. Wong; “Experimental demonstration of aperiodic patterns of directed self-assembly by block copolymer lithography for random logic circuit layout”; *International Electron Devices Meeting (IEDM)*; p. 33.2.1 - 33.2.4; 2010
- [Cheng11] K. Cheng, A. Khakifirooz, P. Kulkarni, S. Ponoth, B. Haran, A. Kumar, T. Adam, A. Reznicek, N. Loubet, H. He, J. Kuss, M. Wang, T. M. Levin, F. Monsieur, Q. Liu, R. Sreenivasan, J. Cai, A. Kimball, S. Mehta, S. Luning, Y. Zhu, Z. Zhu, T. Yamamoto, A. Bryant, C. -H. Lin, S. Naczas, H. Jagannathan, L. F. Edge, S. Allegret-Maret, A. Dube, S. Kanakasabapathy, S. Schmitz, A. Inada, S. Seo, M. Raymond, Z. Zhang, A. Yagishita, J. Demarest, J. Li, M. Hopstaken, N. Berliner, A. Upham, R. Johnson, S. Holmes, T. Standaert, M. Smalley, N. Zamdmer, Z. Ren, T. Wu, H. Bu, V. Paruchuri, D. Sadana, V. Narayanan, W. Haensch, J. O’Neill, T. Hook, M. Khare, B. Doris; “ETSOI CMOS for system-on-chip applications featuring 22nm gate length, sub-100nm gate pitch, and 0.08 μ m² SRAM cell”; *VLSI Technology*; p. 128-129; 2011

- [Cheng12] K. Cheng, A. Khakifirooz, N. Loubet, S. Luning, T. Nagumo, M. Vinet, Q. Liu, A. Reznicek, T. Adam, S. Naczas, P. Hashemi, J. Kuss, J. Li, H. He, L. Edge, J. Gimbert, P. Khare, Y. Zhu, Z. Zhu, A. Madan, N. Klymko, S. Holmes, T. M. Levin, A. Hubbard, R. Johnson, M. Terrizzi, S. Teehan, A. Upham, G. Pfeiffer, T. Wu, A. Inada, F. Allibert, B.-Y. Nguyen, L. Grenouillet, Y. Le Tiec, R. Wacquez, W. Kleemeier, R. Sampson, R. H. Dennard, T. H. Ning, M. Khare, G. Shahidi and B. Doris; “High Performance Extremely Thin SOI (ETSOI) Hybrid CMOS with Si Channel NFET and Strained SiGe Channel PFET”; *International Electron Devices Meeting (IEDM)*; p. 419-422; 2012
- [Chevalier13] X. Chevalier, C. Nicolet, R. Tiron, A. Gharbi, M. Argoud, J. Pradelles, M. Delalande, G. Cunge, G. Fleury, G. Hadziioannou, C. Navarro; “Scaling-down lithographic dimensions with block-copolymer materials: 10nm sized features with PS-b-PMMA”; *Proceedings of SPIE*; Vol. 8680, 868006; 2013
- [Chiang07] W. T. Chiang, J. W. Pan, P. W. Liu, C. H. Tsai, C. T. Tsai, and G. H. Ma; “Strain Effects of Si and SiGe Channel on (100) and (110) Si Surfaces for Advanced CMOS Applications”; *VLSI-TSA Technology*; p. 1-2; 2007
- [Chiarella10] T. Chiarella, L. Witters, A. Mercha, C. Kerner, M. Rakowski, C. Ortolland, L.-Å. Ragnarsson, B. Parvais, A. De Keersgieter, S. Kubicek, A. Redolfi, C. Vrancken, S. Brus, A. Lauwers, P. Absil, S. Biesemans, T. Hoffmann; “Benchmarking SOI and bulk FinFET alternatives for planar CMOS scaling succession”; *Solid-State Electronics*; Vol. 54, No. 9, p. 855-860; 2010
- [Chipworks] D. James; “Intel’s 22-nm Trigate Transistors Exposed”; *chipworks.com*; 2012
- [Choi02] Y.-K. Choi, T.-J. King, C. Hu; “A Spacer Patterning Technology for Nanoscale CMOS”; *Transactions on Electron Devices*; Vol. 49, No. 3, p. 436-441; 2002
- [Chui02] C. Chui, H. Kim, D. Chi, B. B. Triplett, P. C. McIntyre, K. C. Saraswat; “A Sub-400°C Germanium MOSFET Technology with High-K Dielectric and Metal Gate”; *International Electron Devices Meeting (IEDM)*; p. 437-440, 2002.
- [Clavelier07] L. Clavelier, J.F. Damlencourt, C. Le Royer, B. Vincent, Y. Morand, Y Campidelli, J.M. Hartmann, E. Martinez, Q.T. Nguyen, S. Cristoloveanu, S. Deleonibus, D. Bensahel; “High hole mobility GeOT pMOSFETs with high-k / metal gate on Ge condensation wafers”; *SOI Conference*; p. 19-20; 2007
- [Cooper10] D. Cooper, A. Béché, J.-M. Hartmann, V. Carron and J.-L. Rouvière; “Strain mapping for the semiconductor industry by dark-field electron holography and nanobeam electron diffraction with nm resolution”; *Semicond. Sci. Technol.* ; Vol. 25, No. 9, p. 095012 ; 2010
- [Coquand12] R. Coquand, S. Barraud, M. Cassé, P. Leroux, C. Vizios, C. Comboroure, P. Perreau, E. Ernst, M.-P. Samson, V. Maffini-Alvaro, C. Tabone, S. Barnola, D. Munteanu, G.Ghibaud, S. Monfray, F. Boeuf, T. Poiroux; “Scaling of High-κ/Metal-Gate Trigate SOI Nanowire Transistors down to 10nm width”; *Ultimate Integration On Silicon (ULIS)*; p. 173-176; 2012
- [Dadgour10] H.F. Dadgour, K. Endo, V.K. De, K. Banerjee; “Grain-Orientation Induced Work Function Variation in Nanoscale Metal-Gate Transistors-Part I: Modeling, Analysis, and Experimental Validation”, *Transactions on Electron Devices*, Vol. 57, No. 10, p. 2504-2514; 2010
- [Darnon07] M. Darnon; “Les procédés par plasmas impliqués dans l’intégration des matériaux SiOCH poreux pour les interconnexions en microélectronique” ; thèse de doctorat de l’université de Grenoble ; 2007
- [Datta11] S. Datta; “3D Transistors: Challenges and Opportunities in Migrating from Silicon to III-V Channel”; *III-V MOSFET technology workshop*; Minatec; 2011
- [Delprat09] D. Delprat, F. Boedt, C. David, P. Reynaud, A. Alami-Idrissi, D. Landru, C. Girard, C. Maleville; “SOI substrate readiness for 22/20 nm and for fully depleted planar device architectures”; *SOI Conference*; 2009
- [Denneulin12] T. Denneulin, D. Cooper, J.-M. Hartmann, J.-L. Rouvière; “The addition of strain in uniaxially strained transistors by both SiN contact etch stop layers and recessed SiGe sources and drains”; *Journal of Applied Physics*; Vol. 112, No. 9, 094314; 2012
- [Dismukes64] J. P. Dismukes, L. Ekstrom, R. J. Paff; “Lattice Parameter and Density in Germanium-Silicon Alloys”; *Journal of Physical Chemistry*; Vol. 68, No. 10, p. 3021-3027; 1964

- [Donaton06] R. Donaton, D. Chidambarrao, J. Johnson, P. Chang, Y. Liu, W. K. Henson, J. Holt, X. Li, J. Li, A. Domenicucci, A. Madan, K. Rim and C. Wann; “Design and Fabrication of MOSFETs with a Reverse Embedded SiGe (Rev. e-SiGe) Structure”; *IEDM*; p. 1-4; 2006
- [Dorda71] G. Dorda; “Piezoresistance in Quantized Conduction Bands in Silicon Inversion Layers”; *Journal of Applied Physics*; Vol. 42, No. 5, p. 2053; 1971
- [Dorda72] G. Dorda, H. Friedrich and E. Preuss; “Band Structure Investigation on p-Type Silicon Inversion Layers by Piezoresistance and Mobility Measurements”; *J. Vac. Sci. Technol.*; Vol. 9, No. 2, p. 759; 1972
- [Dupre08] C. Dupré, A. Hubert, S. Bécu, M. Jublot, V. Maffini-Alvaro, C. Vizioz, F. Aussenac, C. Arvet, S. Barnola, J.-M. Hartmann, G. Garnier, F. Allain, J.-P. Colonna, M. Rivoire, L. Baud, S. Pauliac, V. Loup, T. Chevolleau, P. Rivallin, B. Guillaumot, G. Ghibaudo, O. Faynot, T. Ernst, S. Deleonibus; “15nm-diameter 3D stacked nanowires with independent gates operation: Φ FET”; *International Electron Devices Meeting (IEDM)*; 2008
- [En01] W. G. En, D.-H. Ju, D. Chan, S. Chan and O. Karisson; “Reduction of STI/active stress on 0.18 μ m SOI devices through modification of STI process”; *SOI Conference*; p. 85–86; 2001
- [Endo12] K. Endo, S. Migita, Y. Ishikawa, Y. Liu, T. Matsukawa, S. O’uchi, J. Tsukada, W. Mizubayashi, Y. Morita, H. Ota, H. Yamauchi, M. Masahara; “Flexible Vth FinFETs with 9-nm-Thick Extremely-Thin BOX”; *SOI Conference*; 2012
- [Eneman05] G. Eneman, M. Jurczak, P. Verheyen, T. Hoffmann, A. De Keersgieter and K. De Meyer; “Scalability of Strained Nitride Capping Layers for future CMOS generations”; *European Solid-State Device Research Conference (ESSDERC)*; p.449-452 ; 2005
- [Eneman05v] G. Eneman, P. Verheyen, R. Rooyackers, F. Nouri, L. Washington, R. Degraeve, B. Kaczer, V. Moroz, A. De Keersgieter, R. Schreutelkamp, M. Kawaguchi, Y. Kim, A. Samoilov, L. Smith, P. P. Absil, K. De Meyer, M. Jurczak, S. Biesemans; “Layout impact on the performance of a locally strained PMOSFET”; *VLSI Technology* ; p. 22; 2005
- [Eneman06] G. Eneman, P. Verheyen, R. Rooyackers, F. Nouri, L. Washington, R. Schreutelkamp, V. Moroz, L. Smith, A. De Keersgieter, M. Jurczak and K. De Meyer; “Scalability of the Si_{1-x}Ge_x source/drain technology for the 45-nm technology node and beyond”; *Transactions on Electron Devices*; Vol. 53, No. 7, p. 1647; 2006
- [Eneman07] G. Eneman, P. Verheyen, A. De Keersgieter, M. Jurczak and K. De Meyer; “Scalability of Stress Induced by Contact-Etch-Stop Layers: A Simulation Study”; *Transactions on Electron Devices*; Vol. 54, No. 6, p. 1446; 2007
- [Eneman11] G. Eneman, N. Collaert, A. Veloso, A. De Keersgieter, K. De Meyer, T. Y. Hoffmann; “On the Efficiency of Stress Techniques in Gate-Last N-Type Bulk FinFETs”; *European Solid-State Device Research Conference (ESSDERC)*; p. 115-118; 2011
- [Ernst02] T. Ernst, C. Tinella, C. Raynaud, S. Cristoloveanu; “Fringing fields in sub-0.1 μ m fully depleted SOI MOSFETs: optimization of the device architecture”; *Solid-State Electronics*; Vol. 46, No. 3, p. 373–378; 2002
- [Ernst06] T. Ernst, C. Dupré, C. Isheden, E. Bernard, R. Ritzenthaler, V. Maffini-Alvaro, J.-C. Barbé, F. De Crecy, A. Toffoli, C. Vizioz, S. Borel, F. Andrieu, V. Delaye, D. Lafond, G. Rabillé, J.-M. Hartmann, M. Rivoire, B. Guillaumot, A. Suhm, P. Rivallin, O. Faynot, G. Ghibaudo, S. Deleonibus; “Novel 3D integration process for highly scalable Nano-Beam stacked-channels GAA (NBG) FinFETs with HfO₂/TiN gate stack” *International Electron Devices Meeting (IEDM)*, p. 997–1000; 2006
- [Ernst08] T. Ernst, E. Bernard, C. Dupré, A. Hubert, S. Bécu, B. Guillaumot, O. Rozeau, O. Thomas, P. Coronel, J.-M. Hartmann, C. Vizioz, N. Vulliet, O. Faynot, T. Skotnicki, S. Deleonibus; “3D Multichannels and stacked nanowires Technologies for New Design opportunities in Nanoelectronics”; *International Conference on IC Design & Technology*; p. 265–268; 2008
- [Ernst99] T. Ernst, S. Cristoloveanu; “Buried oxide fringing capacitance : a new physical model and its implication on soi device scaling and architecture”; *SOI Conference*; p. 38–39; 1999
- [Euvrard12] C. Euvrard, C. Perrot, A. Seignard, F. Dettoni and M. Rivoire; “Slurry selectivity influence on STI and POP processes for RMG application”; *International Conference on Planarization/CMP Technology (ICPT)*; p. 17-22; 2012

- [Faynot10] O. Faynot, F. Andrieu, O. Weber, C. Fenouillet-Béranger, P. Perreau, J. Mazurier, T. Benoist, O. Rozeau, T. Poiroux, M. Vinet, L. Grenouillet, J.-P. Noel, N. Posseme, S. Barnola, F. Martin, C. Lapeyre, M. Cassé, X. Garros, M-A. Jaud, O. Thomas, G. Cibrario, L. Tosti, L. Brévard, C. Tabone, P. Gaud, S. Barraud, T. Ernst and S. Deleonibus; “Planar Fully Depleted SOI Technology: a powerful architecture for the 20nm node and beyond”; *International Electron Devices Meeting (IEDM)*; p. 50-53; 2010
- [Fenouillet07] C. Fenouillet-Beranger, S. Denorme, B. Icard, F. Boeuf, J. Coignus, O. Faynot, L. Brevard, C. Buj, C. Soonekindt, J. Todeschini, J.C. Le-Denmat, N. Loubet, C. Gallon, P. Perreau, S. Manakli, B. Minghetti, L. Pain, V. Arnal, A. Vandooren, D. Aime, L. Tosti, C. Savardi, M. Broekaart, P. Gouraud, F. Leverd, V. Dejonghe, P. Brun, M. Guillermet, M. Aminpur, S. Barnola, F. Rouppert, F. Martin, T. Salvétat, S. Lhostis, C. Laviron, N. Auriac, T. Kornann, G. Chabanne, S. Gaillard, O. Belmont, E. Laffosse, D. Barge, A. Zauner, A. Tarnowka, K. Romanjec, H. Brut, A. Lagha, S. Bonnetier, F. Joly, N. Mayet, A. Cathignol, D. Galpin, D. Pop, R. Delsol, R. Pantel, F. Pionnier, G. Thomas, D. Bensahel, S. Deleonibus, T. Skotnicki, H. Mingam; “Fully-depleted SOI technology using high-k and single-metal gate for 32 nm node LSTP applications featuring 0.179 μm^2 6T-SRAM bitcell”; *International Electron Devices Meeting (IEDM)*; p. 267-270; 2007
- [Fenouillet09] C. Fenouillet-Beranger, P. Perreau, S. Denorme, L. Tosti, F. Andrieu, O. Weber, S. Barnola, C. Arvet, Y. Campidellir, S. Haendler, R. Beneyton, C. Perrot, C. de Buttet, P. Gros, L. Pharn-Nguyen, F. Leverd, P. Gouraud, F. Abbate, F. Baron, A. Torres, C. Laviron, L. Pinzelli, J. Vetier, C. Borowiak, A. Margain, D. Delprat, F. Boedt, K. Bourdelle, B.-Y. Nguyen, O. Faynot, T. Skotnicki; “Impact of a 10nm Ultra-Thin BOX (UTBOX) and Ground Plane on FDSOI devices for 32nm node and below”; *European Solid-State Device Research Conference (ESSDERC)*; p. 89-92; 2009
- [Fenouillet10] C. Fenouillet-Beranger, O. Thomas, P. Perreau, J.-P. Noel, A. Bajolet, S. Haendler, L. Tosti, S. Barnola, R. Beneyton, C. Perrot, C. de Buttet, F. Abbate, F. Baron, B. Pernet, Y. Campidelli, L. Pinzelli, P. Gouraud, M. Cassé, C. Borowiak, O. Weber, F. Andrieu, K.K. Bourdelle, B.Y. Nguyen, F. Boedt, S. Denorme, F. Boeuf, O. Faynot, T. Skotnicki; “Efficient Multi-VT FDSOI technology with UTBOX for low power circuit design”; *VLSI Technology*; p. 65-66; 2010
- [Fiorenza03] J. G. Fiorenza, J. Scholvin, J.A. del Alamo; “A metal/polysilicon damascene gate technology for RF power LDMOSFETs”; *Electron Device Letters*; Vol. 24, No. 11, p. 698-700; 2003
- [Fiorenza08] J. G. Fiorenza, J.-S. Park and A. Lochtefeld.; “Detailed Simulation Study of a Reverse Embedded-SiGe Strained-Silicon MOSFET”; *Transactions on Electron Devices*; Vol. 55, No. 2, p. 640; 2008
- [Fischetti00] M. V. Fischetti, S. E. Laux; “Performance degradation of small silicon devices caused by long-range Coulomb interactions”; *Applied Physics Letters*; Vol. 76, No. 16, p. 2277; 2000
- [Gallon04] C. Gallon, G. Reimbold, G. Ghibaudo, R. A. Bianchi, R. Gwoziecki, S. Orain, E. Robilliart, C. Raynaud, and H. Dansas; “Electrical Analysis of Mechanical Stress induced by STI in Short MOSFETs Using Externally Applied Stress”; *IEEE Transactions on Electron Devices*; Vol. 51, No. 8, p. 1254-61; 2004
- [Gallon06j] C. Gallon, C. Fenouillet-Beranger, S. Denorme, F. Boeuf, V. Fiori, N. Loubet, A. Vandooren, T. Kornann, M. Broekaart, P. Gouraud, F. Leverd, G. Imbert, C. Chaton, C. Laviron, L. Gabette, F. Vigilant, P. Garnier, H. Bernard, A. Tarnowka, R. Pantel, F. Pionnier, S. Jullian, S. Cristoloveanu and T. Skotnicki; “Mechanical and Electrical Analysis of Strained Liner Effect in 35nm Fully Depleted Silicon-on-Insulator devices with ultrathin silicon channels”; *Japanese Journal of Applied Physics* ; Vol. 45, No. 4B, p.3058-3063; 2006
- [Gallon06s] C. Gallon, C. Fenouillet-Beranger, A. Vandooren, F. Boeuf, S. Monfray, F. Payet, S. Orain, V. Fiori, F. Salvetti, N. Loubet, C. Charbuillet, A. Toffoli, F. Allain, K. Romanjek, I. Cayrefourcq, B. Ghyselen, C. Mazure, D. Delille, F. Judong, C. Perrot, M. Hopstaken, P. Scheblin, P. Rivallin, L. Brevard, O. Faynot, S. Cristoloveanu, T. Skotnicki; “Ultra-Thin Fully Depleted SOI Devices with Thin BOX, Ground Plane and Strained Liner Booster”; *SOI Conference*; p. 17; 2006
- [Gallon07] C. Gallon ; « Architectures avancées de transistors CMOS SOI pour le noeud 32 nm et en deçà: films ultra-fins, contraintes mécaniques, BOX mince et plan de masse » ; Thèse de doctorat, INP Grenoble ; 2007

- [Ghani03] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, B. McIntyre, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson and M. Bohr; “A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors”; *International Electron Devices Meeting (IEDM)*; p. 11.6.1-3; 2003
- [Ghibaudo88] G. Ghibaudo; “New method for the extraction of MOSFET parameters”; *Electronics Letters*; Vol. 24, No. 9, p. 543-545; 1988
- [Ghyselen04] B. Ghyselen, J.-M. Hartmann, T. Ernst, C. Aulnette, B. Osternaud, Y. Bogumilowicz, A. Abbadie, P. Besson, O. Rayssac, A. Tiberj, N. Daval, I. Cayrefourq, F. Fournel, H. Moriceau, C. Di Nardo, F. Andrieu, V. Paillard, M. Cabié, L. Vincent, E. Snoeck, F. Cristiano, G. A. Rocher, A. Ponchet, A. Claverie, P. Boucaud, M.-N. Semeria, D. Bensahel, N. Kernevez and C. Mazure; “Engineering strained silicon on insulator wafers with the Smart Cut™ technology”; *Solid-State Electronics*; Vol. 48, No. 8, p. 1285-1296; 2004
- [Grenouillet12] L. Grenouillet, M. Vinet, J. Gimbert, B. Giraud, J.P. Noël, Q. Liu, P. Khare, M.A. Jaud, Y. Le Tiec, R. Wacquez, T. Levin, P. Rivallin, S. Holmes, S. Liu, K.J. Chen, O. Rozeau, P. Scheiblin, E. McLellan, M. Malley, J. Guilford, A. Upham, R. Johnson, M. Hargrove, T. Hook, S. Schmitz, S. Mehta, J. Kuss, N. Loubet, S. Teehan, M. Terrizzi, S. Ponoth, K. Cheng, T. Nagumo, A. Khakifirooz, F. Monsieur, P. Kulkarni, R. Conte, J. Demarest, O. Faynot, W. Kleemeier, S. Luning, B. Doris; “UTBB FDSOI transistors with dual STI for a multi-Vt strategy at 20nm node and below”; *International Electron Devices Meeting (IEDM)* ; p.64-67; 2012
- [Grenouillet13] L. Grenouillet, Q. Liu, R. Wacquez, P. Morin, N. Loubet, D. Cooper, A. Pofelski, W. Weng, Y. Wang, B. De Salvo, J. Gimbert, K. Cheng, Y. Le Tiec, D. Chanemougame, E. Augendre, S. Maitrejean, A. Khakifirooz, J. Kuss, R. Schulz, C. Janicki, B. Lherreron, S. Guillaumet, O. Rozeau, F. Chafik, J.L. Bataillon, T. Wu, W. Kleemeier, M. Celik, O. Faynot, R. Sampson, B. Doris, M. Vinet ; “UTBB FDSOI scaling enablers for the 10nm node”; *SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S)*; 2013
- [GSS12a] Gold Standard Simulations; “Metal-gate-first FD-SOI will be very good but metal-gate-last could be spectacular”; goldstandardsimulations.com ; 2012
- [GSS12b] Gold Standard Simulations; “Simulation analysis of the Intel 22nm FinFET”; goldstandardsimulations.com; 2012
- [Guillaume04] T. Guillaume, M. Mouis, S. Maitrejean, A. Poncet, M. Vinet et S. Deleonibus, “Evaluation of strain-induced mobility variation in TiN metal gate SOI n-MOSFETs”; *European Solid-State Device Research Conference (ESSDERC)*; p. 393–6; 2004.
- [Guillaume05] T. Guillaume; “Influence des contraintes mécaniques non intentionnelles sur les performances des transistors MOS à canaux ultra-courts”; Thèse de doctorat, Institut National Polytechnique de Grenoble (INPG) ; 2005
- [Guillaumot02] B. Guillaumot, X. Garros, F. Lime, K. Oshima, B. Tavel, J. A. Chroboczek, P. Masson, R. Truche, A. M. Papon, F. Martin, J. F. Damlencourt, S. Maitrejean, M. Rivoire, C. Leroux, S. Cristoloveanu, G. Ghibaudo, J. L. Autran, T. Skotnicki, S. Deleonibus; “75 nm damascene metal gate and high-k integration for advanced CMOS devices”; *International Electron Devices Meeting (IEDM)*; p. 355-358; 2002
- [Guillorn08] M. Guillorn, J. Chang, A. Bryant, N. Fuller, O. Dokumaci, X. Wang, J. Newbury, K. Babich, J. Ott, B. Haran, R. Yu, C. Lavoie, D. Klaus, Y. Zhang, E. Sikorski, W. Graham, B. To, M. Lofaro, J. Tornello, D. Koli, B. Yang, A. Pyzyna, D. Neumeier, M. Khater, A. Yagishita, H. Kawasaki and W. Haensch; “FinFET Performance Advantage at 22nm: An AC perspective”; *VLSI Technology*; p. 12; 2008
- [Halg90] B. Halg; “On a nonvolatile memory cell based on micro-electro-mechanics”; *MEMS*; p. 172-176; 1990
- [Han10] E. Han, H. Kang, C.-C. Liu, P. F. Nealey, P. Gopalan; “Graphoepitaxial Assembly of Symmetric Block Copolymers on Weakly Preferential Substrates”; *Advanced Materials*; Vol. 22, No. 38, p. 4325-4329; 2010
- [Hara10] A. Hara, E. Nishimura, M. Kushibiki, S.Yamauchi, S. Natori, K. Yabe, K. Oyama, K. Yaeasghi; “Advanced self-aligned DP process development for 22-nm node and beyond”; *Proceedings of SPIE*; 2010

- [Hartmann08] J. M. Hartmann, A. M. Papon, J. P. Colonna, T. Ernst, T. Billon; “Growth and thermal stability of SiGe/Si superlattices on bulk Si and SOI wafers”; *ECS Transaction*; Vol. 16, No. 10, p. 341-351; 2008
- [Hartmann11] J. M. Hartmann, A. Abbadie, and S. Favier; “Critical thickness for plastic relaxation of SiGe on Si(001) revisited”; *J. Appl. Phys.*; Vol. 110, No.8, 083529; 2011
- [Hartmann12] J.M. Hartmann, V. Benevent, J.P. Barnes, M. Veillerot, D. Lafond, J.F. Damlencourt, S. Morvan, B. Prévitali, F. Andrieu, N. Loubet and D. Dutartre; “Mushroom-Free Selective Epitaxial Growth of Si, SiGe and SiGe:B Raised Sources and Drains”; *Solid-State Electronics*; Vol. 83, p. 10-17; 2012
- [Hashemi13] P. Hashemi, M. Kobayashi, A. Majumdar, L. A. Yang, A. Baraskar, K. Balakrishnan, W. Kim, K. Chan, S. U. Engelmann, J. A. Ott, S. W. Bedell, C. E. Murray, S. Liang, R. H. Dennard, J. W. Sleight, E. Leobandung, D.-G. Park; “High-Performance Si1-xGex Channel on Insulator Trigate PFETs Featuring an Implant-Free Process and Aggressively-Scaled Fin and Gate Dimensions”; *VLSI Technology*; p. T18-19; 2013
- [Hinkle10] C. L. Hinkle, R. V. Galatage, R. A. Chapman, E. M. Vogel, H. N. Alshareef, C. Freeman, E. Wimmer, H. Niimi, A. Li-Fatou, J. B. Shaw, and J. J. Chambers; “Dipole Controlled Metal Gate with Hybrid Low Resistivity Cladding for Gate-Last CMOS with Low Vt”; *VLSI Technology*; p. 183-184; 2010
- [Hortsmann05] M. Horstmann, A. Wei, T. Kammler, J. Höntschel, H. Bierstedt, T. Feudel, K. Froberg, M. Gerhardt, A. Hellmich, K. Hempel, J. Hohage, P. Javorcka, J. Klais, G. Koerner, M. Lenski, A. Neu, R. Otterbach, P. Press, C. Reichel, M. Trentsch, B. Trui, H. Salz, M. Schaller, H.-J. Engelmann, O. Herzog, H. Ruelke, P. Hübler, R. Stephan, D. Greenlaw, M. Raab, and N. Kepler; “Integration and Optimization of Embedded-SiGe, Compressive and Tensile Stressed Liner Films, and Stress Memorization in Advanced SOI CMOS Technologies”; *International Electron Devices Meeting (IEDM)*; p. 233-236; 2005
- [Huang09] J. Huang, D. Heh, P. Sivasubramani, P.D. Kirsch, G. Bersuker, D.C. Gilmer, M.A. Quevedo-Lopez, M.M. Hussain, P. Majhi, P. Lysaght, H. Park, N. Goel, C. Young, C.S. Park, C. Park, M. Cruz, V. Diaz, P. Y. Hung, J. Price, H.-H. Tseng and R. Jammy; “Gate First High-k/Metal Gate Stacks with Zero SiOx Interface Achieving EOT=0.59nm for 16nm Application”; *VLSI Technology*; p. 34-35; 2009
- [Huang99] X. Huang, W.-C. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y.-K. Choi, K. Asano, V. Subramanian, T.-J. King, J. Bokor and C. Hu; “Sub 50-nm FinFET: pMOS”; *International Electron Devices Meeting (IEDM)*; pp. 67–70; 1999
- [Hutin10] L. Hutin, M. Cassé, C. Le Royer, J.-F. Damlencourt, A. Pouydebasque, C. Xu, C. Tabone, J.-M. Hartmann, V. Carron, H. Grampeix, V. Mazzocchi, R. Truche, O. Weber, P. Batude, X. Garros, L. Clavelier, M. Vinet and O. Faynot; “20nm Gate Length Trigate pFETs on Strained SGOI for High Performance CMOS”; *VLSI Technology* ; p.37-38; 2010
- [Hwang09] B. Hwang, J. Han, M.-C. Kimt, S. Jung, N. Lim, S. Jin, Y. Vim, D. Kwak, J. Park, J. Choi, K. Kim; “Comparison of Double Patterning Technologies in NAND Flash Memory with sub-30nm node”; *European Solid-State Device Research Conference (ESSDERC)*; p. 269-271; 2009
- [Hyun11] S. Hyun, J.-H. Han, H.-B. Park, H.-J. Na, H.J. Son, H.Y. Lee, H.-S. Hong, H.-L. Lee, J. Song, J.J. Kim, J. Lee, W.C. Jeong, H.J. Cho, K.I. Seo, D.W. Kim, S.P. Sim, S.B. Kang, D.K. Sohn, Siyoung Choi, Hokyu Kang, and Chilhee Chung; “Aggressively Scaled High-k Last Metal Gate Stack with Low Variability for 20nm Logic High Performance and Low Power Applications”; *VLSI Technology*; p. 32; 2011
- [IBS12] International Business Strategies (IBS) H. Jones, “Economic impact of the technology choices at 28nm/20nm”; *white paper*; 2012
- [IHS] IHS iSuppli : <http://www.isuppli.com>
- [IOFFE] Physical properties of semiconductors: <http://www.ioffe.ru/SVA/NSM/>
- [Irisawa05] T. Irisawa, T. Numata, T. Tezuka, K. Usuda, S. Nakaharai, N. Hirashita, N. Sugiyama, E. Toyoda, S. Takagi; “High Performance Multi-Gate pMOSFETs using Uniaxially-Strained SGOI Channels”; *International Electron Devices Meeting (IEDM)*; p. 709-712, 2005

- [Irisawa06] T. Irisawa, T. Numata, T. Tezuka, N. Sugiyama, S. Takagi; “Electron Transport Properties of Ultrathin-body and Tri-gate SOI nMOSFETs with Biaxial and Uniaxial Strain”; *International Electron Devices Meeting (IEDM)*; p. 1-4; 2006.
- [Jahan05] C. Jahan, O. Faynot, L. Tosti, J.M. Hartmann; “Agglomeration control during the selective epitaxial growth of Si raised sources and drains on ultra-thin silicon-on-insulator substrates”; *Journal of Crystal Growth*; Vol. 280, No.3-4, pp. 530–538; 2005
- [Jahan05v] C. Jahan, O. Faynot, M. Cassé, R. Ritzenthaler, L. Brévard, L. Tosti, X. Garros, C. Vizioz, F. Allain, A.M. Papon, H. Dansas, F. Martin, M. Vinet, B. Guillaumot, A. Toffoli, B. Giffard, S. Deleonibus; “ Ω FETs transistors with TiN metal gate and HfO₂ down to 10nm”; *VLSI Technology*; p. 112-113; 2005
- [Jan09] C.-H. Jan, M. Agostinelli, M. Buehler, Z.-P. Chen, S.-J. Choi, G. Curello, H. Deshpande, S. Gannavaram, W. Hafez, U. Jalan, M. Kang, P. Kolar, K. Komeyli, B. Landau, A. Lake, N. Lazo, S.-H. Lee, T. Leo, J. Lin, N. Lindert, S. Ma, L. McGill, C. Meining, A. Paliwal, J. Park, K. Phoa, I. Post, N. Pradhan, M. Prince, A. Rahman, J. Rizk, L. Rockford, G. Sacks, A. Schmitz, H. Tashiro, C. Tsai, P. Vandervoorn, J. Xu, L. Yang, J.-Y. Yeh, J. Yip, K. Zhang, Y. Zhang, P. Bai; “A 32nm SoC Platform Technology with 2nd Generation High-k/Metal Gate Transistors Optimized for Ultra Low Power, High Performance, and High Density Product Applications”; *International Electron Devices Meeting (IEDM)*; 2009
- [Jeon89] D. Jeon, D; Burk; “MOSFET electron inversion layer mobilities-a physically based semi-empirical model for a wide temperature range”; *Transactions on Electron Devices*; Vol. 36, No. 8, p. 1456-1463; 1989
- [Kaneko08] A. Kaneko, A. Yagishita, K. Yahashi, T. Kubota, M. Omura, K. Matsuo, I. Mizushima, K. Okano, H. Kawasaki, S. Inaba, T. Izumida, T. Kanemura, N. Aoki, K. Ishimaru, H. Ishiuchi, K. Suguro, K. Eguchi, Y. Tsunashima; “Sidewall Transfer Process and Selective Gate Sidewall Spacer Formation Technology for Sub-15nm FinFET with Elevated Source/Drain Extension”; *International Electron Devices Meeting (IEDM)*; pp. 844–847; 2008.
- [Kang06] C. Y. Kang, R. Choi, S. C. Song, K. Choi, B. S. Ju, M. M. Hussain, B. H. Lee, G. Bersuker, C. Young, D. Heh, P. Kirsch, J. Barnet, J-W. Yang, W. Xiong, H-H Tseng, R. Jammy; “A Novel Electrode-Induced Strain Engineering for High Performance SOI FinFET utilizing Si (110) Channel for Both N and PMOSFETs”; *International Electron Devices Meeting (IEDM)*; 2006
- [Kawasaki09] H. Kawasaki, V. S. Basker, T. Yamashita, C.-H. Lin, Y. Zhu, J. Faltermeier, S. Schmitz, J. Cummings, S. Kanakasabapathy, H. Adhikari, H. Jagannathan, A. Kumar, K. Maitra, J. Wang, C.-C. Yeh, C. Wang, M. Khater, M. Guillorn, N. Fuller, J. Chang, L. Chang, R. Muralidhar, A. Yagishita, R. Miller, Q. Ouyang, Y. Zhang, V. K. Paruchuri, H. Bu, B. Doris, M. Takayanagi, W. Haensch, D. McHerron, J. O’Neill, K. Ishimaru; “Challenges and solutions of FinFET integration in an SRAM cell and a logic circuit for 22 nm node and beyond”; *International Electron Devices Meeting (IEDM)*; 2009
- [Khakifirooz12] A. Khakifirooz, K. Cheng, T. Nagumo, N. Loubet, T. Adam, A. Reznicek, J. Kuss, D. Shahrjerdi, R. Sreenivasan, S. Ponoht, H. He, P. Kulkarni, Q. Liu, P. Hashemi, P. Khare, S. Luning, S. Mehta, J. Gimbert, Y. Zhu, Z. Zhu, J. Li, A. Madan, T. Levin, F. Monsieur, T. Yamamoto, S. Naczas, S. Schmitz, S. Holmes, C. Aulnette, N. Daval, W. Schwarzenbach, B.-Y. Nguyen, V. Paruchuri, M. Khare, G. Shahidi, and B. Doris; “Strain Engineered Extremely Thin SOI (ETSOI) for High-Performance CMOS”; *VLSI Technology*; p. 117-118; 2012
- [Kim03] S. O. Kim, H. H. Solak, M. P. Stoykovich, N. J. Ferrier, J. J. de Pablo, P. F. Nealey; “Epitaxial self-assembly of block copolymers on lithographically defined nanopatterned substrates”; *Nature*; Vol. 424, p. 411-424; 2003
- [Kim04] H. Kim, P. C. McIntyre, C. Chui, K. C. Saraswat, S. Stemmer; “Engineering chemically abrupt high-k metal oxide/silicon interfaces using an oxygen-gettering metal overlayer”; *Journal of Applied Physics*; Vol. 96, No. 6, p. 3467; 2004
- [Kim07a] D.-H. Kim, J. A. del Alamo; “Logic Performance of 40 nm InAs HEMTs”; *International Electron Devices Meeting (IEDM)*; p. 629-632, 2007
- [Kim07b] D.-H. Kim, J. A. del Alamo, J.-H. Lee, K.-S. Seo; “Logic Suitability of 50-nm In_{0.7}Ga_{0.3}As HEMTs for Beyond-CMOS Applications”; *Transactions on Electron Devices*; Vol. 54, No. 10, p. 2606-2613; 2007

- [Kim08] H.-C. Kim, W. D. Hinsberg; “Surface patterns from block copolymer self-assembly”; *Journal of Vacuum Science & Technology A*; Vol. 26, No. 6, p. 1369-82; 2008
- [Komoda04] T. Komoda, A. Oishi, T. Sanuki, K. Kasai, H. Yoshimura, K. Ohno, M. Iwai, M. Saito, F. Matsuoka, N. Nagashima and T. Noguchi; “Mobility improvement for 45 nm node by combination of optimized stress control and channel orientation design”; *International Electron Devices Meeting (IEDM)*; p. 217; 2004
- [Kuhn09] K. Kuhn; “Moore’s Law Past 32nm: The Challenges in Physics and Technology Scaling”; *Solid State Devices and Materials (SSDM)*; 2009
- [Kuhn12] K. Kuhn; “Considerations for Ultimate CMOS Scaling”; *Transactions on Electron Devices*; Vol. 59, No. 7, pp. 1813-1828; 2012
- [Lacord13] J. Lacord; “Développement de modèles pour l’évaluation des performances circuit des technologies CMOS avancées sub-20nm”; Thèse de doctorat, INP Grenoble; 2012
- [Lai13] K. Lai, C. Liu, J. Pitera, D. J. Dechene, A. Schepis, J. Abdallah, H. Tsai, M. Guillorn, J. Cheng, G. Doerk, M. Tjio, C. Rettner, O. Odesanya, M. Ozlem, N. Lafferty; “Computational Aspects of Optical Lithography Extension by Directed Self-Assembly”; *Proceedings of SPIE*; Vol. 8683, 868304; 2013
- [LeCam06] C. Le Cam, F. Guyader, C. de Buttet, P. Guyader, G. Ribes, M. Sardo, S. Vanbergue, F. Boeuf, F. Arnaud, E. Josse, M. Haond; “A Low Cost Drive Current Enhancement Technique using Shallow Trench Isolation induced stress for 45-nm node”; *VLSI Technology*; p. 82-83; 2006
- [Lee06] H. Lee, L.-E. Yu, S.-W. Ryu, J.-W. Han, K. Jeon, D.-Y. Jang, K.-H. Kim, J. Lee, J.-H. Kim, S. C. Jeon, G. S. Lee, J. S. Oh, Y. C. Park, W. H. Bae, H. M. Lee, J. M. Yang, J. J. Yoo, S. I. Kim, Y.-K. Choi; “Sub-5nm All-Around Gate FinFET for Ultimate Scaling”; *VLSI Technology*; p. 58-59; 2006
- [Lee10] C.-H. Lee, S.-K. Sung, D. Jang, S. Lee, S. Choi, J. Kim, S. Park, M. Song, H.-C. Baek, E. Ahn, J. Shin, K. Shin, K. Min, S.-S. Cho, C.-J. Kang, J. Choi, K. Kim, J.-H. Choi, K.-D. Suh, T.-S. Jung; “A Highly Manufacturable Integration Technology for 27nm² and 3bit/cell NAND Flash Memory”; *International Electron Devices Meeting (IEDM)*; p. 98-101; 2010
- [Leroux07] C. Leroux, G. Ghibaudo, G. Reimbold; “Accurate determination of flat band voltage in advanced MOS structure”; *Microelectronics Reliability*; Vol. 47, No 4-5, p. 660-664; 2007
- [Leroux07m] C. Leroux, F. Allain, A. Toffoli, G. Ghibaudo and G. Reimbold; “Automatic statistical full quantum analysis of C-V and I-V characteristics for advanced MOS gate stacks”; *Microelectronic Engineering*; Vol. 84, No. 9–10, p. 2408–2411; 2007
- [Leroux12] C. Leroux, S. Baudot, M. Charbonnier, A. Van Deer Geest, P. Caubet, A. Toffoli, P. Blaise, G. Ghibaudo, F. Martin, G. Reimbold; “In depth analysis of dopant effect on high-k metal gate effective work function”; *Ultimate Integration on Silicon (ULIS)*; p. 13-16; 2012.
- [LeRoyer11] C. Le Royer, A. Villalon, M. Cassé, D. Cooper, J. Mazurier, B. Prévitali, C. Tabone, P. Perreau, J.-M. Hartmann, P. Scheiblin, F. Allain, F. Andrieu, O. Weber, P. Batude, O. Faynot and T. Poiroux; “First Demonstration of Ultrathin Body c-SiGe Channel FDSOI pMOSFETs combined with SiGe(:B) RSD: Drastic Improvement of Electrostatics (V_{th}, p tuning, DIBL) and Transport (μ_0 , Isat) Properties down to 23nm Gate Length”; *International Electron Devices Meeting (IEDM)*; p. 394-397; 2011
- [Liao09] M.-H. Liao; “Local stress determination in shallow trench insulator structures with one-side and two-sides pad-SiN layer by polarized micro-Raman spectroscopy extraction and mechanical modelization”; *Journal of Applied Physics*; Vol. 109, No. 5, 093511; 2009
- [Lim10] K.-Y. Lim, H. Lee, C. Ryu, K.-I. Seo, U. Kwon, S. Kim, J. Choi, K. Oh, H.-K. Jeon, C. Song, T.-O. Kwon, J. Cho, S. Lee, Y. Sohn, H. S. Yoon, J. Park, K. Lee, W. Kim, E. Lee, S.-P. Sim, C. G. Koh, S. B. Kang, S. Choi, and C. Chung; “Novel Stress-Memorization-Technology (SMT) for High Electron Mobility Enhancement of Gate Last High-k/Metal Gate Devices”; *International Electron Devices Meeting (IEDM)*; p. 10.1.1; 2010
- [Liu05] C. W. Liu, S. Maikap, C.-Y. Yu; “Mobility enhancement technologies”; *IEEE Circuits & Devices Magazine*; Vol. 21, No. 3, p. 21-36; 2005
- [Liu07] Y. Liu et al.; “Strained Si channel MOSFETs with embedded silicon carbon formed by solid phase epitaxy”; *VLSI Technology*; p. 44–45; 2007

- [Liu11] Q. Liu, F. Monsieur, A. Kumar, T. Yamamoto, A. Yagishita, P. Kulkarni, S. Ponoht, N. Loubet, K. Cheng, A. Khakifirooz, B. Haran, M. Vinet, J. Cai, J. Kuss, B. Linder, L. Grenouillet, S. Mehta, P. Khare, N. Berliner, T. Levin, S. Kanakasabapathy, A. Upham, R. Sreenivasan, Y. Le Tiec, N. Posseme, J. Li, J. Demarest, M. Smalley, E. Leobandung, S. Monfray, F. Boeuf, T. Skotnicki, K. Ishimaru, M. Takayanagi, W. Kleemeier, H. Bu, S. Luning, T. Hook, M. Khare, G. Shahidi, B. Doris, R. Sampson; "Impact of Back Bias on Ultra-Thin Body and BOX (UTBB) Devices"; *VLSI Technology*; p. 160-161; 2011
- [Madan08] A. Madan, G. Samudra, Y.-C. Yeo; "Strain optimization in ultrathin body transistors with silicon-germanium source and drain stressors"; *Journal of Applied Physics*; Vol. 104, No. 8, p. 084505-5; 2008
- [Majumdar10] A. Majumbar et al.; "Effects of Substrate Orientation and Channel Stress on Short-Channel Thin SOI MOSFETs"; *Transactions on Electron Devices*; Vol. 57, No. 9, p. 2067; 2010
- [Mathieu04] H. Mathieu; "Physique des semiconducteurs et des composants électroniques"; éditions Dunod ; 2004
- [Matsuda93] K. Matsuda, K. Suzuki, K. Yamamura, Y. Kanda; "Nonlinear piezoresistance effects in silicon"; *Journal of Applied Physics*; Vol. 73, No. 4, p. 1838; 1993
- [matweb] Material property data: <http://www.matweb.com/>
- [Mayuzumi09] S. Mayuzumi, S. Yamakawa, Y. Tateshita, T. Hirano, M. Nakata, S. Yamaguchi, K. Tai, H. Wakabayashi, M. Tsukamoto, N. Nagashima; "High-Performance Metal/High-k n- and p-MOSFETs With Top-Cut Dual Stress Liners Using Gate-Last Damascene Process on (100) Substrates"; *Transactions on Electron Devices*; Vol. 56, No. 4, p. 620-627; 2009
- [Mayuzumi07] S. Mayuzumi, J. Wang, S. Yamakawa, Y. Tateshita, T. Hirano, M. Nakata, S. Yamaguchi, Y. Yamamoto, Y. Miyanami, I. Oshiyama, K. Tanaka, K. Tai, K. Ogawa, K. Kugimiya, Y. Nagahama, Y. Hagimoto, R. Yamamoto, S. Kanda, K. Nagano, H. Wakabayashi, Y. Tagawa, M. Tsukamoto, H. Iwamoto, M. Saito, S. Kadomura and N. Nagashima; "Extreme High-Performance n- and p-MOSFETs Boosted by Dual-Metal/High-k Gate Damascene Process using Top-Cut Dual Stress Liners on (100) Substrates"; *International Electron Devices Meeting (IEDM)*; p.293-296; 2007
- [Mazurier10] J. Mazurier, O. Weber, F. Andrieu, F. Allain, C. Tabone, A. Toffoli, C. Fenouillet-Beranger, L. Brevard, L. Tosti, P. Perreau, M. Belleville et O. Faynot, "High Performance and Low Variability Fully-Depleted Strained-SOI MOSFETs", *SOI Conference*, p. 46-47, 2010
- [memsnet] <https://www.memsnet.org/material/>
- [Mistry07] K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstrom, M. Bost, M. Brazier, M. Buehler, A. Cappellani, R. Chau, C.-H. Choi, G. Ding, K. Fischer, T. Ghani, R. Grover, W. Han, D. Hanken, M. Hattendorf, J. He, J. Hicks, R. Huessner, D. Ingerly, P. Jain, R. James, L. Jong, S. Joshi, C. Kenyon, K. Kuhn, K. Lee, H. Liu, J. Maiz, B. McIntyre, P. Moon, J. Neiryneck, S. Pae, C. Parker, D. Parsons, C. Prasad, L. Pipes, M. Prince, P. Ranade, T. Reynolds, J. Sandford, L. Shifren, J. Sebastian, J. Seiple, D. Simon, S. Sivakumar, P. Smith, C. Thomas, T. Troeger, P. Vandervoorn, S. Williams, K. Zawadzki; "45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging"; *International Electron Devices Meeting (IEDM)*; p. 247-250; 2007
- [Mitard11] J.Mitard, L.Witters, G.Hellings, R.Krom, J.Franco, G.Eneman, A.Hikavy, B.Vincent, R.Loo, P.Favia, H. Dekkers, E.Altamirano Sanchez, A. Vanderheyden, D. Vanhaeren, P.Eyben, S.Takeoka, S.Yamaguchi, M.J.H.Van Dal, W.-E Wang, S.-H Hong, W.Vandervorst, K. De Meyer, S.Biesemans, P.Absil, N.Horiguchi, T.Hoffmann; "1mA/um-ION strained SiGe45%-IFQW pFETs with raised and embedded S/D"; *VLSI Technology*; p. 134-135; 2011.
- [Mitard12] J. Mitard, L. Witters, G. Eneman, G. Hellings, L. Pantisano, A. Hikavy, R. Loo, P. Eyben, N. Horiguchi and A. Thean; "85nm-Wide 1.5mA/um-ION IFQW SiGe-pFET: Raised vs Embedded Si0.75Ge0.25 S/D Benchmarking and In-Depth Hole Transport Study"; *VLSI Technology*; p. 163-164; 2012
- [Mocuta99] A. C. Mocuta, D. W. Greve; "Epitaxial Si_{1-y}C_y alloys: The role of surface and gas phase reactions"; *Journal of Applied Physics*; Vol. 85, No. 2, p.1240-1242; 1999.

- [Morvan12a] S. Morvan, F. Andrieu, M. Casse, P. Nguyen, O. Weber, P. Perreau, C. Tabone, F. Allain, A. Toffoli, G. Ghibaudo and T. Poiroux; “Comparison between <100> and <110> oriented channels in highly strained FDSOI nMOSFETs”; *Ultimate Integration On Silicon (ULIS)*; p. 173-176; 2012
- [Morvan12b] S. Morvan, F. Andrieu, M. Cassé, O. Weber, N. Xu, P. Perreau, J.M. Hartmann, J.C. Barbé, J. Mazurier, P. Nguyen, C. Fenouillet-Béranger, C. Tabone, L. Tosti, L. Brévard, A. Toffoli, F. Allain, D. Lafond, B.Y. Nguyen, G. Ghibaudo, F. Boeuf, O. Faynot and T. Poiroux; “Efficiency of Mechanical Stressors in Planar FDSOI n and p MOSFETs down to 14 nm Gate Length”; *VLSI Technology*; p. 111-112; 2012
- [Morvan12c] S. Morvan, F. Andrieu, P. Nguyen, J.-M. Hartmann, M. Cassé, C. Tabone, A. Toffoli, F. Allain, W. Schwarzenbach, G. Ghibaudo, B.-Y. Nguyen, N. Daval, M. Haond, T. Poiroux and O. Faynot; “Comparison between <100> and <110> Oriented Channels in Highly Strained FDSOI pMOSFETs”; *SOI Conference*; 2012
- [Morvan12d] S. Morvan, F. Andrieu, J.-C. Barbé ; « Procédé pour contraindre un motif mince et procédé de fabrication de transistor intégrant ledit procédé » ; Brevet, E.N. FR n° 12 50841 (30/01/2012), EP 13152758.2 (25/01/2013), Ext. US 13/753436 (29/01/2013). CEA: DD13128
- [Morvan12e] S. Morvan, F. Andrieu, R. Tiron ; « Procédé de fabrication des motifs nanométriques semiconducteurs utilisant des copolymères à blocs et procédé de fabrication d’un transistor FDSOI » ; Brevet, E.N. FR n° 12 54960 (30/05/2012), EP 13169110.7 (24/05/2013), Ext. US en cours. CEA : DD13225
- [Morvan13a] S. Morvan, F. Andrieu, J.-C. Barbé, G. Ghibaudo; “Strain Transfer Structure as a Mobility Booster for Fully-Depleted SOI MOSFETs at the 10nm Node”; *Ultimate Integration On Silicon (ULIS)*; p. 57-60; 2013
- [Morvan13b] S. Morvan, F. Andrieu, C. Leroux, X. Garros, M. Cassé, F. Martin, R. Gassilloud, Y. Morand, C. Le Royer, P. Besson, M.-C. Roure, C. Euvrard, M. Rivoire, A. Seignard, L. Desvoivres, S. Barnola, N. Allouti, P. Caubet, U. Weber, P.K. Baumann, O. Weber, L. Tosti, P. Perreau, F. Ponthenier, G. Ghibaudo, T. Poiroux; “Gate-Last Integration on planar FDSOI for low- V_{TP} and low-EOT MOSFETs”; *Microelectronic Engineering*; p. 306-309; 2013
- [Morvan13c] S. Morvan, C. Le Royer, F. Andrieu, P. Perreau, Y. Morand, D. Cooper, M. Cassé, X. Garros, J.-M. Hartmann, L. Tosti, L. Brévard, F. Ponthenier, M. Rivoire, C. Euvrard, A. Seignard, P. Besson, P. Caubet, C. Leroux, R. Gassilloud, B. Saidi, F. Allain, C. Tabone, T. Poiroux and O. Faynot; “Gate-Last Integration on Planar FDSOI MOSFET: Impact of Mechanical Boosters and Channel Orientations”; *International Electron Devices Meeting (IEDM)*; accepté ; 2013
- [Mourrain00] C. Mourrain, B. Cretu, G. Ghibaudo, P. Cottin ; “New method for parameter extraction in deep submicrometer MOSFETs”; *Microelectronic Test Structures*; p.181-186; 2000
- [Na02] M.H. Na, E.J. Nowak, W. Haensch, J. Cai; “The effective drive current in CMOS inverters”; *International Electron Devices Meeting (IEDM)*; p. 121-124; 2002
- [Ok10] I. Ok, K. Akarvardar, S. Lin, M. Baykan, C. D. Young, P.Y. Hung, M. P. Rodgers, S. Bennett, H. O. Stamper, D. L. Franca, J. Yum , J. P. Nadeau, C. Hobbs, P. Kirsch, P. Majhi, R. Jammy; “Strained SiGe and Si FinFETs for High Performance Logic with SiGe/Si stack on SOI”; *International Electron Devices Meeting (IEDM)*; p. 776-779, 2010.
- [Okada84] Y. Okada; Y. Tokumaru; “Precise determination of lattice parameter and thermal expansion coefficient of silicon between 300 and 1500 K”; *Journal of Applied Physics*; Vol. 56, No. 2, p. 314; 1984
- [Ortolland06] C. Ortolland, P. Morin, C. Chaton, E. Mastromatteo, C. Populaire, S. Orain, F. Leverd, P. Stolk, F. Boeuf, F. Arnaud; “Stress Memorization Technique (SMT) Optimization for 45nm CMOS” ; *VLSI Technology*; p. 78-79; 2006
- [Ota02] K. Ota, K. Sugihara, H. Sayama, T. Uchida, H. Oda, T. Eimori, H. Morimoto and Y. Inoue; “Novel Locally Strained Channel Technique for High Performance 55nm CMOS”; *International Electron Devices Meeting (IEDM)*; p. 27–30; 2002
- [Pacha06] C. Pacha, K. von Arnim, T. Schulz, W. Xiong, M. Gostkowski, G. Knoblinger, A. Marshall, T. Nirschl, J. Berthold, C. Russ, H. Gossner, C. Duvvury, P. Patruno, R. Cleavelin, K. Schreifer; “Circuit Design Issues in Multi-Gate FET CMOS Technologies”; *International Solid-State Circuits Conference (ISSCC)*; p. 1656–1665; 2006

- [Packan08] P. Packan, S. Cea, H. Deshpande, T. Ghani, M. Giles, O. Golonzka, M. Hattendorf, R. Kotlyar, K. Kuhn, A. Murthy, P. Ranade, L. Shifren, C. Weber and K. Zawadzki; “High Performance Hi-K + Metal Gate Strain Enhanced Transistors on (110) Silicon”; *International Electron Devices Meeting (IEDM)*; p. 1-4; 2008
- [Packan09] P. Packan, S. Akbar, M. Armstrong, D. Bergstrom, M. Brazier, H. Deshpande, K. Dev, G. Ding, T. Ghani, O. Golonzka, W. Han, J. He, R. Heussner, R. James, J. Jopling, C. Kenyon, S-H. Lee, M. Liu, S. Lodha, B. Mattis, A. Murthy, L. Neiberg, J. Neiryneck, S. Pae, C. Parker, L. Pipes, J. Sebastian, J. Seiple, B. Sell, A. Sharma, S. Sivakumar, B. Song, A. St. Amour, K. Tone, T. Troeger, C. Weber, K. Zhang, Y. Luo, S. Natarajan; “High performance 32nm logic technology featuring 2nd generation high-k + metal gate transistors”; *International Electron Devices Meeting (IEDM)*; p. 659-662; 2009
- [Park01] J.T. Park, J.P. Colinge; “Pi-Gate SOI MOSFETs”; *Electron Device Letters*; Vol. 22, No. 8, p. 405-406; 2001
- [Pauliac06] S. Pauliac, S. Landis, J. Foucher, J. Thiault, O. Faynot; “Hybrid lithography process for nano-scale devices”; *Microelectronic Engineering*, Vol. 83, No. 4-9, p. 1761-1766; 2006
- [Payet08] F. Payet, F. Boeuf, C. Ortolland and T. Skotnicki; “Nonuniform Mobility-Enhancement Techniques and their impact on device performance”; *Transactions on Electron Devices*; Vol. 55, No. 4, p. 1050-7; 2008
- [Payet08t] F. Payet; “Modélisation et intégration de transistors à canal de silicium contraint pour les noeuds technologiques CMOS 45nm et en deça” ; Thèse de doctorat, Université de Provence ; 2005
- [People85] R. People et J.C. Bean; “Calculation of critical layer thickness versus lattice mismatch for $\text{Ge}_x\text{Si}_{1-x}/\text{Si}$ strained layer heterostructures” *Applied Physics Letter*; Vol. 47, No. 3, p.322-4; 1985
- [Pham09] A.T. Pham, C. Jungemann, B. Meinerzhagen; “Modeling and validation of piezoresistive coefficients in Si hole inversion layers”; *Solid-state Electronics*; Vol. 53, No. 12, p. 1325-1333; 2009
- [Planes12] N. Planes, O.Weber, V.Barral, S.Haendler, D.Noblet, D.Croain, M.Bocat, P.-O.Sassoulas, X.Federspiel, A.Cros, A.Bajolet, E.Richard, B.Dumont, P.Perreau, D.Petit, D.Golanski, C.Fenouillet-Béranger, N.Guillot, M.Rafik, V.Huard, S.Puget, X.Montagner, M.-A.Jaud, O.Rozeau, O.Saxod, F.Wacquand, F.Monsieur, D.Barge, L.Pinzelli, M.Mellier, F.Boeuf, F.Arnaud and M.Haond; “28nm FDSOI Technology Platform for High-Speed Low-Voltage Digital Applications”; *VLSI Technology*; p. 133-134; 2012.
- [Pouydebasque08] A. Pouydebasque, C. Le Royer, C. Tabone, K. Romanjek, E. Augendre, L. Sanchez, J.-M. Hartmann, H. Grampeix, V. Mazzocchi, S. Soliveres, R. Truche, L. Clavelier, S. Deleonibus; “First Demonstration of Deep Sub-Micron Germanium-on-Insulator PMOSFET with Adapted Threshold Voltage”; *VLSI-TSA*; p.16-17; 2008
- [Ragnarsson07] L. Ragnarsson, V. Chang, H.Yu, H.-J. Cho, T. Conard, K. Yin, A. Delabie, J. Swerts, T. Schram, S. De Gendt, and S. Biesemans; “Achieving Conduction Band-Edge Effective Work Functions by La_2O_3 Capping of Hafnium Silicates”; *Electron Devices Letters*; Vol. 28, No. 6, p. 486-488; 2007
- [Ragnarsson09] L. Ragnarsson, Z. Li, J. Tseng, T. Schram, E. Rohr, M. J. Cho, T. Kauerauf, T. Conard, Y. Okuno, B. Parvais, P. Absil, S. Biesemans, and T. Y. Hoffmann; “Ultra low-EOT (5 Å) gate-first and gate-last high performance CMOS achieved by gate-electrode optimization”; *International Electron Devices Meeting (IEDM)*; p. 1-4; 2009
- [Rim03] K. Rim, K. Chan, L. Shi, D. Boyd, J. Ott, N. Klymko, F. Cardone, L. Tai, S. Koester, M. Cobb, D. Canaperi, B. To, E. Duch, I. Babich, R. Carmthers, P. Saunders, G. Walker, Y. Zhang, M. Steen, and M. Jeong; “Fabrication and Mobility Characteristics of Ultra-thin Strained Si Directly on Insulator (SSDOI) MOSFETs”; *International Electron Devices Meeting (IEDM)*; p. 3.3.1-4; 2003
- [Rochette08] F. Rochette; “Etude et caractérisation de l’influence des contraintes mécaniques sur les propriétés du transport électronique dans les architectures MOS avancées” ; Thèse de doctorat, Institut National Polytechnique de Grenoble (INPG) ; 2008

- [Romanjek04] K. Romanjek, F. Andrieu, T. Ernst, G. Ghibaudo; “Improved Split C–V Method for Effective Mobility extraction in sub-0.1- μm Si MOSFETs”; *Electron Device Letters*; Vol. 25, No. 8, p. 583-585; 2004
- [Ronse12] K. Ronse, P. De Bisschop, G. Vandenberghe, E. Hendrickx, R. Gronheid, A. Vaglio Pret, A. Mallik, D. Verkest, A. Steegen; “Opportunities and challenges in device scaling by the introduction of EUV lithography”; *International Electron Devices Meeting (IEDM)*; p. 435-438, 2012.
- [Saitoh10] M. Saitoh, Y. Nakabayashi, K. Ota, K. Uchida and T. Numata; “Understanding of Short-Channel Mobility in Tri-Gate Nanowire MOSFETs and Enhanced Stress Memorization Technique for Performance Improvement”; *International Electron Devices Meeting (IEDM)*; p. 780; 2010
- [Saitoh12] M. Saitoh, Y. Nakabayashi, K. Ota, K. Uchida, and T. Numata; “Performance Improvement by Stress Memorization Technique in Trigate Silicon Nanowire MOSFETs”; *Electrons Device Letters*; Vol. 33, No. 1, p. 8-10; 2012
- [Samavedam02] S.B. Samavedam, L.B. La, J. Smith, S.Dakshina-Murthy, E.Luckowski, J.Schaeffer, M. Zavala, R.Maain, V.Dhandapani, D.Triyoso, H. H.Tseng, P.J. Tobin, D.C. Gilmer, C.Hobbs, W.J. Taylor, M. Grant, R.I. Hegde, J.Mogab, C.Thomas, P.Abramowitz, M. Moosa, J.Conner, J.Jiang, V.Arunachalam, M. Sadd, B-Y.Nguyen and B.White; “Dual-metal gate CMOS with HfO₂ gate dielectric”; *International Electron Devices Meeting (IEDM)*; p. 433-436; 2002
- [Sayama99] H. Sayama, Y. Nishida, H. Oda, T. Oishi, S. Shimizu, T. Kunikiyo, K. Sonoda, Y. Inoue and M. Inuishi; “Effect of <100> channel direction for high performance SCE immune pMOSFET with less than 0.15 μm gate length”; *International Electron Devices Meeting (IEDM)*; p. 657-660; 1999
- [Schumacher05] M. Schumacher, P.K. Baumann, J. Lindner, C. Lohe, U. Weber, S. Ramanathan, Z. Karim, A.R. Londergan, T.E. Seidel; “Atomic Vapor Deposition (AVD) for Next Generations of Advanced Semiconductor Devices”; *208th ECS Meeting*; 2005
- [Schuster13] J. Schuster, S.E. Schulz, T. Herrmann, R. Richter; “Modeling and simulation of the interplay between contact metallization and stress liner technologies for strained silicon”; *Microelectronic Engineering*; In Press ; 2013
- [Scott99] G. Scott, J. Lutze, M. Rubin, F. Nouri, M. Manley; “NMOS Drive Current Reduction Caused by Transistor Layout and Trench Isolation Induced Stress”; *International Electron Devices Meeting (IEDM)*; p. 827–830; 1999.
- [Segalman03] R. A. Segalman, A. Hexemer, E. J. Kramer; “Effects of Lateral Confinement on Order in Spherical Domain Block Copolymer Thin Films”; *Macromolecules*; Vol. 36, No. 18, p. 6831-6839; 2003
- [Shen12] T.-M. Shen, Y.-T. Tung, Y.-Y. Cheng, D.-C. Chiou, C.-Y. Chen, C.-C. Wu, Y. M. Sheu, H.-T. Tsai, C.M. Huang, G. Hsieh, G. Tsai, S. Fung, J. Wu, C. H. Diaz; “Molecular Dynamic Simulation Study of Stress Memorization in Si Dislocations”; *International Electron Devices Meeting (IEDM)*; p. 697-700; 2012
- [Shimada97] H. Shimada, Y. Hirano, T. Ushiki, K. Ino, T. Ohmi; “Tantalum-gate thin-film SOI nMOS and pMOS for low-power applications”; *Transactions on Electron Devices*; Vol. 44, No. 11, p. 1903-7; 1997
- [Shimizu01] A. Shimizu, K. Hachimine, N. Ohki, H. Ohta, M. Koguchi, Y. Nonaka, H. Sato, F. Ootsuka; “Local Mechanical-Stress Control (LMC):A New Technique for CMOS-Performance Enhancement”; *International Electron Devices Meeting (IEDM)*; p. 433–436; 2001
- [SIA] Semiconductor Industry Association : <http://www.semiconductors.org>
- [Singh05] D. V. Singh, J. W. Sleight, J. M. Hergenrother, Z. Ren, K. A. Jenkins, O. Dokumaci, L. Black, J. B. Chang, H. Nakayama, D. Chidambarao, R. Venigalla, J. Pan, W. Natzle, B. L. Tessier, A. Nomura, J. A. Ott, M. Jeong and W. Haensch; “Stress memorization in high-performance FDSOI devices with ultra-thin silicon channels and 25nm gate lengths”; *International Electron Devices Meeting (IEDM)* ; p.505-508 ; 2005

- [Skotnicki08] T. Skotnicki, C. Fenouillet-Beranger, C. Gallon, F. Bœuf, S. Monfray, F. Payet, A. Pouydebasque, M. Szczap, A. Farcy, F. Arnaud, S. Clerc, M. Sellier, A. Cathignol, J.-P. Schoellkopf, E. Perea, R. Ferrant, and H. Mingam; “Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia”; *Transactions on Electron Devices*; Vol. 5, No. 1, p. 96-130; 2008
- [Skotnicki10] T. Skotnicki, F. Boeuf; “How can high mobility channel materials boost or degrade performance in advanced CMOS”; *VLSI Technology*; p. 153-154; 2010
- [Slot08] E. Slot, M. J. Wieland, G. de Boer, P. Kruit, G. F. ten Berge, A. M. C. Houkes, R. Jager, T. van de Peut, J. J. M. Peijster, S. W. H. K. Steenbrink, T. F. Teepen, A. H. V. van Veen, B. J. Kampherbeek; “MAPPER: high throughput maskless lithography”; *Proceedings of SPIE*; 2008
- [Smith09] C. E. Smith, H. Adhikari, S-H. Lee, B. Coss, S. Parthasarathy, C. Young, B. Sassman, M. Cruz, C. Hobbs, P. Majhi, P. D. Kirsch and R. Jammy; “Dual Channel FinFETs as a Single High-k/Metal Gate Solution Beyond 22nm Node”; *International Electron Devices Meeting (IEDM)*; p. 309-312, 2009.
- [Smith54] C. S. Smith; “Piezoresistance effect in Germanium and Silicon”; *Physical Review*; Vol. 94, No.1, p. 42-49; 1954
- [Song07] S. C. Song, C. S. Park, J. Price, C. Burham, R. Choi, H. C. Wen, K. Choi, H. H. Tseng, B. H. Lee, and R. Jammy; “Mechanism of Vfb roll-off with High Work function Metal Gate and Low Temperature Oxygen Incorporation to Achieve PMOS Band Edge Work function”; *International Electron Devices Meeting (IEDM)*; p. 337-340; 2007
- [Stoykovich05] M. P. Stoykovich, M. Müller, S. O. Kim, H. H. Solak, E. W. Edwards, J. J. de Pablo, P. F. Nealey; “Directed Assembly of Block Copolymer Blends into Nonregular Device-Oriented Structures”; *Science*; Vol. 308, No. 5727, p. 1442-1446; 2005
- [Sundrani04] D. Sundrani, S. B. Darling, S. J. Sibener; “Guiding Polymers to Perfection: Macroscopic Alignment of Nanoscale Domains”; *Nano Letters*; Vol. 4, No. 2, p. 273-276; 2004
- [Takagi08] S. Takagi, T. Irisawa, T. Tezuka, T. Numata, S. Nakaharai, N. Hirashita, Y. Moriyama, K. Usuda, E. Toyoda, S. Dissanayake, M. Shichijo, R. Nakane, S. Sugahara, M. Takenaka, N. Sugiyama; “Carrier-Transport-Enhanced Channel CMOS for Improved Power Consumption and Performance”; *Transactions on Electron Devices*; Vol. 55, No.1, p. 21-39; 2008
- [Takagi94a] S. Takagi, A. Toriumi, M. Iwase, H. Tango; “On the universality of inversion layer mobility in Si MOSFET's: Part I-Effects of substrate impurity concentration”; *Transactions on Electron Devices*; Vol. 41, No.12, pp. 2357-2362; 1994
- [Takagi94b] S. Takagi, A. Toriumi, M. Iwase, H. Tango; “On the universality of inversion layer mobility in Si MOSFET's: Part II-Effects of surface orientation”; *Transactions on Electron Devices*; Vol. 41, No.12, pp. 2363-2368; 1994
- [Tan07] K.-M. Tan, M. Zhu, W.-W. Fang, M. Yang, T.-Y. Liow, R. T. P. Lee, K. Mun Hoet, C.-H. Tung, N. Balasubramanian, G. S. Samudra, Y.-C. Yeo.; “A New Liner Stressor with Very High Intrinsic Stress (>6 GPa) and low permittivity comprising Diamond-Like carbon (DLC) for strained p-channel transistors”; *International Electron Devices Meeting (IEDM)*; p.127-130 ; 2007
- [Tatsumura08] K. Tatsumura, T. Ishihara, S. Inumiya, K. Nakajima, A. Kaneko, M. Goto, S. Kawanaka, and A. Kinoshita; “Intrinsic Correlation between Mobility Reduction and V_t shift due to Interface Dipole Modulation in HfSiON/SiO₂ stack by La or Al addition”; *International Electron Devices Meeting (IEDM)*; 2008
- [Tezuka01] T. Tezuka, N. Sugiyama, and S. Takagi; “Fabrication of strained Si on an ultrathin SiGe-on-insulator virtual substrate with a high-Ge fraction”; *Applied Physics Letters*; Vol. 79, No. 12, p. 1798-1800; 2001
- [Thean05] A.V-Y. Thean, L. Prabhu, V. Vartanian, M. Ramon, B-Y. Nguyen, T. White, H. Collard, Q-H Xie, S. Murphy, J. Cheek, S. Venkatesan, J. Mogab, C.H. Chang, Y.H. Chiu, H.C. Tuan, Y.C. See, M.S. Liang, Y.C. Sun; “Uniaxial-Biaxial Stress Hybridization For Super-Critical Strained-Si Directly On Insulator (SC-SSOI) PMOS With Different Channel Orientations”; *International Electron Devices Meeting (IEDM)*; p. 509-512; 2005

- [Thean06] A.V-Y Thean, Z-H Shi, L. Mathew, T. Stephens, H. Desjardin, C. Parker, T. White, M. Stoker, L. Prabhu, R. Garcia, B-Y. Nguyen, S. Murphy, R. Rai, J. Conner, B.E. White, S. Venkatesan; "Performance and Variability Comparisons between Multi-Gate FETs and Planar SOI Transistors"; *International Electron Devices Meeting (IEDM)* ; 2006
- [Thompson02] S. Thompson, N. Anand, M. Armstrong, C. Auth, B. Arcot, M. Alavi, P. Bai, I. Bielefeld, R. Bigwood, I. Brandenburg, M. Buehler, S. Cea, V.Chikarmane, C. Choi, R. Frankovic, T. Ghani, G. Glass, W. Han, T. Hoffmann, M. Hussein, P. Jacob, A. Jain, C. Jan, S. Joshi, C. Kenyon, I.Klaus, S Klopčič, I. Luce, Z. Ma, B. McIntyre, K. Misty, A. Munhy, P. Nguyen. H. Pearson, T. Sandford, R. Schweinfund, R. Shah, S.Sivakumar, M. Taylor, B. Tufts, C. Wallace, P. Wang, C. Weber, and M. Bohr; "A 90 nm Logic Technology Featuring 50nm Strained Silicon Channel Transistors, 7 layers of Cu Interconnects, Low k ILD, and 1 μm^2 SRAM Cell"; *International Electron Devices Meeting (IEDM)*; pp. 61-64 ; 2002
- [Thompson05] S. E. Thompson, R. S. Chau, T. Ghani, K. Mistry, S. Tyagi, M. T. Bohr; "In Search of "Forever," Continued Transistor Scaling One New Material at a Time"; *Transactions on Electron Devices*; Vol. 18, No. 1, p. 26-36; 2005
- [Thompson06] S. E. Thompson, G. Sun, Y. Choi and T. Nishida; "Uniaxial-Process-Induced Strained-Si: Extending the CMOS Roadmap"; *Transactions on Electron Devices*; Vol. 53, No. 5; 2006
- [Tiron13] R. Tiron; "Direct Self Assembly Lithography"; Leti innovation Days; 26 Juin 2013
- [Tsai13] H.-Y. Tsai, H. Miyazoe, S. Engelmann, S. Bangsaruntip, I. Lauer, J. Bucchignano, D. Klaus, L. Gignac, E. Joseph, J. Cheng, D. Sanders, M. Guillorn; "Pattern Transfer of Directed Self-Assembly (DSA) Patterns for CMOS Device Applications"; *Proceedings of SPIE*; Vol. 8685, 86850L; 2013
- [Uchida02] K. Uchida, H. Watanabe, A. Kinoshita, J. Koga, T. Numata, S. Takagi; "Experimental Study on Carrier Transport Mechanism in Ultrathin-body SOI n- and p-MOSFETs with SOI Thickness less than 5 nm"; *International Electron Devices Meeting (IEDM)*; p. 47-50; 2002
- [Ungersboeck07] E. Ungersboeck, S. Dhar, G. Karlowatz, V. Sverdlov, H. Kosina, S. Selberherr; "The Effect of General Strain on the Band Structure and Electron Mobility of Silicon"; *Transactions on Electron Devices*; Vol. 54, No. 9, p. 2183; 2007
- [Veloso11] A. Veloso, L.-Å. Ragnarsson, M. J. Cho, K. Devriendt, K. Kellens, F. Sebaai, S. Suhard, S. Brus, Y. Crabbe, T. Schram, E. Röhr, V. Paraschiv, G. Eneman, T. Kauerauf, M. Dehan, S.-H. Hong, S. Yamaguchi, S. Takeoka, Y. Higuchi, H. Tielens, A. Van Ammel, P. Favia, H. Bender, A. Franquet, T. Conard, X. Li, K.-L. Pey, H. Struyf, P. Mertens, P. P. Absil, N. Horiguchi, and T. Hoffmann; "Gate-Last vs. Gate-First Technology for aggressively scaled EOT Logic/RF CMOS"; *VLSI Technology*; p. 34-35; 2011.
- [Veloso12] A. Veloso, Y. Higuchi, S. A. Chew, K. Devriendt, L.-Å. Ragnarsson, F. Sebaai, T. Schram, S. Brus, E. Vecchio, K. Kellens, E. Röhr, G. Eneman, E. Simoen, M. J. Cho, V. Paraschiv, Y. Crabbe, X. Shi, H. Tielens, A. Van Ammel, H. Dekkers, P. Favia, J. Geypen, H. Bender, A. Phatak, J. del Agua Borniquel, K. Xu, M. Allen, C. Liu, T. Xu, W. S. Yoo, A. Thean, and N. Horiguchi; "Process control & Integration options of RMG Technology for aggressively scaled devices"; *VLSI Technology*; p. 33; 2012
- [Verheyen08] P. Verheyen, V. Machkaoutsan, M. Bauer, D. Weeks, C. Kerner, F. Clemente, H. Bender, D. Shamiryan, R. Loo, T. Hoffmann, P. Absil, S. Biesemans, S. G. Thomas; "Strain Enhanced nMOS Using In Situ Doped Embedded $\text{Si}_{1-x}\text{C}_x$ S/D Stressors With up to 1.5% Substitutional Carbon Content Grown Using a Novel Deposition Process"; *Electron Devices Letters*; Vol. 29, No. 11, p.1206-1208; 2008
- [Vila03] M. Vila, D. Caceres, C. Prieto; "Mechanical properties of sputtered silicon nitride thin films"; *Journal of Applied Physics*, Vol. 94, No.12, 7868; 2003
- [Vincent07] B. Vincent, J.-F. Damlencourt, P. Rivallin, E. Nolot, C. Licitra, Y. Morand, L. Clavelier; "Fabrication of SiGe-on-insulator substrates by a condensation technique: an experimental and modelling study"; *Semicond. Sci. Technol.* ; 22, p. 237-244; 2007
- [Vinet05] M. Vinet, T. Poiroux, J. Widiez, J. Lolivier, B. Previtali, C. Vizioz, B. Guillaumot, Y. Le Tiec, P. Besson, B. Biasse, F. Allain, M. Cassé, D. Lafond, J.-M. Hartmann, Y. Morand, J. Chiaroni, S. Deleonibus ; "Bonded Planar Double-Metal-Gate NMOS Transistors Down to 10 nm"; *Electron Device Letters*; Vol. 26, No. 5, p. 317-319; 2005

- [Wang07] J. Wang, Y. Tateshita, S. Yamakawa, K. Nagano, T. Hirano, Y. Kikuchi, Y. Miyanami, S. Yamaguchi, K. Tai, R. Yamamoto, S. Kanda, T. Kimura, K. Kugimiya, M. Tsukamoto, H. Wakabayashi, Y. Tagawa, H. Iwamoto, T. Ohno, M. Saito, S. Kadomura, and N. Nagashima; “Novel Channel-Stress Enhancement Technology with eSiGe S/D and Recessed Channel on Damascene Gate Process”; *VLSI Technology*; p. 46-47; 2007
- [Weber05] O. Weber, Y. Bogumilowicz, T. Ernst, J.-M. Hartmann, F. Ducroquet, F. Andrieu, C. Dupré, L. Clavelier, C. Le Royer, N. Cherkashin, M. Hytch, D. Rouchon, H. Dansas, A.-M. Papon, V. Carron, C. Tabone, S. Deleonibus; “Strained Si and Ge MOSFETs with High-K/Metal Gate Stack for High Mobility Dual Channel CMOS”; *International Electron Devices Meeting (IEDM)*; p. 137-140, 2005.
- [Weber07] O. Weber, T. Irisawa, T. Numata, M. Harada, N. Taoka, Y. Yamashita, T. Yamamoto, N. Sugiyama, M. Takenaka, S. Takagi; “Examination of Additive Mobility Enhancements for Uniaxial Stress Combined with Biaxially Strained Si, Biaxially Strained SiGe and Ge Channel MOSFETs”; *International Electron Devices Meeting (IEDM)*; p. 719; 2007
- [Weber08] O. Weber, O. Faynot, F. Andrieu, C. Buj-Dufournet, F. Allain, P. Scheiblin, J. Foucher, N. Daval, D. Lafond, L. Tosti, L. Brevard, O. Rozeau, C. Fenouillet-Beranger, M. Marin, F. Boeuf, D. Delprat, K. Bourdelle, B.-Y. Nguyen, S. Deleonibus; “High Immunity to Threshold Voltage Variability in Undoped Ultra-Thin FDSOI MOSFETs and its Physical Understanding”; *International Electron Devices Meeting (IEDM)*; 2008.
- [Weber10i] O. Weber, F. Andrieu, J. Mazurier, M. Cassé, X. Garros, C. Leroux, F. Martin, P. Perreau, C. Fenouillet-Béranger, S. Barnola, R. Gassilloud, C. Arvet, O. Thomas, J-P. Noel, O. Rozeau, M-A. Jaud, T. Poiroux, D. Lafond, A. Toffoli, F. Allain, C. Tabone, L. Tosti, L. Brévard, P. Lehnen, U. Weber, P.K. Baumann, O. Boissiere, W. Schwarzenbach, K. Bourdelle, B-Y Nguyen, F. Boeuf , T. Skotnicki, O. Faynot ; “Work-function Engineering in Gate First Technology for Multi-VT Dual-Gate FDSOI CMOS on UTBOX” ; *International Electron Devices Meeting (IEDM)*; p.58-61; 2010
- [Weber10j] O. Weber, M. Takenaka, S. Takagi; “Experimental Determination of Shear Stress induced Electron Mobility Enhancements in Si and Biaxially Strained-Si Metal–Oxide–Semiconductor Field-Effect Transistors”; *Japanese Journal of Applied Physics (JJAP)*; Vol. 49; 2010
- [Weber11] C. E. Weber, S. M. Cea, H. D., O. Golonzka and M. Y. Liu; “Modeling of NMOS Performance Gains from Edge Dislocation Stress”; *International Electron Devices Meeting (IEDM)*; p. 34.4.1; 2011
- [Wei07] A. Wei, M. Wiatr, A. Mowry, A. Gehring, R. Boschke, C. Scott, J. Hoentschel, S. Duenkel, M. Gerhardt, T. Feudel, M. Lenski, F. Wirbeleit, R. Otterbach, R. Callahan, G. Koerner, N. Krumm, D. Greenlaw, M. Raab, M. Horstmann; “Multiple Stress Memorization In Advanced SOI CMOS Technologies”; *VLSI Technology*; p. 216; 2007
- [Widiez05] J. Widiez, J. Lolivier, M. Vinet, T. Poiroux, B. Previtali, F. Daugé, M. Mouis, S. Deleonibus; “Experimental Evaluation of Gate Architecture Influence on DG SOI MOSFETs Performance”; *Transactions on Electron Devices*, Vol. 52, No. 8, p. 1772-1779; 2005
- [Widiez06] J. Widiez, M. Vinet, B. Guillaumot, X. Garros, S. Minoret, T. Poiroux, O. Weber, L. Thevenod, P. Holliger, B. Previtali, V. Barral, K. Sidi Ali Cherif, P. Grosgeorges, A. Toffoli, S. Maitrejean, M. Cassé, F. Martin, D. Lafond, O. Faynot, M. Mouis and S. Deleonibus; “Impact of WSi, Metal Gate Stoichiometry on Fully Depleted SOI MOSFETs Electrical Properties”; *VLSI-TSA*; p.117-118; 2006
- [Wortman65] J. J. Wortman, R. A. Evans ; “Young's Modulus, Shear Modulus, and Poisson's Ratio in Silicon and Germanium”; *Journal of Applied Physics*; Vol. 36, No. 1, p. 153; 1965
- [Xu12] N. Xu, F. Andrieu, B. Ho, B.-Y. Nguyen, O. Weber, C. Mazuré, O. Faynot, T. Poiroux, T.-J. K. Liu; “Impact of Back Biasing on Carrier Transport in Ultra-Thin-Body and BOX (UTBB) Fully Depleted SOI MOSFETs”; *VLSI Technology*; 2012

- [Yamashita11] T. Yamashita, V. S. Basker, T. Standaert, C.-C. Yeh, T. Yamamoto, K. Maitra, C. -H. Lina, J. Faltermeier, S. Kanakasabapathy, M. Wang, H. Sunamura, H. Jagannathan, A. Reznicek, S. Schmitz, A. Inada, J. Wang, H. Adhikari, N. Berliner, K-L. Leea, P. Kulkarni, Y. Zhua, A. Kumara, A. Bryant, S. Wu, T. Kanarsky, J. Cho, E. McLellan, S. J. Holmes, R. C. Johnson, T. Levin, J. Demarest, J. Li, P. Oldiges, J. Arnold, M. Colburn, M. Hane, D. Mcherron, V. K. Paruchuri, B. Doris, R. J. Miller, H. Bu, M. Khare, J. O'Neill and E. Leobandung; "Sub-25nm FinFET with Advanced Fin Formation and Short Channel Effect Engineering"; *VLSI Technology*; p. 14-15; 2011
- [Yang03] M. Yang, E. P. Gusev, M. Jeong, O. Gluschenkov, D. C. Boyd, K. K. Chan, P. M. Kozlowski, C. P. D'Emic, R. M. Sicina, P. C. Jamison, A. I. Chou; "Performance dependence of CMOS on silicon substrate orientation for ultrathin oxynitride and HfO₂ gate dielectrics"; *Electron Devices Letters*; Vol. 24, No. 5, p.339; 2003
- [Yang03i] M. Yang, M. Jeong, L. Shi, K. Chan, V. Chan, A. Chou, E. Gusev, K. Jenkins, D. Boyd, Y. Ninomiya, D. Pendleton, Y. Surpris, D. Heenan, J. Ott, K. Guarini, C. D'Emic, M. Cobb, P. Mooney, B. To, N. Rovedo, J. Benedict, R. Mo, and H. Ng; "High performance CMOS fabricated on hybrid substrate with different crystal orientations"; *International Electron Devices Meeting (IEDM)*; p. 453-456 ; 2003
- [Yang04] F.-L. Yang, D.-H. Lee, H.-Y. Chen, C.-Y. Chang, S.-D. Liu, C.-C. Huang, T.-X. Chung, H.-W. Chen, C.-C. Huang, Y.-H. Liu, C.-C. Wu, C.-C. Chen, S.-C. Chen, Y.-T. Chen, Y.-H. Chen, C.-J. Chen, B.-W. Chan, P.-F. Hsu, J.-H. Shieh, H.-J. Tao, Y.-C. Yeo, Y. Li, J.-W. Lee, P. Chen, M.-S. Liang, C. Hu; "5nm-Gate Nanowire FinFET"; *VLSI Technology*; p. 196-197; 2004
- [Yang06] M. Yang, V. Chan, K. Chan, L. Shi, D. Fried, J. Stathis, A. Chou, E. Gusev, J. Ott, L. Burns, M. Fischetti, M. Jeong; "Hybrid-Orientation Technology (HOT) : Opportunities and Challenges"; *Transactions on Electron Devices*; Vol. 53, No. 5, p.965-978; 2006
- [Yang07] F.-L. Yang, J.-R. Hwang, H.-M. Chen, J.-J. Shen, S.-M. Yu, Y. Li, and D. Tang; "Discrete Dopant Fluctuated 20nm/15nm-Gate Planar CMOS"; *VLSI Technology*; p. 208-209; 2007
- [Yang08] B. Yang, R. Takalkar, Z. Ren, L. Black, A. Dube, J. W. Weijtman, J. Li, J. B. Johnson, J. Faltermeier, A. Madan, Z. Zhu, A. Turansky, G. Xia, A. Chakravarti, R. Pal, K. Chan, A. Reznicek, T. N. Adam, B. Yang, J. P. de Souza, E. C. T. Harley, B. Greene, A. Gehring, M. Cai, D. Aime, S. Sun, H. Meer, J. Holt, D. Theodore, S. Zollner, P. Grudowski, D. Sadana, D.-G. Park, D. Mocuta, D. Schepis, E. Maciejewski, S. Luning, J. Pellerin, E. Leobandung; "High-performance nMOSFET with in-situ Phosphorus-doped embedded Si:C (ISPD eSi:C) source-drain stressor"; *International Electron Devices Meeting (IEDM)*; 2005
- [Yang11] S.H. Yang, J.Y. Sheu, M.K. Jeong, M.H. Chiang, T. Yamamoto, J.J. Liaw, S.S. Chang, Y.M. Lin, T.L. Hsu, J.R. Hwang, J.K. Ting, C.H. Wu, K.C. Ting, F.C. Yang, C.M. Liu, I.L. Wu, Y.M. Chen, S.J. Chent, K.S. Chen, J.Y. Cheng, M.H. Tsai, W. Chang, R. Chen, C.C. Chen, T.L. Lee, C.K. Lin, S.C. Yang, Y.M. Sheu, J.T. Tzeng, L.C. Lu, S.M. Jang, C.H. Diaz, Y.J. Mii; "28nm Metal-gate High-K CMOS SoC Technology for High-Performance Mobile Applications"; *IEEE Custom Integrated Circuits Conference (CICC)*; 2011
- [Yasuda12] H. Yasuda, T. Haraguchi, H. Yabara, K. Takahata, H. Murata, E. Rokuta, H. Shimoyama; "Multiaxis and multibeam technology for high throughput maskless E-beam lithography"; *Journal of Vacuum Science & Technology B*; Vol. 30, No. 6; 2012
- [Yin06] H. Yin, Z. Ren, H. Chen, J. Holt, X. Liu, J.W. Sleight, K. Rim, V. Chan, D.M. Fried, Y.H. Kim, J.O. Chu, B.J. Greene, S.W. Bedell, G. Pfeiffer, R. Bendernagel, D.K. Sadana, T. Kanarsky, C.Y. Sung, M. Jeong and G. Shahidi; "Integration of Local Stress Techniques with Strained-Si Directly On Insulator (SSDOI) Substrates"; *VLSI Technology*; p. 76-77; 2006
- [Yoshida06] E. Yoshida, Y. Momiyama, M. Miyamoto, T. Saiki, M. Kojima, S. Satoh, T. Sugii; "Performance Boost using a New Device Design Methodology Based on Characteristic Current for Low-Power CMOS"; *International Electron Devices Meeting (IEDM)* ; 2006

Publications de l'auteur

Articles de conférences internationales

S. Morvan, F. Andrieu, M. Casse, P. Nguyen, O. Weber, P. Perreau, C. Tabone, F. Allain, A. Toffoli, G. Ghibaudo and T. Poiroux; “Comparison between <100> and <110> oriented channels in highly strained FDSOI nMOSFETs”; *Ultimate Integration On Silicon (ULIS)*; p.173-176; 2012

<http://dx.doi.org/10.1109/ULIS.2012.6193385>

S. Morvan, F. Andrieu, M. Cassé, O. Weber, N. Xu, P. Perreau, J.M. Hartmann, J.C. Barbé, J. Mazurier, P. Nguyen, C. Fenouillet-Béranger, C. Tabone, L. Tosti, L. Brévard, A. Toffoli, F. Allain, D. Lafond, B.Y. Nguyen, G. Ghibaudo, F. Boeuf, O. Faynot and T. Poiroux; “Efficiency of Mechanical Stressors in Planar FDSOI n and p MOSFETs down to 14 nm Gate Length”; *VLSI Technology*; p. 111-112; 2012

<http://dx.doi.org/10.1109/VLSIT.2012.6242486>

S. Morvan, F. Andrieu, P. Nguyen, J.-M. Hartmann, M. Cassé, C. Tabone, A. Toffoli, F. Allain, W. Schwarzenbach, G. Ghibaudo, B.-Y. Nguyen, N. Daval, M. Haond, T. Poiroux and O. Faynot; “Comparison between <100> and <110> Oriented Channels in Highly Strained FDSOI pMOSFETs”; *SOI Conference*; 2012 **Best student paper award**

<http://dx.doi.org/10.1109/SOI.2012.6404362>

S. Morvan, F. Andrieu, J.-C. Barbé, G. Ghibaudo; “Strain Transfer Structure as a Mobility Booster for Fully-Depleted SOI MOSFETs at the 10nm Node”; *Ultimate Integration On Silicon (ULIS)*; p. 57-60; 2013

<http://dx.doi.org/10.1109/ULIS.2013.6523490>

S. Morvan, F. Andrieu, C. Leroux, X. Garros, M. Cassé, F. Martin, R. Gassilloud, Y. Morand, C. Le Royer, P. Besson, M.-C. Roure, C. Euvrard, M. Rivoire, A. Seignard, L. Desvoivres, S. Barnola, N. Allouti, P. Caubet, U. Weber, P.K. Baumann, O. Weber, L. Tosti, P. Perreau, F. Ponthenier, G. Ghibaudo, T. Poiroux; “Gate-Last Integration on planar FDSOI for low-V_{Tp} and low-EOT MOSFETs”; *Insulating Films on Semiconductors (INFOS)*; 2013

S. Morvan, C. Le Royer, F. Andrieu, P. Perreau, Y. Morand, D. Cooper, M. Cassé, X. Garros, J.-M. Hartmann, L. Tosti, L. Brévard, F. Ponthenier, M. Rivoire, C. Euvrard, A. Seignard, P. Besson, P. Caubet, C. Leroux, R. Gassilloud, B. Saidi, F. Allain, C. Tabone, T. Poiroux, O. Faynot; “Gate-Last Integration on Planar FDSOI MOSFET: Impact of Mechanical Boosters and Channel Orientations”; *International Electron Devices Meeting (IEDM)*; 20.3; 2013.

C. Xu, P. Batude, M. Vinet, M. Mouis, M. Casse, B. Sklénard, B. Colombeau, Q. Rafhay, C. Tabone, J. Berthoz, B. Previtali, J. Mazurier, L. Brunet, L. Brevard, F.A. Khaja, J.-M. Hartmann, F. Allain, A. Toffoli, R. Kies, C. Le Royer, **S. Morvan**, A. Pouydebasque, X. Garros, A. Pakfar, C. Tavernier, O. Faynot, T. Poiroux; “Improvements in Low Temperature (<625°C) FDSOI Devices down to 30nm gate length”; *VLSI-TSA*; 2012
<http://dx.doi.org/10.1109/VLSI-TSA.2012.6210171>

S. Barnola, P. Pimenta-Barros, L. Desvoivres, J. Pradelles, S. Barraud, Y. Morand, **S. Morvan**; “Spacer patterning for Trigate SOI devices”; *Plasma Etch and Strip in Microtechnology (PESM)*; Leuven, Belgium; 2013

S. Deleonibus, F. Andrieu, P. Batude, X. Jehl, F. Martin, F. Milesi, **S. Morvan**, F. Nemouchi, M. Sanquer, M. Vinet; “Future Micro/Nano-Electronics: Towards Full 3D and Zero Variability”; International Workshop on Junction Technology (IWJT); KN-1(Keynote), p.1-5; 2013

Articles de journaux

S. Morvan, F. Andrieu, C. Leroux, X. Garros, M. Cassé, F. Martin, R. Gassilloud, Y. Morand, C. Le Royer, P. Besson, M.-C. Roure, C. Euvrard, M. Rivoire, A. Seignard, L. Desvoivres, S. Barnola, N. Allouti, P. Caubet, U. Weber, P.K. Baumann, O. Weber, L. Tosti, P. Perreau, F. Ponthenier, G. Ghibaudo, T. Poiroux; “Gate-Last Integration on planar FDSOI for low-V_{Tp} and low-EOT MOSFETs”; *Microelectronic Engineering*; p. 306-309; 2013
<http://dx.doi.org/10.1016/j.mee.2013.03.045>

S. Morvan, F. Andrieu, J.-C. Barbé, G. Ghibaudo; “Study of an Embedded Buried SiGe Structure as a Mobility Booster for Fully-Depleted SOI MOSFETs at the 10 nm Node”; *Solid-State Electronics*; accepté

J.M. Hartmann, V. Benevent, J.P. Barnes, M. Veillerot, D. Lafond, J.F. Damlencourt, **S. Morvan**, B. Prévitali, F. Andrieu, N. Loubet and D. Dutartre; “Mushroom-Free Selective Epitaxial Growth of Si, SiGe and SiGe:B Raised Sources and Drains”; *Solid-State Electronics*; Vol. 83, p. 10-17; 2012
<http://dx.doi.org/10.1016/j.sse.2013.01.033>

S. Deleonibus, F. Templier, F. Andrieu, P. Batude, X. Jehl, F. Martin, F. Milesi, **S. Morvan**, F. Nemouchi, M. Sanquer, M. Vinet; “The Future of Heterogeneous and Diversified ULSI Nanoelectronics”; *ECS Transaction*; Vol. 54, No. 1, p. 3-14; 2013
<http://dx.doi.org/10.1149/05401.0003ecst>

Brevets

S. Morvan, F. Andrieu, J.-C. Barbé ; « Procédé pour contraindre un motif mince et procédé de fabrication de transistor intégrant ledit procédé » ; Brevet, E.N. FR n° 12 50841 (30/01/2012), EP 13152758.2 (25/01/2013), Ext. US 13/753436 (29/01/2013). CEA: DD13128

S. Morvan, F. Andrieu, R. Tiron ; « Procédé de fabrication des motifs nanométriques semiconducteurs utilisant des copolymères à blocs et procédé de fabrication d'un transistor FDSOI » ; Brevet, E.N. FR n° 12 54960 (30/05/2012), EP 13169110.7 (24/05/2013), Ext. US en cours. CEA : DD13225

Titre : Transistors MOS sur films minces de Silicium-sur-Isolant (SOI) complètement désertés pour le nœud technologique 10nm

RESUME

Depuis plusieurs générations technologiques, la réduction des dimensions des transistors à effet de champ Métal-Oxyde-Semiconducteur (MOSFET) n'est plus suffisante pour augmenter à elle seule les performances des circuits intégrés. Pour les circuits logiques à partir du nœud 28 nm, l'architecture planaire sur silicium massif a été abandonnée au profit de structures à canaux entièrement désertés (*Fully Depleted*). Malgré l'avantage apporté par la fabrication de ces transistors (FinFET ou Fully Depleted Silicon On Insulator FDSOI planaire), l'introduction et l'optimisation des contraintes mécaniques dans le canal restent indispensables.

Ce travail de recherche présente l'intégration de divers procédés de fabrication permettant de contraindre les MOSFET planaires sur SOI. L'efficacité des couches de nitrure (CESL) contraintes, de l'épitaxie des source/drain en SiGe, des substrats de silicium contraints sur isolant (sSOI) ainsi que l'effet de l'orientation du canal a été mesurée pour des longueurs de grille jusque 14 nm. L'intégration de MOSFET à grille damascène (*gate-last*) a également été développée sur SOI. En particulier, l'intérêt de ce type de grille pour ajuster la tension de seuil et pour optimiser les contraintes a été étudié. Finalement des perspectives sont présentées pour le nœud 10 nm. Des simulations mécaniques ont permis de valider une structure innovante permettant un transfert de contraintes depuis une couche de SiGe enterrée vers le canal. Par ailleurs, une intégration basée sur un procédé d'espaces sacrificiels (SIT) est présentée. Celle-ci permet de fabriquer des transistors à forte densité sur SOI.

MOTS CLES

Microélectronique, CMOS, SOI, UTBB, mobilité, contrainte, gate-last, SIT

Title: MOS transistors on thin fully depleted Silicon-On-Insulator (SOI) films for the 10 nm technological node.

ABSTRACT

Since several technological nodes, the scaling of Metal-Oxide-Semiconductor field effect transistors (MOSFET) alone is not sufficient to increase performances of integrated circuits. For numerical circuits beyond the 28 nm node, the planar architecture on bulk silicon has been discarded in favor of structures with fully depleted channels. Despite the advantage of such transistors (FinFET or planar Fully Depleted Silicon On Insulator FDSOI), the use and the optimization of mechanical stress in the channel remains mandatory.

This study presents the integration of various fabrication processes allowing to stress planar MOSFET on SOI. The efficiency of stressed nitride layers (CESL), of SiGe epitaxially raised source/drain (RSD) regions, of strained silicon on insulator (sSOI) substrates as well as the effect of the channel orientation has been measured for gate lengths down to 14 nm. The integration of replacement metal gate (*gate-last*) has been developed on SOI. Particularly, the interest of this kind of gate for threshold voltage adjustment and for stress optimization has been studied. Finally, perspectives for the 10 nm node are presented. Mechanical simulations enabled to validate an innovative structure which transfers stress from a buried SiGe layer to the channel. Moreover, an integration based on sacrificial spacers (SIT) is presented. It enables to fabricate high density transistors on SOI.

KEY WORDS

Microelectronic, CMOS, SOI, UTBB, mobility, strain, gate-last, SIT