

Introduction générale.....	13
Chapitre I Interfaces Entrées/Sorties	19
1. Généralités sur les Entrées/Sorties	21
2. Contraintes communes à toutes les E/S.....	21
2.1. Ligne de transmission	22
2.2. Bruits d'alimentations.....	29
2.3. Effet de « latch-up » (thyristor parasite).....	30
3. Les grandes familles d'entrées/sorties	32
3.1. Commutation en courant ou commutation en tension	32
3.2. Les différentes configurations	32
3.3. Les standards.....	33
4. Interface CMOS standard.....	34
4.1. Spécifications et contraintes	34
4.2. Les techniques d'implémentations	36
5. Interfaces Mémoires DDR.....	43
5.1. Spécifications et contraintes	43
5.2. Architectures de base.....	45
5.3. Les techniques d'implémentation	49
6. Interface série	53
7. Conclusion.....	55
8. Références bibliographiques	57
Chapitre II Les technologies Silicium sur Isolant.....	61
1. Introduction	63
1.1. Substrat silicium sur isolant.....	63
1.2. Généralités sur la technologie Partiellement Désertée SOI	63
1.3. Généralités sur la technologie Totalement Désertée SOI.....	65
2. Transistor SOI partiellement déserté	65
2.1. Fonctionnement du transistor : effets du substrat flottant	65
2.2. Avantages de la technologie PD-SOI.....	70
2.3. Inconvénients	71
2.4. Les types de transistors PD-SOI.....	76
3. Transistor SOI totalement déserté.....	80
3.1. Technologie silicium sur isolant totalement déserté à oxyde enterré épais	81
3.2. Technologie silicium sur isolant totalement déserté à oxyde enterré mince	84
4. Conclusion.....	89
5. Références bibliographiques	91
Chapitre III Entrées / Sorties en 65nm PDSOI.....	95
1. Introduction	97

2. Etat de l'art.....	97
3. Etude des effets SOI sur les interfaces entrées/sorties.....	99
3.1. Configuration choisie pour l'étude des effets SOI.....	99
3.2. Gain en performance.....	100
3.3. Effets d'histoire.....	102
3.4. Consommation statique.....	107
3.5. Effet de l'auto échauffement.....	108
4. Proposition d'une interface entrée/sortie générique.....	114
4.1. Principe.....	114
4.2. Simulation.....	116
4.3. Circuit.....	118
4.4. Résultats.....	121
5. Conclusion.....	126
6. Références bibliographiques.....	128
Chapitre IV Entrées / Sorties en 28nm FD-SOI.....	129
1. Introduction.....	131
2. Etude de l'influence de la polarisation face arrière sur l'impédance d'un étage de sortie LPDDR2 132	
2.1. Analyse expérimentale de l'effet face arrière sur une entrée/sortie standard.....	132
2.2. Evolution de l'impédance d'un étage de sortie LPDDR2 en fonction des conditions de Procédé, Température et Tension d'alimentation.....	135
2.3. Evolution de l'impédance en fonction de la polarisation face arrière dans des conditions typiques	137
2.4. Analyse des possibilités de contrôle de l'impédance en utilisant la polarisation face arrière, en présence de variations.....	138
3. Proposition d'un système de compensation mixte pour Entrées/Sorties LPDDR2.....	140
3.1. Principe et architecture générale.....	140
3.2. Schémas détaillés.....	143
3.3. Résultats de simulations.....	149
4. Conclusion.....	152
5. Références bibliographiques.....	153
Conclusion générale.....	155

Introduction générale

L'évolution de la microélectronique nous a permis de bénéficier jusqu'à ce jour d'une multitude d'objets électroniques qui nous accompagnent dans notre vie quotidienne. Chacun de ces objets se compose de circuit intégrés qui eux même se composent de millions voire de milliards de transistors, la brique de base d'un circuit. Dans cette quête du toujours plus de fonctionnalités, dans de toujours plus petites surfaces, et à des coûts toujours plus faibles, l'industrie de la microélectronique est régie par la loi de Moore qui vise à doubler le nombre de transistors tous les 18 mois dans une surface identique. La simple réduction d'échelle a été possible jusqu'au nœud 100nm. Aujourd'hui, les transistors laissent apparaître des limites dans cette quête à la miniaturisation, car des effets parasites freinent la diminution de la taille du transistor depuis les nœuds inférieurs à 100nm. Néanmoins, des innovations technologiques ont permis de prolonger cette fameuse loi. Il existe aujourd'hui un consensus pour dire que pour les nœuds inférieurs à 14nm, il devient nécessaire de proposer des architectures de transistors en rupture avec la technologie actuelle, telles que le FinFET [Damaraju'12] ou le FDSOI [Skotnicki'08] qui ont de meilleures caractéristiques électriques.

La technologie Silicium-Sur-Isolant partiellement désertée (PDSOI pour *Partially Depleted Silicon-On-Insulator* en anglais) a été introduite depuis de nombreuses années, comme une alternative aux technologies sur substrat massif, qui permet d'améliorer les caractéristiques électriques des transistors. Grâce à l'isolation diélectrique totale des transistors, elle permet de durcir les applications à visées spatiales, sensibles aux rayonnements cosmiques et plus généralement aux effets radiatifs. Pour les applications radio fréquences, l'utilisation d'un substrat hautement résistif sous l'oxyde enterré permet également d'améliorer la qualité des composants passifs intégrés. C'est aujourd'hui un important domaine d'application de cette technologie, avec des circuits qui remplacent progressivement les composants à base d'Arséniure de Galium.

Les circuits numériques en PDSOI présentent un gain en performance permettant d'accélérer la vitesse d'exécution des micro-processeurs, comme par exemple le *Cell Broadband Engine™* conçu à base de transistors PDSOI pour la console de jeux *Playstation 3*. Pour ces dernières applications, le gain en performance généralement constaté par rapport à la technologie silicium massif (BULK) oscille entre 20% et 30%. Une performance égale à celle du BULK sera obtenue pour une tension d'alimentation plus faible, induisant une réduction significative de la consommation dynamique. Cette amélioration s'explique par l'isolation

diélectrique totale des transistors, à la source du phénomène de substrat flottant (FB pour *floating body* en anglais) qui tend à abaisser leur tension de seuil. Cet effet de substrat flottant augmente donc la consommation électrique statique. Or, pour les appareils nomades, où le taux d'activité des systèmes sur puce (SoC pour *System On Chip* en anglais) est faible, la consommation statique est un critère essentiel, parfois plus important que la consommation dynamique. Afin d'adresser le marché des appareils mobiles, des techniques de conception spécifiques aux technologies PDSOI visant à réduire la consommation statique ont donc été introduites.

A partir du nœud technologique 28nm, la technologie CMOS sur substrat massif atteint ses limites. Ainsi, elle est de plus en plus fuyante du fait du rapprochement de la source et du drain, et d'un moins bon contrôle électrostatique du canal. De plus, la réduction de la tension de seuil qui accompagne nécessairement la réduction des tensions d'alimentation est un autre facteur aggravant. La technologie Silicium-Sur-Isolant totalement désertée (FDSOI pour *Fully Depleted Silicon-On-Insulator* en anglais) est composée d'un film de silicium très mince non dopé reposant sur une couche d'oxyde enterré mince. Elle se pose en alternative à la technologie FinFET, avec pour objectif commun d'améliorer le contrôle électrostatique du transistor et ainsi de réduire la consommation statique, tout en conservant de bonnes performances. La technologie FDSOI permet aussi, grâce à l'oxyde enterré très mince, une gestion fine de la consommation en modulant la tension de seuil des transistors par la tension de face arrière. Dans un circuit complexe, une partie du circuit peut ainsi voir sa consommation électrique réduite tandis qu'une autre partie en activité peut produire des performances accrues.

Les interfaces entrées/sorties sont essentielles pour que les circuits puissent communiquer entre eux. Elles permettent de transmettre des données numériques depuis le cœur du circuit vers l'extérieur (mode sortie) et inversement, depuis l'extérieur vers le cœur du circuit (mode entrée). Selon l'application visée, une interface peut transmettre à des fréquences allant de 100MHz pour les transferts standards, à quelques gigahertz pour les interfaces dédiées. Ces dernières sont par exemple utilisées dans nos ordinateurs de bureau et nos téléphones portables. Un consortium international d'industriels comme le JEDEC définit les normes de communication correspondantes. Il existe également d'autres types

d'interfaces, comme le LVDS (*Low-Voltage Differential Signaling* en anglais) qui vise les applications serveurs.

Pour obtenir toujours plus de performance, les transferts de données doivent être toujours plus rapides. Or, à mesure que la vitesse augmente, le signal parcourant la ligne entre deux circuits est soumis à des perturbations qui détériorent son intégrité. Ces perturbations sont causées par les effets de ligne de transmissions et le bruit d'alimentation généré par les commutations rapides des interfaces. Ainsi, la lecture correcte du signal peut être compromise.

L'objectif de ce travail de thèse a été dans un premier temps d'évaluer les effets de la technologie PDSOI sur des interfaces entrées/sorties standards, en tenant compte des critères spécifiques à ce type de cellule. Dans un second temps, le travail de thèse s'est orienté sur l'exploitation de la technologie FDSOI pour des interfaces entrées/sorties plus complexes liées au standard LPDDR2 (*Low Power Double Data Rate 2nde* génération) qui est utilisé pour les communications processeur mémoires dans les applications mobiles hautes performances.

Le premier chapitre de ce manuscrit aborde les interfaces entrées/sorties et les différents concepts associés. Les standards de communications et les schémas électriques associés sont passés en revue. Ces standards se décomposent en trois grandes familles, les interfaces CMOS standard, les interfaces parallèles et les interfaces séries. Les contraintes inhérentes à la communication entre deux circuits sont également abordées.

Le deuxième chapitre traite de la technologie SOI. Dans un premier temps, la technologie PDSOI est abordée. Les différents effets spécifiques au transistor FB sont discutés et leurs mécanismes associés décrits. La technologie FDSOI est décrite dans un second temps. Les atouts de cette technologie, potentiel successeur de la technologie sur substrat massif, y sont montrés.

Le troisième chapitre aborde l'interface entrée/sortie CMOS standard en technologie PDSOI 65nm. Tout d'abord, les différents effets identifiés dans le chapitre 2 sont évalués et leurs influences sur l'interface sont étudiées, en se focalisant en particulier sur la gigue du signal de sortie et la consommation statique. Il ressort que l'interface est sensible à certains de ces effets. Une solution visant à compenser les effets négatifs a été proposée qui consiste à polariser de façon dynamique le substrat des transistors de sortie. Cette solution conserve

le gain en vitesse tout en maîtrisant les effets indésirables. Elle a été conçue, fabriquée puis testée.

Enfin, dans le quatrième et dernier chapitre, la technologie FDSOI 28nm a été analysée en vue de l'exploiter avantageusement dans les interfaces mémoires du standard LPDDRII. Une analyse expérimentale préliminaire a permis de montrer l'efficacité de l'effet face arrière sur des interfaces standards. Ensuite, une méthode de calibration de l'impédance de sortie pour la norme LPDDRII a été proposée, exploitant l'effet face arrière. Un schéma électrique est présenté et la simulation montre que cette solution permet d'augmenter la bande passante globale de l'interface.

Des conclusions et perspectives sur ce travail sont données à la fin du manuscrit.

Référence :

- [Damaraju'12] S. Damaraju, et al., "A 22nm IA multi-CPU and GPU System-on-Chip," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, 2012, pp. 56 –57.
- [Skotnicki'08] T. Skotnicki, et al., "Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia," *Electron Devices, IEEE Transactions on*, vol. 55, no. 1, pp. 96 –130, Jan. 2008.

Chapitre I

Interfaces Entrées/Sorties

1. Généralités sur les Entrées/Sorties

Les cellules Entrées/Sorties assurent une fonction primordiale dans un circuit. Elles vont permettre de réaliser la communication numérique depuis les éléments se trouvant dans le cœur du circuit vers d'autres entités extérieures. Ces communications sont régies par des spécifications dont les contours sont délimités par un consortium d'industriels.

En général, les interfaces entrées/sorties assument une fonction bidirectionnelle ce qui permet, par l'intermédiaire d'une même cellule, de faire transiter le signal depuis l'extérieur vers le cœur du circuit, ou bien depuis le cœur du circuit vers l'extérieur. On dira dans le premier cas que la cellule fonctionne en mode « réception » (RX pour *Receiver* en anglais). Dans le deuxième cas, on sera en mode « émission » (TX pour *Transmitter* en anglais).

Une chaîne de transmission est constituée de trois composants (cf. Figure I.1) :

- ▶ l'interface en mode émission, qui se charge de conditionner, puis de transmettre le signal.
- ▶ le canal, support par lequel transite le signal, qui peut se composer d'une ligne de cuivre sur un circuit imprimé, d'un câble de plusieurs mètres de connecteurs.
- ▶ l'interface en mode réception, qui se charge d'interpréter le signal issu du canal de transmission en une information numérique.

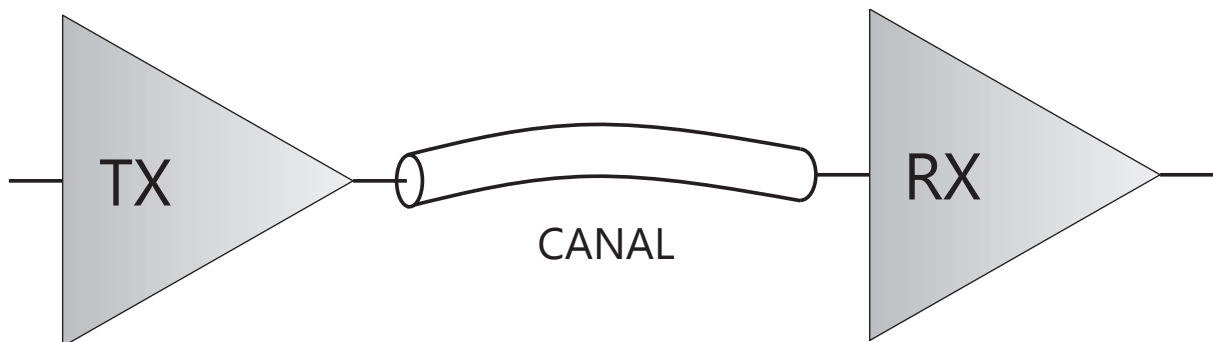


Figure I.1 : schéma de principe d'une chaîne de transmission

2. Contraintes communes à toutes les E/S

Les interfaces Entrées/Sorties sont soumises à un ensemble de phénomènes pouvant affecter la qualité du signal, et par conséquent, compromettre sa bonne interprétation et

déboucher sur une information erronée. Selon le type d'application visée, ces perturbations peuvent être plus ou moins exacerbées. Il s'agit de la réflexion du signal, de l'atténuation du signal, de la diaphonie (*Crosstalk* en anglais) et des bruits d'alimentations.

2.1. Ligne de transmission

2.1.1. Modélisation

Des phénomènes comme la réflexion du signal prennent effet lorsque les constantes de temps du signal à transmettre deviennent comparables au temps de propagation du signal circulant dans la ligne ; c'est-à-dire lorsque la fréquence du signal a une longueur d'onde approchant la longueur de la ligne. Une ligne de transmission peut alors être modélisée par un ensemble d'éléments continuellement distribués dans l'espace [Dabral'98], composé de capacités (Cdx), de résistances (Rdx), d'inductances (Ldx) et de conductances (Gdx) (cf. Figure I.2).

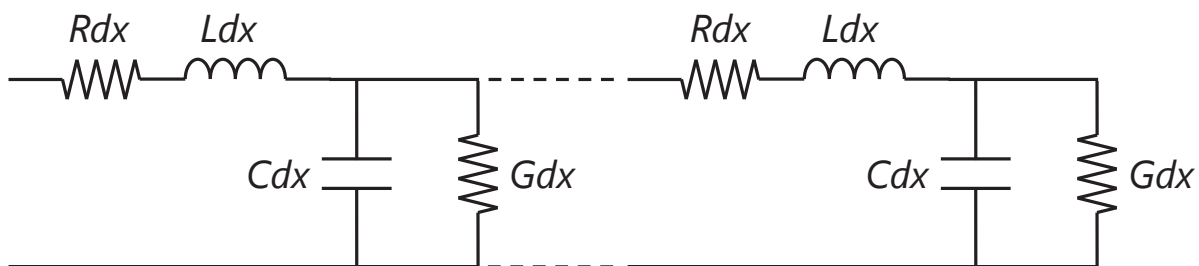


Figure I.2 : Schéma du modèle de ligne de transmission distribué

Dans le cas d'une ligne sur circuit imprimé, la résistance série est faible et la conductance reste négligeable. La ligne est dite sans perte. On en déduit l'impédance caractéristique de ligne Z_0 comme décrite dans l'équation suivante :

$$Z_0 = \sqrt{\frac{\omega L + R}{\omega C + G}} \approx \sqrt{\frac{L}{C}} \quad (1)$$

Où ω est la fréquence angulaire et qui tend vers l'infini.

Par conséquent, la vitesse de propagation du signal v s'exprime de la manière suivante :

$$v = \frac{c}{\sqrt{\mu_r \varepsilon_r}} = \frac{1}{\sqrt{LC}} \quad (2)$$

Où μ_r et ε_r représentent respectivement la perméabilité et la permittivité de l'isolant entourant la ligne, et c , la vitesse de la lumière.

En général, si l'on considère une ligne d'un circuit imprimé dont la constante de diélectrique est ~ 3 , la vitesse de propagation du signal qui en résulte est de $v = 1,25 \cdot 10^8 \text{ m.s}^{-1}$. La longueur d'onde du signal λ traversant la ligne est exprimée de la façon suivante :

$$\lambda = \frac{v}{f} \quad (3)$$

Où f est la fréquence de fonctionnement.

Par exemple, la longueur d'onde devient égale à $\sim 17 \text{ cm}$ si un signal sinusoïdal de fréquence égale à 1 GHz est transmis, ce qui devient comparable à la longueur d'une ligne de 20 cm . Dans ce cas-là, les effets de lignes apparaissent, ce qui a pour conséquence de dégrader l'intégrité du signal.

2.1.2. Diagramme de l'œil

Pour juger de la bonne qualité du signal transmis, le diagramme de l'œil permet d'observer graphiquement l'intégrité du signal. Il met en évidence différents paramètres électriques tels que, entre autres, les fronts montants et descendants, les surtensions et sous-tensions, la synchronisation entre le signal d'horloge et le signal de donnée.

Le diagramme de l'œil est généré en capturant et en superposant tous les symboles d'un signal. L'intégrité d'un signal est particulièrement sensible lorsqu'il s'agit d'un signal de donnée. Celui-ci est considéré comme un signal pseudo-aléatoire et se décompose de façon approximative en six symboles (cf. Figure I.3.a) :

- ▶ logique '1' établie
- ▶ logique '0' établie
- ▶ transition isolée de '0' vers '1'
- ▶ transition isolée de '1' vers '0'
- ▶ bit isolé '0'/'1'/'0'
- ▶ bit isolé '1'/'0'/'1'

Pour tester la qualité du signal, une succession de ces symboles est transmise de façon aléatoire et répétée, en reproduisant une transmission type d'un signal de donnée [Granberg'04]. Dans les standards de communications, l'ouverture de l'œil doit respecter un gabarit bien défini, dans lequel aucun point du signal n'est toléré (cf. Figure I.3.b). Si l'ouverture de l'œil se réduit, en hauteur ou en largeur, cela augmente la probabilité d'erreur dans l'interprétation de l'information à la réception.

La largeur de l'œil est altérée par une fluctuation de la phase du signal, appelée gigue. Les causes de la gigue, et plus généralement de la fermeture de l'œil, découlent de l'effet de réflexion du signal, l'effet d'atténuation de ligne, la diaphonie et les bruits d'alimentations, explicités par la suite.

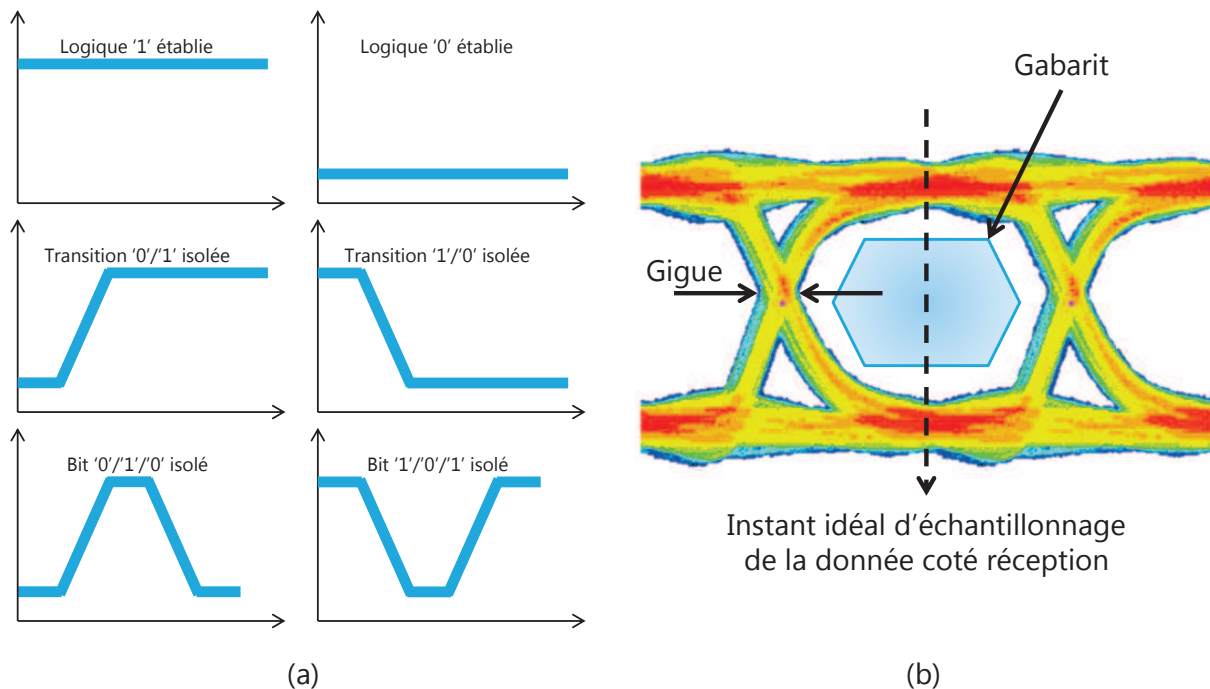


Figure I.3 : (a) les différents symboles présents dans un signal de donnée et (b) le diagramme de l'œil qui en résulte.

2.1.3. Phénomène de réflexion du signal

Lorsqu'un front raide est déclenché en sortie de l'interface en mode émission, il se propage au travers du canal de transmission d'impédance caractéristique de ligne Z_0 (cf. Figure I.5). Arrivant au bout de ce canal, au niveau du récepteur, le signal incident est réfléchi en retour vers l'émetteur. Ce signal est de nouveau réfléchi depuis la source vers le récepteur. Il en résulte une dégradation du signal à la réception ce qui altère l'intégrité du signal. Cela se traduit par des rebonds sur le signal qui réduisent la hauteur de l'ouverture de l'œil. Lorsque ces rebonds réfléchis interviennent pendant la transition, cela occasionne également de la gigue ce qui ferme davantage l'ouverture de l'œil dans la largeur (cf. Figure I.4).

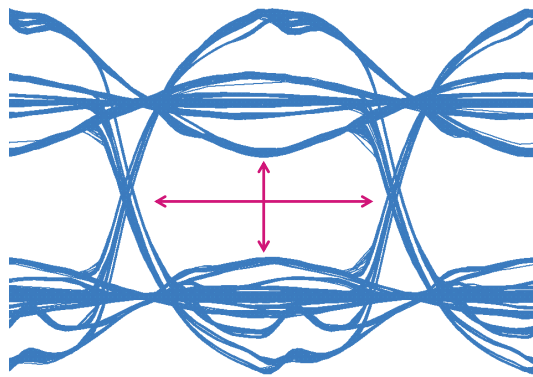


Figure I.4 : diagramme de l'œil mettant en évidence l'impact du phénomène réflexion

Les coefficients de réflexion Γ_S et Γ_T [Granberg'04], respectivement côté source et côté terminal, sont donnés par :

$$\Gamma_{S,T} = \frac{R_{S,T} - Z_0}{R_{S,T} + Z_0} \quad (4)$$

Où R_T est la résistance de terminaison et R_S la résistance de source.

On considère trois cas particuliers :

- ▶ en bout de ligne, le circuit est ouvert : $R_T = \infty$. Le coefficient de réflexion est égal à +1. Le courant est réfléchi vers la source. Dès lors, le potentiel est doublé par rapport au potentiel à la source puis propagé vers l'émetteur.
- ▶ en bout de ligne, le circuit est fermé : $R_T = 0$. Le coefficient de réflexion est égal à -1. Le courant circule directement vers la masse et le potentiel est mis à 0V. Ce potentiel est propagé en retour vers la source.

- ▶ en bout de ligne, le circuit est terminé de la manière suivante : $R_T = Z_0$. Le coefficient de réflexion est égal à 0. La ligne est dite adaptée. L'énergie du signal est complètement absorbée et il n'y a pas de réflexion.

Le cas idéal consiste à implémenter une résistance de part et d'autre de la ligne de transmission, une à la source (R_S) et une à la charge (R_T), chacune égale à l'impédance caractéristique de ligne Z_0 dont la valeur standardisée est souvent de 50Ω (cf. Figure I.5). La résistance R_S va permettre d'absorber l'énergie du signal réfléchi provenant de la charge. La résistance R_T absorbe l'énergie de l'onde incidente provenant de la source. Ainsi, les phénomènes de réflexions seront maîtrisés.

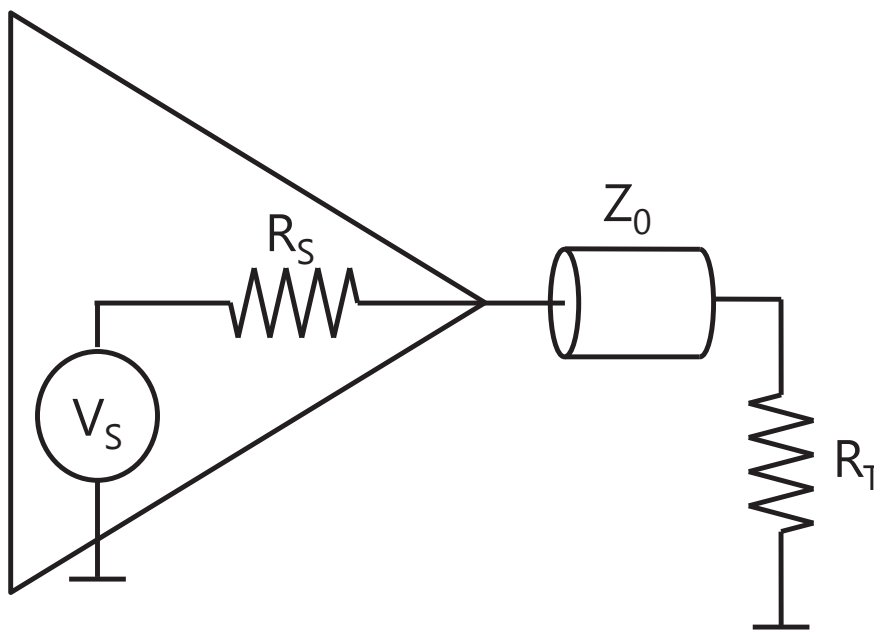


Figure I.5 : schéma de principe d'une ligne de transmission adaptée par une résistance de source et une résistance terminale.

2.1.4. Effet d'atténuation du signal

L'intégrité du signal peut être dégradée par des phénomènes causant une atténuation du signal et qui sont dépendants de la fréquence [Dally'97]. Au premier ordre, il s'agit du phénomène appelé « effet de peau ». En effet, lorsque la fréquence atteint des valeurs élevées, le courant tend à désert le cœur de la ligne pour ne circuler qu'en surface du conducteur ce qui augmente la résistance de ligne, causant une atténuation de signal au fur et à mesure que sa fréquence augmente. L'épaisseur de la zone de conduction δ se calcule de la manière suivante :

$$\delta = \frac{1}{\sqrt{\pi f \mu \sigma}} \quad (5)$$

où f est la fréquence, μ est la perméabilité de l'isolant entourant la ligne et σ étant la conductivité de la ligne.

Au second ordre, l'atténuation du signal peut être liée aux pertes du diélectrique entourant le câble ou du diélectrique du circuit imprimé lui-même, sur lequel est posée la ligne.

La transmission de données est particulièrement sensible à ce phénomène. La bande passante limitée de la ligne de transmission atténue davantage le signal dans les hautes fréquences que dans les basses fréquences. Cela se traduit dans le domaine temporel par une atténuation des bits isolés. Par exemple, après un long '0' le signal commute vers un '1' logique avant de commuter de nouveau vers un '0' logique. La dernière commutation s'opère au moment où le niveau '1' logique final n'a pas pu être atteint (cf. Figure I.6.a). Par conséquent, l'ouverture de l'œil diminue en hauteur ce qui augmente la probabilité d'erreur de lecture. De plus, étant donné que le signal possède différentes valeurs initiales avant la commutation suivante, cela induit un élargissement de la gigue qui ferme davantage l'œil en horizontal (cf. Figure I.6.b). Il s'agit de la gigue dépendante de la donnée. Néanmoins, le signal d'horloge n'est pas assujéti à ce type de gigue puisque les valeurs initiales du signal avant chaque commutation restent identiques tout au long de la transmission. Seule l'amplitude du signal d'horloge diminue avec l'augmentation de la fréquence.

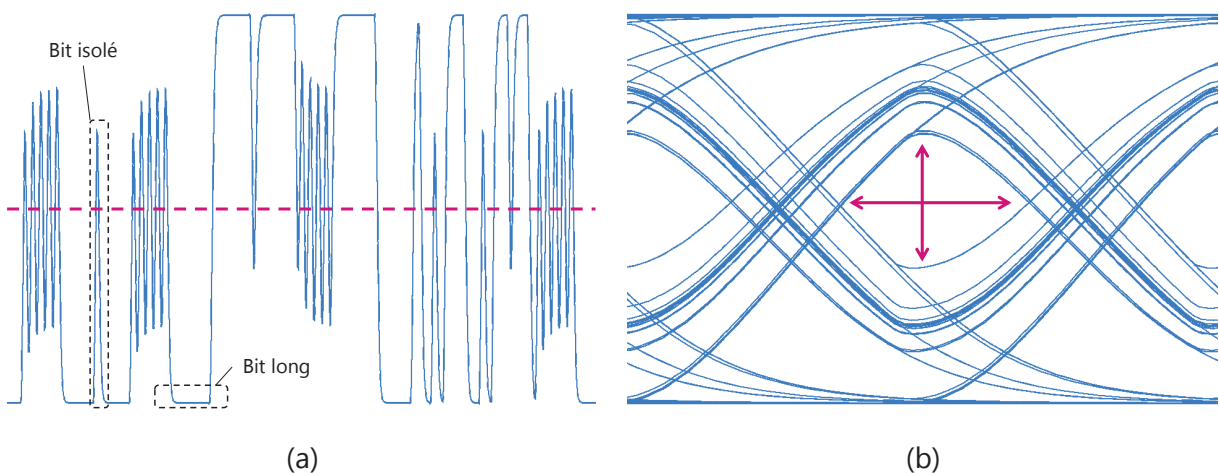


Figure I.6 : (a) simulation temporelle d'un signal de sortie et (b) le digramme de l'œil associé mettant en valeur l'effet d'atténuation du signal

2.1.5. Diaphonie

Les communications parallèles, qui implique plusieurs lignes de transmission, sont assujetties au phénomène de diaphonie (*crosstalk* en anglais) [Buckwalter'06]. C'est la conséquence du couplage électromagnétique et électrique qui existe entre plusieurs lignes parallèles, au travers de l'inductance mutuelle et de la capacité mutuelle entre les lignes. Une transition dans une ligne affecte par couplage les lignes adjacentes victimes de cette perturbation, en influant sur leur vitesse de propagation du signal. Ce phénomène est d'autant plus important lorsque les lignes sont proches. Les signaux sont dégradés, altérant ainsi la qualité de ces signaux, et de ce fait, limitant la vitesse de transmission.

Trois modes de perturbations entre deux lignes peuvent survenir :

- ▶ le premier signal fait l'objet d'un front dans une direction donnée alors que le second signal est statique. Ce mode n'impacte pas le temps de propagation du signal victime, mais altère son niveau électrique. Ce mode est dit statique.
- ▶ le premier et le second signal font l'objet de fronts de directions opposées. Ce mode impacte le temps de propagation du signal victime dans la ligne en l'accéléralant par rapport au mode statique. Ce mode est appelé *odd* en anglais.
- ▶ le premier et le second signal font l'objet de fronts de mêmes directions. Ce mode impacte le temps de propagation du signal victime dans la ligne en le ralentissant par rapport au mode statique. Ce mode est appelé *even* en anglais.

Ces comportements sont vrais si l'impédance de ligne est basse, autrement dit si l'inductance domine la capacitance [Buckwalter'06], ce qui est souvent le cas puisque l'impédance caractéristique de ligne est généralement de 50Ω . Si l'impédance de ligne est élevé, la capacitance domine et l'effet s'inverse : le mode *odd* est plus lent que le mode *even*.

Ces trois modes sont rencontrés dans une communication parallèle. Cela se traduit par une dégradation de la gigue (CIJ pour *crosstalk induced jitter* en anglais) et de l'ouverture de l'œil (cf. Figure I.7).

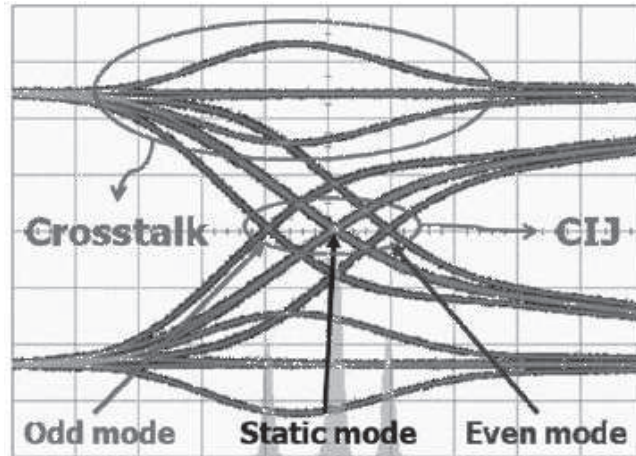


Figure I.7: extraction au niveau de la réception de la gigue induite par la diaphonie [Jung'09].

2.2. Bruits d'alimentations

Les commutations des interfaces entrées/sorties impliquent des appels de courants élevés. Entre le régulateur de tension externe et la circuiterie interne, ces courants traversent un ensemble d'inductances parasites, dont celles entre le plot et la broche du boîtier, de la broche elle-même et du circuit imprimé (cf. Figure I.8). Lorsqu'un changement brusque de courant intervient au travers de l'inductance parasite, une chute de tension aux bornes de l'inductance se crée réduisant ainsi la tension entre la grille et la source V_{GS} des transistors [Senthinathan'91]. La performance de l'interface est impactée pendant la transition pour au final dégrader l'intégrité du signal. De plus, les bruits d'alimentations sont d'autant plus élevés qu'il y a un nombre important de commutations simultanées de plusieurs interfaces (SSO pour *Simultaneous Switching Output* en anglais).

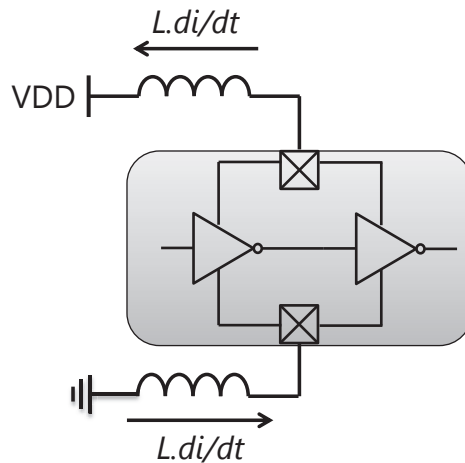


Figure I.8: représentation schématique d'un circuit digital connecté aux tensions d'alimentations via les inductances parasites.

Une solution pour limiter ce problème consiste à contrôler la dynamique du courant par la maîtrise de la mise en conduction des transistors pour diminuer le di/dt [Senthinathan'93]. De plus, l'ajout d'une capacité de découplage au plus proche des lignes d'alimentation du circuit peut être bénéfique. Elle permet de filtrer les bruits d'alimentations. Les charges sont stockées dans la capacité et sont mises à disposition du circuit pour secondar le générateur d'alimentation lorsqu'une demande en courant trop importante survient en un temps très bref [Dobberpuhl'92] [Hashemi'92]. L'autre bras de levier, afin de limiter cette effet, consiste à optimiser la valeur de l'inductance du boîtier. L'émergence des boîtiers de type *flipchip* va dans ce sens [Dabral'98].

2.3. Effet de « latch-up » (thyristor parasite)

Cet effet concerne la fiabilité du circuit. Le concepteur de circuit met en œuvre des solutions au niveau dessin de masque pour contrôler ce phénomène. Un évènement dit « latchup » apparait quand un thyristor parasite se déclenche [Dabral'98]. Ce dernier existe naturellement en dessous d'un transistor nMOS abuté à un transistor pMOS, comme cela pourrait être le cas pour un inverseur (cf. Figure I.9.a). Ce déclenchement met en court-circuit VDD et la masse, détruisant au passage la structure. Ce phénomène est d'autant plus probable et destructeur que les tailles de transistors sont conséquentes, comme dans les buffers de sortie, impliquant des courants élevés. Le circuit équivalent du thyristor est donné Figure I.9.b. Pendant une transition montante et rapide sur le drain (D) du NMOS, le potentiel

dans le caisson p, qui est la base du transistor bipolaire Q_{NPN} , augmente par couplage capacitif. La jonction base-émetteur de ce transistor est mise en direct ce qui a pour effet d'actionner celui-ci. Par conséquent, le potentiel sur la base du transistor Q_{PNP} diminue, mettant en direct la jonction base-émetteur de celui-ci. Ainsi, davantage de courant est injecté dans la base du transistor Q_{NPN} . Le déclenchement du thyristor s'opère également pendant une transition descendante et rapide sur le drain du PMOS. Le thyristor étant un système à boucle ouverte, une impulsion sur une des deux bases (positives sur la base du Q_{NPN} ou négative sur la base du Q_{PNP}) suffit pour déclencher le thyristor. Précédemment, la génération de bruit d'alimentation a été évoquée. Lorsqu'une surtension sur l'émetteur du Q_{PNP} ou une sous-tension sur celui du Q_{NPN} apparaissent, le thyristor est également déclenché par la mise en direct d'une des jonctions « base-émetteur » correspondantes.

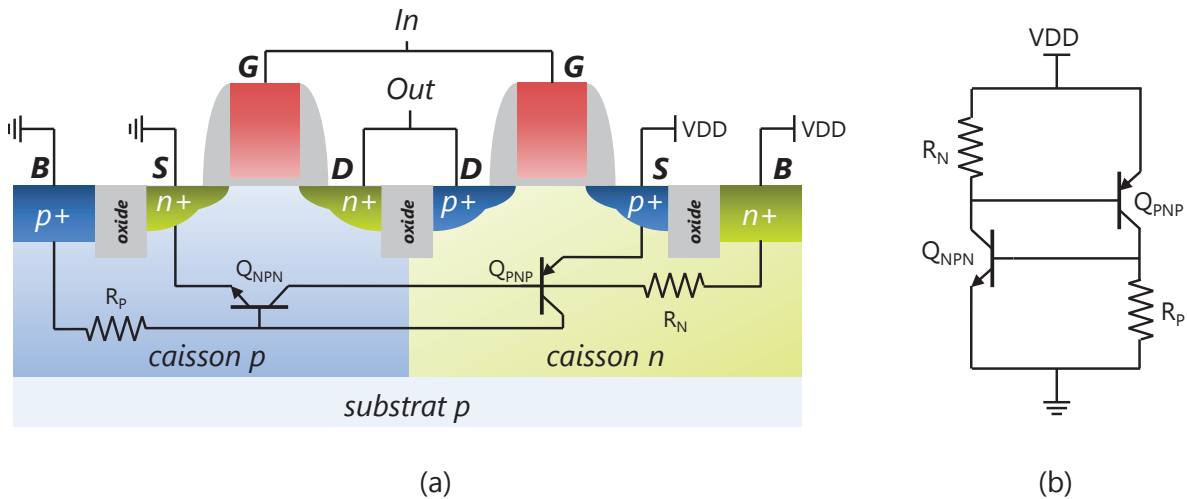


Figure 1.9: (a) vue en coupe d'un inverseur CMOS composé d'un transistor nMOS à gauche, d'un transistor pMOS droite et du thyristor parasite. (b) Vue schématique du thyristor parasite.

Pour limiter cet effet, plusieurs solutions existent. L'idée est de réduire la valeur des résistances parasites et de réduire le gain en courant β des transistors bipolaires. Pour réduire la valeur des résistances, il suffit d'ajouter un maximum de contacts vers les caissons en formant ainsi un anneau de garde (*guard ring* en anglais) autour des transistors NMOS et un second anneau autour des transistors PMOS. De plus, pour réduire le gain en courant, il est spécifié de respecter un espacement suffisamment grand entre les pMOS et les nMOS ; ce qui élargit la distance entre le collecteur et l'émetteur des deux transistors bipolaires et donc réduit le gain en courant β des transistors bipolaires.

3. Les grandes familles d'entrées/sorties

3.1. Commutation en courant ou commutation en tension

Pour mener à bien une transmission, celle-ci peut être réalisée de deux manières différentes : par commutation en tension ou par commutation en courant. Le premier mode consiste à basculer d'une tension haute vers une tension basse, et inversement. L'avantage de ce type de topologie réside dans la très faible consommation statique. La contrepartie est que l'excursion en tension est élevée, et donc que l'interface est plus lente à commuter d'un niveau logique vers l'autre. L'autre contrepartie réside dans sa vulnérabilité au bruit. En effet, les commutations soudaines en tension favorisent les appels de courant brusques ; ce qui induit des bruits en tension, comme évoqué précédemment.

A l'inverse, le mode par commutation de courant est plus rapide grâce notamment à une excursion de tension réduite permettant un temps de passage d'un état vers l'autre beaucoup plus rapide. De plus, ce type d'interface entraîne moins de bruits d'alimentation. En effet, le courant nécessaire à son fonctionnement est constant. De plus, la source de courant isole la ligne de transmission des bruits de l'alimentation. En contrepartie, la consommation électrique devient très élevée.

Le choix du type d'interface à implémenter va faire l'objet d'un compromis. Soit, le choix se fera sur une interface de type commutation en tension pour sa faible consommation électrique statique. Soit, le choix se fera sur une interface de type commutation en courant pour sa faculté à transmettre rapidement l'information, accompagné d'une bonne immunité au bruit.

3.2. Les différentes configurations

Trois types de configurations coexistent pour émettre et recevoir le signal. Chacune des configurations permet d'interpréter le signal en entrée selon différents types de références. La configuration la plus simple consiste à interpréter le signal entrant par rapport aux seuils des transistors d'un inverseur CMOS conventionnel. Ce type de configuration est dit *single-ended* en anglais. Il a l'avantage d'être très simple dans sa mise en œuvre, n'ayant besoin que

d'une seule ligne de communication. Ce type d'interface est limité en vitesse de transmission. Le fait d'augmenter la tension d'alimentation permettrait de limiter l'influence du bruit d'alimentation, ce qui augmente la marge de bruit du signal, afin d'atteindre des vitesses de communications plus rapides. En revanche, cela va à l'encontre de la tendance générale qui est de diminuer les tensions d'alimentation dans un souci de moins consommer électriquement.

Une deuxième approche consiste à transmettre le signal sur une ligne et à transmettre son complémentaire, servant de référence, sur une ligne adjacente. Ce type de configuration est dit totalement différentiel. La partie réception est constituée d'un amplificateur différentiel. Par conséquent, le bruit commun aux deux lignes est annulé. De plus, l'excursion en tension est réduite pour permettre un accroissement de la vitesse de transmission. La contrepartie d'une telle configuration est la nécessité d'implémenter deux lignes par donnée binaire.

Un compromis, dit pseudo-différentiel, consiste à référencer la donnée à transmettre par rapport à une tension de référence issue du circuit émetteur vers le circuit récepteur au travers d'une ligne. Cette référence est partagée par toutes les interfaces réceptrices. Ainsi, le nombre de lignes est réduit tout en conservant une certaine immunité au bruit commun sur les lignes et l'opportunité de réduire l'excursion en tension.

3.3. Les standards

Réaliser un échange d'informations entre deux circuits nécessite de définir des standards de sorte qu'ils puissent se comprendre lorsqu'ils communiquent.

Pour des applications génériques, on se tournera plutôt vers une interface CMOS, qui est de type *single-ended* à commutation en tension. Cette interface est simple à mettre en place et permet d'adresser des communications dont la rapidité n'est pas une contrainte. Elle est également conçue pour que le circuit puisse communiquer avec d'autres circuits réalisés à partir de nœuds technologiques plus anciens et qui fonctionnent sous des tensions d'alimentations différentes.

Pour des applications telles que les interfaces mémoires DDR (*Double Data Rate* en anglais), la nécessité de communiquer à des fréquences toujours plus élevées entraîne un

accroissement des effets de lignes altérant la qualité du signal. Ce type d'interface est de type parallèle. Les données sont transmises par le biais de plusieurs canaux adjacents, situés entre deux puces et disposés sur un circuit imprimé. Par conséquent, les principaux effets de lignes à considérer sont les phénomènes de réflexion et de diaphonie. Le phénomène d'atténuation dû aux pertes de la ligne reste quant à lui pris en compte dans certains cas de figure, plus particulièrement pour les applications à très hautes vitesses. Le type d'interface est de type pseudo-différentiel en ce qui concerne la donnée, et de type totalement différentiel lorsqu'il s'agit de transmettre l'horloge qui rythme la capture de la donnée de façon synchrone, au niveau du récepteur. Tous deux utilisent des commutations de tensions à excursion réduites (cf. Partie 5.2.1).

Enfin, une autre famille d'interfaces rapides se caractérise en effectuant un lien série au travers d'un unique canal de communication. Au contraire de l'interface parallèle, la donnée à transmettre est d'abord mise en série avant d'être propagée via ce canal. Ce type de transmission utilise généralement une configuration de type totalement différentiel à courant commuté. Par exemple, le standard LVDS (*Low-Voltage Differential Signaling* en anglais), dont la communication est généralement réalisée par l'intermédiaire d'un câble, est basé sur ce type de structure. Le fait de passer d'une stratégie parallèle vers une stratégie série permet de limiter le phénomène de diaphonie. Cependant, l'effet d'atténuation s'accroît avec l'augmentation de la longueur du câble qui peut se compter en mètres (cf. Partie 6). Une variante, le CML (*Current-Mode Logic* en anglais), est utile pour des communications plus rapides que celles possibles avec le LVDS, mais requiert davantage de puissance.

Ces différents standards sont détaillés dans les parties suivantes, en présentant les techniques de conception associées permettant d'atteindre les performances souhaitées.

4. Interface CMOS standard

4.1. Spécifications et contraintes

L'interface CMOS standard est appelée *General Purpose IO* en anglais et s'adresse à des applications dites génériques. La principale contrainte dans ce type de communication est de devoir rendre compatible des circuits fabriqués dans une technologie récente, avec ceux

fabriqués dans une technologie plus ancienne, chacun ayant des tensions de cœur différentes. Par exemple, les technologies anciennes (0,8 μ m, 0,35 μ m, 0,18 μ m) fonctionnent sous des tensions nominales de 5V, 3,3V et 1,8V, tension qui diminue à 1V pour les technologies actuelles. Lorsque deux circuits doivent communiquer, il faut donc qu'ils soient capables de s'adapter l'un à l'autre.

On distingue jusqu'à trois tensions de valeurs différentes lorsqu'il s'agit de la conception d'une interface générique : VDD, qui est la tension nominale de cœur ; VDD_E, qui est la tension du buffer de sortie et V_{PLOT}, qui est la tension maximale qui peut être supérieure à VDD_E. De ces trois tensions, il en résulte trois configurations possibles (cf. Figure I.10) qui vont conditionner la conception de l'interface. Une interface entrée/sortie bidirectionnelle dite générique est constituée d'un décaleur de niveau (seulement si VDD_E > VDD), d'un pré-buffer et d'un buffer de sortie pour le mode émission, et d'un inverseur CMOS pour le mode réception (cf. Figure I.10).

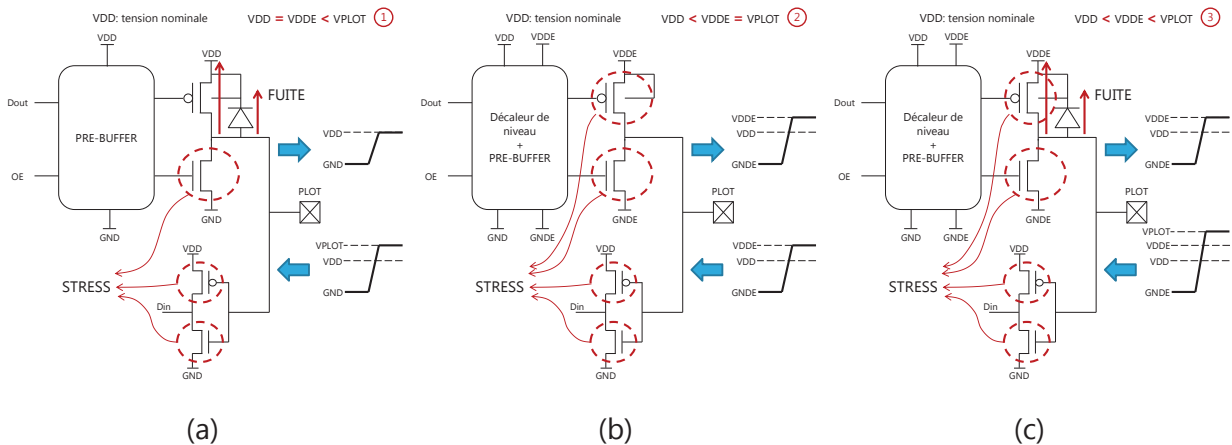


Figure I.10: schémas conventionnels d'une interface entrée/sortie générique pour trois configurations de tensions.

En observant les architectures des figures ci-dessus, les configurations ① et ③ sont soumises à deux contraintes. Premièrement, en mode réception, si le plot est mis à un potentiel supérieur au potentiel de la source du transistor P, alors le courant circule par la diode de jonction du PMOS, entre le drain de type P et le caisson de type N connecté à la source. Également, un second chemin de conduction est créé par le canal de ce même transistor rendu passant en ayant sa grille et sa source à VDD (①) ou VDD_E (③), et en ayant un potentiel de drain supérieur à VDD (①) ou VDD_E (③) [Pelgrom'95]. Il faut donc faire en sorte que la diode de jonction reste non passante par l'intermédiaire d'une circuiterie

spécifique. Pour la configuration[Ⓢ], V_{PLOT} est égal à V_{DD_E} . Par conséquent, les fuites de courant au travers du transistor P du buffer de sortie sont naturellement éliminées. Par ailleurs, les transistors des trois configurations soumis à des tensions au-delà de leur tension nominale sont assujettis à des dégradations prématurées. Elles sont causées par un trop fort champ électrostatique stressant l'oxyde de grille [Furukawa'97] et par des impacts de porteurs chauds accrus [Chen'88]. L'interface entrée/sortie générique se doit, par conséquent, d'être tolérante aux différentes combinaisons de tensions pour la rendre compatible avec tous les circuits avec lesquels elle est susceptible de communiquer.

Un second aspect à prendre en compte, après celui de la multi-tension, est la gestion du bruit d'alimentation. Pour cela, le principe utilisé consiste à contrôler la pente du courant (di/dt) qui fait chuter la tension d'alimentation au travers de l'inductance parasite du boîtier. STMicroelectronics propose de choisir parmi un ensemble d'interfaces qui se caractérisent par les courants de sorties à l'état haut (I_{OH}) et à l'état bas (I_{OL}), allant de 2mA, 4mA, 6mA à 8mA. Ainsi, selon l'application visée, on s'attachera à utiliser l'interface dont l'appel de courant est le plus faible possible et dont la valeur reste adéquate pour le bon fonctionnement de l'application. Cela amène à considérer une autre contrainte qui est la variation du courant de saturation des transistors avec les variations environnementales telles que le procédé, la tension d'alimentation et la température (PVT pour *Process, Voltage and Temperature* en anglais) [Borkar'03]. Dans le cas le plus lent, l'interface doit quand même pouvoir commuter assez rapidement. Dans le cas le plus rapide, les appels en courant sont importants, il faudra donc étudier l'effet des bruits d'alimentation. De plus, l'intégrité du signal est fortement dégradée si un nombre conséquent de buffer de sortie d'un circuit commutent simultanément (SSO, *Simultaneous Switching Outputs* en anglais) [Senthinathan'91].

4.2. Les techniques d'implémentations

4.2.1. *Multi-tensions*

Deux contraintes apparaissent lors de communications multi-tensions : le stress aux bornes des transistors et les fuites de courant. Pour parer au stress, le concepteur d'interface optera soit pour une solution technologique qui consiste à utiliser des transistors à oxyde

épais dont la fabrication est relativement coûteuse, soit pour une solution de conception plus complexe, à base de transistors à oxyde mince cascodés, accompagnés d'un circuit de polarisation. Elle a l'avantage d'être moins coûteuse. Généralement, la solution adoptée est l'utilisation d'oxyde épais.

Pour parer aux fuites de courant, une circuiterie additionnelle doit être implémentée afin de garantir que le caisson n et la grille du transistor P sont tous deux égaux au potentiel de la source [Dabral'98] [Takahashi'92].

A titre d'exemple, l'interface qui suit se classe dans la configuration ① et la solution proposée est de type conception à transistors à oxyde mince. La technologie utilisée ici est le CMOS 0,25 μ m dont le circuit est alimenté sous 2,5V et est tolérant à 5V. La technique « *NMOS-blocking* », accompagnée du circuit de polarisation dynamique de grilles (*Dynamic Gate-Bias Circuit* en anglais) dans [Ker'05] [Ker'06], permet de supprimer les courants de fuites et de limiter les stress d'oxyde de grille (cf. Figure I.11.a). Le transistor « *NMOS-blocking* », positionné entre le plot et le nœud 1, laisse passer le signal entrant ou sortant tout en protégeant les transistors d'un potentiel élevé en réception. Ce transistor de protection est contrôlé par un circuit de polarisation dynamique de grille. Lors de l'émission, pour laisser passer le signal, le transistor de protection doit avoir sa grille polarisée à 2VDD pour transmettre VDD puis à VDD pour transmettre 0V (cf. Figure I.11.b). En admettant que la tension 2VDD ne soit pas fournie, elle serait dans ce cas-là générée par une pompe de charge. En ce qui concerne la réception, la grille doit être polarisée à VDD quel que soit le niveau logique reçu. A noter que pour réceptionner une tension égale à 2VDD (cf. Figure I.11.c), la tension vue par l'étage d'entrée est $(VDD - V_t)$, où V_t est la tension de seuil du transistor. Le premier inverseur de l'étage d'entrée interprète cette tension comme un '1' logique donnant un '0' logique sur sa sortie. Le transistor de retour de type P est par conséquent activé pour tirer le potentiel du nœud 1 à VDD, évitant ainsi les fuites de courant dans l'inverseur.

Cette technique conduit à ce que l'interface soit tolérante à un signal entrant sous 2VDD. Elle devient tolérante à 3VDD et 4VDD en rajoutant respectivement un et 2 transistors en série avec le plot pour assurer la protection de l'interface entrée/sortie. Néanmoins, le circuit de polarisation dynamique de grille se complexifie davantage. L'inconvénient est que l'interface ne peut être tolérante qu'à un niveau de tension donné ce qui la rend peu

adaptable. Le concepteur doit par conséquent anticiper sa réalisation en fonction de la valeur de tension entrante visée. De plus, la tension transmissible ne peut être autre que la tension nominale VDD.

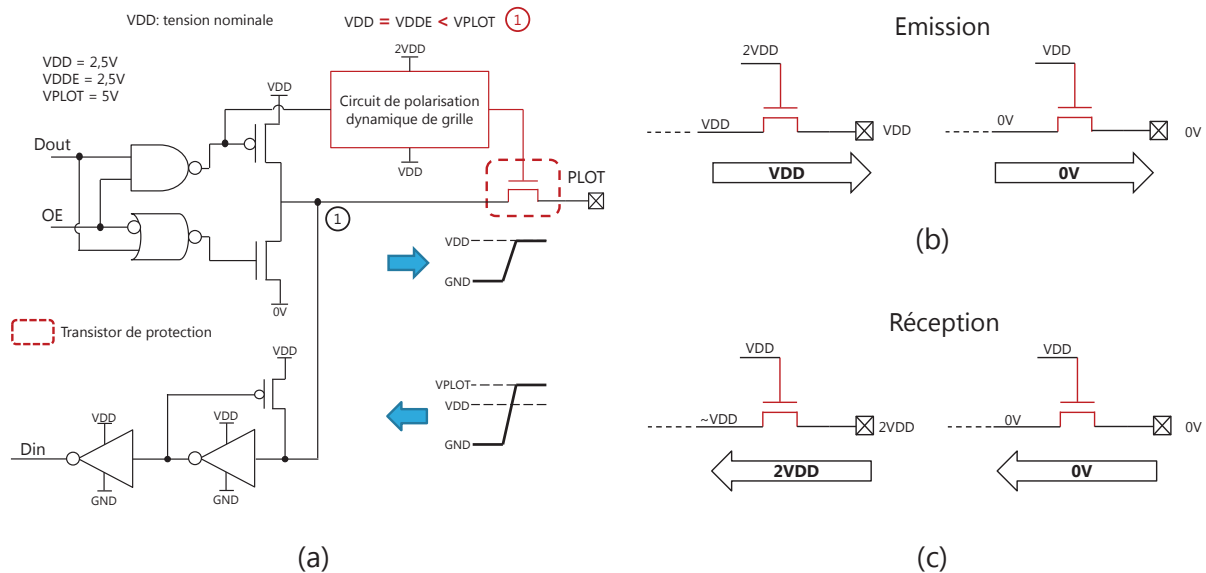


Figure I.11: représentation schématique d'une interface entrée/sortie générique avec un transistor de protection et son circuit de polarisation dynamique de grille, tolérant à 5V [Ker'06].

La solution alternative proposée par [Ker'09] permet de transmettre un signal sortant à $VDD_E = 2VDD$ tout en étant tolérant à un signal entrant de ce niveau de tension. Cette interface se classe dans la configuration ② et elle est de type conception à transistors à oxyde mince. Les fuites de courants n'ont pas à être prises en compte puisque $VDD_E = V_{PLOT}$. La technologie utilisée ici est le CMOS $0,18\mu m$ dont le circuit est alimenté sous $1,5V$, compatible avec $3,3V$. La technique appelée « *Dynamic source output* » en anglais, consiste à polariser dynamiquement les sources des transistors du buffer de sortie tout en ayant leur grille à VDD en mode émission. Lorsqu'il s'agit d'émettre un '1' logique, la source du transistor PMOS doit être à $2VDD$ et la source du NMOS à VDD. Pour émettre un '0' logique, les sources sont respectivement à VDD et $0V$ (cf. Figure I.12.a).

En mode réception, les sources des transistors NMOS et PMOS sont à VDD. Cette fois-ci, ce sont les grilles de transistors qui font l'objet de polarisation dynamique pour supprimer la fuite de consommation additionnelle tout en protégeant les transistors du stress sur les oxydes de grilles. En réceptionnant un '1' logique, la grille du PMOS passe à $2xVDD$ quand

celle du NMOS passe à VDD. En réceptionnant un '0' logique, la grille du PMOS passe à VDD quand celle du NMOS passe à 0V (cf. Figure I.12.b).

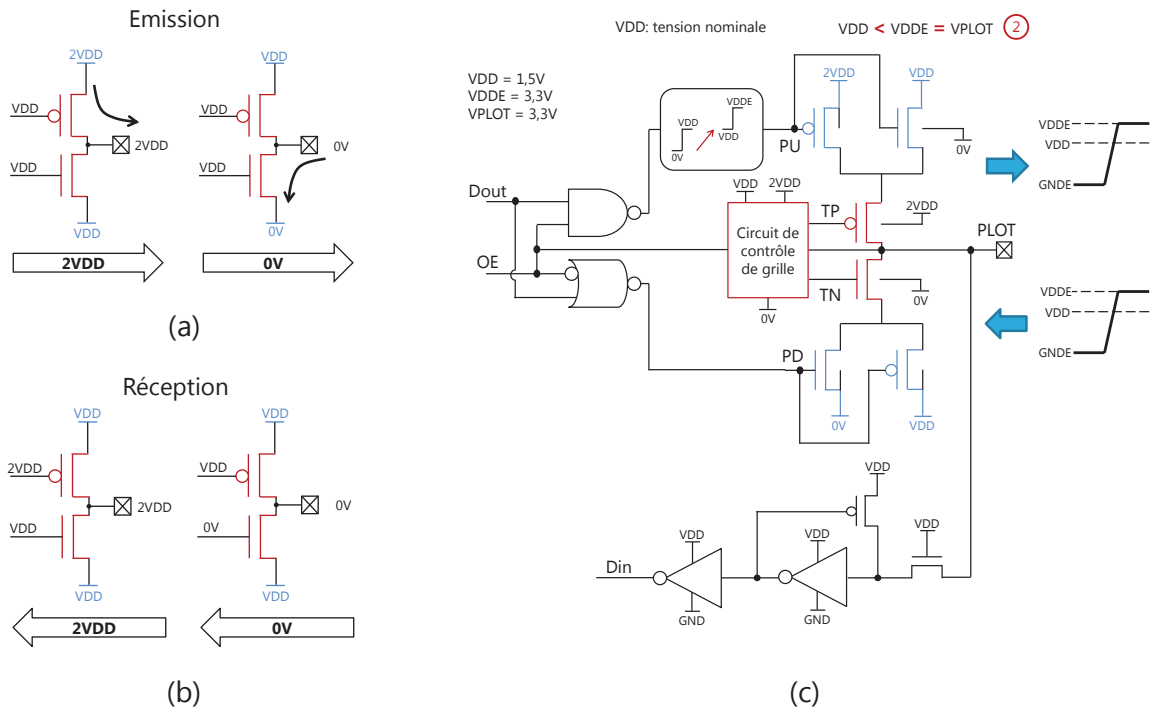


Figure I.12: représentation schématique d'une interface entrée/sortie générique avec son circuit de polarisation dynamique de source et de grille, compatible avec 3,3V [Ker'09].

La force du circuit proposé par [Lee'09] (technologie CMOS 0,35 μ m, tension nominale 3,3V) réside dans sa capacité à s'adapter à tout type d'interface. Il est capable aussi bien de transmettre que de recevoir des signaux sous des tensions d'alimentation de 1,8V, 3,3V et 5V. Cette interface se classe dans la configuration ③ et elle est de type conception à transistors à oxyde mince cascodé. La technique employée ici est l'empilement de transistors pour se prémunir des dégradations liés aux porteurs chauds liés à un trop fort champ électrique. Les empilements doivent être polarisés par le circuit de polarisation dynamique de grille qui limite les différences de potentiels admissibles vues par les transistors. Un transistor de suivi de tension est nécessaire en mode de réception pour limiter le courant de fuite traversant le PMOS, si $V_{DDE} < V_{PLOT}$. Dans ce cas-là, la grille du transistor PMOS est tirée vers V_{PLOT} pour convenablement couper le PMOS. Pour la même raison, le circuit de polarisation du caisson n permet, en réception, de tirer le potentiel du caisson n pour qu'il soit au même niveau que celui du plot. Le courant de fuite par la diode de jonction est ainsi éliminé.

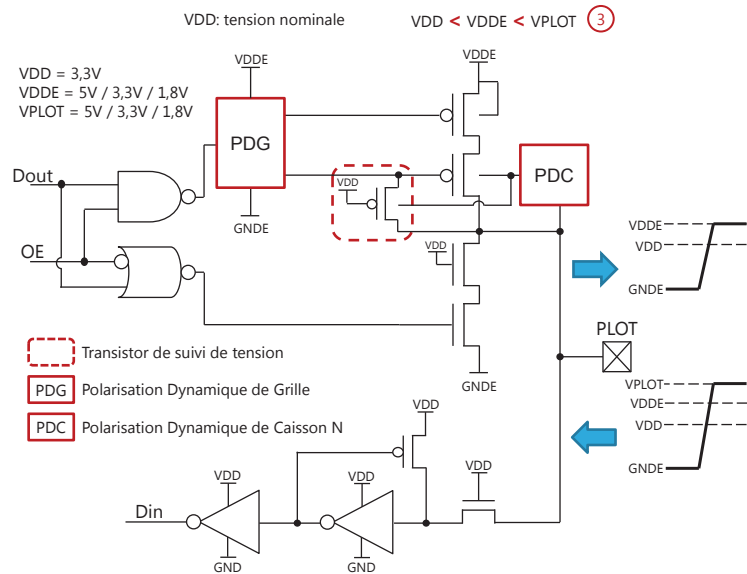


Figure I.13: représentation schématique d'une interface entrée/sortie générique, compatible avec 1,8V, 3,3V et 5V [Lee'09].

Le même type d'interface est proposé dans [Wang'10] pour des tensions allant cette fois-ci de 0,9V à 5V, en technologie CMOS 0,18µm dont la tension nominale est de 1,8V.

Le tableau suivant relate les spécificités des principales publications.

Tableau I.1 : comparaison des techniques et performances d'interfaces entrées/sorties génériques.

	Nœud Technologique (Tension nominale VDD)	Tension		Techniques	Fréquence / Capacité de charge
		Tx (VDDE)	Rx (VPLOT)		
[Serneels'05]	0,25µm (2,5V)	7,5V	N.A.	3Stacked + Self-Biased cascoded	10MHz/20pF
[Ker'06]	0,25µm (2,5V)	2,5V	5V	NMOS Blocking	133MHz/NC
	0,13µm (1V)	1V	3V	NMOS Blocking	133MHz/NC
[Ker'09]	0,18µm (1,5V)	3,3V	3,3V	Dynamic source output	133MHz/10pF
[Lee'09]	0,35µm (3,3V)	5V/3,3V/1,8V	5V/3,3V/1,8V	FB Nwell / Gate tracking / Dynamic gate bias + 2stacked	60MHz/29pF
[Wang'10]	0,18µm (1,8V)	5/3,3/1,8/1,2/0,9V	5/3,3/1,8/1,2/0,9V	FB Nwell / Gate tracking / Dynamic gate bias + 3stacked	50MHz/19pF
[Monga'11]	0,04µm (1,8V)	3,3/2,7/1,8V	3,3/2,7/1,8V	Dynamic Gate Bias + 2stacked	200MHz/10pF

4.2.2. Bruit d'alimentation

L'intégrité du signal est fortement dégradée si aucune précaution n'est prise pour réduire le bruit d'alimentation. Augmenter la tension VDD_E de transmission permet d'améliorer la marge de bruit en réduisant l'impact des phénomènes de rebond sur le signal dus aux réflexions et l'impact du bruit d'alimentation, spécifiques aux entrées/sorties. Cependant, la tendance actuelle est plutôt à la réduction de VDD_E pour des raisons de consommation électrique.

Pour réduire le bruit d'alimentation, le principe est d'ajuster les courants de commutation I_{OH} et I_{OL} à une valeur donnée, allant de 2mA, 4mA, 6mA à 8mA, que l'on se trouve en condition PVT lente ou rapide. Cela s'effectue en activant une combinaison de transistors au niveau du buffer de sortie pour toujours parvenir au courant initialement souhaité. Chacune de ces déclinaisons est ensuite ajustée pendant la durée de vie de l'interface pour tenir compte des variations environnementales PVT.

L'option précédente permet de maîtriser le courant I_{max} . A cela peut être ajouté le contrôle de pente di/dt . Pour ce faire, les transistors du buffer de sortie qui doivent commuter, sont contrôlés en amont par un pré-buffer qui contrôle la pente sur les grilles du buffer. Cela consiste à maîtriser la mise en conduction du buffer de sortie pour qu'elle soit progressive. Le buffer est subdivisé en une série de transistors P et de transistors N [Senthinathan'93] de telle manière que chaque transistor soit activé successivement par l'intermédiaire d'éléments retardateurs (cf. Figure I.14). Ainsi, la conduction du buffer de sortie dans sa globalité est progressive ce qui réduit le di/dt . Par conséquent, la chute de tension aux bornes de l'inductance parasite est moins importante (cf. Partie 2.2). Les éléments retardateurs représentés sur le schéma ci-dessous sont constitués de résistances combinées avec les capacités intrinsèques de grilles. Une variante consiste à placer des transistors montés en interrupteur à la place de résistances [Dabral'98]. Une autre méthode consiste à placer un ensemble de capacités programmables par un mot digital, en parallèle, contrôlant la pente du nœud sur la grille des transistors [Gabara'96].

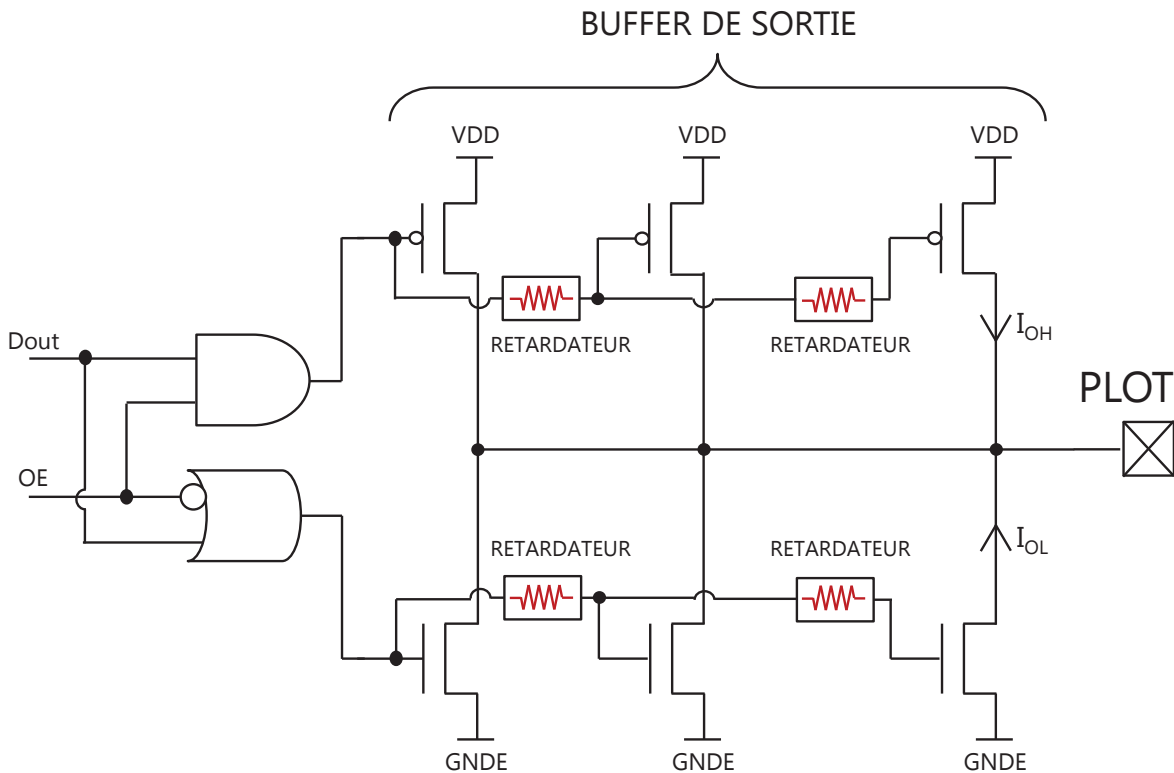


Figure I.14: Schéma conventionnel d'une interface avec contrôle de la pente et contrôle de la combinaison de transistors du buffer de sortie [Senthinathan'93].

Il est possible également de contrôler la pente montante sur les grilles des transistors NMOS du buffer de sortie et la pente descendante sur les grilles des transistors PMOS. Pour cela, il s'agit de programmer respectivement la source de courant de *Pull-UP* et la source de courant de *Pull-DOWN* du pré-buffer (cf. Figure I.15). Cela permet, pour la mise à '0' sur le plot, de couper rapidement le PMOS du buffer avant de mettre en conduction progressivement le NMOS du buffer. Le courant de court-circuit, au travers du buffer de sortie, est maîtrisé tout en réduisant le di/dt . Inversement, pour la mise '1', le NMOS de buffer est coupé rapidement avant de mettre en conduction progressivement le PMOS. La programmation des sources de courant de *Pull-UP* et *Pull-DOWN* du pré-buffer se fait en fonction de la quantité de transistors sélectionnés dans le buffer pour obtenir les courants I_{OH} et I_{OL} désirés. Plus la quantité sera importante, plus la capacité d'entrée du buffer de sortie vue par le pré-buffer sera élevée. Pour compenser cette augmentation de charge capacitive, les sources de courant du pré-buffer devront fournir un courant plus important pour garantir une pente de tension contrôlée.

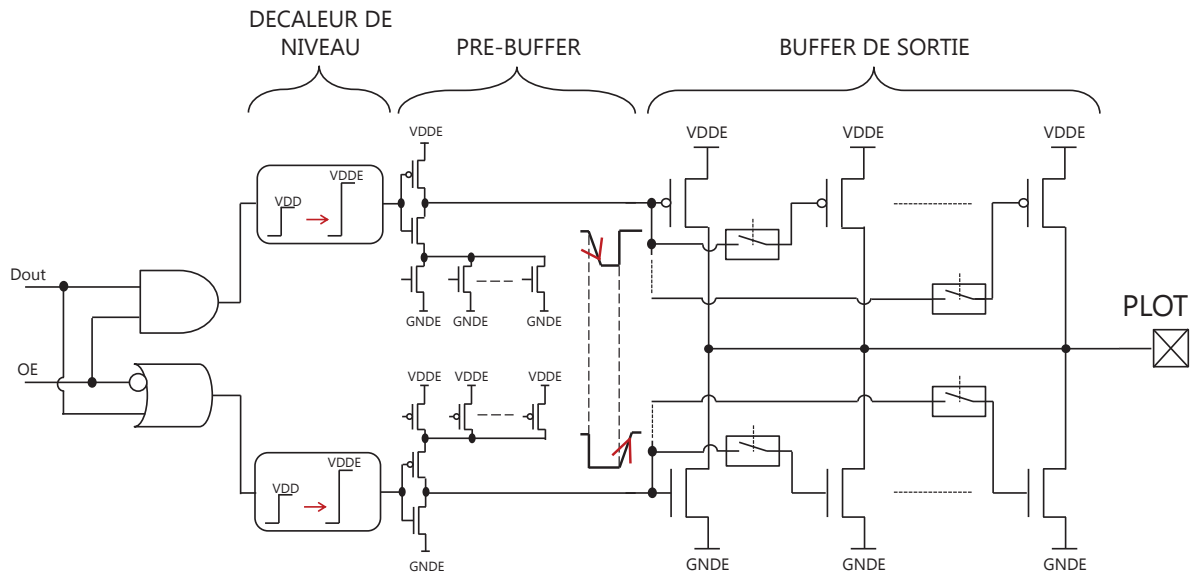


Figure I.15: schéma d'une interface générique programmable avec contrôle des courants I_{OH} et I_{OL} et contrôle du di/dt par le pré-buffer.

5. Interfaces Mémoires DDR

5.1. Spécifications et contraintes

L'interface mémoire DDR est de type parallèle à commutation de tension. Elle est spécialement conçue pour transmettre des données entre un microprocesseur et sa mémoire vive. Le standard DDR se décline en trois sous-standards selon l'utilisation : GDDR (*Graphical Double Data Rate* en anglais) pour des applications très haute vitesse telles que les jeux vidéo nécessitant une bande passante élevée, DDR (*Double Data Rate* en anglais) pour des applications de types PC et serveurs, et LPDDR (*Low Power Double Data Rate* en anglais) pour des applications mobiles où la consommation électrique doit être réduite. Le principe de base est que la donnée est échantillonnée à la fois sur les fronts montants et sur les fronts descendants du signal d'horloge de transmission, de façon synchrone. Ainsi, la vitesse de transfert de donnée est doublée par rapport à la fréquence d'horloge. Respectivement, les vitesses de transferts atteignables sur chaque canal sont de 7Gb/s, 4Gb/s et de 1,6Gb/s (cf. Figure I.16).

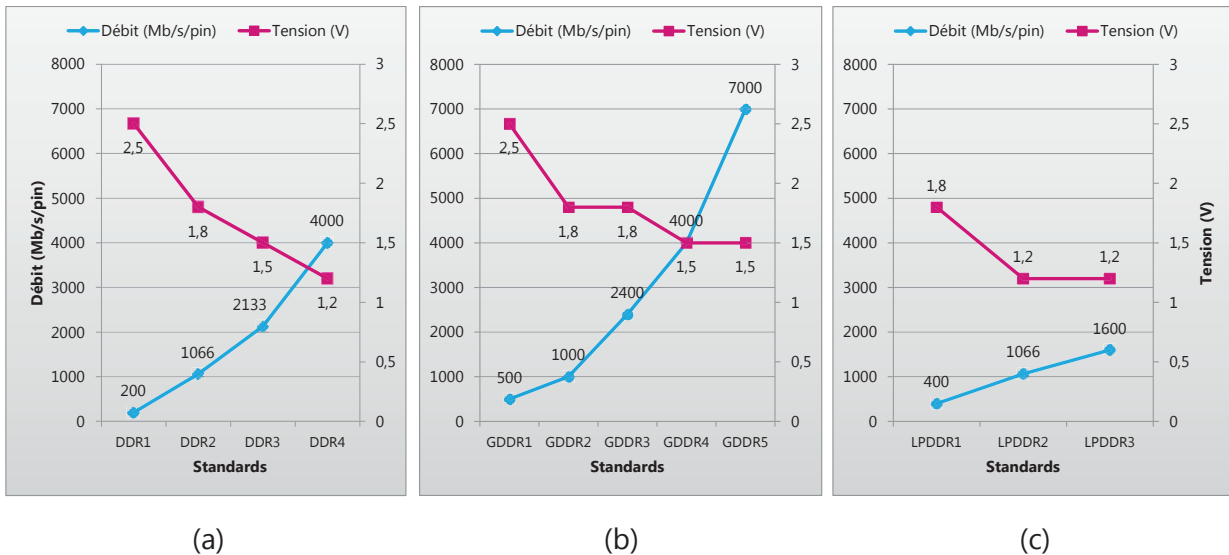


Figure I.16: évolutions du débit et de la tension d'alimentation des standards (a)DDR (b)GDDR et (c)LPDDR.

Cette interface mémoire est régie par un protocole de communication, sous forme d'une couche physique (PHY pour *Physical Layer* en anglais), implémentée en amont d'un ensemble d'interfaces entrées/sorties. La couche physique récupère la donnée à transmettre depuis un contrôleur, puis réalise le séquençage des signaux tout en prenant soin de synchroniser les signaux, tels que la donnée, l'adressage et le signal d'horloge, entre eux. Elle comprend un générateur de signal d'horloge PLL, un ensemble de déphaseurs DLL, etc. Ensuite, les interfaces entrées/sorties se chargent de mettre en forme leur signaux respectifs en prenant en compte les contraintes électriques inhérentes à la transmission rapide. La partie couche physique ne faisant pas l'objet d'une étude dans cette thèse, nous nous concentrerons plus particulièrement sur la conception des interfaces entrées/sorties.

Pour atteindre des vitesses de transmissions élevées, ces standards nécessitent la prise en compte du phénomène de réflexion, requérant une adaptation à la ligne de transmission. Cette adaptation est implémentée en entrée et/ou en sortie. Egalement, l'atténuation de ligne pour les standards ayant les fréquences les plus élevées requiert l'implémentation du pré-emphasis [Dally'97] [Partovi'09] (en mode sortie) et/ou d'un égaliseur (en mode entrée) [Bae'08]. Ces deux techniques permettent d'égaliser la fonction de transfert de la ligne de transmission, pour que le signal ait un comportement identique en basse et haute fréquence. Enfin, pour pallier aux phénomènes de bruits d'alimentation, une circuiterie contrôlant la pente, et donc les appels de courant, doit être implémentée en amont du buffer de sortie.

5.2. Architectures de base

5.2.1. Bus d'interface

Le transfert de la donnée s'effectue sur plusieurs canaux, de 4 à 32 bits selon le standard. Pour ce faire, l'architecture est de type pseudo-différentiel, ce qui signifie que le transfert de données se fait sur 4 à 32 canaux, avec, en plus, un canal dédié au signal de référence qui est commun à l'ensemble des interfaces. Pour le transfert du signal d'horloge, en vue de synchroniser les deux circuits communicants, l'architecture de type totalement différentiel est utilisée (cf. Figure I.17).

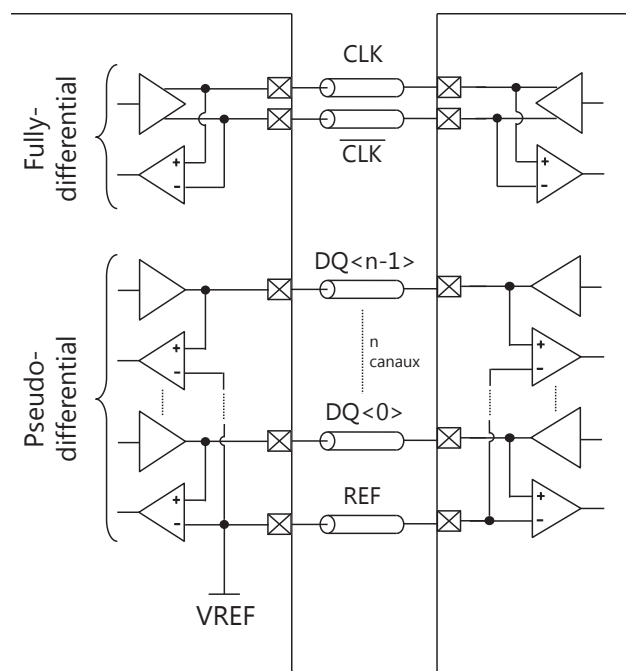


Figure I.17: schéma conventionnel d'un bus DDR.

Dans le cas du pseudo-différentiel, les commutations n'opèrent plus en fonction des valeurs de tension de seuils des transistors qui constituent l'inverseur CMOS, sensibles aux variations de procédé [Granberg'04], mais en fonction de la tension de référence commune. Cela permet d'envisager une amplitude réduite en tension à l'entrée du récepteur et ainsi d'accélérer la vitesse de transmission. Le mode entrée est ici constitué d'un étage amplificateur différentiel (cf. Figure I.18.a), contrairement à celui réalisé pour les standards génériques CMOS faits à l'aide d'inverseurs CMOS. Cela présente l'avantage d'être mieux immunisé contre le bruit du mode-commun. De plus, l'impédance d'entrée (ODT pour *On-Die-Termination* en anglais) se doit d'être comparable à l'impédance caractéristique de ligne

pour absorber les réflexions. Les terminaisons sont incluses dans le circuit intégré, contrairement aux générations précédentes des interfaces mémoires où elles se faisaient directement sur la carte mère. Elles sont constituées d'une résistance de terminaison équivalente de Thévenin R_{tt} et d'une source de tension de terminaison équivalente de Thévenin V_{tt} .

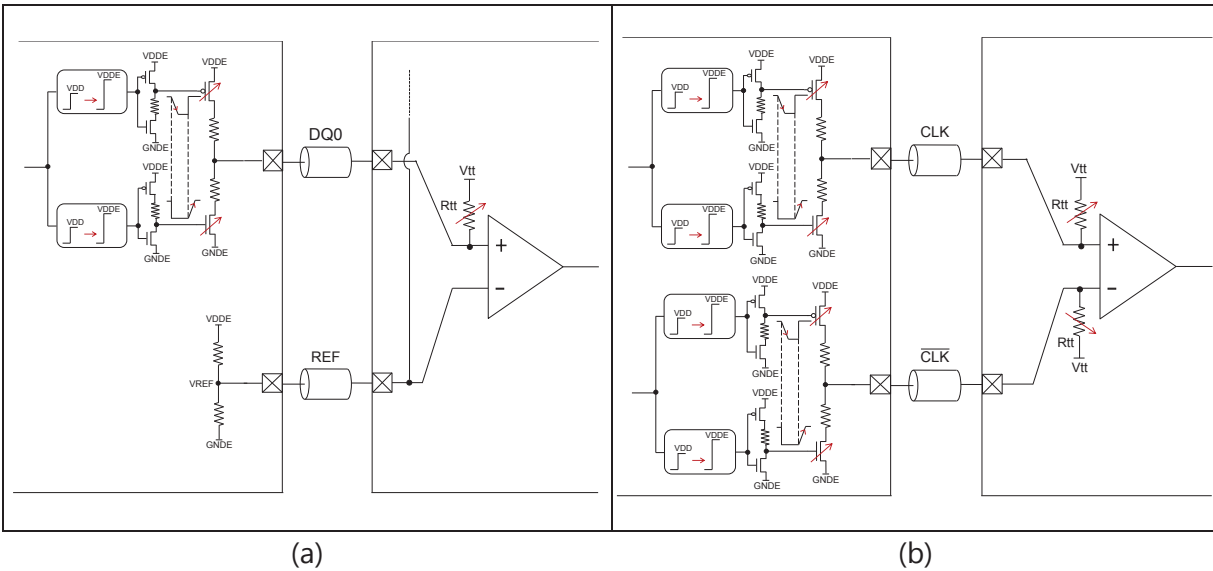


Figure I.18: (a) schéma d'une interface DDR pour la donnée (b) Schéma d'une interface DDR pour le signal d'horloge.

Le mode sortie est quant à lui constitué d'un décaleur de niveau (*level-shifter* en anglais), d'un contrôleur de pente (*slew-rate control* en anglais) et d'un buffer de sortie dont l'impédance vue de l'extérieur doit être égale à celle spécifiée par le standard, quelles que soient les conditions environnementales telles que le procédé, la température et la tension d'alimentation.

Dans le cas totalement différentiel, les commutations se font en fonction du signal CLK et de son complémentaire $\overline{\text{CLK}}$ (cf. Figure I.18.b). Les bornes sont toutes deux connectées à une résistance de terminaison.

5.2.2. Les topologies

► Topologie SSTL

Ces standards sont implémentés selon différentes topologies, en fonction de l'application visée et des évolutions apportées aux générations qui se sont succédées. La plus utilisée est la topologie dite SSTL (*Stub Series Termination Logic* en anglais) (cf. Figure I.19).

Cette interface permet aujourd'hui d'atteindre des fréquences allant jusqu'à ~800MHz, soit ~1,6Gb/s/pin [Fujisawa'07] dans le cas de la DDR3 [JESD79-3E], et une tension d'alimentation de 1,5V ou 1,35V. Depuis peu, le standard est spécifié pour atteindre jusqu'à 1067MHz, soit 2,133Gb/s/pin. Cependant, ce type de structure est celui où la consommation électrique statique est la plus élevée.

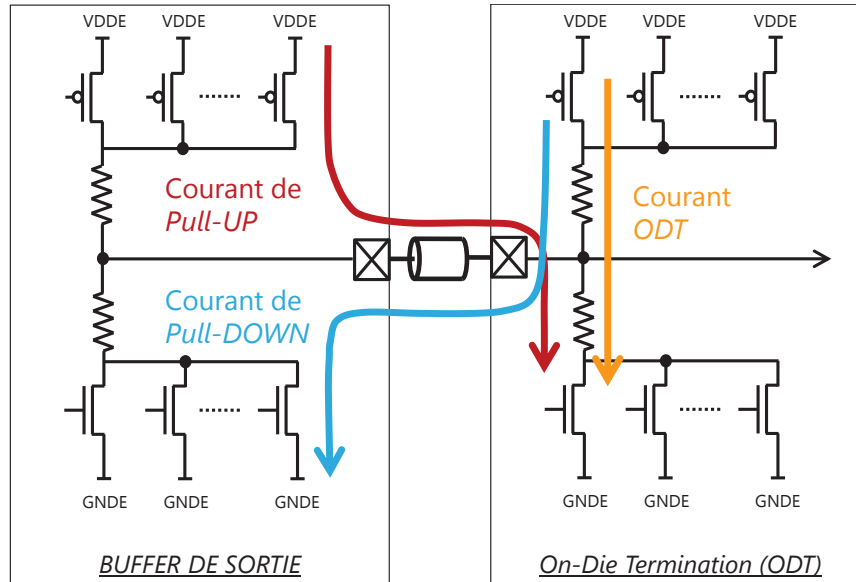


Figure I.19: schéma conventionnel d'une interface de type SSTL.

Les impédances de *Pull-UP* et de *Pull-DOWN* sont toutes deux programmables pour atteindre 34Ω ou 40Ω. La partie ODT est programmée pour atteindre 20Ω, 30Ω, 40Ω, 60Ω, 120Ω. De plus, la mise en place d'un ODT réduit l'amplitude du signal à la réception et par conséquent diminue le temps de passage de l'état bas vers l'état haut et vice versa.

► Topologie POD

Cette interface est utilisée pour le standard GDDR5 [JESD212] dont la fréquence maximale est de 3,5GHz, soit 7Gb/s/pin [Bae '11], grâce notamment à l'ajout dans la couche PHY en amont des interfaces électriques de certaines fonctionnalités plus complexes dans le séquençement. Ce sujet ne sera pas abordé dans cette thèse puisque nous nous concentrons uniquement sur la partie interface électrique. La tension d'alimentation est 1,5V ou 1,35V.

L'interface dite POD (*Pseudo Open Drain* en anglais) permet de réduire la consommation électrique (cf. Figure I.20). Le courant de *Pull-UP* est supprimé, lorsqu'un état haut est transmis, ainsi que le courant ODT. De plus, la charge capacitive est réduite. Dans le cas du GDDR5, l'impédance de *Pull-DOWN* est programmée pour être à 40 Ω, l'impédance

de *Pull-UP* est programmée pour être à 60Ω et l'impédance ODT est programmée à 60Ω ou 120Ω .

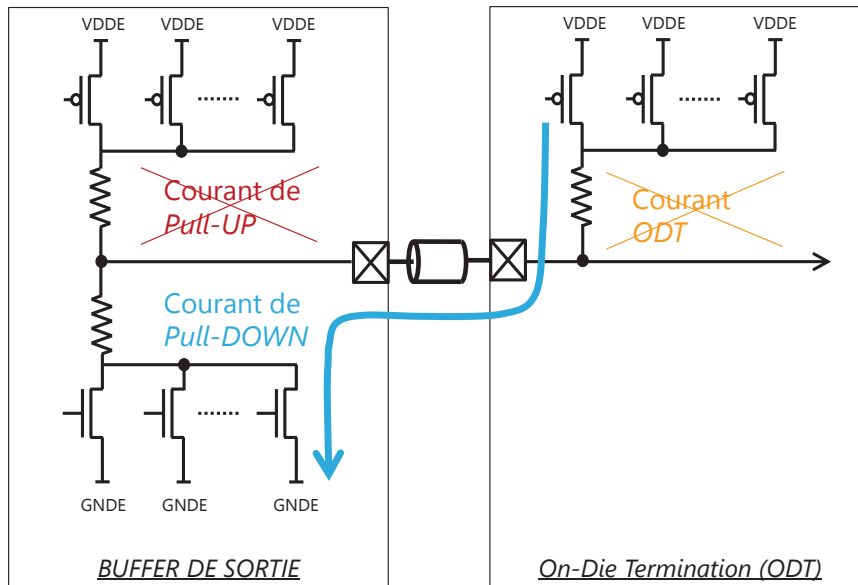


Figure I.20: schéma conventionnel d'une interface de type POD.

La prochaine génération DDR, qui sera la 4^{ème}, utilisera ce type de topologie et sera fortement inspirée par les techniques employées dans le standard GDDR5. A ce jour, la définition de ce standard n'a pas encore été finalisée, mais il est attendu pour atteindre des fréquences allant jusqu'à 2GHz, soit 4Gb/s/pin et une tension d'alimentation de 1,2V voire 1,05V [Sohn'12].

► Topologie HSUL

Enfin, la dernière grande famille d'interface utilisée pour les interfaces mémoires récentes est la topologie dite HSUL (*High Speed Unterminated Logic* en anglais). Elle est utilisée dans le standard LPDDR2 [JESD209-2E] qui est spécialement conçue pour les applications nomades, où la consommation électrique est le critère le plus important. Les trois composantes de la consommation électrique statique sont supprimées en enlevant l'ODT (cf. Figure I.21). De plus, les effets de ligne sont moins importants du fait d'une plus petite distance entre le microprocesseur et sa mémoire ainsi que d'une fréquence plus faible. La fréquence atteignable est de 533MHz, soit 1066Mb/s/pin. Les impédances de Pull-DOWN et de Pull-UP sont programmables entre 34Ω , 40Ω , 48Ω , 60Ω , 80Ω .

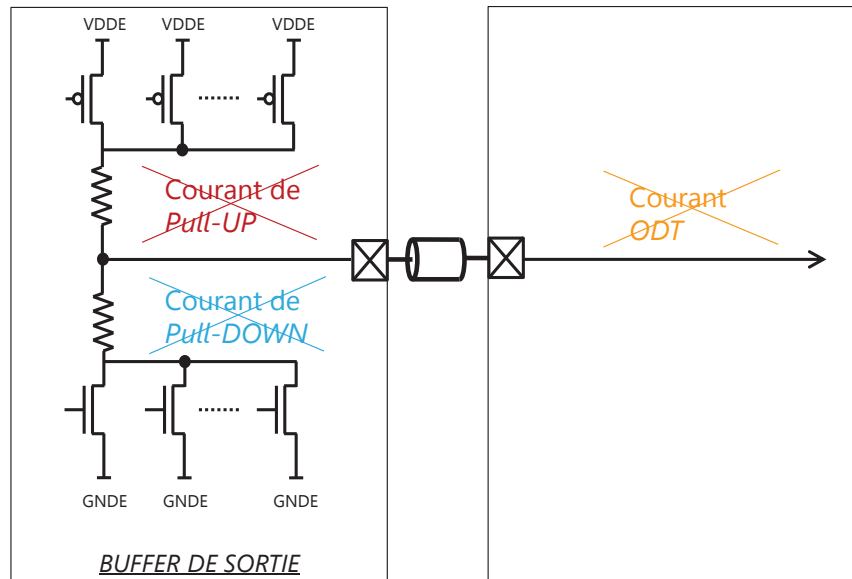


Figure I.21: schéma conventionnel d'une interface de type HSUL.

Cependant, la demande actuelle veut que les terminaux mobiles soient de plus en plus performants, capables de supporter des applications telles que les jeux vidéo 3D requérant une grande bande passante, tout en veillant à la consommation électrique car la solution non terminée ne permet pas d'augmenter la fréquence, l'intégrité du signal en serait appauvrie. Le standard LPDDR3 [JESD209-3] reprend la structure de type POD, décrite précédemment, avec un contrôle optimisé de la fonctionnalité ODT pour limiter la consommation. La fréquence peut aller jusqu'à 800MHz, soit 1,6 Gb/s/pin [Bae'12], pour une tension d'alimentation de 1,2V.

5.3. Les techniques d'implémentation

5.3.1. Calibration d'impédance

► Calibration globale

Dans les communications rapides, les effets de lignes tendent à dégrader l'intégrité du signal. Il devient nécessaire de calibrer les impédances de sortie et d'entrée pour qu'elles soient identiques à celle imposée par le standard, quelles que soient les variations du procédé, de la température et de la tension d'alimentation [Knight'88] [Gabara'92]. Par exemple, dans le cas du standard LPDDR2, une interface en mode sortie est constituée de sept étages identiques, chacun étant calibré pour avoir une impédance unitaire de 240Ω (cf.

Figure I.22.a.). Ensuite, en fonction de l'application, l'impédance de sortie totale sera égale à $240/N \Omega$, où N est le nombre d'étages sélectionnés. Cette méthode s'applique également pour tous les autres standards dont l'impédance unitaire pourra être différente selon le standard. Elle est généralement employée dans l'industrie, telle que STMicroelectronics.

Chaque étage est constitué de plusieurs transistors PMOS pour assurer la fonction *Pull-UP* et est constitué de plusieurs transistors NMOS pour assurer la fonction *Pull-DOWN* (cf. Figure I.22.a.). Les transistors présentent des largeurs de grille croissantes, dont les valeurs doublent d'un transistor à l'autre, pour pouvoir utiliser un mode de sélection binaire. Les drains des transistors PMOS et NMOS sont connectés à leur résistance de linéarité R_{LIN} . Celles-ci sont utiles pour linéariser la caractéristique I-V de l'interface de sortie [Park'06]. Ces résistances sont ensuite connectées au plot de sortie *OUT*.

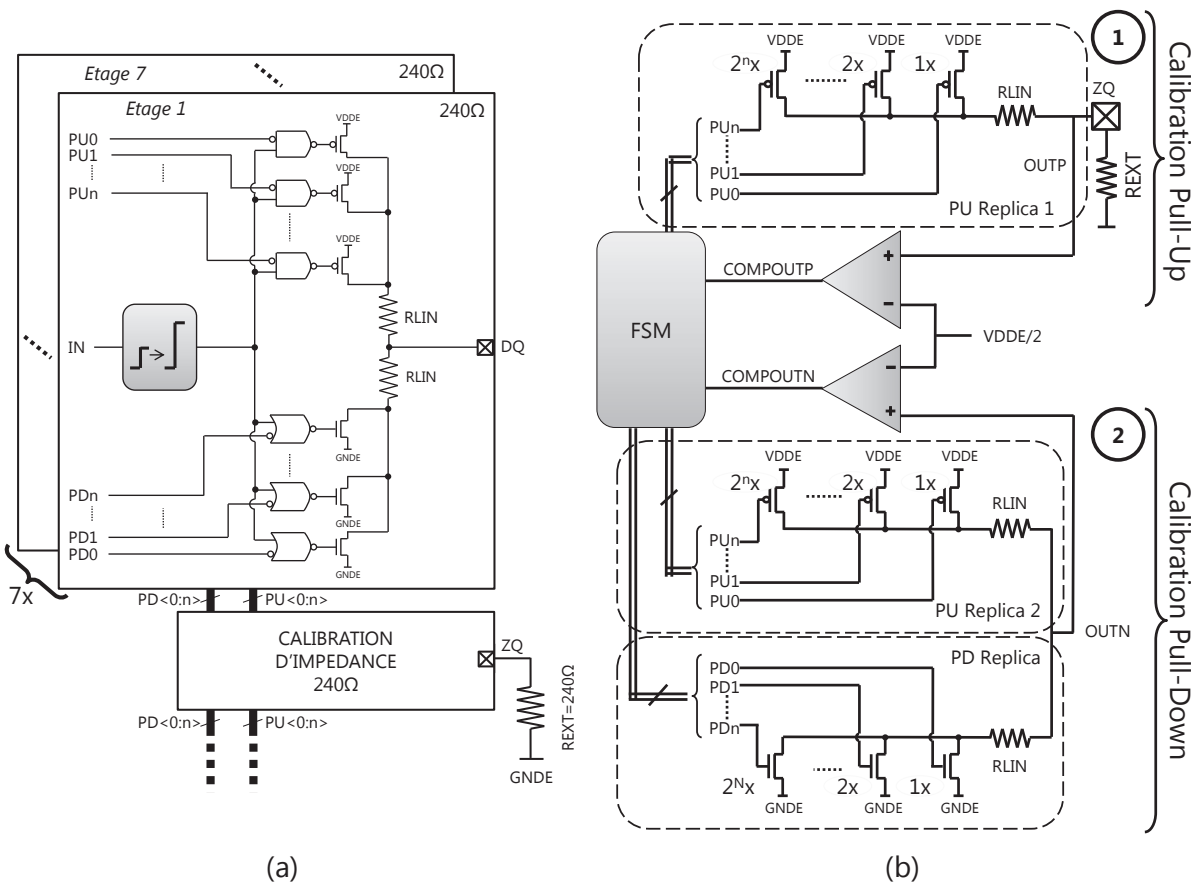


Figure I.22: (a) schéma d'une interface en mode sortie et sa cellule de calibration d'impédance et (b) schéma d'une cellule de calibration d'impédance.

Pour pouvoir programmer un étage de sortie à 240Ω , les transistors de *Pull-UP* et de *Pull-DOWN* sont indépendamment sélectionnés via leur grille par des portes logiques. Ces

dernières sont à leur tour commandées par le signal logique IN à transmettre et par les codes de configurations binaires $PU<0:n>$ et $PD<0:n>$. Ces codes, représentatifs chacun d'une impédance de 240Ω , sont calculés par une cellule de calibration puis diffusés vers toutes les entrées/sorties du circuit. Les codes changent pour s'adapter aux fluctuations environnementales qui modifient les caractéristiques électriques des transistors et des résistances R_{LIN} [Fujisawa'07] [Lee'08]. L'objectif est de toujours produire une impédance proche de 240Ω en sortie d'un étage d'une interface entrée/sortie.

Comme les interfaces entrées/sorties, la cellule de calibration se situe sur la périphérie du circuit. Elle se réfère à une résistance externe de précision appelée R_{EXT} , d'une valeur de 240Ω . La cellule de calibration se divise en deux parties (cf. Figure I.22.b).

La partie haute du schéma est dédiée à la calibration des transistors de *Pull-UP* et elle consiste à rechercher le code de configuration $PU<0:n>$. Elle est constituée d'une réplique des transistors de *Pull-UP* et de sa résistance de linéarisation série R_{LIN} . L'ensemble est appelé « PU Replica 1 ». Cette réplique est ensuite connectée à R_{EXT} . Durant la phase ① de la calibration, la recherche de code se réalise pour le *Pull-UP*. La machine d'états finis (FSM pour *Finite State Machine* en anglais) se charge de balayer les différentes combinaisons possibles de codes d'activation des transistors. La tension de sortie $OUTP$ est comparée avec $VDD_E/2$. Le comparateur transmet le résultat à la FSM qui continue de balayer le code jusqu'à ce que la tension $OUTP$ soit suffisamment proche de $VDD_E/2$. Dès lors, la valeur de l'impédance de *Pull-UP* est similaire à celle de R_{EXT} .

La partie basse est dédiée à la calibration des transistors de *Pull-DOWN* et elle consiste à rechercher le code de configuration $PD<0:n>$. Elle est constituée d'une réplique des transistors de *Pull-DOWN* et de sa résistance de linéarisation série R_{LIN} . L'ensemble est appelé « PD Replica ». Le code de configuration de *Pull-UP*, qui résulte de la phase ①, est transmis vers la seconde réplique appelée « PU Replica 2 ». Celle-ci est identique à « PU Replica 1 ». Elle sert de référence pour la calibration des transistors de *Pull-DOWN*, au même titre que R_{EXT} sert de référence pour la calibration des transistors de *Pull-UP*. La procédure de calibration pour la recherche de code de *Pull-DOWN* (Phase ②) est identique à la phase ①.

Dans les cas des standards employant les topologies SSTL ou POD, ces codes de compensation sont également utilisés pour les ODT, en mode entrée.

► Minimisation de la capacité vue du PLOT.

Lorsque l'interface est bidirectionnelle, le buffer de sortie et l'ODT peuvent être implémentés indépendamment l'un de l'autre (cf. Figure I.23.a). Par conséquent, la charge capacitive vue du PLOT est élevée, conditionnée par la quantité d'éléments connectés à ce nœud [Lee'08]. La tendance est de minimiser cette charge capacitive pour maximiser les temps de commutation. Pour ce faire, le buffer de sortie est fusionné avec l'ODT [Park'06] ce qui permet de diminuer le nombre d'éléments. Dans [Fujisawa'07], le buffer de sortie fusionné avec l'ODT est constitué de 6 unités *Pull-UP* calibrées à $240\ \Omega$ connectées à VDDE, et de 6 unités *Pull-DOWN* calibrées à $240\ \Omega$ connectées à GNDE (cf. Figure I.23.b). En fonction de la combinaison choisie, on a ici la flexibilité d'attribuer aussi bien une impédance de $40\ \Omega$ en mode sortie que d'attribuer une résistance équivalente R_{tt} de l'ODT égale à 20, 30, 40, 60 ou $120\ \Omega$ en mode entrée, comme spécifié dans le standard DDR3. Dans ce cas-là, la valeur de la capacité vue du PLOT passe de 3.25pF à 2.25pF .

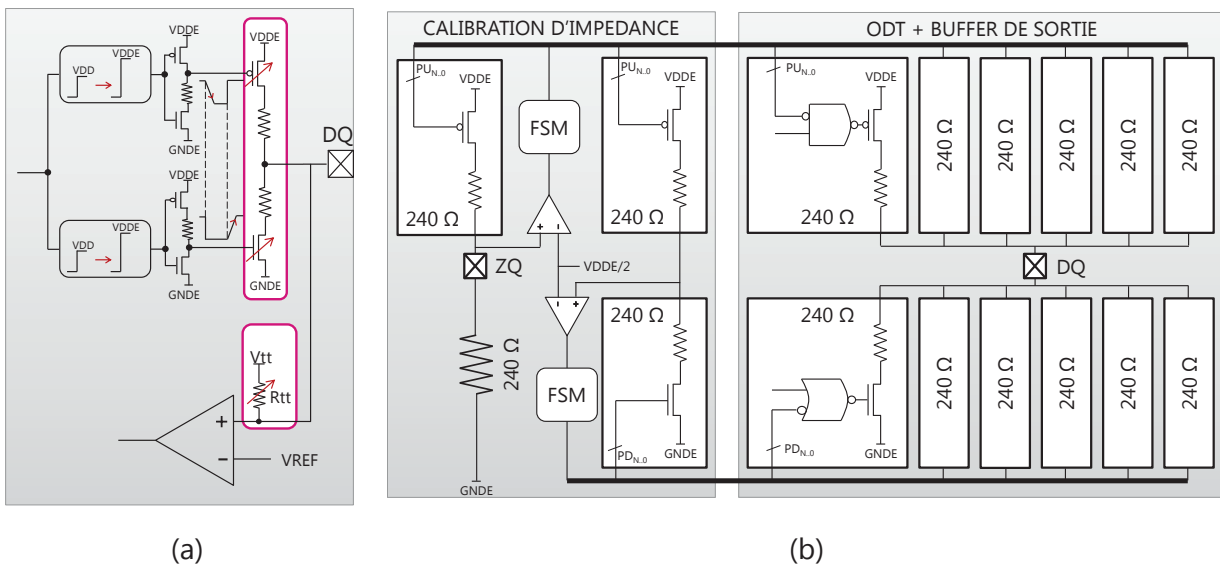


Figure I.23: (a) schéma d'une interface bidirectionnelle et (b) schéma du buffer de sortie fusionné avec l'ODT et la cellule de calibration [Fujisawa'07].

► Calibration locale

La cellule de calibration d'impédance, étant habituellement commune à chaque interface du circuit, présente l'inconvénient de ne pas tenir compte des variations environnementales locales. Une interface peut se trouver dans une condition PVT différente de celle de la cellule de calibration, lorsqu'elles sont éloignées l'une de l'autre. Cette différence de condition entrainerait une erreur de calibration d'impédance. Pour en tenir

compte, il est possible d'implémenter un détecteur de variation d'impédance dans chacune des interfaces du circuit [Koo'09].

► Multi-standard

Le développement d'interfaces, qui supportent plusieurs standards de communication pour différents type de produits mémoires, est un moyen intéressant pour limiter les coûts de développements [Kaviani'12]. Cela donne la faculté au niveau système de supporter plusieurs standards, conférant ainsi à ce circuit la flexibilité nécessaire pour s'adapter dans plusieurs applications, qu'elles soient de type haute performance ou de type basse consommation. Dans [Amirkhany'12], l'interface est capable de supporter le standards GDDR5 à 6Gb/s/pin et le standard DDR3 à 1.6GB/s/pin, auxquels s'ajoute une troisième interface non normalisée capable d'atteindre 12.8Gb/s/pin.

5.3.2. *Contrôle de la pente*

Le contrôle de la pente reprend le même principe que celui évoqué pour les interfaces génériques CMOS (cf. Partie 4.2.2). Cependant, dans le cas présent, le phénomène de bruit d'alimentation joue un rôle plus critique du fait de vitesses de communication plus grandes et d'un nombre plus important d'interfaces pouvant commuter simultanément. Par conséquent, au-delà du contrôle de la pente, une attention toute particulière est portée sur les différents éléments impliqués tels que l'ajout dans le circuit de capacités de découplage connectées aux bornes des alimentations et la réduction des inductances parasites du boîtier [Swaminathan'04].

6. Interface série

Le standard LVDS permet de communiquer en série jusqu'à plusieurs Gb/s sur un seul canal et sur des distances pouvant aller jusqu'à une quinzaine de mètres. La topologie adoptée pour ce type de standard est totalement différentiel à courant commuté et à excursion de tension réduite (cf. Figure I.24) [TI'08]. Deux terminaisons sont implémentées pour éviter les effets de rebonds, une de 100Ω à la source et une de 100Ω à la réception. Alimenté entre 0V et 2,4V, la tension différentielle vue par l'amplificateur aux bornes de la

résistance de terminaison est prévue pour varier entre 240mV et 400mV. Le courant issu du buffer de sortie passe au travers des résistances de sortie et d'entrée mises en parallèle donnant ainsi une résistance équivalente de 50Ω. Par conséquent, le buffer de sortie voyant une charge de 50Ω doit délivrer un courant I_{SS} compris entre 4,8mA et 8mA [Chen'05]. Il existe un cas où il n'y pas de terminaison au niveau de la source. Dans ce cas-là, le buffer voit uniquement la résistance d'entrée de 100Ω. Ceci implique de devoir générer un courant allant de 2,4mA à 4mA pour atteindre les mêmes niveaux de tension vus par le récepteur. Enfin, la tension de mode commun V_{CM} est de 1,2V.

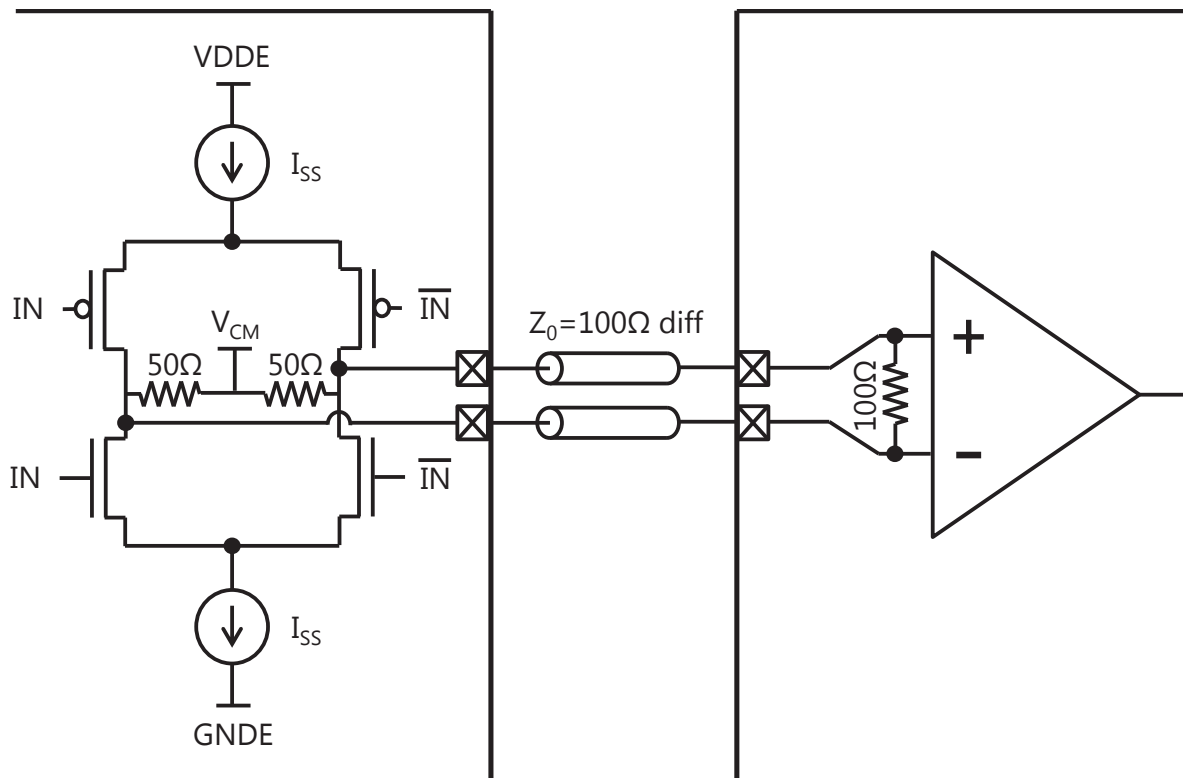


Figure I.24: schéma électrique d'une transmission de type LVDS.

Le courant fourni par le buffer est constant. Seule l'architecture en pont en H du buffer de sortie va permettre de définir la polarité vue par le récepteur. De par la nature de ce type d'interface, elle est très peu sujette aux bruits d'alimentation puisque le courant I_{SS} est constant. Contrairement aux interfaces mémoires, il n'y pas d'appel de courant brusque qui augmenterait le di/dt . De plus, une architecture de type totalement différentiel fait que le bruit du mode commun s'annule. De même, ayant deux lignes adjacentes conduisant chacune un courant de direction opposée, les interférences électromagnétiques sont minimisées. Ainsi, le standard LVDS possède une meilleure immunité aux bruits, d'où la

possibilité de travailler vers des tensions différentielles réduites, qui par conséquent permettent des passages plus rapides d'un niveau logique à l'autre.

En revanche, l'effet d'atténuation augmente avec l'accroissement de la longueur du câble et de la fréquence (voir la partie 2.1.4). De ce fait, la bande passante du canal est réduite et l'intégrité du signal est dégradée. La solution consiste tout d'abord, côté émission, à employer les techniques de pré-emphasis et de dé-emphasis [Dally'97] [TI'08]. L'idée est de compenser l'atténuation des hautes fréquences en bout de ligne, soit en amplifiant les fronts (pré-emphasis), soit en atténuant la tension établie (dé-emphasis) (cf. Figure I.25). Ainsi, avant chaque transition, le signal est assuré de débiter la commutation depuis la même tension initiale, supprimant la gigue qui dépend de la donnée précédente. L'autre option consiste à employer un égaliseur côté réception pour amplifier les hautes fréquences du signal transmis [TI'08]. Quelle que soit l'option choisie, le principe est d'obtenir une fonction de transfert en fréquence plate.

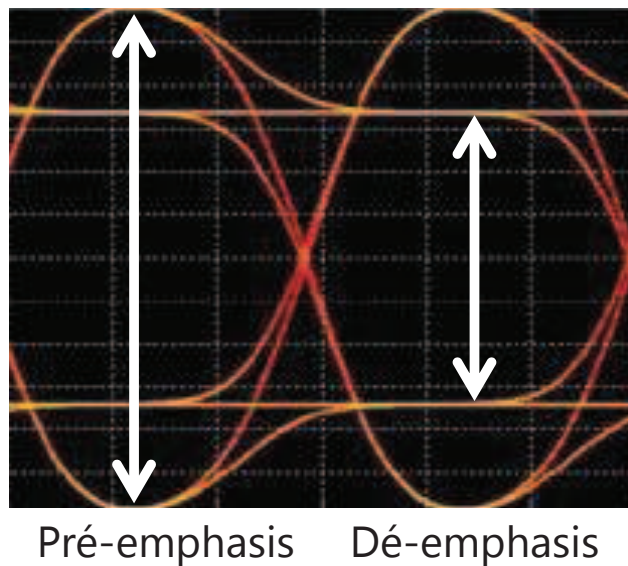


Figure I.25: diagramme de l'œil d'un signal en début de ligne avec les fonctions de pré-emphasis et dé-emphasis [TI'08].

7. Conclusion

Transmettre un signal au travers d'une ligne de transmission implique de relever quelques défis pour faire face aux contraintes que cela implique. Les principales contraintes rencontrées sont la capacité à faire communiquer deux circuits ayant des tensions

d'alimentation différentes, les effets de lignes tels que les phénomènes de réflexion, d'atténuation et de diaphonie, le bruit d'alimentation, et enfin la fiabilité avec la possible destruction du circuit dû à l'effet *latch-up*.

Plusieurs types d'interfaces ont été évoqués. Selon les applications visées et leur environnement respectif, certains phénomènes seront plus ou moins exacerbés. L'interface CMOS standard vise des vitesses de transferts peu rapides. Par conséquent, les effets de lignes n'ont que peu d'impact. Cependant, ce type d'interface se doit d'être capable de gérer plusieurs valeurs de tensions, ce qui implique une certaine complexité au niveau de la conception. Pour les applications rapides telles que les interfaces mémoires DDR, deux bras de levier permettent d'élargir la bande passante : accroître le nombre de canaux afin de paralléliser le transfert de données et augmenter la vitesse de transmission par canal. Ceci amplifie les phénomènes de réflexion et de diaphonie. Enfin, les interfaces de type lien série, tel que le LVDS, visent généralement des applications dont la transmission se fait par le moyen d'un câble pouvant atteindre plusieurs mètres. Au contraire des interfaces parallèles, le lien série est moins sensible à l'effet de diaphonie mais davantage à celui d'atténuation de ligne.

Le besoin de transmettre toujours plus rapidement, tout en gardant une bonne maîtrise énergétique, rend de plus en plus difficile la faculté de maintenir une bonne intégrité du signal lors d'une transmission. Dans cette perspective, de nouvelles fonctionnalités doivent être proposés, par exemple, en prévision de l'arrivée des futurs standards DDR4 [Sohn'12].

8. Références bibliographiques

- [Amirkhany'12] A. Amirkhany, et al., "A 12.8-Gb/s/link Tri-Modal Single-Ended Memory Interface," *Solid-State Circuits, IEEE Journal of*, vol. 47, no. 4, pp. 911–925, Apr. 2012.
- [Bae '11] Seung-Jun Bae, et al., "A 40nm 2Gb 7Gb/s/pin GDDR5 SDRAM with a programmable DQ ordering crosstalk equalizer and adjustable clock-tracking BW," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*, 2011, pp. 498–500.
- [Bae'08] Seung-Jun Bae, et al., "A 60nm 6Gb/s/pin GDDR5 Graphics DRAM with Multifaceted Clocking and ISI/SSN-Reduction Techniques," in *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*, 2008, pp. 278–613.
- [Bae'12] Y.-C. Bae, et al., "A 1.2V 30nm 1.6Gb/s/pin 4Gb LPDDR3 SDRAM with input skew calibration and enhanced control scheme," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, 2012, pp. 44–46.
- [Borkar'03] S. Borkar, et al., "Parameter variations and impact on circuits and microarchitecture," in *Design Automation Conference, 2003. Proceedings*, 2003, pp. 338–342.
- [Buckwalter'06] J. F. Buckwalter and A. Hajimiri, "Cancellation of crosstalk-induced jitter," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 3, pp. 621–632, Mar. 2006.
- [Chen'05] Mingdeng Chen, et al., "Low-voltage low-power LVDS drivers," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 2, pp. 472–479, Feb. 2005.
- [Chen'88] I.-C. Chen, et al., "The effect of channel hot-carrier stressing on gate-oxide integrity in MOSFETs," *Electron Devices, IEEE Transactions on*, vol. 35, no. 12, pp. 2253–2258, Dec. 1988.
- [Dabral'98] S. Dabral and T. J. Maloney, *Basic ESD and I/O design*. Wiley, 1998.
- [Dally'97] W. J. Dally and J. Poulton, "Transmitter equalization for 4-Gbps signaling," *IEEE Micro*, vol. 17, no. 1, pp. 48–56, Feb. 1997.
- [Dobberpuhl'92] D. W. Dobberpuhl, et al., "A 200-MHz 64-b dual-issue CMOS microprocessor," *IEEE Journal of Solid-State Circuits*, vol. 27, no. 11, pp. 1555–1567, Nov. 1992.
- [Fujisawa'07] H. Fujisawa, et al., "An 8.1-ns Column-Access 1.6-Gb/s/pin DDR3 SDRAM With an 8:4 Multiplexed Data-Transfer Scheme," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 1, pp. 201–209, Jan. 2007.

- [Furukawa'97] T. Furukawa, et al., "Accelerated gate-oxide breakdown in mixed-voltage I/O circuits," in Reliability Physics Symposium, 1997. 35th Annual Proceedings., IEEE International, 1997, pp. 169 –173.
- [Gabara'92] T. J. Gabara and S. C. Knauer, "Digitally adjustable resistors in CMOS for high-performance applications," *IEEE Journal of Solid-State Circuits*, vol. 27, no. 8, pp. 1176–1185, Aug. 1992.
- [Gabara'96] T. Gabara, et al., "Forming damped LRC parasitic circuits in simultaneously switched CMOS output buffers," in *Custom Integrated Circuits Conference, 1996., Proceedings of the IEEE 1996*, 1996, pp. 277 –280.
- [Granberg'04] T. Granberg, *Handbook of digital techniques for high-speed design*. Prentice Hall PTR, 2004.
- [Hashemi'92] S. H. Hashemi, et al., " *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, vol. 15, no. 6, pp. 1056 –1063, décembre 1992.
- [JESD209-2E] JESD209-2E, "Low Power Double Data Rate 2 (LPDDR2) Specification," JEDEC Solid State Technology Association, April 2011.
- [JESD209-3] JESD209-3, "Low Power Double Data Rate 3 (LPDDR3) Specification," JEDEC Solid State Technology Association, May 2012.
- [JESD212] JESD212, "Graphics Double Data Rate 5 (GDDR5)," JEDEC Solid State Technology Association, Sept. 2009.
- [JESD79-3E] JESD79-3E, "Double Data Rate 3 (DDR3) Specification," JEDEC Solid State Technology Association, July 2010.
- [Jung'09] Hae-Kang Jung, et al., "A 4 Gb/s 3-bit Parallel Transmitter With the Crosstalk-Induced Jitter Compensation Using TX Data Timing Control," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 11, pp. 2891–2900, Nov. 2009.
- [Kaviani'12] K. Kaviani, et al., "A Tri-Modal 20-Gbps/Link Differential/DDR3/GDDR5 Memory Interface," *Solid-State Circuits, IEEE Journal of*, vol. 47, no. 4, pp. 926 –937, Apr. 2012.
- [Ker'05] M.-D. Ker and S.-L. Chen, "Mixed-voltage I/O buffer with dynamic gate-bias circuit to achieve $3xV_{DD}$ input tolerance by using $1xV_{DD}$ devices and single V_{DD} supply," in *Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International*, 2005, pp. 524 –614 Vol. 1.
- [Ker'06] M.-D. Ker and S.-L. Chen, "Design of Mixed-Voltage I/O Buffer by Using NMOS-Blocking Technique," *Solid-State Circuits, IEEE Journal of*, vol. 41, no. 10, pp. 2324 –2333, Oct. 2006.

- [Ker'09] M.-D. Ker and Y.-L. Lin, "Design of 2xVDD-tolerant I/O buffer with 1xVDD CMOS devices," in *Custom Integrated Circuits Conference, 2009. CICC '09. IEEE*, 2009, pp. 539–542.
- [Knight'88] T. F. Knight and A. Krymm, "A self-terminating low-voltage swing CMOS output driver," *IEEE Journal of Solid-State Circuits*, vol. 23, no. 2, pp. 457–464, Apr. 1988.
- [Koo'09] Jabeom Koo, et al., "Small-area high-accuracy ODT/OCD by calibration of global on-chip for 512M GDDR5 application," in *IEEE Custom Integrated Circuits Conference, 2009. CICC '09*, 2009, pp. 717–720.
- [Lee'08] D. U. Lee, et al., "Multi-Slew-Rate Output Driver and Optimized Impedance-Calibration Circuit for 66nm 3.0Gb/s/pin DRAM Interface," in *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*, 2008, pp. 280–613.
- [Lee'09] T.-J. Lee, et al., "Wide-Range 5.0/3.3/1.8-V I/O Buffer Using 0.35- μ m 3.3-V CMOS Technology," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 56, no. 4, pp. 763–772, Apr. 2009.
- [Monga'11] S. Monga and V. Kumar, "A 73 μ W 400Mbps stress tolerant 1.8V-3.6V driver in 40nm CMOS," in *ESSCIRC (ESSCIRC), 2011 Proceedings of the*, 2011, pp. 187–190.
- [TI'08] Texas Instrument, "LVDS Owner's Manual, Design Guide", <http://www.ti.com/lit/ml/snla187/snla187.pdf>, 2008.
- [Park'06] Churoo Park, et al., "A 512-mb DDR3 SDRAM prototype with CIO minimization and self-calibration techniques," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 4, pp. 831–838, Apr. 2006.
- [Partovi'09] H. Partovi, et al., "Single-ended transceiver design techniques for 5.33Gb/s graphics applications," in *Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International*, 2009, pp. 136–137,137a.
- [Pelgrom'95] M. J. M. Pelgrom and E. C. Dijkmans, "A 3/5 V compatible I/O buffer," *Solid-State Circuits, IEEE Journal of*, vol. 30, no. 7, pp. 823–825, Jul. 1995.
- [Senthinathan'91] R. Senthinathan and J. L. Prince, "Simultaneous switching ground noise calculation for packaged CMOS devices," *IEEE Journal of Solid-State Circuits*, vol. 26, no. 11, pp. 1724–1728, Nov. 1991.
- [Senthinathan'93] R. Senthinathan and J. L. Prince, "Application specific CMOS output driver circuit design techniques to reduce simultaneous switching noise," *IEEE Journal of Solid-State Circuits*, vol. 28, no. 12, pp. 1383–1388, Dec. 1993.

- [Serneels'05] B. Serneels, et al., "A high-voltage output driver in a 2.5-V 0.25- μ m CMOS technology," *Solid-State Circuits, IEEE Journal of*, vol. 40, no. 3, pp. 576 – 583, Mar. 2005.
- [Sohn'12] K. Sohn, et al., "A 1.2V 30nm 3.2Gb/s/pin 4Gb DDR4 SDRAM with dual-error detection and PVT-tolerant data-fetch scheme," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, 2012, pp. 38 –40.
- [Swaminathan'04] M. Swaminathan, et al., "Power distribution networks for system-on-package: status and challenges," *Advanced Packaging, IEEE Transactions on*, vol. 27, no. 2, pp. 286 – 300, May 2004.
- [Takahashi'92] M. Takahashi, et al., "3.3V-5V compatible I/O circuit without thick gate oxide," in *Custom Integrated Circuits Conference, 1992., Proceedings of the IEEE 1992*, 1992, pp. 23.3.1 –23.3.4.
- [Wang'10] C.-C. Wang, et al., "A 1/2VDD to 3xVDD Bidirectional I/O Buffer With a Dynamic Gate Bias Generator," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 57, no. 7, pp. 1642 –1653, Jul. 2010.

Chapitre II

Les technologies Silicium sur Isolant

1. Introduction

1.1. Substrat silicium sur isolant

Contrairement à la technologie conventionnelle Bulk, le substrat en technologie silicium sur isolant (SOI pour *Silicon On Insulator* en anglais) se compose de trois couches : le silicium actif, d'épaisseur t_{Si} , qui repose sur une couche d'oxyde enterré (BOX pour *Buried OXide* en anglais), d'épaisseur t_{BOX} , et le substrat de dopage intrinsèque de type P (cf. Figure II.1). Ce type de substrat est obtenu notamment grâce au procédé de fabrication *Smart-Cut™* [Soitec'12] inventé au CEA-Leti, puis industrialisé par la société SOITEC, puis, plus récemment, par les sociétés SEH et MEMC.

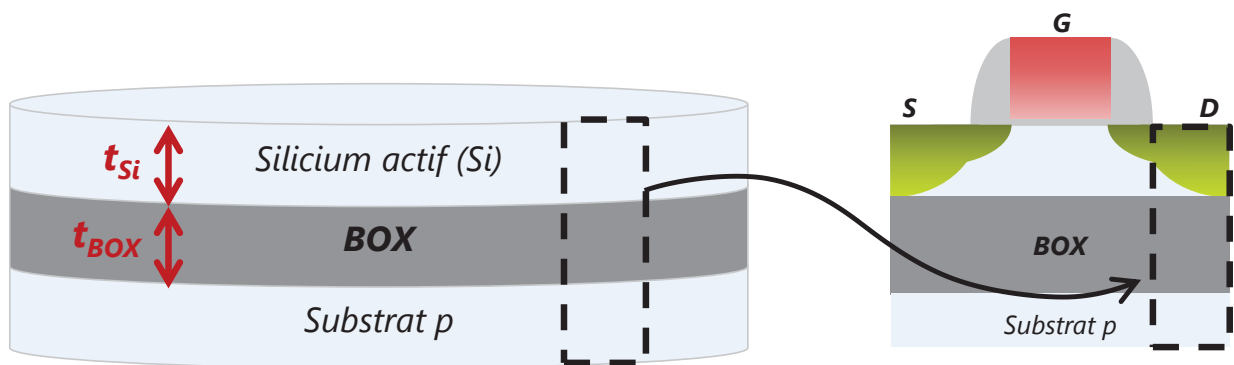


Figure II.1: Vue de profil du substrat silicium sur isolant [Soitec'12].

En fonction de l'épaisseur du silicium actif t_{Si} , le substrat SOI peut donner lieu à deux types de technologie : la technologie silicium sur isolant partiellement désertée (PD-SOI pour *Partially Depleted Silicon On Insulator* en anglais) et la technologie silicium sur isolant totalement désertée (FD-SOI pour *Fully Depleted Silicon On Insulator* en anglais).

1.2. Généralités sur la technologie Partiellement Désertée SOI

Le transistor est dit partiellement déserté si $t_{Si} > x_{Dmax}$, où x_{Dmax} est la profondeur maximale de la zone de désertion sous la grille (cf. Figure II.2.b). Dans la technologie PD-SOI 65nm de STMicroelectronics, t_{Si} est d'environ 70nm et t_{BOX} est 145nm. L'épaisseur de silicium actif t_{Si} et le niveau de dopage, de type P dans le cas du NMOS, sont tels que la zone de désertion, dans le silicium actif, n'est que partielle. Il en résulte la formation d'une zone où le

champ électrique est neutre. Cette zone neutre est communément appelée *body flottant* (FB pour *Floating Body* en anglais). Nous verrons par la suite que les différents effets « *body flottant* » vont influencer sur les caractéristiques électriques du transistor PD-SOI.

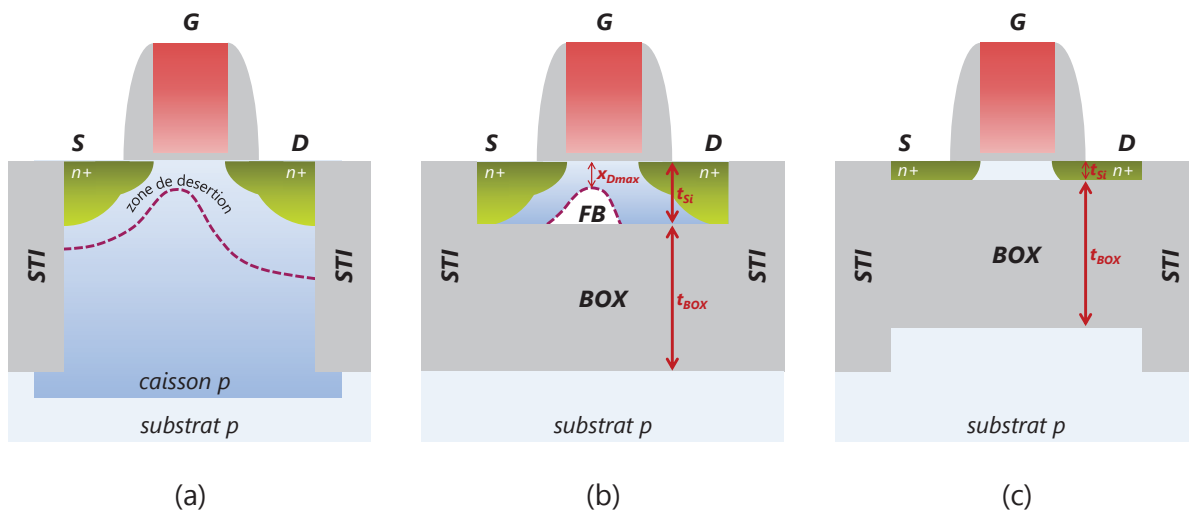


Figure II.2: vues en coupe d'un transistor NMOS en technologie (a) BULK, (b) PD-SOI et (c) FD-SOI

La technologie PD-SOI a été introduite pour la première fois pour des applications à visées militaires et spatiales. La faible épaisseur du silicium actif et l'isolation du transistor par l'oxyde enterré confèrent au transistor une résistance accrue aux effets radiatifs [Schwank'03] [Roche'05]. Par la suite, cette technologie a également montré tout son intérêt pour les applications RF (Radio Fréquence). En effet, la qualité des composants passifs RF a pu être améliorée notamment grâce à un substrat hautement résistif [Ellinger'04], ce qui est devenu possible grâce à la séparation du substrat et du film de silicium où se situent les transistors. L'isolation des transistors par l'oxyde enterré facilite également l'intégration de fonctions analogiques, numériques et radiofréquences sur une même puce [Raskin'97]. Enfin, le PD-SOI est aussi une technologie de choix pour le gain en performance qu'elle procure. Certains produits qui nécessitent un niveau de performance accru sont équipés de puces en technologie PD-SOI, telles que les puces IBM pour les consoles de jeu vidéo (Playstation 3) [Pham'05] ou AMD pour les ordinateurs de bureau (Athlon X64), ... à compléter/vérifier [Dorsey'07].

1.3. Généralités sur la technologie Totalement Désertée SOI

Le transistor est dit totalement déserté si $t_{Si} < x_{Dmax}$; t_{Si} est d'environ 8nm en technologie FD-SOI 28nm. Avec la réduction des tailles des transistors et l'augmentation de la consommation statique qui en découle, il est nécessaire de contrôler de manière plus efficace la commutation du transistor. La technologie FD-SOI permet d'aller dans ce sens par l'intermédiaire d'un meilleur contrôle électrostatique (cf. Figure II.2.c) [Skotnicki'08]. La technologie FD-SOI est une évolution de la technologie PD-SOI. Elle se caractérise par un silicium actif d'épaisseur beaucoup plus fine avec un dopage intrinsèque de type P. Par conséquent, la zone de désertion s'étend complètement jusqu'à la surface supérieure du BOX. Bien que le FD-SOI existe depuis plusieurs années, l'industrie se positionne aujourd'hui sur ce type de technologie qui offre davantage de performance, notamment en basse tension pour les applications dites basse consommation (LP pour *Low Power* en anglais), telles que les smartphones et les tablettes tactiles.

Cette thèse a fait l'objet de travaux utilisant les deux technologies, dans un premier temps sur le PD-SOI 65nm et dans un second temps sur le FD-SOI 28nm. La suite de ce chapitre traitera des avantages et des faiblesses de ces deux technologies.

2. Transistor SOI partiellement déserté

2.1. Fonctionnement du transistor : effets du substrat flottant

Comme son nom l'indique, le transistor est partiellement déserté. Le *body* flottant qui en résulte aura son potentiel qui fluctue sous l'influence de mécanismes lents et rapides. Les mécanismes lents sont les courants internes (cf. Figure II.3). Ils ont une influence sur les caractéristiques électriques du MOS avec des constantes de temps allant de la milliseconde à la seconde. Les mécanismes rapides sont les couplages capacitifs au travers des différentes capacités parasites du transistor. Elles ont une influence plus rapide sur le potentiel du *body*, de l'ordre de la nanoseconde voire de la picoseconde [Liot'06].

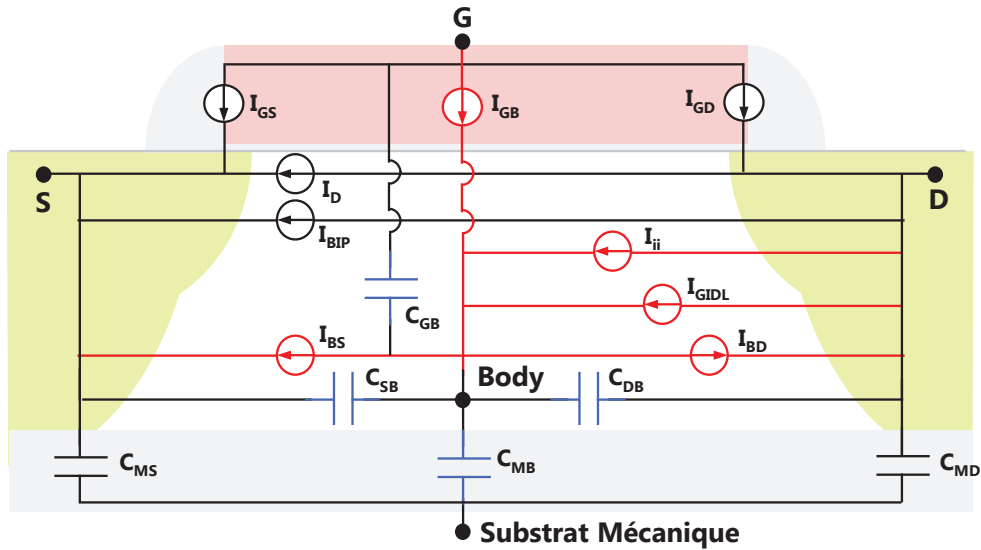


Figure II.3: modèle électrique du transistor PD-SOI à body flottant [Liot'06].

2.1.1. Influence des courants internes

Parmi la variété de courants internes impliqués dans le fonctionnement d'un transistor, cinq courants sont impliqués dans l'effet de *body* flottant : le courant d'ionisation par impact I_{ii} , le courant GIDL (*Gate Induced Drain Leakage* en anglais), le courant de grille I_G , le courant de jonction inverse drain-body I_R et le courant de jonction direct body-source I_{BS} (cf. Figure II.4.a) [Roy'03] [Adan'01]. Les quatre premiers agissent, dans différentes proportions, sur l'accumulation de charges dans le *body* flottant alors que le dernier est impliqué dans la décharge.

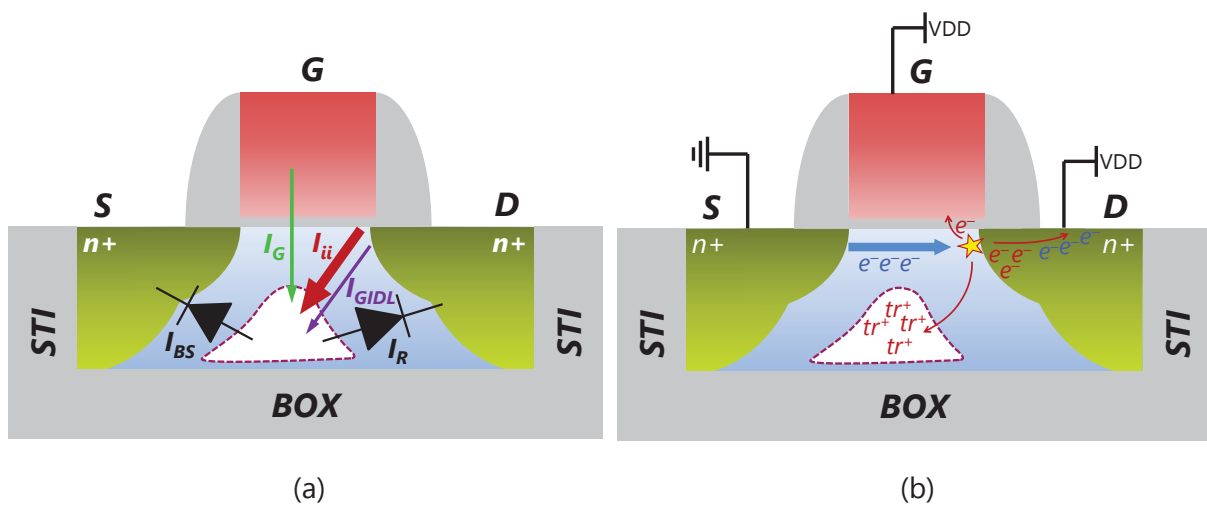


Figure II.4: Vues en coupe d'un transistor NMOS : (a) courants internes impliqués dans l'effet substrat (b) mécanisme d'ionisation par impact

Ces phénomènes sont à l'origine des fluctuations lentes du potentiel du *body* flottant, qui est déterminé par l'équilibre entre ces courants. Cela va impacter la tension de seuil V_T du transistor selon la relation suivante :

$$V_T = V_{T0} + \gamma \left(\sqrt{2\Phi_F - V_{BS}} - \sqrt{2\Phi_F} \right) \quad (6)$$

où Φ_F est le potentiel de Fermi dans le silicium actif, V_{BS} est la tension *body*-source, γ est le coefficient de l'effet *body* et V_{T0} est la tension de seuil quand $V_{BS}=0$.

De cette équation, il ressort qu'une augmentation du potentiel du *body* V_B diminue la tension de seuil et par conséquent augmente le courant I_{DS} . Inversement, si le potentiel du *body* V_B diminue, la tension de seuil augmente et le courant I_{DS} diminue.

Le courant d'ionisation par impact joue un rôle majeur dans l'accumulation de charges dans le *body*. Il est le résultat de la génération de paires électron-trou en régime de saturation à la suite d'impacts d'électrons au niveau du pincement de la couche d'inversion, proche du drain. Les électrons ainsi créés sont attirés vers le drain et une certaine quantité vers la grille par effet tunnel, faisant subir une dégradation à l'oxyde de grille (cf. Figure II.4.b). Les trous générés sont quant à eux attirés vers le *body* flottant, ce qui augmente le potentiel du *body* et donc le courant I_{DS} . Puisque le courant I_{DS} augmente, le phénomène d'ionisation par impact s'intensifie. Davantage de porteurs s'accumulent dans le *body*. A son tour, V_T diminue et le courant I_{DS} croît de nouveau. Ce phénomène est appelé effet *kink* [Colinge'88]. Il se traduit par un "saut" dans la caractéristique I-V d'un transistor FB, illustré dans la Figure II.5.

En plus d'augmenter le courant I_{DS} par le biais d'une diminution de V_T , le phénomène d'ionisation par impact augmente le courant I_{DS} au travers du transistor bipolaire parasite. Il s'agit de l'effet bipolaire [Lin'99]. Dans le cas d'un NMOS, celui-ci est constitué d'une base de type P formée par le *body*, du collecteur formé par le drain et de l'émetteur formé par la source, tous deux de type N. Ainsi, le courant d'ionisation par impact agit comme le courant de base. Lorsque le potentiel de *body* devient suffisamment élevé, la jonction *body*-source devient passante. Le transistor bipolaire NPN se déclenche. Toutefois, ce phénomène se produit pour des tensions V_{DS} allant bien au-delà des tensions normalement utilisées dans les circuits numériques.

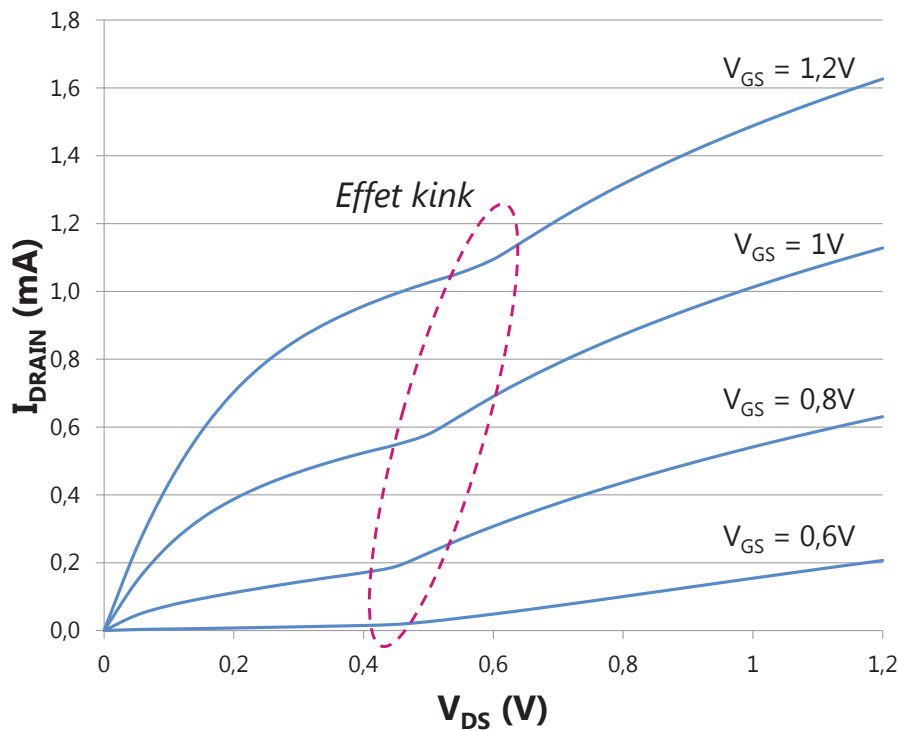


Figure II.5: Illustration de l'effet *kink* dans la caractéristique I-V d'un transistor HVT à 25°C

Au second ordre, le courant de grille I_G , issu de la réduction de l'épaisseur de l'oxyde de grille, contribue dans une moindre mesure à l'accumulation de charge dans le *body* par effet tunnel. Egalement, le courant GIDL, qui apparaît essentiellement lorsque le potentiel de grille est fortement négatif, y participe légèrement. Enfin, le courant de fuite de jonction polarisé en inverse I_R reste faible à température ambiante devant le courant d'ionisation par impact. Il est issu de la génération thermique de porteurs minoritaires.

Toutefois, l'accumulation de charges est limitée par la diode de jonction *body*-source, où circule le courant I_{BS} , par lequel sont évacuées les charges au fur et à mesure que le potentiel du *body* augmente. Lorsqu'autant de charges sont injectées et évacuées pour une polarisation donnée, c'est-à-dire lorsque la somme des courants internes est nulle, le potentiel de *body* atteint son équilibre statique. A la suite d'une transition, la polarisation du transistor change. Le rapport des courants internes est modifié. Le potentiel de *body* évolue vers un nouvel équilibre statique qui est atteint au bout d'un certain temps, de l'ordre de la milliseconde ou de la seconde.

Les effets de *body* flottants évoqués précédemment sont lents au regard des constantes de temps impliqués dans les circuits numériques qui sont de l'ordre de la nanoseconde.

2.1.2. Influence du coulage capacitif

Au-delà des fluctuations lentes du potentiel de *body* évoquées précédemment, le *body* flottant fait également l'objet de fluctuations rapides. En effet, le *body* se situe au sein du réseau capacitif d'un transistor MOS PD-SOI composé des capacités grille-*body* C_{GB} , drain-*body* C_{DB} , source-*body* C_{SB} et de BOX C_{BOX} (cf. Figure II.6.a) [Bernstein'07].

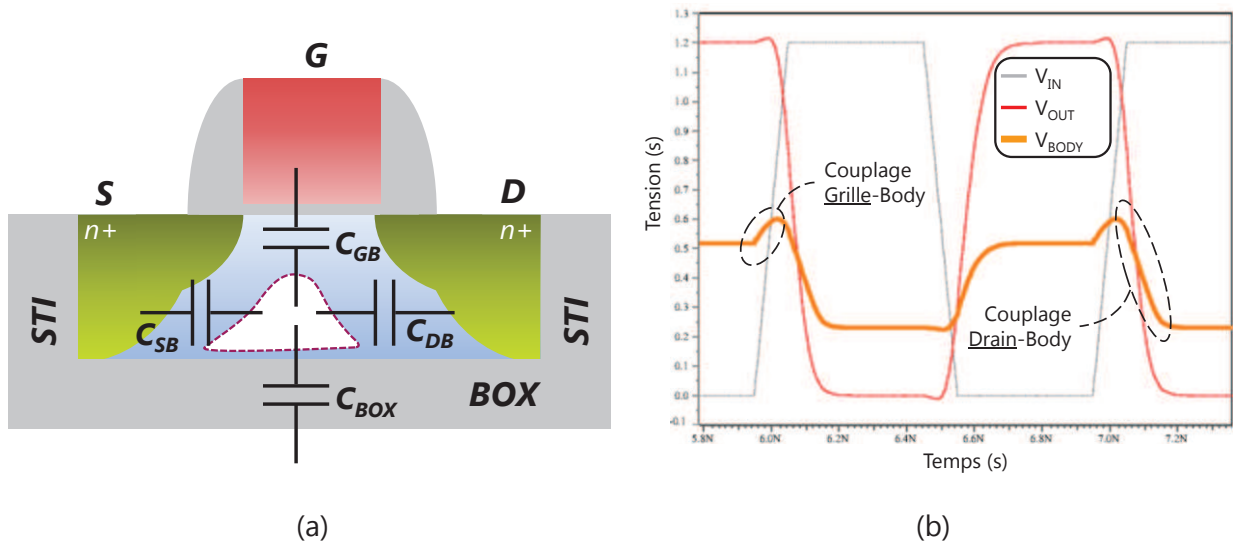


Figure II.6: (a) réseau capacitif d'un transistor NMOS vue de profil, (b) influence du réseau capacitif sur le potentiel de *body* du transistor NMOS d'un inverseur.

Par exemple, dans le cas d'un inverseur, le transistor NMOS est sujet à des variations rapides sur la grille et le drain, alors que la source est connectée à GND. Lors d'un front montant sur la grille, le canal d'inversion n'est pas formé au début de la transition. Cela occasionne un couplage capacitif entre la grille et le *body*. Le potentiel de *body* augmente, réduisant la tension de seuil V_T . Dans un second temps, le canal sous la grille se crée et le potentiel de drain diminue, ce qui par couplage capacitif réduit le potentiel de *body* et augmente le V_T (cf. Figure II.6.b).

La combinaison entre le couplage capacitif et les courants internes du MOS PD-SOI va conditionner le potentiel de *body*, aussi bien dynamiquement, pour le premier, que de manière statique pour le second. Ces effets de substrat flottant sont utilisés avantageusement pour produire un gain de performance. Néanmoins, la fluctuation du potentiel de *body* qui en résulte va créer une incertitude sur les temps de propagation liée aux variations de la tension de seuil au cours du temps. Ces spécificités seront explicitées par la suite.

2.2. Avantages de la technologie PD-SOI

2.2.1. Performances

Le premier avantage, provenant de l'utilisation d'une telle technologie, est le gain en performance obtenu grâce à la réduction des capacités de jonction d'une part, et grâce aux effets de *body* flottant d'autre part.

L'ajout d'un oxyde enterré permet de réduire les capacités de jonction C_{SB} et C_{DB} du transistor PD-SOI comparativement au transistor BULK. Ainsi, l'étage précédent du circuit voit une plus faible valeur capacitive. Par conséquent, moins d'énergie est nécessaire pour faire commuter une porte logique, comparativement à une porte logique identique en BULK.

De plus, dans le cas du NMOS en technologie PD-SOI, le caractère flottant du *body* permet à ce dernier d'atteindre un potentiel positif, alors qu'il est connecté à GND en technologie BULK. Il est en effet amené à croître grâce à l'effet *kink*, à l'effet bipolaire et aux couplages capacitifs. Dans le cas du PMOS en technologie PD-SOI, le potentiel de *body* est amené à diminuer, alors qu'il est connecté à VDD en technologie BULK. Cela occasionne une réduction de la tension de seuil qui améliore la performance.

Tous ces éléments combinés permettent d'améliorer la fréquence de fonctionnement de ~20 à ~30% à surface égale, ou bien de réduire d'autant la consommation dynamique, à fréquence égale, par rapport à la technologie BULK [LeCoz'11a] [Allen'99].

2.2.2. Effet *latch-up*

Le phénomène de *latch-up* en technologie BULK, est un problème majeur dans les circuits drainant de forts courants, tels que les buffers de sortie (cf. chapitre I). Il entraîne un effet destructif sur les dispositifs impliqués. En SOI, grâce au BOX et aux tranchées d'oxyde (STI pour *Shallow Trench Isolation* en anglais), les transistors MOS adjacents sont isolés électriquement les uns des autres. Par conséquent, les transistors bipolaires parasites, formés en BULK par juxtaposition des caissons de type opposés, sont supprimés. L'effet de *latch-up* est ainsi éliminé dans les technologies SOI (cf. Figure II.7).

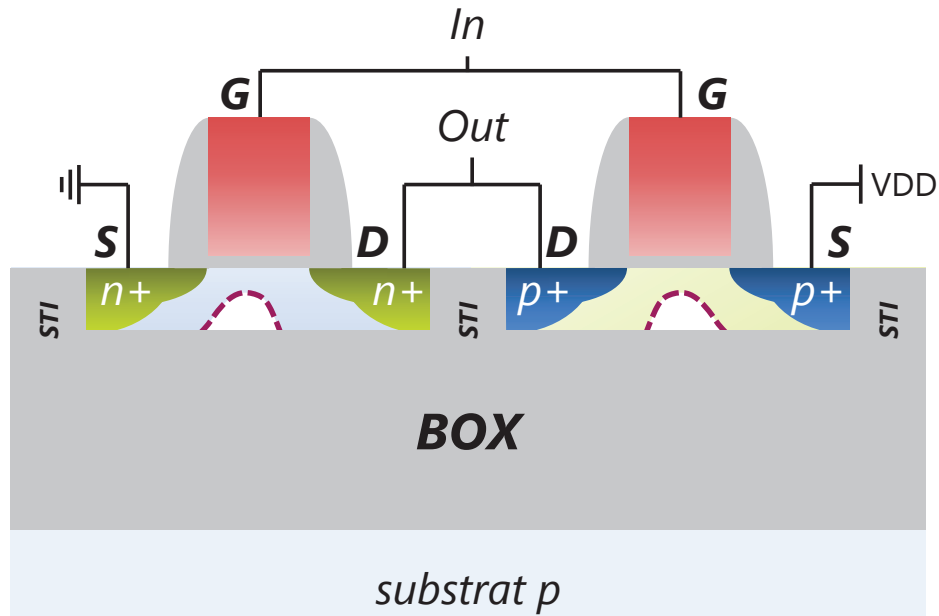


Figure II.7: vue en coupe d'un inverseur CMOS dont les transistors sont électriquement isolés entre eux, ce qui immunise le circuit contre le phénomène de latch-up.

En BULK, il est nécessaire de placer les NMOS à distance suffisante des PMOS. Chaque ensemble de PMOS et de NMOS doit aussi être individuellement entouré d'anneau de contacts afin de polariser son caisson de façon à réduire la résistance d'accès. Grâce à l'oxyde enterré, les précautions prises pour supprimer cet effet en BULK n'ont plus lieu d'être en PD-SOI. Cela se traduit par un gain en surface important.

2.3. Inconvénients

Les avantages précédents s'accompagnent cependant de phénomènes défavorables. Le caractère flottant du *body* cause une incertitude supplémentaire sur le temps de propagation et une consommation statique accrue. De plus, le confinement du transistor dans l'oxyde peut agir défavorablement sur le coefficient d'évacuation de la chaleur et peut donc dégrader le courant selon l'activité du transistor.

2.3.1. Effet d'histoire

Les fluctuations de la tension de *body* au cours du temps induisent des variations de la tension de seuil et du courant I_{DS} . Dans les circuits numériques, cela se traduit par une incertitude sur le temps de propagation en fonction de l'histoire passée du circuit [Pelella'99]

[Wei'98]. Ainsi, le potentiel de *body* sera conditionné par l'état statique initial du circuit. Cet écart peut être caractérisé par la méthode 1^{ère}/2^{nde} transition [Bernstein'07]. Cela consiste à polariser deux portes identiques (un inverseur dans cet exemple), le premier par un niveau logique '0' en entrée, appelé condition initiale DC0, et le second par le niveau logique '1', appelé condition initiale DC1 (cf. Figure II.8).

Le potentiel de *body* du NMOS appelé V_{BN} , ainsi que le potentiel de *body* du PMOS appelé V_{BP} , sont chacun polarisés différemment en fonction de leur condition initiale. A partir des deux conditions statiques, les temps de propagation des premiers fronts en sortie des deux inverseurs sont extraits. A 25°C, la variation induite entre DC0 et DC1 est d'environ 10% pour les temps de propagation sur front montant en sortie, avec des transistors dits HVT (*High VT* en anglais), en technologie 65nm.

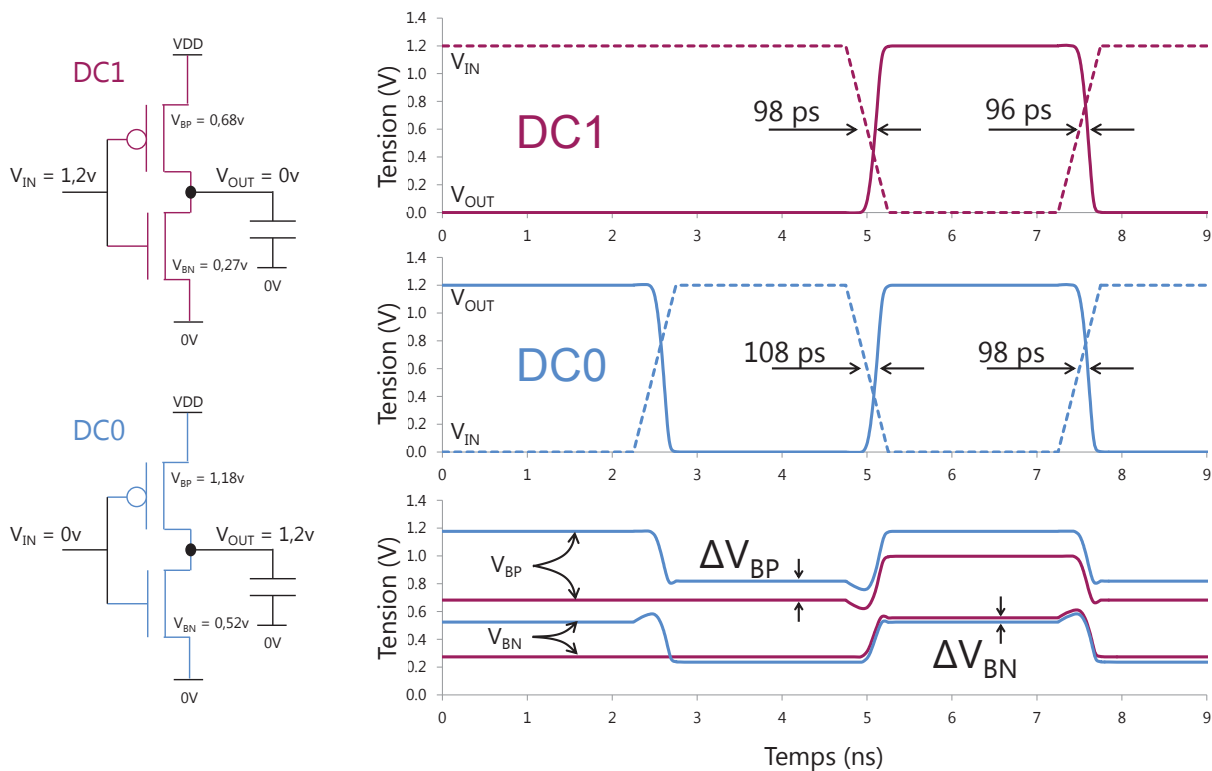


Figure II.8: illustration de l'effet d'historie sur un inverseur à 25°C ayant une pente d'entrée de 250ps, une charge à 5fF et une période de 2.5ns

Par la suite, le potentiel de *body* fluctue différemment selon que le circuit est soumis à un train d'impulsions ou bien qu'il reste dans une longue période d'inactivité. La variation du *body* dépend également de la pente d'entrée, de la charge de sortie, de la fréquence et du PVT (*Process, Voltage, Temperature* en anglais) [Liot'06].

Les circuits qui transmettent des données, où le rapport cyclique est variable, sont particulièrement sujets à l'effet d'historie. Néanmoins, les circuits qui propagent un signal d'horloge à fréquence constante le sont moins. La commutation régulière des transistors permet aux temps de propagations de converger vers un équilibre dynamique [Wei'98], c'est-à-dire lorsque qu'il y a autant de charges rentrant dans le *body* que de charges sortant au cours d'une période. Dans ce cas-là, le potentiel de *body* entre les instants t et ' $t+une\ periode$ ' reste identique tant que le signal continue de commuter à la même fréquence. Par conséquent, le temps de propagation reste également identique (cf. Figure II.9).

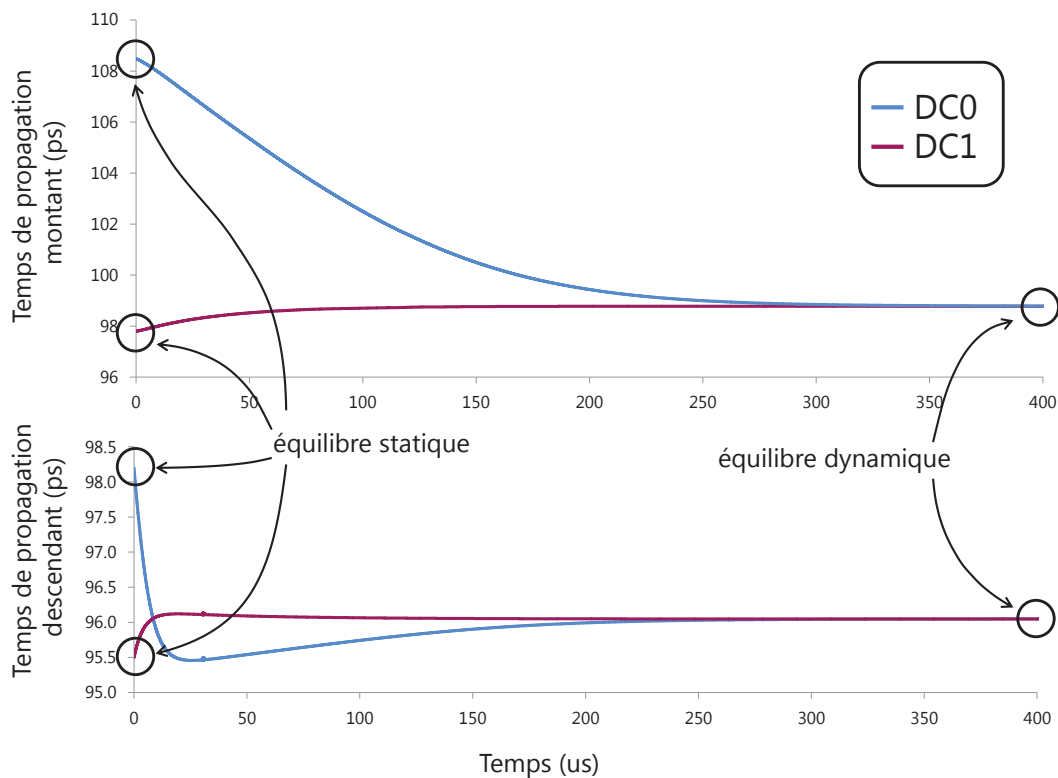


Figure II.9: évolution des temps de propagation montants et descendants au cours du temps, à partir des conditions DC0 et DC1.

2.3.2. Consommation statique accrue

Le caractère flottant du *body* accroît la consommation statique I_{OFF} d'un MOS en technologie PD-SOI. Le courant statique, à l'opposé du courant dynamique, intervient lorsque le circuit est au repos. En analysant le bilan énergétique des circuits actuels, il apparaît que la consommation statique prend de l'importance devant la consommation dynamique. Ceci est

particulièrement vrai pour les circuits numériques à faible taux d'activité. La réduction des géométries du transistor et de la tension d'alimentation VDD en sont la cause.

Bien que la réduction de VDD permette une diminution de la consommation dynamique, cela produit une augmentation de la consommation statique. En effet, la réduction de VDD nécessite de réduire également la tension de seuil V_T pour maintenir le niveau de performance nécessaire. Or, le principal courant de fuite impliqué dans le mécanisme de la consommation statique est le courant sous le seuil noté I_{STH} (*Subthreshold* en anglais). Ce courant, présent en régime de faible inversion, dépend de V_T de manière exponentielle [Kim'03].

Il est accompagné des courants de jonctions qui ont une forte dépendance en température, du courant DIBL (*Drain Induced Barrier Lowering* en anglais) lié à une diminution du V_T à cause des effets canaux courts, du courant de grille qui croît avec la réduction de l'épaisseur d'oxyde de grille, et enfin du courant GIDL qui s'intensifie pour une tension de grille fortement négative.

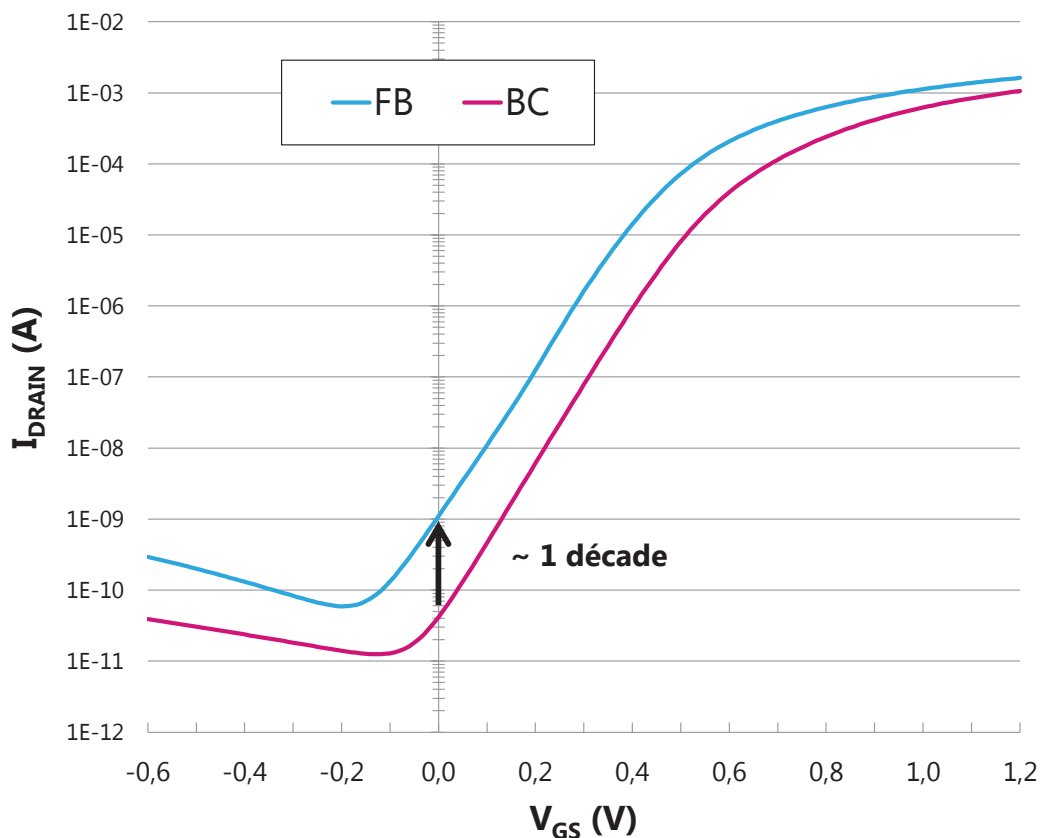


Figure II.10: caractéristiques $I_d(V_g)$ à 25°C d'un transistor HVT à *body* flottant (FB) et d'un transistor HVT à *body* contacté à la source (BC) quand $V_{ds}=1,2V$.

En technologie PD-SOI, la consommation statique s'élève davantage par rapport au BULK. En effet, le *body* flottant cause une réduction de la tension de seuil et par conséquent une augmentation du courant sous le seuil. Le courant I_{OFF} , relevé pour $V_{GS} = 0V$ en technologie 65nm de STMicroelectronics, est supérieur d'environ une décade pour le transistor *body* flottant (FB) par rapport au transistor *body* contacté (BC) (cf. Figure II.10).

2.3.3. Auto-échauffement

En technologie BULK, l'échauffement généré par le transistor pendant sa conduction est évacué vers l'arrière du silicium massif. L'auto-échauffement reste négligeable. En technologie SOI, l'isolation complète du transistor par l'oxyde enterré affaiblit la capacité d'évacuation de la chaleur. En effet, l'oxyde de silicium présente une résistance thermique environ 100 fois plus élevée que celle du silicium [Tenbroek'98]. La chaleur générée étant piégée plus longtemps, le transistor s'échauffe et les caractéristiques en sont affectées. La mobilité et la vitesse de saturation des porteurs diminuent ce qui réduit le courant de drain.

Au niveau d'un circuit logique, cela peut causer une baisse de performance. Cependant, dans les circuits logiques standards, le phénomène est peu contraignant. En effet, les transistors impliqués dans les commutations ne conduisent que durant les transitions. L'échauffement qui en découle peut être évacué avant que la transition suivante ne se produise. Dans les circuits drainant de forts courants, tels que les buffers de sortie, l'effet d'auto-échauffement peut devenir non-négligeable.

Au contraire des circuits numériques, où le transistor ne conduit que durant la transition, les circuits analogiques sont soumis à des courants circulant de manière continue. L'échauffement qui en résulte dégrade le courant de saturation. La caractéristique I-V d'un transistor HVT (cf. Figure II.11) montre l'impact du phénomène d'auto-échauffement pouvant conduire à une dégradation maximale de 10% sur le courant de saturation. Si l'on prend l'exemple du miroir de courant, il est nécessaire que la paire de transistors évolue dans les mêmes conditions pour un bon appariement. Or, l'auto échauffement peut produire des disparités entre deux MOS dont les courants sont différents, causant des erreurs de polarisation [Tenbroek'98].

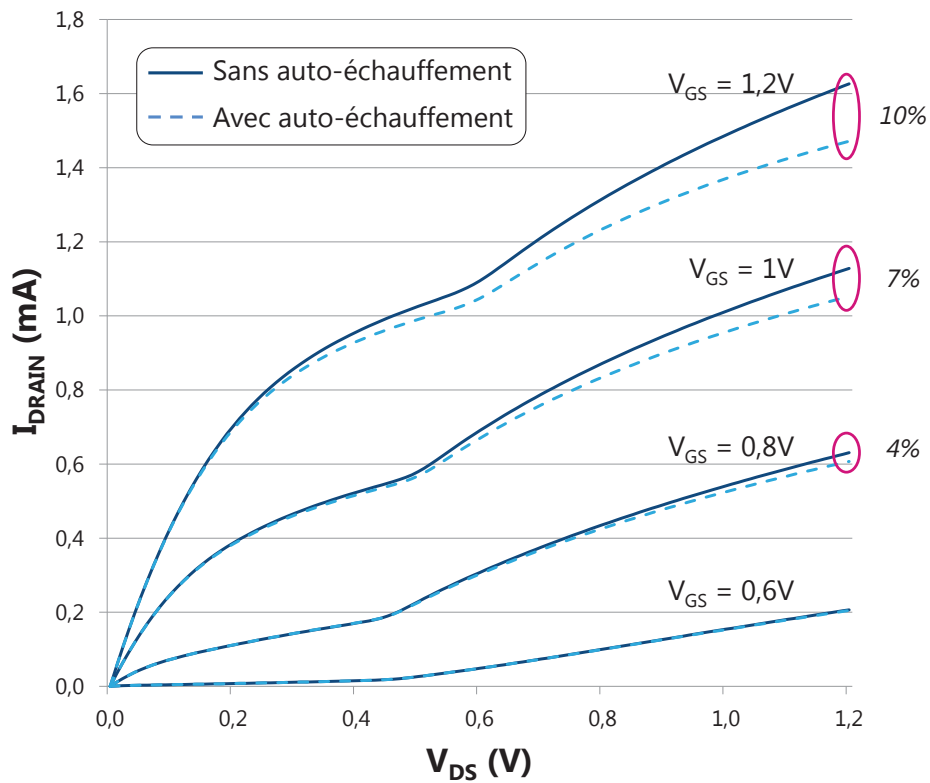


Figure II.11: caractéristique I-V d'un transistor HVT à 25°C avec et sans prise en compte de l'auto-échauffement

2.4. Les types de transistors PD-SOI

Les transistors *body* flottants évoqués précédemment possèdent l'avantage principal de produire un gain de performance grâce à l'effet de *body* flottant et à la réduction des capacités de jonction. Ainsi, comparativement à la technologie BULK, les transistors *body* flottants en technologie PD-SOI permettent d'aller plus vite à surface égale et de moins consommer à vitesse identique. Ce type de transistor convient parfaitement pour une utilisation dans les circuits numériques, avec pour contrainte additionnelle de caractériser correctement l'effet d'histoire dans les cellules standards des bibliothèques [Liot'06] afin de borner avec une bonne précision les déviations du temps de propagation.

Cependant, le caractère flottant du *body* ne convient pas pour des circuits où la fluctuation du temps de propagation pose problème. De même, les applications basses consommations seront impactées par ce type de transistor à cause de leur consommation statique accrue. Des techniques des conceptions, à base d'interrupteurs de puissance, ont été développées pour permettre une diminution des fuites en courant [LeCoz'11b]. Enfin, les

circuits analogiques ont nécessairement besoin de transistors où le courant de saturation soit suffisamment bien contrôlé. En d'autres termes, la résistance dynamique en régime de saturation doit être très élevée. Or, la caractéristique du courant I_{DS} en fonction de V_{DS} du transistor *body* flottant se linéarise, notamment à cause de l'effet *kink* et de l'effet bipolaire (cf. Figure II.5).

Pour contrer les effets *body* flottants, une solution consiste à implémenter le transistor de manière à contrôler de *body* grâce à une astuce layout. Ce transistor est dit *body* contacté (*Body Contacted* (BC) en anglais).

2.4.1. Transistor *body* contacté

Ce type de transistor ne nécessite pas d'ajout de masque additionnel. Il s'agit simplement d'implanter une diffusion de même type que le *body* afin de réaliser sa connexion électrique (cf. Figure II.12) [Colinge'87]. Ainsi, au travers du *body* contact, il est possible de polariser le potentiel interne d'un transistor NMOS vers GND, ou d'un transistor PMOS vers VDD, pour éliminer l'effet d'histoire et pour augmenter le V_T afin de réduire le courant sous le seuil I_{STH} qui est impliqué dans la consommation statique. De cette manière, on retrouve un fonctionnement électrique similaire au transistor en technologie BULK en termes de courant [Pelella'02].

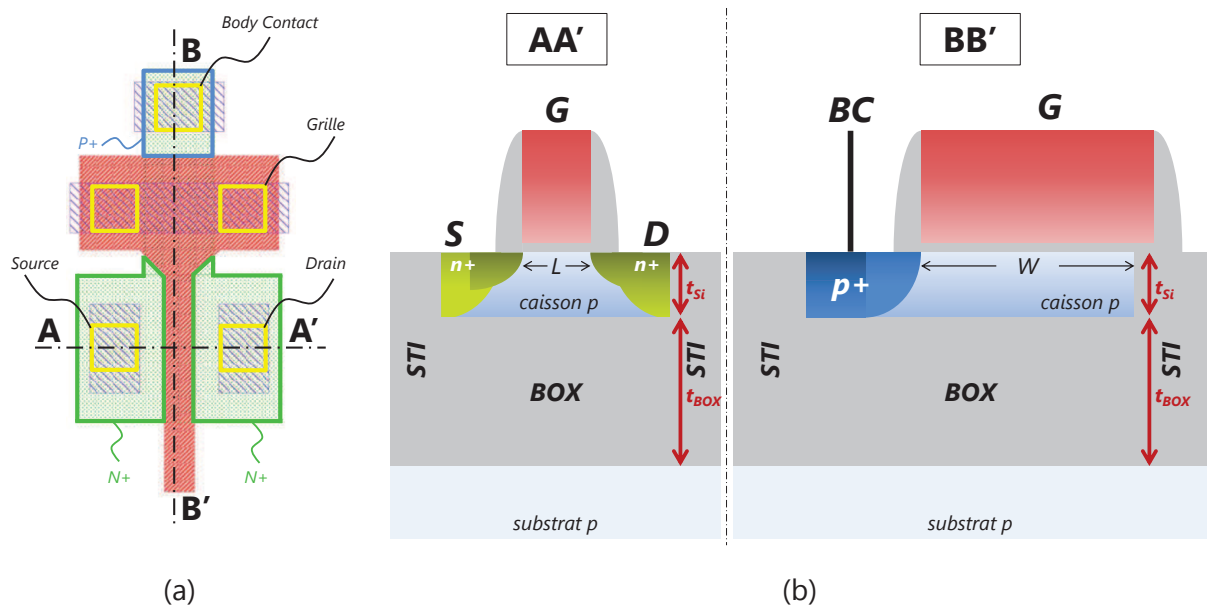


Figure II.12: (a) vue de dessus et (b) vue en coupe d'un transistor *body* contacté de type NMOS

En contrepartie, la taille totale du transistor est plus élevée comparativement aux tailles des transistors *body* flottant ou des transistors en technologie BULK. De plus, la forme en "T" de la grille confère au transistor une capacité de grille plus importante qu'en technologie BULK. Accompagnée d'une augmentation de V_T , l'augmentation de cette capacité de grille affecte défavorablement le délai d'une chaîne d'inverseurs.

2.4.2. Transistor DTMOS

En technologie BULK *triple well*, les transistors qui partagent le même caisson ont leur *body* polarisé au même potentiel. Au contraire, l'avantage en technologie PD-SOI est que le *body* de chaque transistor est électriquement indépendant et isolé des autres transistors. Cette spécificité peut être avantageusement utilisée pour contrôler de manière indépendante et dynamique la tension de seuil V_T en polarisant le *body* du transistor.

Le transistor DTMOS (*Dynamic Threshold MOS* en anglais) [Assaderaghi'94], dont le *body* est directement connecté à la grille par l'intermédiaire d'une métallisation (cf. Figure II.13), est un exemple de technique de modulation dynamique de V_T . Ainsi, une nette amélioration du rapport I_{ON}/I_{OFF} et de la pente sous-le-seuil est obtenue.

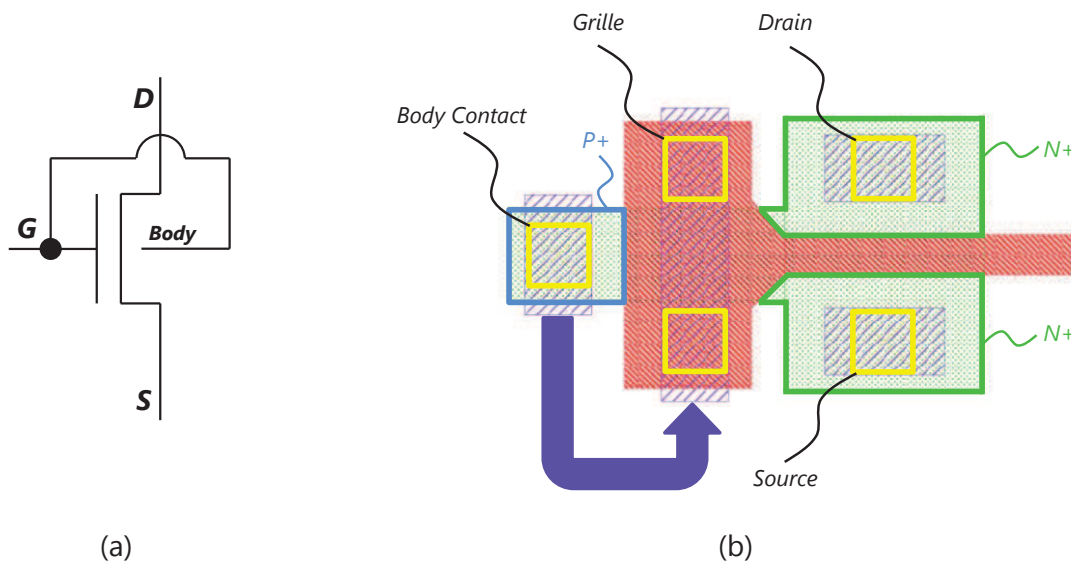


Figure II.13: (a) vue schématique et (b) vue de dessus d'un transistor DTMOS.

Lorsque le transistor est bloqué, la grille du transistor est polarisée à 0V. Le *body* est polarisé à 0V. Par conséquent, la tension de seuil augmente ce qui permet de limiter le courant de fuite. Le transistor produit ainsi un faible I_{OFF} . A l'inverse, quand le transistor est passant, la grille du transistor monte à VDD, tout comme le potentiel de *body*. De ce fait, la

tension de seuil diminue ce qui permet d'augmenter le courant I_{ON} . La pente sous-le-seuil ainsi obtenue pour un transistor NMOS HVT en technologie 65nm de STMicroelectronics se rapproche de la valeur idéale et minimale de 60mV/décade (cf. Figure II.14).

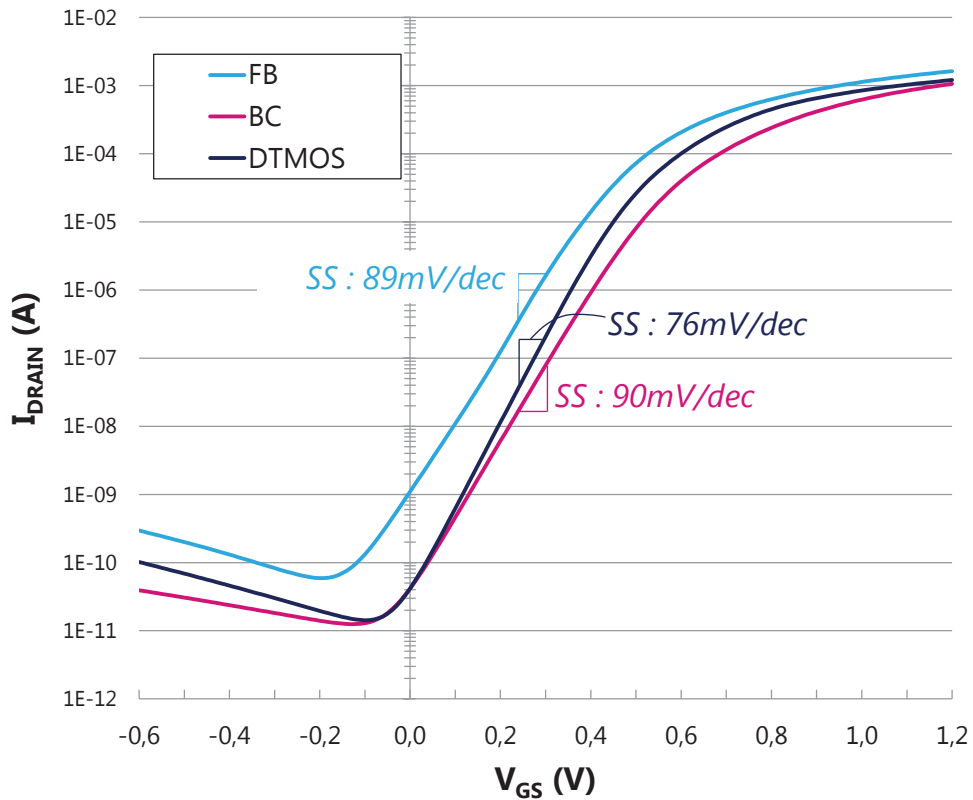


Figure II.14: caractéristiques $I_d(V_g)$ à 25°C d'un transistor HVT à *body* flottant (FB), à *body* contacté (BC) et DTMOS, $V_{ds}=1,2V$.

Néanmoins, il n'est possible d'utiliser le transistor DTMOS seulement dans des domaines d'alimentation situés autour de 0,6V [Assaderaghi'94], ce qui en fait un transistor intéressant pour les applications basses tensions. En effet, polariser la grille au-delà de cette tension se traduit par une mise en directe de la diode de jonction *body*-source. Cela cause une augmentation du courant de fuite qui traverse cette jonction. Toutefois, si la tension d'alimentation se situe au-delà de 0,6V, il est envisageable de connecter sur le *body* un limiteur de courant, généralement constitué d'un transistor, afin de maîtriser le courant de fuite traversant la jonction [Assaderaghi'97] [Lindert'99] [Casu'00]. Puisque cette technique a pour effet d'augmenter la surface, elle ne pourra être employée que pour des blocs où seulement quelques transistors sont implémentés.

3. Transistor SOI totalement déserté

A mesure que la taille des dispositifs diminue, il devient difficile d'obtenir un compromis performance/consommation électrique acceptable en technologie BULK. En effet, pour des longueurs de grille inférieures à 100nm, l'efficacité du contrôle électrostatique du canal par la grille se détériore. D'un nœud technologique à l'autre, le gain en performance est faible et la consommation statique est moins bien maîtrisée. Afin d'améliorer le contrôle électrostatique, de nouveaux procédés technologiques doivent être mises en œuvre, comme par exemple le procédé *high-k/metal-gate* [Mistry'07]. Toutefois, pour les nœuds technologiques 20 nm et en-deçà, ces avancées technologiques montrent un effet limité [Ahmed'11] et sont de plus en plus complexes à mettre en œuvre.

De plus, la réduction de la longueur de grille entraîne un accroissement de la variabilité de la tension de seuil V_T . En effet, une des composantes qui définit le V_T est la concentration de dopage dans le canal. Or, le nombre de dopants dans le canal diminue avec la réduction d'échelle. Par conséquent, le phénomène de fluctuation du nombre de dopants (RDF pour *Random Dopant Fluctuation* en anglais) joue un rôle de plus en plus conséquent ce qui occasionne des variations locales du V_T de plus en plus importantes [Mizuno'94].

Pour résoudre ces problèmes liés à la réduction d'échelle, des dispositifs en rupture avec l'architecture MOS conventionnel sont introduits. Par exemple, Intel et TSMC ont choisi pour leurs circuits une nouvelle architecture de transistor appelé FinFET, où le silicium actif adopte une architecture verticale [Damaraju'12]. Bien que cette technologie améliore les caractéristiques électriques du MOS, elle est relativement coûteuse à fabriquer [Hu'11]. STMicroelectronics s'est en revanche positionné sur la technologie FD-SOI. Elle présente l'avantage d'être moins coûteuse à produire. Elle peut se décliner en deux types : la technologie à oxyde enterré épais et la technologie à oxyde enterré mince. Cette dernière a été retenue pour son industrialisation.

3.1. Technologie silicium sur isolant totalement déserté à oxyde enterré épais.

3.1.1. Architecture du transistor

Le transistor FD-SOI à BOX épais a la particularité d'être composé d'un film mince d'épaisseur $t_{Si} < 10\text{nm}$, de l'ordre de 10x plus fin que celui du transistor PD-SOI [Fenouillet'07]. Il repose sur un BOX d'une épaisseur d'environ 145nm (cf. Figure II.15), équivalent à l'épaisseur du BOX en technologie PD-SOI.

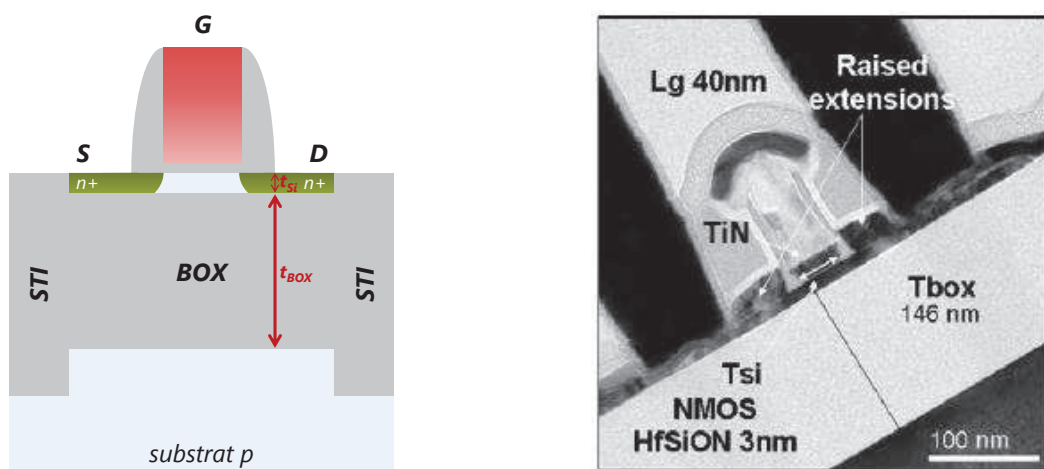


Figure II.15: vue en coupe d'un transistor MOS en technologie FD-SOI BOX épais [Fenouillet'07].

En technologie FD-SOI, le film de silicium est suffisamment mince pour permettre une désertion totale dans toute l'épaisseur film. Ainsi, l'effet d'histoire présent en technologie PD-SOI est supprimé dans cette technologie. De plus, la présence du BOX permet de réduire fortement la profondeur des jonctions et donc de réduire le couplage du drain et de la source avec le canal. Le transistor se dote ainsi d'une meilleure intégrité électrostatique. Enfin, le film mince est non dopé. Cette caractéristique permet de réduire la variation du V_T qui, en technologie BULK, est issue de la fluctuation aléatoire du nombre de dopants présents.

3.1.2. Caractéristiques de la technologie FDSOI

► Contrôle électrostatique accrue

La maîtrise des effets canaux courts se traduit par une meilleure efficacité du contrôle électrostatique du canal par la grille. Ces effets canaux courts se décomposent en deux types.

Le premier est appelé SCE (*Short Channel Effect* en anglais). Il est fonction de la longueur de grille. Plus celle-ci diminue, plus les zones de charge d'espace des jonctions drain et source se recouvrent au détriment de la zone de charge d'espace sous la grille. Cet effet indésirable mène à une inversion plus rapide du canal : le V_T diminue (cf. Figure II.16.a). Le deuxième type d'effet canal court est l'abaissement de la barrière de potentiel induit par le drain (DIBL pour *Drain Induced Barrier Lowering* en anglais). Il est fonction du potentiel sur le drain. Pour des faibles longueurs de grille, plus le potentiel du drain V_D est élevé, plus le V_T diminue (cf. Figure II.16.a). Ces deux effets canaux courts, le SCE et le DIBL, détériorent le contrôle électrostatique du canal par la grille. Dans la littérature, le DIBL est une des figures de mérite choisies pour quantifier l'efficacité du contrôle électrostatique. Il se calcule de la manière suivante et s'exprime en mV/V :

$$DIBL = \frac{V_{TLIN} - V_{TSAT}}{V_{DD} - 0,05} \quad (7)$$

où V_{TLIN} est la tension de seuil quand $V_D=50\text{mV}$ et V_{TSAT} est la tension de seuil quand $V_D=V_{DD}$.

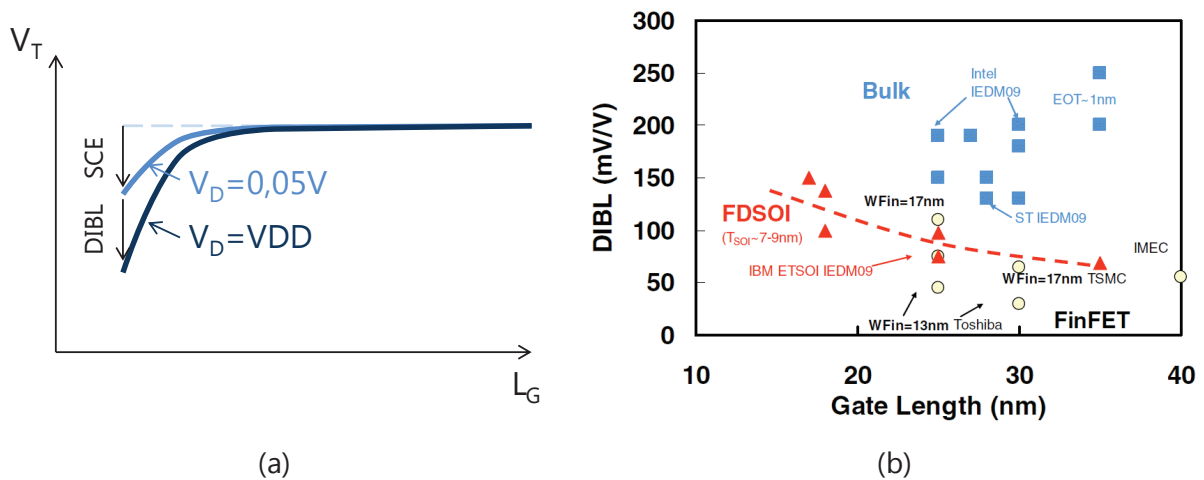


Figure II.16: (a) évolution du V_T en fonction de la longueur de grille quand $V_D=0,05\text{V}$ et $V_D=1\text{V}$, (b) comparaison des valeurs de DIBL obtenues en FDSOI, en BULK et en FinFET [Faynot'11].

Une comparaison des différentes valeurs de DIBL obtenues pour plusieurs technologies a été réalisée (cf. Figure II.16.b). Plus le DIBL est petit, meilleur est le contrôle électrostatique. La technologie FD-SOI produit un meilleur contrôle électrostatique qu'en BULK [Faynot'11]. Il est proche de celui du FinFET.

- Réduction de la variabilité locale de la tension de seuil.

La variabilité est à considérer comme un problème majeur pour la conception de circuit et plus particulièrement pour les mémoires où la densité d'intégration est un facteur important. Deux transistors positionnés côte-à-côte et supposés avoir le même comportement électrique peuvent être sujets à des dérives en termes de V_T . Ainsi, un mauvais appariement des transistors a pour conséquence de dégrader la stabilité de la mémoire.

Une des sources de variabilité les plus importantes en technologie BULK est la fluctuation aléatoire du nombre de dopants dans le canal. Ces dopants sont nécessaires pour déterminer le niveau de V_T du transistor. Or, en technologie FD-SOI, le silicium mince est non dopé, ce qui a pour effet de réduire l'influence du RDF.

Pour quantifier le niveau de variabilité d'une technologie, le coefficient de Pelgrom [Pelgrom'89], noté A_{V_T} , doit être extrait. Il représente le coefficient de variabilité de la tension de seuil et s'exprime en $mV.\mu m$. La comparaison de ce coefficient entre plusieurs technologies est reporté (cf. Figure II.17) et montre que la technologie FD-SOI est moins sujette aux variations locales du V_T que la technologie BULK [Weber'08] [Cheng'09] [Faynot'10].

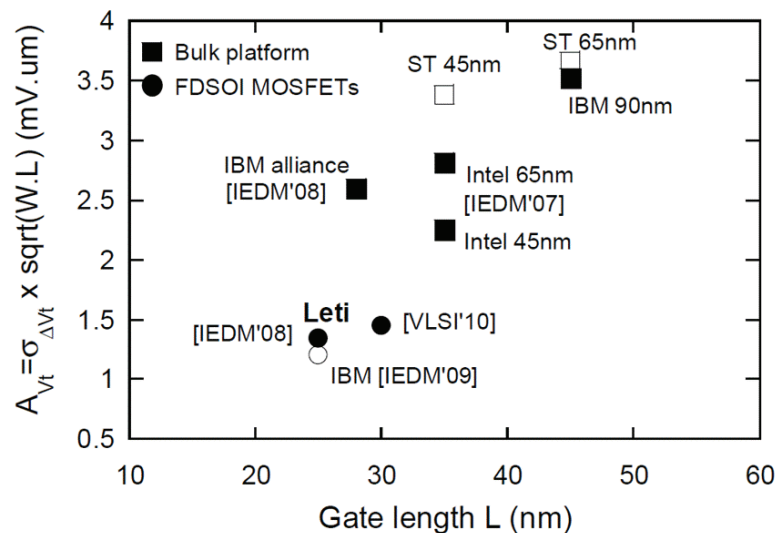


Figure II.17: comparaison des coefficients de Pelgrom dans différentes technologies en fonction de la longueur de grille [Faynot'10].

► Limites de la technologie FD-SOI à oxyde enterré épais

Bien que la technologie FD-SOI à BOX épais présente un certain nombre d'atouts, elle n'est pas totalement compatible avec les circuits CMOS BULK. En BULK, le niveau de V_T est défini par la concentration de dopage dans le canal. Trois niveaux de V_T sont généralement proposés. Or, le transistor FD-SOI BOX épais opère avec un film silicium non dopé. Par conséquent, l'ajustement du V_T s'obtient en intervenant sur le travail de sortie du matériau de grille dans un procédé *high-k/metal-gate* [Zhang'05]. Toutefois, co-intégrer plus de deux niveaux de V_T en utilisant cette méthode est complexe et coûteux à mettre en œuvre. De plus, la présence d'un oxyde enterré épais sous un film mince contraint le concepteur à n'utiliser que des dispositifs fabricables sur une faible épaisseur de silicium, tel que le transistor MOS. Autrement dit, les dispositifs fabriqués dans la profondeur, tels que le transistor bipolaire vertical, sont prohibés à cause de la présence du BOX.

Ainsi, l'intérêt que présente cette technologie pour ses caractéristiques électriques avantageuses est limité par la difficulté de co-intégrer plus de deux V_T dans un circuit et par le nombre de dispositifs intégrables. Néanmoins, la technologie FD-SOI à BOX mince permet de passer outre ces limitations.

3.2. Technologie silicium sur isolant totalement déserté à oxyde enterré mince.

3.2.1. Ouverture de BOX

Pour que la transition de la technologie BULK vers la technologie FD-SOI soit attractive pour les industriels, le FD-SOI doit permettre une compatibilité maximale avec la précédente plateforme technologique. La technologie FD-SOI à oxyde enterré mince (UTBB pour *Ultra Thin Body and BOX* en anglais) le permet, contrairement à la technologie FD-SOI à oxyde enterré épais. Cela est rendu possible grâce à l'amincissement du BOX, de l'ordre de 25nm en technologie 28nm FD-SOI UTBB, contre 145nm en technologie BOX épais. Cette avancée technologique rend possible la suppression par gravure de l'oxyde enterré, dans des régions localisées, afin d'y implanter les dispositifs occupant la profondeur du silicium. Par

conséquent, des dispositifs FD-SOI et BULK pourront être avantageusement co-intégrés sur un même silicium [Fenouillet'09].

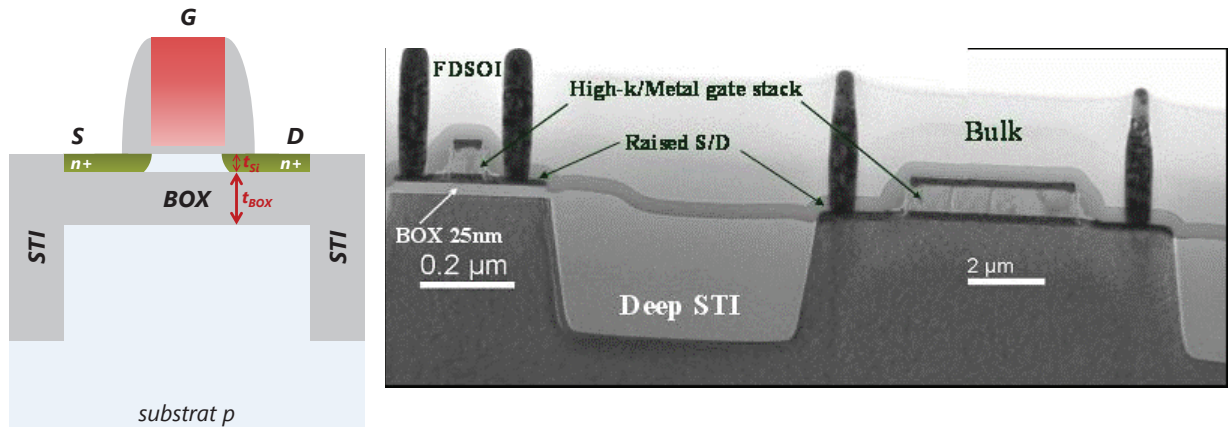


Figure II.18: vue en coupe d'un transistor MOS en technologie FD-SOI BOX mince co-intégré avec un transistor BULK après ouverture du BOX [Fenouillet'09].

L'offre des dispositifs proposés dans la plateforme de conception de STMicroelectronics se décline en deux types : les dispositifs reposants sur du FD-SOI et ceux reposants sur du BULK, comme l'indique le tableau suivant :

Tableau II.1 :

Type de dispositif	UTBB FD-SOI	BULK
Logique	2V _t	
SRAM	✓	
Capacité, Varactor	✓	
Drift MOS		✓
Digital I/O	✓	
MOS Analogique	✓	
RF MOS	✓	
Résistances	✓ (Poly)	✓ (Active)
Diodes		✓
ESD	✓ (FET)	✓ (Diode)
Bipolaires verticaux		✓

3.2.2. Plateforme multi-V_T

La technologie FD-SOI UTBB est dotée d'une plateforme technologique multi-V_T compatible avec le BULK. Elle se décline en trois niveaux de V_T: le LVT (pour Low V_T en

anglais), le RVT (*Regular-V_T*) et le HVT (pour *High-V_T*). Le niveau de V_T peut être déterminé soit par le type de dopage dans le canal, soit par la co-intégration de plusieurs types de grille. Ces deux options n'ont pas été retenues en technologie FD-SOI UTBB. La première dégrade la variabilité des transistors. La seconde engendre une complexité et un coût de fabrication accrus.

En technologie FD-SOI UTBB, une troisième option est rendue possible grâce à la finesse de l'oxyde enterré. Elle permet, outre l'ouverture de BOX localisée, de doper le silicium sous le BOX à un fort niveau de concentration (de l'ordre de 10^{18}cm^{-3}), formant une couche de face arrière BP (*Back Plane* en anglais). Cette technique a été initiée dans un premier temps pour améliorer l'intégrité électrostatique du canal [Ernst'99]. Depuis, elle a été exploitée pour donner au MOS un niveau de V_T qui est déterminé par le type de dopage de la face arrière et le potentiel appliqué dessus. Lorsque le BP est de type opposé aux drain/source du transistor, son V_T augmente. De plus, lorsque la tension V_{BS} diminue, entre la face arrière et la source, le V_T augmente davantage. Inversement, le V_T diminue lorsque le BP est de même type que les drain/source et diminue davantage si V_{BS} augmente. Ainsi, une plateforme multi- V_T peut être déterminée en fonction des combinaisons possibles entre le type de BP et le potentiel de face arrière [Liu'10] [Noel'11].

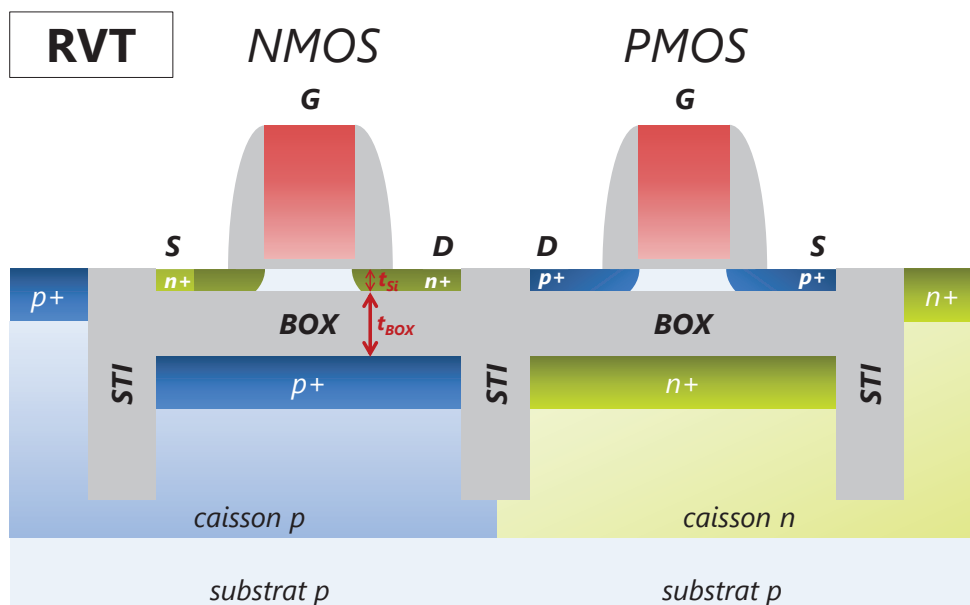


Figure II.19: vue en coupe des transistors NMOS et PMOS RVT en technologie FD-SOI UTBB.

L'architecture des transistors RVT adoptée par STMicroelectronics (cf. Figure II.19), pour le NMOS, se compose d'une forte concentration de dopage du BP et d'un caisson de type P.

Quant au PMOS, le dopage du BP et du caisson sont de type N. Les caissons sont polarisés par des prises substrats, grâce aux ouvertures de BOX donnant accès aux caissons. En RVT, les tensions appliquées sur les prises substrats des NMOS et PMOS sont respectivement 0V et VDD, comme en technologie Bulk.

L'architecture des transistors LVT (cf. Figure II.20), d'un point de vue BP et caisson, est symétrique à celle des transistors RVT. Le dopage à forte concentration du BP ainsi que le dopage des caissons sont de même type que le dopage des drains/sources des transistors. Les caissons, de type N sous le NMOS et de type P sous le PMOS, sont tous deux polarisés à 0V. Le transistor P est par défaut polarisé à 0V, au lieu de l'être à VDD pour compenser la faiblesse du courant I_{ON} du PMOS LVT. Ainsi, les V_T des deux transistors s'équilibrent.

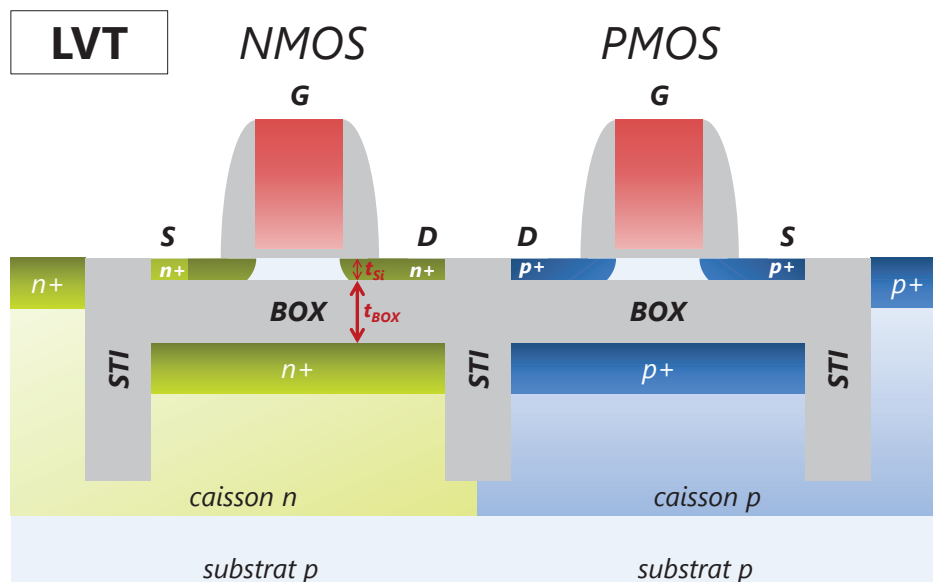


Figure II.20: vue en coupe des transistors NMOS et PMOS LVT en technologie FD-SOI UTBB.

3.2.3. Polarisation face arrière

L'intérêt majeur de la technologie FD-SOI UTBB est que le concepteur possède un degré de liberté supplémentaire pour réaliser un circuit, grâce au contrôle fin du V_T par la polarisation face arrière (*Back Biasing* en anglais)].

L'ensemble d'un circuit numérique est majoritairement composé de transistors RVT, permettant d'obtenir des performances modérées et de maîtriser les fuites de courant. Quant aux transistors LVT, ils sont généralement réservés pour les chemins critiques du circuit numérique afin d'améliorer la vitesse de propagation du signal et ainsi augmenter la vitesse

de fonctionnement globale du circuit. De surcroît, la polarisation face arrière permet de maximiser cette stratégie. Cette technique de modulation de V_T , déjà existante en BULK [Kuroda'96], est encore plus performante en FD-SOI UTBB. En effet, le coefficient de modulation du V_T et l'excursion autorisée de tension face arrière sont plus importants qu'en BULK grâce à l'isolation par le BOX [Keshavarzi'01] [Fenouillet'10] [Noel'11].

Cette technique, employée en technologie FD-SOI UTBB, autorise le basculement du circuit d'un mode de performance élevé vers un mode de consommation électrique réduite, et vice-versa. Les transistors RVT, accompagnés d'une polarisation de face arrière en inverse, sont privilégiés afin de produire un mode de consommation électrique réduite. La tension V_{BS} appliquée dans ce cas-là est négative (cf. Figure II.21). Ce type de polarisation est appelé *Reverse Body Biasing* (RBB) en anglais.

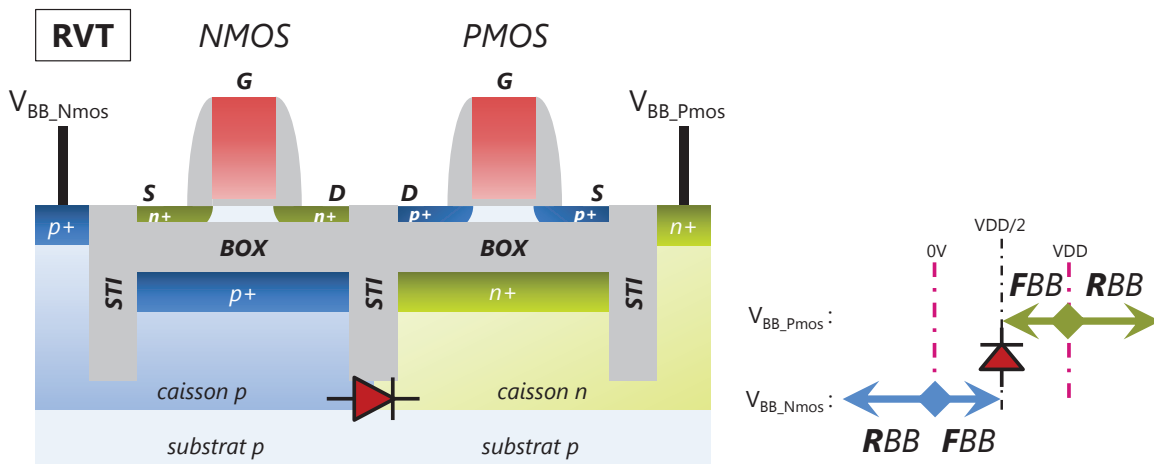


Figure II.21: tensions applicables sur les caissons des transistors NMOS et PMOS en mode RVT.

De plus, il est également envisageable d'appliquer une tension V_{BS} positive. Cependant, la diode, qui est formée par la juxtaposition des caissons de types opposés sous le BOX, limite l'excursion des potentiels applicables sur les faces arrière des transistors NMOS et PMOS. Le potentiel dans le caisson P ne peut en aucun cas excéder le potentiel du caisson N. Un court-circuit se formerait entre V_{BB_NMOS} et V_{BB_PMOS} . Par conséquent, les potentiels de faces arrière sont limités à $V_{DD}/2$ pour éviter une mise en conduction de la diode.

En mode LVT, les types des caissons sont inversés par rapports aux transistors RVT. La direction de la diode s'inverse également. Ainsi, la tension applicable sous le NMOS va de 0V à une tension positive et celle sous le PMOS va de 0V à une tension négative (cf. Figure II.22). Ce mode de fonctionnent est appelé *Forward Body Biasing* (FBB) en anglais. De cette manière,

le circuit est capable d'atteindre un niveau de performance accru grâce à la réduction de V_T que le FBB engendre.

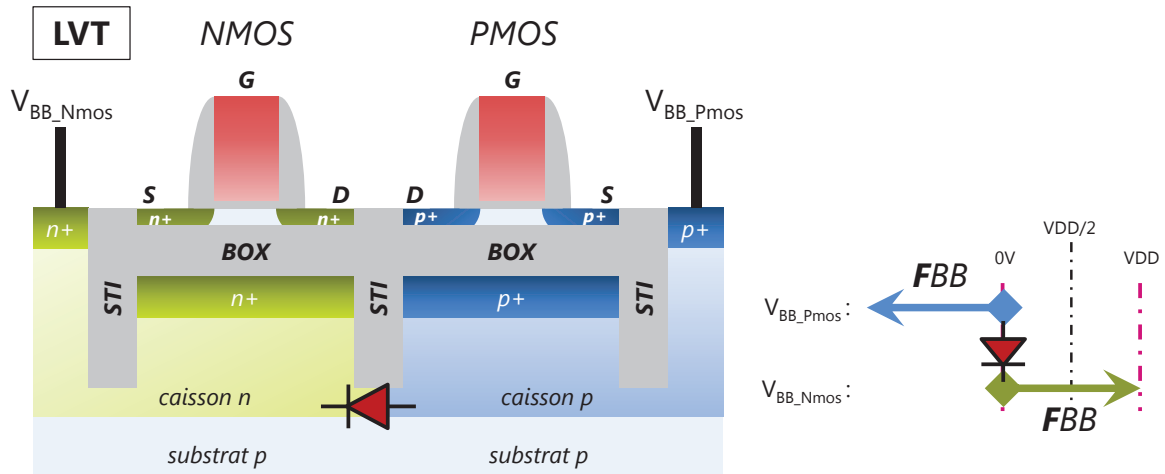


Figure II.22: tensions applicables sur les caissons des transistors NMOS et PMOS en mode LVT.

En somme, la polarisation face arrière ajoute un degré d'optimisation supplémentaire à la stratégie multi- V_T . Les deux stratégies combinées optimisent le compromis performance/consommation d'un circuit afin d'atteindre des performances supérieures tout en consommant moins. Ces stratégies d'optimisation visent notamment les applications mobiles.

4. Conclusion

La technologie silicium sur isolant partiellement désertée, utilisée pour le nœud 65nm de STMicroelectronics, est reconnue pour accroître les performances des circuits logiques grâce à l'emploi du transistor *body* flottant. En contrepartie, l'effet d'histoire pourrait ajouter une incertitude supplémentaire sur les transitions des signaux, notamment en sortie des buffers des interfaces où le signal est de type pseudo-aléatoire. De plus, la consommation statique élevée qui résulte de l'effet *body* flottant peut s'avérer être problématique pour les interfaces entrées/sorties où elle prend une place importante dans le bilan énergétique d'une puce. L'enjeu dans ce travail de thèse est d'évaluer les conséquences de l'utilisation de cette technologie et ses effets sur les interfaces entrées/sorties, puis de tirer profit des avantages tout en maîtrisant les effets indésirables.

La technologie silicium sur isolant totalement désertée à oxyde mince, utilisée pour les nœuds plus avancés, est quant à elle une bonne candidate pour la poursuite de la réduction des tailles des transistors. Cette technologie améliore le contrôle électrostatique et la variabilité. De plus, elle offre au concepteur un nouveau degré de liberté grâce à la polarisation face arrière. Cette nouvelle possibilité ouvre la voie à l'exploration de nouvelles techniques de conception qui peuvent être exploitées avantageusement dans les interfaces entrées/sorties.

5. Références bibliographiques

- [Adan'01] A. O. Adan and K. Higashi, "OFF-State leakage current mechanisms in bulkSi and SOI MOSFETs and their impact on CMOS ULSIs standby current," *IEEE Transactions on Electron Devices*, vol. 48, no. 9, pp. 2050 – 2057, Sep. 2001.
- [Ahmed'11] K. Ahmed and K. Schuegraf, "Transistor wars," *Spectrum, IEEE*, vol. 48, no. 11, pp. 50 –66, Nov. 2011.
- [Allen'99] D. H. Allen, et al., "A 0.2 um 1.8 V SOI 550 MHz 64 b PowerPC microprocessor with copper interconnects," in *Solid-State Circuits Conference, 1999. Digest of Technical Papers. ISSCC. 1999 IEEE International*, 1999, pp. 438 –439.
- [Assaderaghi'94] F. Assaderaghi, et al., "A dynamic threshold voltage MOSFET (DTMOS) for very low voltage operation," *IEEE Electron Device Letters*, vol. 15, no. 12, pp. 510 –512, Dec. 1994.
- [Assaderaghi'97] F. Assaderaghi, et al., "Dynamic threshold-voltage MOSFET (DTMOS) for ultra-low voltage VLSI," *IEEE Transactions on Electron Devices*, vol. 44, no. 3, pp. 414 –422, Mar. 1997.
- [Bernstein'07] K. Bernstein and N. J. Rohrer, *SOI circuit design concepts*. Springer Verlag, 2007.
- [Casu'00] M. R. Casu, et al., "Comparative analysis of PD-SOI active body-biasing circuits," in *SOI Conference, 2000 IEEE International*, 2000, pp. 94–95.
- [Cheng'09] K. Cheng, et al., "Extremely thin SOI (ETSOI) CMOS with record low variability for low power system-on-chip applications," in *Electron Devices Meeting (IEDM), 2009 IEEE International*, 2009, pp. 1 –4.
- [Colinge'87] J.-P. Colinge, "An SOI voltage-controlled bipolar-MOS device," *IEEE Transactions on Electron Devices*, vol. 34, no. 4, pp. 845 – 849, Apr. 1987.
- [Colinge'88] J.-P. Colinge, "Reduction of kink effect in thin-film SOI MOSFETs," *IEEE Electron Device Letters*, vol. 9, no. 2, pp. 97 –99, Feb. 1988.
- [Damaraju'12] S. Damaraju, et al., "A 22nm IA multi-CPU and GPU System-on-Chip," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, 2012, pp. 56 –57.
- [Dorsey'07] J. Dorsey, et al., "An Integrated Quad-Core Opteron Processor," in *Solid-State Circuits Conference, 2007. ISSCC 2007. Digest of Technical Papers. IEEE International*, 2007, pp. 102 –103.

- [Ellinger'04] F. Ellinger, "26-42 GHz SOI CMOS low noise amplifier," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 3, pp. 522 – 528, Mar. 2004.
- [Ernst'99] T. Ernst and S. Cristoloveanu, "Buried oxide fringing capacitance: a new physical model and its implication on SOI device scaling and architecture," in *SOI Conference, 1999. Proceedings. 1999 IEEE International*, 1999, pp. 38 –39.
- [Faynot'10] O. Faynot, et al., "Planar Fully depleted SOI technology: A powerful architecture for the 20nm node and beyond," in *Electron Devices Meeting (IEDM), 2010 IEEE International*, 2010, pp. 3.2.1 –3.2.4.
- [Faynot'11] O. Faynot, "Benefits and challenges of FDSOI technology for 14nm node," in *SOI Conference (SOI), 2011 IEEE International*, 2011, pp. 1 –21.
- [Fenouillet'07] C. Fenouillet-Beranger, et al., "Fully-depleted SOI technology using high-k and single-metal gate for 32 nm node LSTP applications featuring 0.179 μm^2 6T-SRAM bitcell," in *Electron Devices Meeting, 2007. IEDM 2007. IEEE International*, 2007, pp. 267–270.
- [Fenouillet'09] C. Fenouillet-Beranger, et al., "Hybrid FDSOI/bulk High-k/metal gate platform for low power (LP) multimedia technology," in *Electron Devices Meeting (IEDM), 2009 IEEE International*, 2009, pp. 1–4.
- [Fenouillet'10] C. Fenouillet-Beranger, et al., "Efficient multi-VT FDSOI technology with UTBOX for low power circuit design," in *2010 Symposium on VLSI Technology (VLSIT)*, 2010, pp. 65–66.
- [Hu'11] C. Hu, "New sub-20nm transistors -- Why and how," in *2011 48th ACM/EDAC/IEEE Design Automation Conference (DAC)*, 2011, pp. 460 – 463.
- [Keshavarzi'01] A. Keshavarzi, et al., "Effectiveness of reverse body bias for leakage control in scaled dual Vt CMOS ICs," in *Low Power Electronics and Design, International Symposium on*, 2001., 2001, pp. 207 –212.
- [Kim'03] N. S. Kim, et al., "Leakage current: Moore's law meets static power," *Computer*, vol. 36, no. 12, pp. 68 – 75, Dec. 2003.
- [Kuroda'96] T. Kuroda, et al., "A 0.9-V, 150-MHz, 10-mW, 4 mm², 2-D discrete cosine transform core processor with variable threshold-voltage (VT) scheme," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 11, pp. 1770 –1779, Nov. 1996.

- [LeCoz'11a] J. Le Coz, et al., "Comparison of 65nm LP bulk and LP PD-SOI with adaptive power gate body bias for an LDPC codec," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*, 2011, pp. 336–337.
- [LeCoz'11b] J. Le Coz, "Réduction de la consommation statique des circuits intégrés en technologie SOI 65nm partiellement désertée," Thèse de l'université de Grenoble, 2011.
- [Lin'99] S. C. Lin and J. B. Kuo, "Temperature-dependent kink effect model for partially-depleted SOI NMOS devices," *IEEE Transactions on Electron Devices*, vol. 46, no. 1, pp. 254–258, Jan. 1999.
- [Lindert'99] N. Lindert, et al., "Dynamic threshold pass-transistor logic for improved delay at lower power supply voltages," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 1, pp. 85–89, Jan. 1999.
- [Liot'06] V. Liot, "Etude de l'effet d'histoire et optimisation des circuits logiques en technologie SOI partiellement désertée 130 et 65nm," Thèse de l'Institut national polytechnique de Grenoble, 2006.
- [Liu'10] Q. Liu, et al., "Ultra-thin-body and BOX (UTBB) fully depleted (FD) device integration for 22nm node and beyond," in *2010 Symposium on VLSI Technology (VLSIT)*, 2010, pp. 61–62.
- [Mistry'07] K. Mistry, et al., "A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging," in *Electron Devices Meeting, 2007. IEDM 2007. IEEE International*, 2007, pp. 247–250.
- [Mizuno'94] T. Mizuno, et al., "Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET's," *IEEE Transactions on Electron Devices*, vol. 41, no. 11, pp. 2216–2221, Nov. 1994.
- [Noel'11] J.-P. Noel, et al., "Multi-Vt UTBB FDSOI Device Architectures for Low-Power CMOS Circuit," *Electron Devices, IEEE Transactions on*, vol. 58, no. 8, pp. 2473–2482, Aug. 2011.
- [Pelella'02] M. M. Pelella and J. G. Fossum, "On the performance advantage of PD/SOI CMOS with floating bodies," *IEEE Transactions on Electron Devices*, vol. 49, no. 1, pp. 96–104, Jan. 2002.
- [Pelella'99] M. M. Pelella, et al., "Hysteresis in floating-body PD/SOI CMOS circuits," in *International Symposium on VLSI Technology, Systems, and Applications, 1999*, 1999, pp. 278–281.

- [Pelgrom'89] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching properties of MOS transistors," *Solid-State Circuits, IEEE Journal of*, vol. 24, no. 5, pp. 1433 – 1439, Oct. 1989.
- [Pham'05] D. Pham, et al., "The design and implementation of a first-generation CELL processor," in *Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International*, 2005, pp. 184–592 Vol. 1.
- [Raskin'97] J.-P. Raskin, et al., "Substrate crosstalk reduction using SOI technology," *IEEE Transactions on Electron Devices*, vol. 44, no. 12, pp. 2252 –2261, Dec. 1997.
- [Roche'05] P. Roche and G. Gasiot, "Impacts of front-end and middle-end process modifications on terrestrial soft error rate," *IEEE Transactions on Device and Materials Reliability*, vol. 5, no. 3, pp. 382 – 396, Sep. 2005.
- [Roy'03] K. Roy, et al., "Leakage current mechanisms and leakage reduction techniques in deep-submicrometer CMOS circuits," *Proceedings of the IEEE*, vol. 91, no. 2, pp. 305 – 327, Feb. 2003.
- [Schwank'03] J. R. Schwank, et al., "Radiation effects in SOI technologies," *IEEE Transactions on Nuclear Science*, vol. 50, no. 3, pp. 522 – 538, Jun. 2003.
- [Skotnicki'08] T. Skotnicki, et al., "Innovative Materials, Devices, and CMOS Technologies for Low-Power Mobile Multimedia," *Electron Devices, IEEE Transactions on*, vol. 55, no. 1, pp. 96 –130, Jan. 2008.
- [Soitec'12] <http://www.soitec.com/fr/technologies/smart-cut/>
- [Tenbroek'98] B. M. Tenbroek, et al., "Impact of self-heating and thermal coupling on analog circuits in SOI CMOS," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 7, pp. 1037–1046, Jul. 1998.
- [Weber'08] O. Weber, et al., "High immunity to threshold voltage variability in undoped ultra-thin FDSOI MOSFETs and its physical understanding," in *Electron Devices Meeting, 2008. IEDM 2008. IEEE International*, 2008, pp. 1 –4.
- [Wei'98] A. Wei, M. J. Sherony, and D. A. Antoniadis, "Effect of floating-body charge on SOI MOSFET design," *IEEE Transactions on Electron Devices*, vol. 45, no. 2, pp. 430 –438, Feb. 1998.
- [Zhang'05] Z. B. Zhang, et al., "An integratable dual metal gate/high-k CMOS solution for FD-SOI and MuGFET technologies," in *SOI Conference, 2005. Proceedings. 2005 IEEE International*, 2005, pp. 157 – 158.

Chapitre III

Entrées / Sorties en 65nm PDSOI

1. Introduction

L'étude des effets substrats flottants propres à la technologie PD-SOI sur les interfaces entrées/sorties est peu présente dans la littérature. Pourtant, cette technologie est particulièrement avantageuse pour les interfaces entrées/sorties. D'un point de vue architecture, le simple fait d'avoir les transistors isolés les uns des autres par l'oxyde, supprime l'effet de verrouillage du thyristor parasite (*latch-up* en anglais) présent en technologie BULK. Ainsi, en plus de la suppression des caissons, cela a pour effet de supprimer les anneaux de garde. Les règles de dessin de masque sont relaxées ce qui donne au concepteur un degré de liberté additionnel pour placer les transistors. De plus, l'effet substrat flottant permet d'augmenter le courant de commutations à surface égale. Cependant, l'effet substrat flottant amène une incertitude supplémentaire des temps de transition. Egalement, la consommation statique s'accroît alors que celle-ci représente un facteur de plus en plus important dans le bilan énergétique global d'une puce. Enfin, à cause de l'oxyde enterré, l'échauffement au niveau transistor est amené à dégrader la performance. Quels rôles jouent ces effets indésirables sur les interfaces entrées/sorties ?

Dans un premier temps, un court état de l'art est dressé sur les interfaces entrées/sorties en technologie PD-SOI. Dans un second temps les interfaces entrées/sorties et l'influence des effets substrats flottants sont évalués. Enfin, un circuit exploitant l'effet *body* du transistor BC sera présenté.

2. Etat de l'art

Les transistors *body* flottants (FB) sont largement utilisés dans les circuits numériques en technologie SOI. Ils apportent un niveau de performance accrue pour garantir des vitesses de calcul plus importantes qu'en BULK. Cependant, pour les interfaces entrées/sorties, ce type de transistor n'est pas forcément le premier choix.

Toutefois, les fluctuations de la tension de seuil des transistors FB posent problème pour les circuits en mode réception et en mode transmission des interfaces entrées/sorties. En mode réception, le circuit est généralement constitué d'un amplificateur différentiel.

L'effet *kink* du transistor FB dégrade la conductance ce qui influence négativement le gain. De plus, les variations de V_T peuvent induire un mauvais appariement des transistors, générant de l'offset puis des déviations de transitions. En mode émission, le buffer de sortie est également sujet aux variations de V_T et à l'effet d'historie.

Le transistor *body* contacté (BC) permet de réduire les effets *body* flottants au prix d'une réduction des performances. Cependant, les fréquences visées par les interfaces entrées/sorties sont particulièrement élevées. A haute fréquence, l'impédance des capacités de jonction diminue ce qui augmente l'effet de la résistance *body* contacté et réduit ainsi l'impédance de sortie du transistor. A haute fréquence, le transistor BC agit, par conséquent, comme un transistor FB, lui conférant de nouveau les propriétés de l'effet *body* flottant [Chang'05]. Ceci se traduit par une réduction du gain de l'amplificateur (cf. Figure III.1.b). Pour contrer cet effet, deux transistors M3 et M4 sont insérés afin d'augmenter l'impédance de sortie (cf. Figure III.1.a), ce qui augmente le gain [Chang'05]. En outre, les transistors M5 et M6 sont insérés pour compenser les atténuations provoquées par les variations PVT.

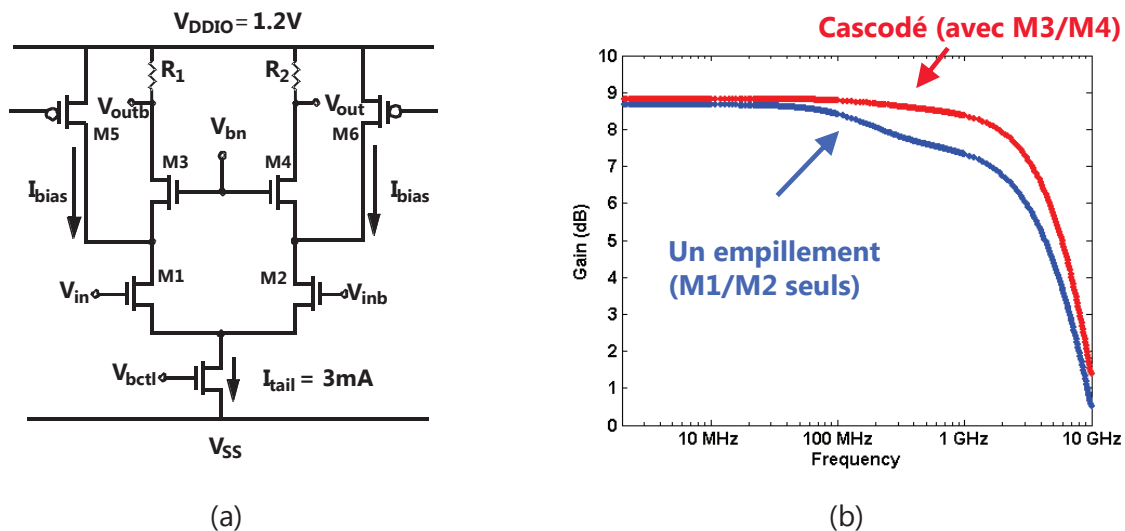


Figure III.1: (a) préamplificateur d'un récepteur en technologie PD-SOI et (b) réponse en fréquence du préamplificateur. [Chang'05]

De manière plus générale, si l'on se place au niveau système de l'interface, les transistors FB seront utilisés de préférence dans les parties du circuit par où transitent les signaux d'horloge. Les transistors commutent à un rythme régulier ce qui permet ainsi d'atteindre l'équilibre dynamique. Dans ce cas-là, les temps de commutations ne varient pas. En revanche, les circuits par où transitent les signaux de donnée sont sensibles à l'effet d'historie. Par exemple, une longue succession de bits à un niveau logique '0' fera dévier le

potentiel de *body* de son équilibre dynamique. Ainsi, la variation des temps de commutations influencera défavorablement le diagramme de l'œil. Pour éliminer l'effet d'histoire, le buffer de sortie et le récepteur seront de préférence réalisés avec des transistors BC [Chang'09] [Laplanche'09].

L'utilisation de transistors SOI apporte un avantage supplémentaire pour les interfaces par rapport au BULK. Les *body* des transistors sont isolés les uns des autres. Il n'est désormais plus nécessaire d'implanter des caissons profonds (triple Well), ce qui permet de gagner en surface et de supprimer le coût additionnel de ce type d'opération [Pelloie'07].

3. Etude des effets SOI sur les interfaces entrées/sorties.

3.1. Configuration choisie pour l'étude des effets SOI.

Dans un premier temps, l'influence des effets SOI sera étudiée sur les interfaces génériques développées par STMicroelectronics (cf. Figure III.2). Ces interfaces sont conçues pour émettre et recevoir des signaux sous 2,5V. Pour tenir cette tension, le choix s'est porté sur l'emploi de transistor à oxyde épais (GO2 pour *Gate Oxide 2* en anglais). Quant à la tension de cœur, elle est de 1,2V. Elle alimente les transistors à oxyde mince (GO1 pour *Gate Oxide 1* en anglais).

Afin de mener à bien l'étude des effets SOI, seul le buffer de sortie est sujet à modification en comparant les transistors BC et FB. Le reste du circuit, les décaleurs de niveaux et l'étage de pré-amplification, sont *body contactés*. L'étude consiste à comparer les performances apportées par les deux types de transistors. Une meilleure performance permettrait de réduire la gigue et ainsi de transmettre plus rapidement. En revanche, l'effet d'histoire peut amener une incertitude sur les transitions et s'ajouter à la gigue. La consommation statique est également un critère d'évaluation. Enfin, le phénomène d'auto-échauffement peut aussi dégrader la performance. L'objet de cette étude consiste donc à évaluer l'influence de ces phénomènes sur les interfaces entrées/sorties.

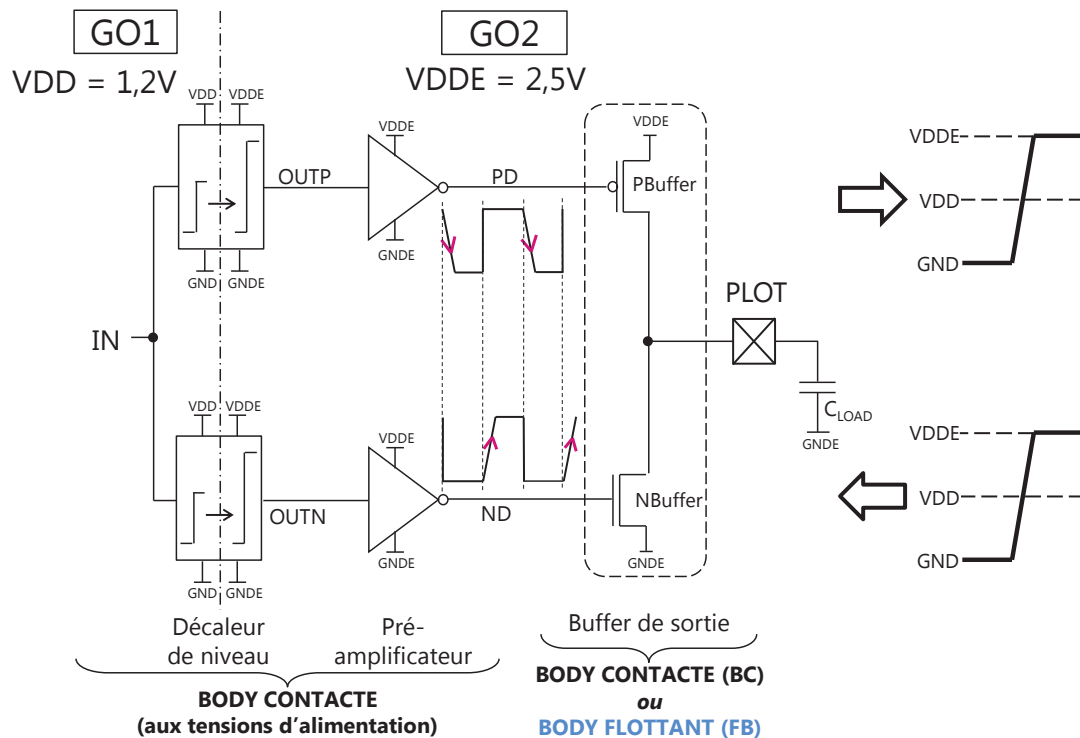


Figure III.2: schéma d'une interface entrée/sortie générique GO2 développée chez STMicroelectronics

3.2. Gain en performance

Les performances de deux interfaces entrées/sorties ont été comparées en technologie 65nm PD-SOI. Plus précisément, les temps de montée et de descente des interfaces ont été extraits en fonction de plusieurs valeurs de capacité de sortie, allant de 50pF à 100pF par pas de 10pF. La comparaison est réalisée entre le buffer de sortie employant des transistors BC et le buffer de sortie employant des transistors FB. Dans le chapitre II, il a été évoqué que le transistor FB peut avoir son potentiel de *body* qui se polarise différemment en fonction des conditions initiales DC0 et DC1. Pour le buffer FB, les temps de transitions qui se réfèrent au DC0 sont notés FB0 et ceux se référant au DC1 sont notés FB1. Les résultats sont obtenus pour des températures de -40°C, 25°C et 125°C. Le temps de monté en sortie du buffer FB subit une amélioration grâce à l'effet *body* flottant. En considérant le cas FB0, optimiste par rapport au FB1, le temps de montée diminue d'environ 9% à 12% par rapport au buffer BC selon la température de fonctionnement de l'interface (cf. Figure III.3.a). En considérant le cas FB1, le temps de monté ne diminue que d'environ 2% à 3% par rapport au buffer BC (cf. Figure III.3.b). Le fait que le buffer FB0 soit plus favorable pour la transition montante que le

buffer FB1, et inversement pour la transition descendante, s'explique par la différence de polarisation entre les buffers FB0 et FB1 (cf. Figure III.4).

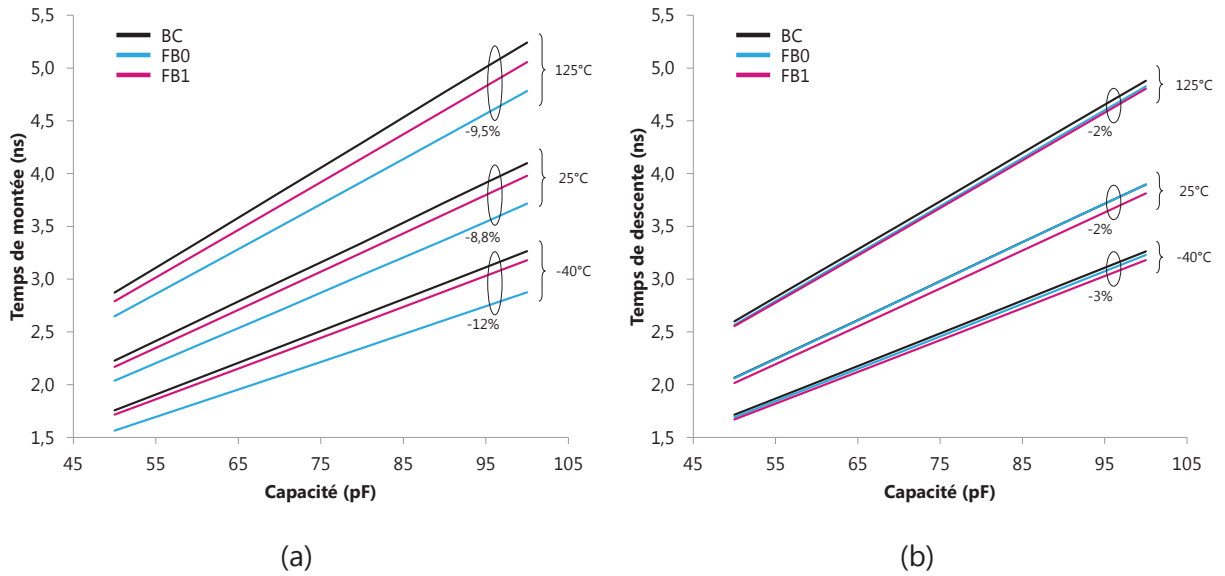


Figure III.3: (a) temps de montée et (b) temps de descente de la tension en sortie des buffers BC, FB0 et FB1 en fonction de la capacité de sortie C_{LOAD} selon plusieurs températures.

La condition FB0 est favorable à une diminution du temps de montée qui est conditionné au premier ordre par les caractéristiques du PMOS. En effet, le potentiel de *body* de celui-ci est inférieur à V_{DDE} ce qui diminue son V_T en valeur absolue et accélère le temps de monté. En condition FB1, le potentiel de *body* du PMOS est plus proche de V_{DDE} que dans le cas FB0, ce qui augmente la valeur absolue du V_T et réduit le temps de montée.

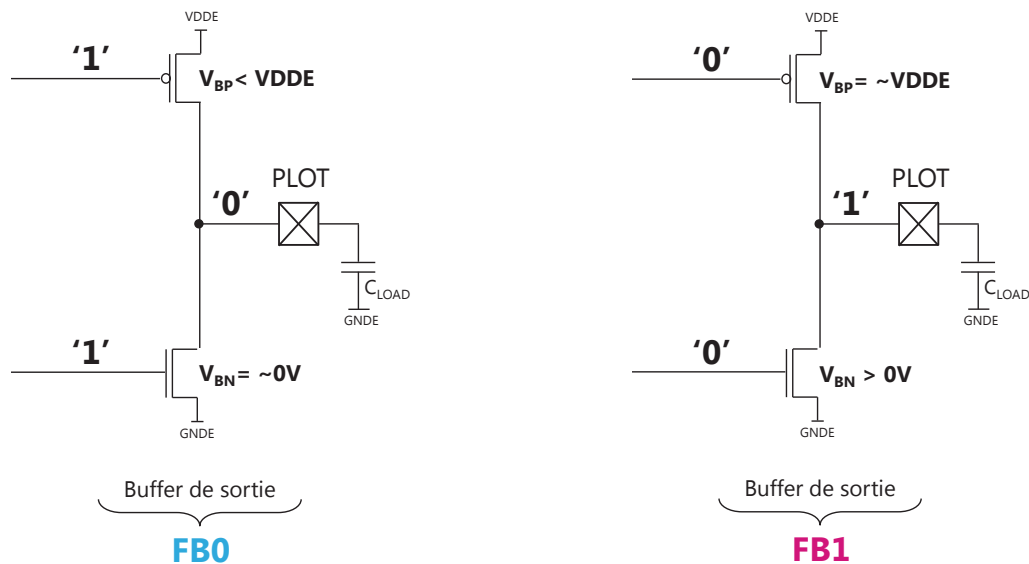


Figure III.4: polarisations des buffers de sorties FB0 et FB1 et les potentiels de *body* qui en résultent.

Le gain de vitesse en transition montante du buffer FB0 est significatif. En revanche, concernant le temps de descente, le gain obtenu grâce à l'effet *body* est mitigé. La vitesse de commutation augmente seulement de l'ordre de 2 à 3%, ce qui reste négligeable. L'effet *body* flottant est quasiment absent pour les transistors NMOS à oxyde épais. En effet, pour compenser l'augmentation du V_T induite par l'épaississement de l'oxyde de grille du NMOS GO2, la concentration de dopage dans le *body* est réduite afin de maintenir un niveau de V_T convenable. Par conséquent, la zone de charge d'espace dans le silicium actif s'étend davantage ce qui diminue le volume dans lequel le champ électrique est neutre. Autrement dit, peu de charges peuvent être piégées dans le *body*. Ainsi, ce type de transistor peut donc être assimilé à un transistor totalement déserté où l'effet *body* flottant est minime.

3.3. Effets d'histoire

3.3.1. Evolution des temps de transition du buffer de sortie

Le buffer FB montre des performances meilleures que le buffer BC. Cependant, elles fluctuent au cours du temps en fonction du taux d'activité des transistors. Cette fluctuation est problématique car elle participe à la dégradation de l'intégrité du signal. L'effet d'histoire s'ajoute aux différents effets de lignes décrits dans le premier chapitre et augmente le taux d'erreur d'interprétation du bit.

Afin de borner les temps de transition, une méthode pratique et suffisante consiste à faire appel à la méthode 1^{ère}/2^{nde} transition évoquée dans le chapitre précédant. En mode sortie, les niveaux logiques '1' et '0' sont appliqués en entrée de l'interface côté cœur. Ces deux états statiques sont nommés respectivement FB1 et FB0. En appliquant un signal d'horloge, en fonction de l'état statique initial, les temps de transition évoluent différemment jusqu'à atteindre l'équilibre dynamique. En sortie du buffer FB, le temps de montée fluctue de l'ordre de 6% et le temps de descente fluctue de l'ordre de 1% (cf. Figure III.5.a et b). Ainsi, il est important de tenir compte de l'effet d'histoire sur le comportement électrique de l'interface en incluant la méthode 1^{ère}/2^{nde} transition dans le calcul d'extraction de la gigue.

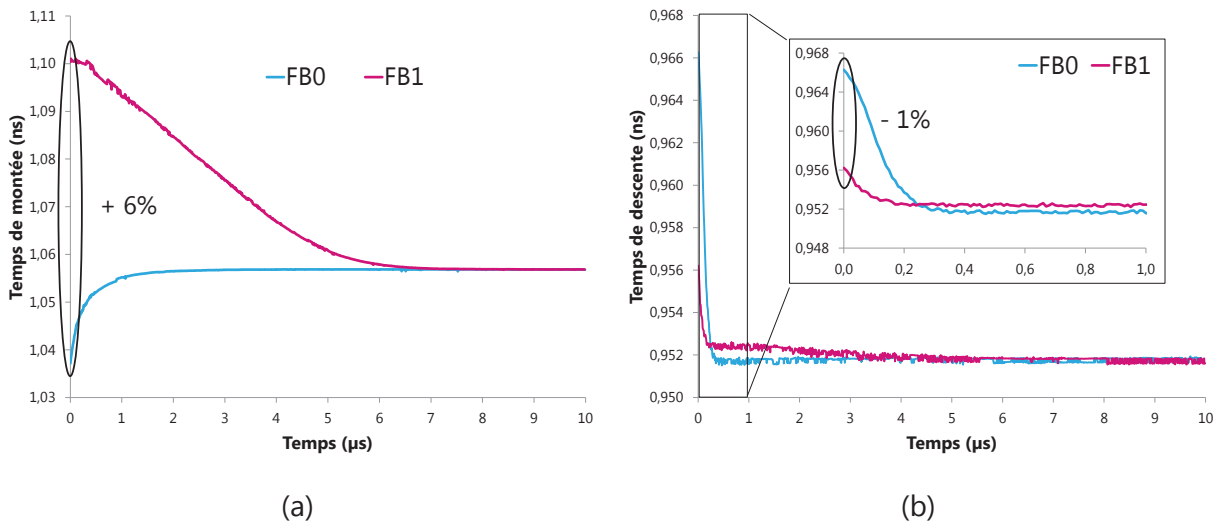


Figure III.5: (a) évolution des temps de montée et (b) évolution des temps de descente en sortie des buffers FB1 et FBO ayant une charge capacitive de 20pF et une fréquence de commutation de 100MHz, en fonction du temps de simulation.

3.3.2. Prise en compte de l'effet d'histoire dans le diagramme de l'œil

► Calcul de la gigue

La gigue totale, mesurée en sortie de l'interface, est composée de la gigue aléatoire et de la gigue déterministe [TI'08]. La première n'est pas prédictible et elle est la conséquence des bruits 1/f, quantique et thermique. La seconde, la gigue déterministe, se décompose à nouveau en trois types de gigue : la gigue périodique, la gigue induite par une déviation du rapport cyclique et la gigue dépendante de la donnée (cf. chapitre 1, section 2.1.4). La gigue périodique, appelée aussi gigue sinusoïdale, est la conséquence, en grande partie, du phénomène de diaphonie et du bruit d'alimentation induit par les événements transitoires. Comme son nom l'indique, la gigue périodique intervient de façon régulière. La gigue induite par une déviation du rapport cyclique se produit s'il existe une asymétrie entre les transistors NMOS et PMOS. Enfin, la gigue dépendante de la donnée, appelée aussi ISI (pour *Inter-Symbol Interference* en anglais), est la conséquence d'une limitation de la bande passante dans la chaîne de transmission. L'élargissement de la gigue ISI intervient notamment lorsque le signal est de type pseudo-aléatoire et dépend donc de l'histoire passée du motif de la donnée.

L'utilisation du transistor FB en technologie PD-SOI conduit à une incertitude temporelle supplémentaire due à l'effet d'histoire qui est aussi fonction du motif de la

donnée passée. Par conséquent, en plus de l'effet d'atténuation de ligne, l'effet d'histoire contribue aussi à la gigue dépendante de la donnée et c'est la raison pour laquelle seul ce type de gigue est étudié.

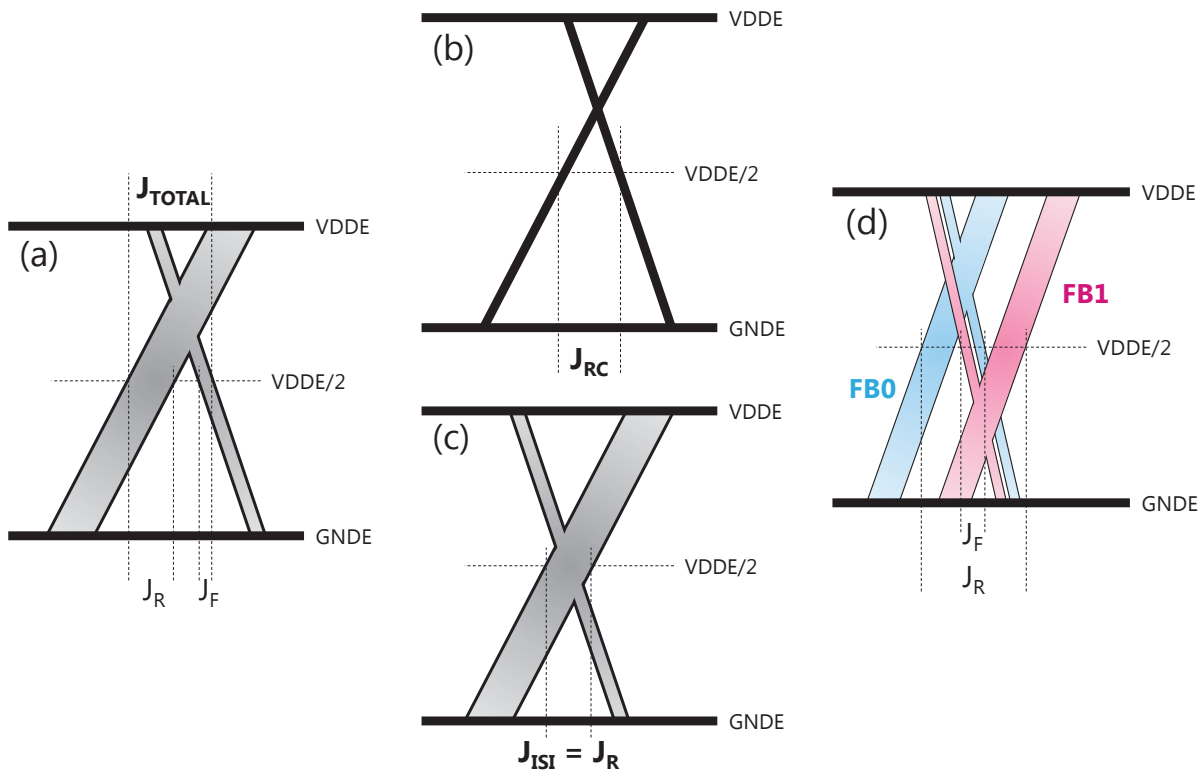


Figure III.6: (a) Gigue totale et extraction des déviations temporelles J_R et J_F ; (b) illustration de la gigue induite par la déviation du rapport cyclique ; (c) extraction de la gigue dépendante de la donnée ; (d) extraction de la gigue dans le cas particulier du buffer FB.

La méthode de calcul de la gigue consiste à extraire tous les temps de propagations du signal traversant l'interface. En simulation, le signal d'entrée idéal est un bon référentiel pour ce calcul. La gigue totale (J_{TOTAL}) s'obtient dans cet exemple (cf. Figure III.6.a) en calculant le temps de propagation maximal descendant moins le temps de propagation minimal montant. Ici, la gigue totale comprend la gigue induite par la déviation du rapport cyclique (J_{RC}) (cf. Figure III.6.b) et la gigue dépendante de la donnée (J_{ISI}) (cf. Figure III.6.c). La première se traduit par une déviation du croisement des transitions par rapport à $VDDE/2$ et conduit à une augmentation de la gigue totale. La seconde conduit à une augmentation de la déviation temporelle des transitions. Or, seule la gigue dépendante de la donnée est prise en compte pour cette étude. Pour supprimer la contribution du rapport cyclique, il convient d'extraire séparément dans la gigue totale la déviation temporelle montante, notée J_R (pour *Jitter Rise* en anglais), et la déviation temporelle descendante noté J_F (pour *Jitter Fall* en anglais). La

valeur maximale des deux déviations J_R et J_F correspond à la valeur de la gigue dépendante de la donnée. Elle se calcule de la manière suivante :

$$J_{ISI} = \max[\max(tp_{LH}) - \min(tp_{LH}); \max(tp_{HL}) - \min(tp_{HL})] \quad (8)$$

où tp_{LH} et tp_{HL} sont respectivement les temps de propagation montants et descendants de l'interface, l'interface étant non-inverseuse.

La méthode de calcul de la gigue est identique pour les buffers BC et FB à la différence que, pour ce dernier, il est nécessaire d'intégrer tous les temps de propagation issus à la fois des simulations FB0 et FB1 (cf. Figure III.6.d) obtenus grâce à la méthode 1^{ère}/2^{ème} transition.

► Comparaison de la gigue des buffers BC et FB

Pour illustrer la gigue dépendante de la donnée, un signal pseudo-aléatoire est transmis. Il est composé des six symboles susceptibles d'être présents dans une transmission de donnée, évoqués dans le chapitre I, section 2.1.2. (cf. Figure III.7.a). Ce dernier se caractérise par une succession de bits longs et de bits courts. L'effet bits longs/bits courts se traduit sur le diagramme de l'œil par de la gigue en sortie du buffer BC (cf. Figure III.7.b). Cet effet est indépendant de la technologie.

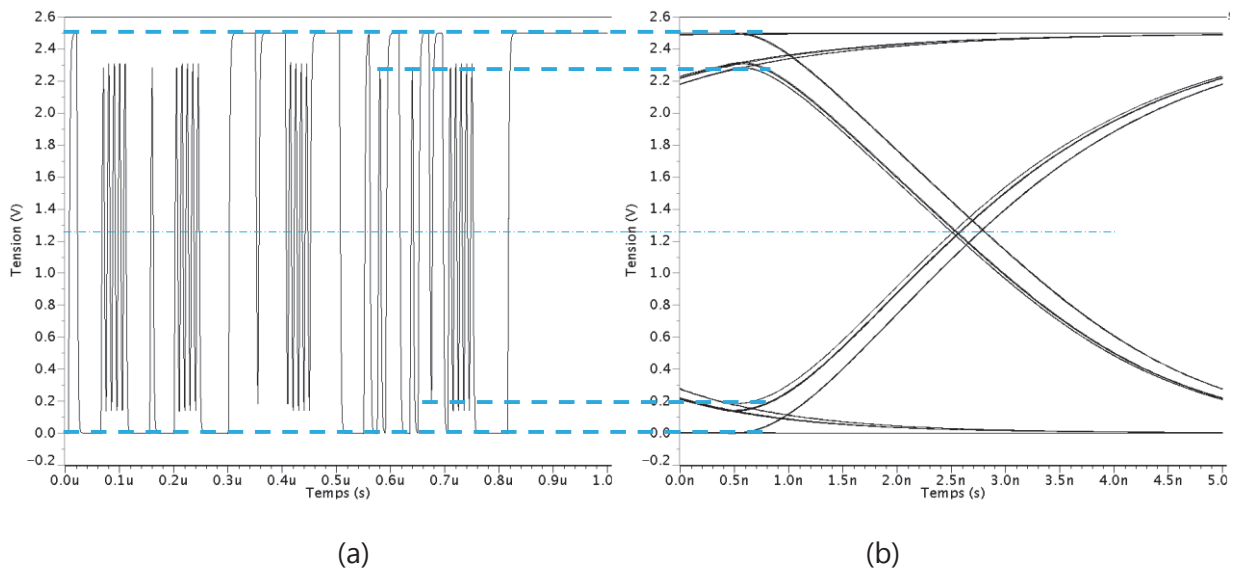


Figure III.7: (a) signal de sortie de type pseudo aléatoire du buffer BC à une fréquence maximale de 100MHz et une capacité de charge de 100pF ; (b) digramme de l'œil qui en résulte.

Ici, à une fréquence maximale de 100MHz et une capacité de charge de 100pF, les signaux à haute fréquence éprouvent des difficultés pour atteindre les niveaux logiques, contrairement aux signaux basses fréquences. Le signal atteint des tensions différentes avant

la transition suivante, en fonction du taux d'activité qui précède. Ainsi, différentes tensions initiales engendrent une déviation des transitions qui sont à l'origine de la gigue.

Pour illustrer uniquement l'influence de l'effet d'histoire sur la gigue, spécifique au buffer FB, l'effet bits longs/bits courts évoqué précédemment est supprimé dans un premier temps. Pour ce faire, la bande passante doit être augmentée en réduisant la charge capacitive à 20pF. Les temps de commutations sont raccourcis ce qui permet au signal d'atteindre les niveaux logiques établis, même durant les séquences à fort taux d'activité. Dans un second temps, la méthode 1^{ère}/2^{nde} transition est appliquée afin de mettre en relief l'effet d'histoire. Ce dernier est une cause supplémentaire de gigue (cf. Figure III.8).

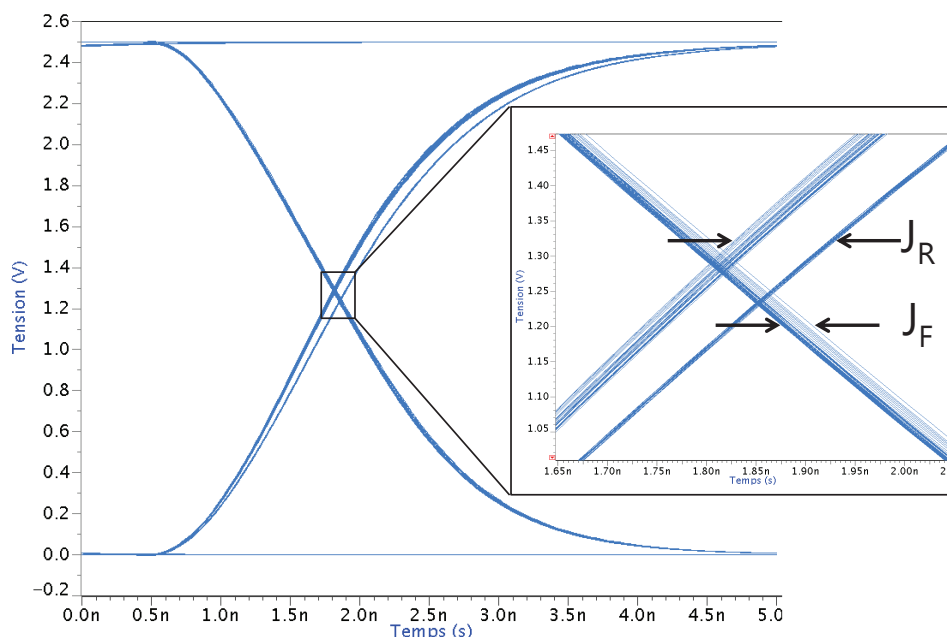


Figure III.8: diagramme de l'œil d'un signal de sortie de type pseudo aléatoire, du buffer FB, à une fréquence maximale de 100MHz et une capacité de charge de 20pF.

La déviation des fronts montants est plus conséquente que celle des fronts descendants car, comme évoqué précédemment, l'effet *body* est plus important sur le transistor PMOS que sur le NMOS.

Enfin, les solutions BC et FB des buffers ont été comparées en terme de gigue, à -40°C, 25°C et 125°C, en fonction de la capacité de charge en sortie allant de 50 à 100pF (cf. Figure III.9). A -40°C, la gigue du buffer FB est plus important que celle du buffer BC, cette dernière étant quasiment nulle entre 50 et 70pF. Le buffer BC n'est ici pas dépendant de la trame de la donnée. Qu'il y ait une succession de bits courts ou bits longs, le signal a le temps de s'établir

à la fin de chaque transition. Le buffer FB montre une gigue causée uniquement par l'effet d'histoire. A mesure que la valeur de la charge de sortie augmente, l'effet bits-longs/bits-courts commence par se faire ressentir dans les deux cas.

A 25°C, la gigue du buffer FB reste supérieure à celle du buffer BC. Cependant, cette dernière tend à converger vers celle du buffer FB, car à cette température, le courant de commutation diminue par rapport à une température de -40°C. Or, les transistors FB affichent un courant de drain supérieur au transistor BC grâce à l'effet *body* flottant. Ainsi, l'effet d'histoire est toujours présent mais le gain en vitesse permet en contrepartie de limiter l'effet bits-longs/bits-courts.

A 125°C, la gigue du buffer FB est plus petite que celle du buffer BC à partir de 70pF et au-delà. Dans le cas du buffer FB, le gain en performance qu'apporte le *body* flottant réduit la gigue induite par l'effet bits-longs/bits-courts et compense celle induite par l'effet d'histoire.

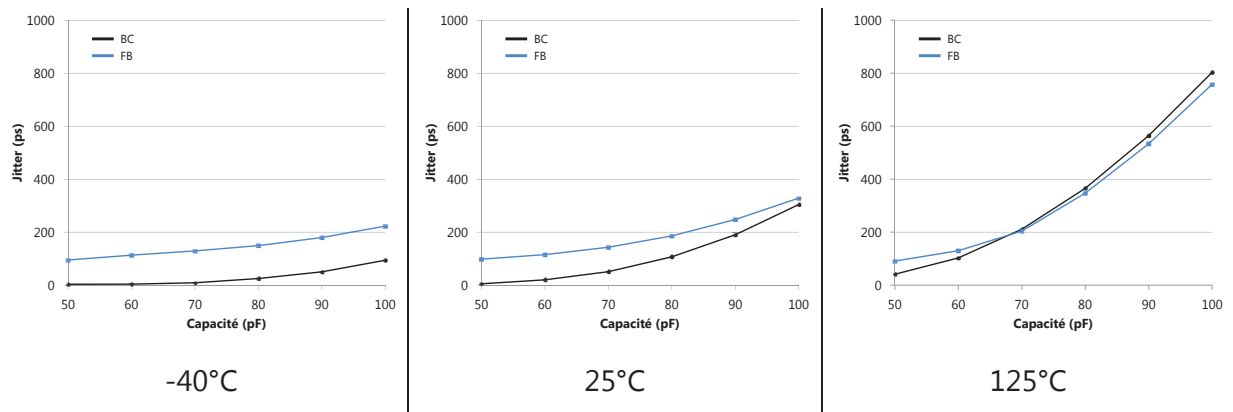


Figure III.9: évolution de la gigue du buffer FB par rapport au buffer BC, avec un signal pseudo-aléatoire, en fonction de la charge capacitive, à -40°C, 25°C et 125°C

3.4. Consommation statique

La consommation statique est un enjeu majeur pour les interfaces entrées/sorties. Une puce peut contenir jusqu'à plusieurs centaines voire plusieurs milliers d'entrées/sorties. Cette consommation joue un rôle important dans le bilan énergétique global de la puce. Il devient donc essentiel de maîtriser ce paramètre sur une interface afin de maîtriser la consommation statique dans sa totalité. La consommation statique des buffers BC et FB sont ici comparés.

Pour évaluer la consommation statique du buffer de sortie, qui est le plus gourmand devant le préamplificateur et le décaleur de niveau, celui-ci est configuré en mode haute impédance. Ce mode est habituellement activé lorsque l'interface n'est pas utilisée ou

lorsque l'interface est en mode réception. Dans le premier cas, le plot est forcé à '0' ou à '1', afin d'éviter de le laisser flottant. Si le plot est forcé à '0', le courant statique au premier ordre sera le courant sous le seuil du PMOS. Si le plot est forcé à '1', ce sera le courant sous le seuil du NMOS.

Prenons l'exemple du mode haute impédance où le plot est forcé à '0' (cf. Figure III.10). Les résultats confirment la tendance évoquée dans le chapitre précédent. Le buffer FB consomme davantage que le buffer BC à cause du *body* flottant, d'environ une décade de plus. A mesure que la température augmente, la différence de consommation statique diminue légèrement. En effet, le courant inverse de la diode de jonction, entre le *body* et le drain, s'élève à haute température aussi bien pour le buffer BC que pour le buffer FB. En l'état actuel, la solution FB n'est pas envisageable pour l'intégrer dans les interfaces entrées/sorties. Ramené à une puce entière, cet excédent de consommation devient trop significatif.

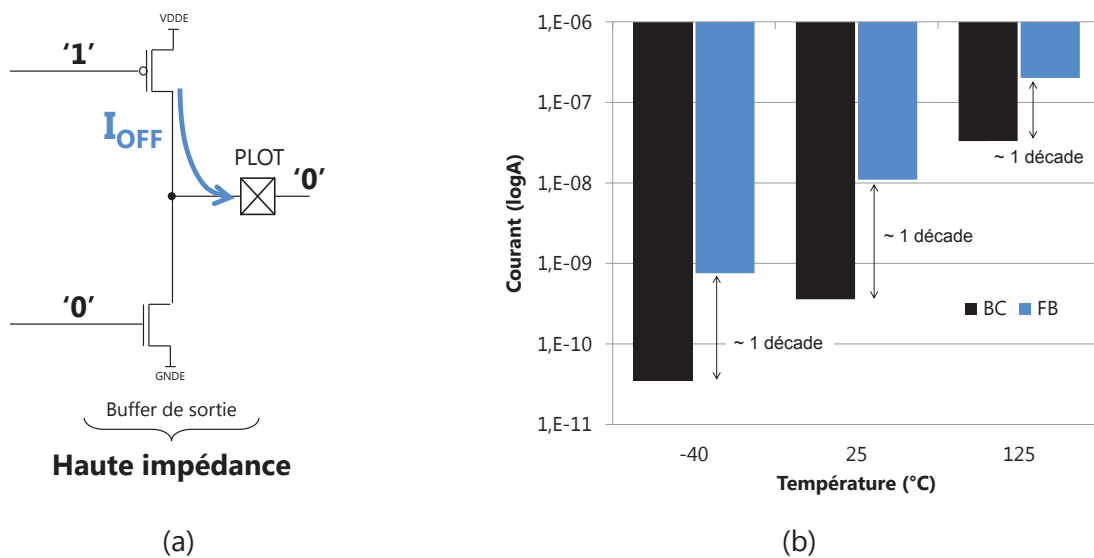


Figure III.10: comparaison des consommations statiques des buffers BC et FB en mode haute impédance avec le plot de sortie forcé à '0', en fonction de la température.

3.5. Effet de l'auto échauffement

3.5.1. Influence sur les temps de propagation

Le phénomène d'auto-échauffement réduit la mobilité des porteurs dans le canal à cause d'une mauvaise évacuation de la chaleur à travers l'oxyde enterré, comparé à la technologie BULK. Cela se traduit par une baisse de performance.

Ce phénomène est mis en évidence sur un buffer BC qui conduit un signal d'horloge de 100MHz et une capacité de charge de 100pF, à une température de fonctionnement de 25°C (cf. Figure III.11). Prenons l'exemple d'un transistor NMOS impliqué dans la décharge de la capacité en sortie. A chaque front descendant du signal de sortie, le courant de commutation traverse le transistor NMOS ce qui provoque un échauffement dans le canal de celui-ci. Ensuite, lors de la charge de la capacité par le transistor PMOS, le transistor NMOS est bloqué, durant lequel ce dernier refroidit avant la commutation suivante. Ainsi, la déviation en température par rapport à la température de fonctionnement augmente jusqu'à trouver un équilibre, où le transistor NMOS chauffe autant qu'il refroidit durant une période. Dans le cas du transistor NMOS, la température interne peut dévier jusqu'à environ 12°C, ce qui implique une fluctuation du temps de descente pouvant aller jusqu'à environ 2,6% en fonction du taux d'activité du signal.

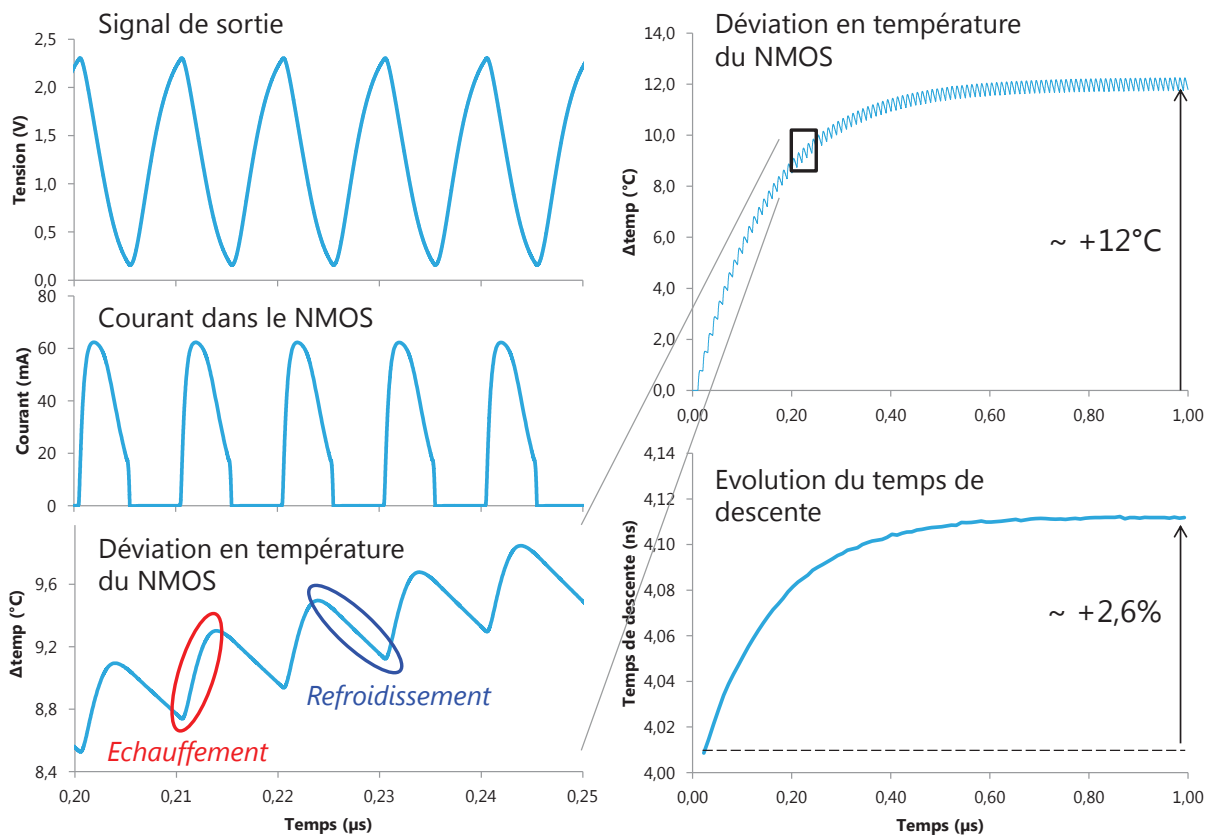


Figure III.11: évolution de la déviation en température dans un transistor NMOS du buffer de sortie ainsi que celle du temps de descente.

Toutefois la déviation maximale en température est réduite à mesure que la capacité de charge diminue. En effet, plus la charge capacitive est basse, plus la quantité de charge totale

nécessaire pour commuter d'un état vers l'autre est faible. Ainsi, l'échauffement est moins important durant une commutation ce qui produit une déviation du temps de commutation à 50pF moins importante qu'à 100pF.

Le buffer BC est constitué de doigts de transistors PMOS et de transistors NMOS, chacun ayant une largeur maximale de 2,5 μ m. Pour rappel, cette restriction est causée par la résistance d'accès du body, spécifique aux transistors body contactés. Il est donc aisé de comparer l'effet d'auto-échauffement entre un doigt de type P et un de type N, à surface égale, dans un même buffer. La mobilité des trous est inférieure à celle des électrons, par conséquent la densité de courant à surface égale dans le PMOS est également inférieure (cf. Figure III.12). Nous pouvons observer une déviation en température divisée par 2 environ dans le PMOS par rapport au transistor NMOS. Par conséquent, l'influence de l'auto-échauffement sur les temps de montée est plus faible que sur les temps de descente.

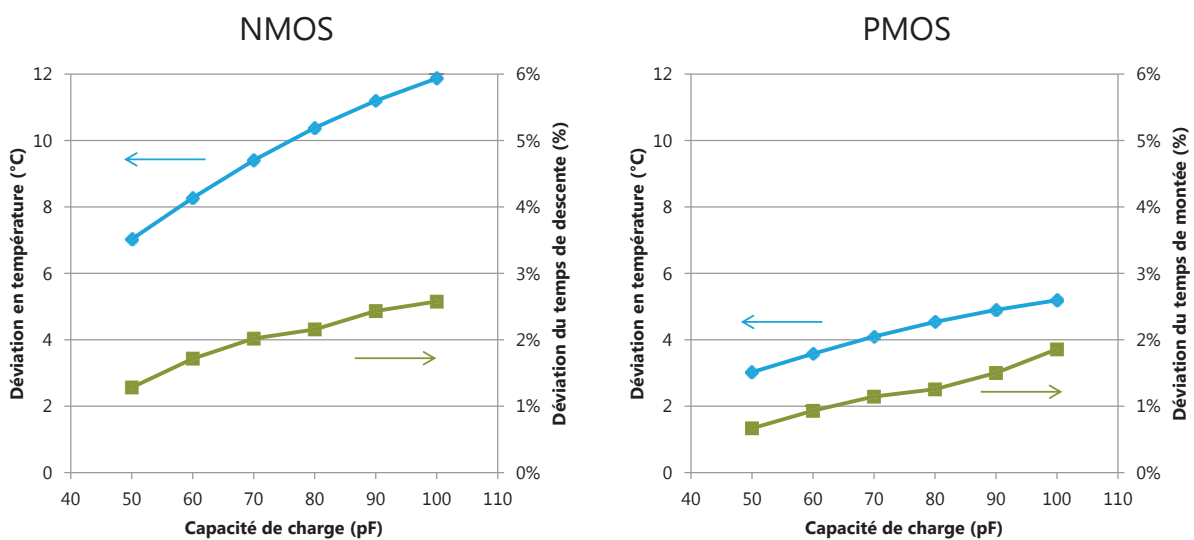


Figure III.12: comparaison de l'influence de l'auto-échauffement entre un NMOS et un PMOS à surface égale dans un buffer de sortie.

La répercussion du phénomène d'auto-échauffement est analysée sur la gigue dans le cas le plus défavorable, c'est-à-dire pour une charge capacitive de 100pF et une fréquence de 100MHz. La gigue qui en résulte est minime devant la gigue de référence du même buffer dont l'auto-échauffement est désactivé (cf. Figure III.13). Il est à noter que la déviation des fronts montants est quasiment inexistante devant celle des fronts descendants, ce qui corrobore l'analyse précédente sur la différence entre le PMOS et le NMOS.

Cette analyse s'est portée sur le comportement dynamique du buffer de l'interface standard en mode sortie face au phénomène d'auto-échauffement. Il en ressort que l'influence de l'auto-échauffement peut être globalement négligé. Toutefois, ce phénomène a également une influence dans le comportement statique. L'étude se poursuit sur l'interface DDR3, où la calibration d'impédance, nécessaire pour faire correspondre l'impédance du buffer de sortie avec l'impédance caractéristique de ligne, s'effectue en condition statique.

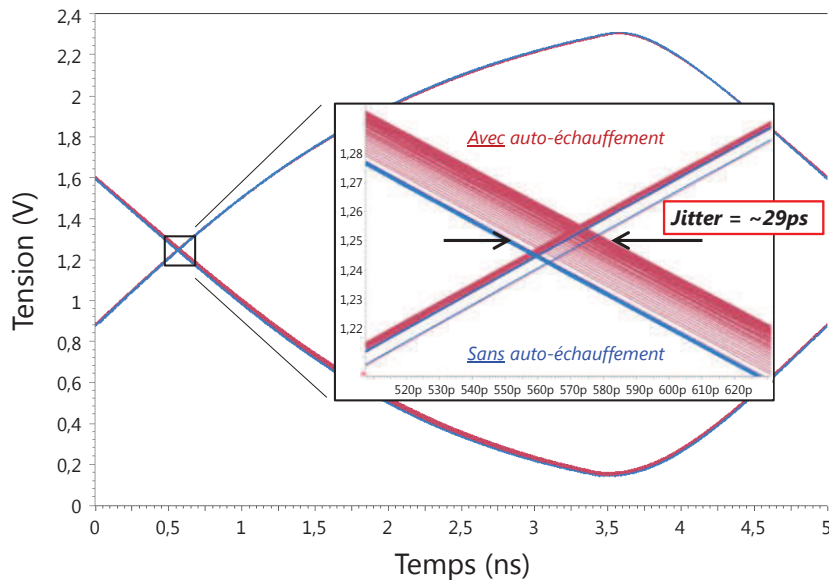


Figure III.13: comparaison de la gigue d'un buffer de sortie, avec et sans auto-échauffement, transmettant un signal d'horloge de 100MHz avec une charge de 100pF.

3.5.2. Influence sur les impédances de sortie DDR3

Le phénomène d'auto-échauffement dégrade relativement le courant de saturation en condition statique mais pourrait être compensé en élargissant le transistor pour atteindre le courant de polarisation souhaité. En soi, cet effet ne présente pas d'inconvénient majeur. Toutefois, ce phénomène doit être considéré si, par exemple, une paire de transistors est supposée fournir le même courant. Or, lorsqu'un premier transistor a une activité différente d'un second transistor, le premier s'échauffe différemment ce qui engendre une disparité entre les deux.

Une puce reposant sur le standard DDR3 est composée de plusieurs cellules entrées/sorties et d'une cellule de calibration, celle-ci comportant une réplique du buffer DDR3 (cf. Figure III.14). Cette cellule de calibration permet de calculer puis de propager un

code numérique vers des cellules entrées/sorties afin que celles-ci aient leurs impédances de sortie égales à 34Ω , en tenant compte de toutes les conditions PVT (*Process, Voltage Temperature* en anglais, pour Procédé de fabrication, Tension et Température). Si la cellule de calibration a une activité différente d'une cellule entrée/sortie, alors cela peut engendrer une disparité d'impédance à cause de l'auto-échauffement.

Les simulations réalisées pour évaluer l'influence de l'auto-échauffement consistent à extraire l'écart d'impédance obtenu avec et sans auto-échauffement. Le transistor NMOS étant plus sensible à ce phénomène, cette étude est réalisée uniquement sur le *Pull-DOWN* du buffer de sortie DDR3. L'impédance totale du *Pull-DOWN* est la somme entre l'impédance de la résistance R_{LIN} , nécessaire pour linéariser la caractéristique I-V, et l'impédance des transistors NMOS sélectionnés. Le standard DDR3 spécifie que l'impédance de *Pull-DOWN* doit être de 34Ω quand le plot de sortie est égal à $V_{DDE}/2$ et quand les transistors de *Pull-UP* sont bloqués. Le buffer de sortie DDR3 est composé d'un ensemble de transistors dimensionnés de telle sorte qu'ils permettent un mode de sélection binaire, où N0 est le bit de poids fort et N3 le bit de poids faible. Ce mode de sélection permet de compenser les variations PVT pour toujours assurer une impédance de 34Ω . Quant à NMIN, il sélectionne le transistor qui reste actif de façon continue pour assurer une impédance maximale.

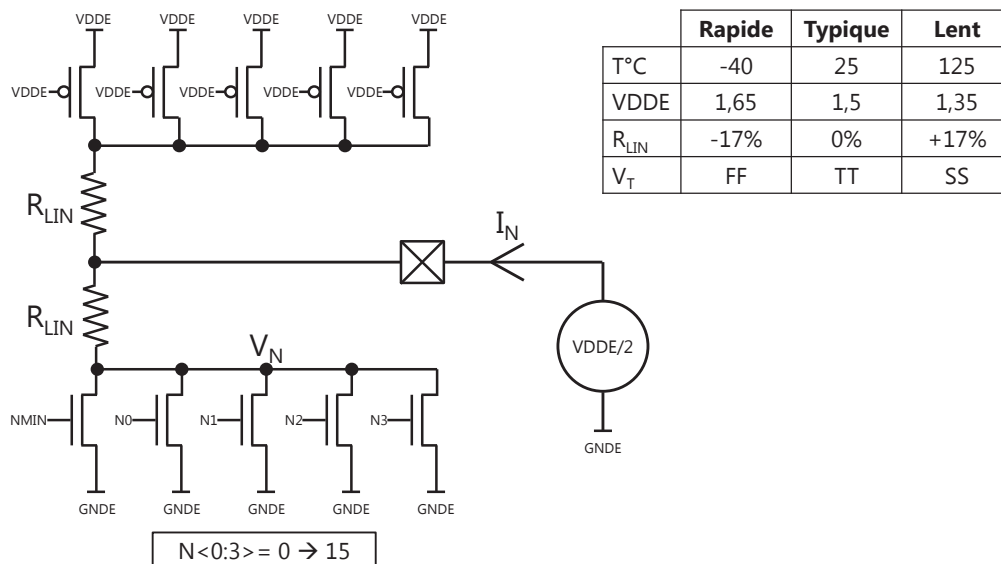


Figure III.14: schéma électrique du buffer de sortie DDR3

Un générateur de mots binaires produit un code numérique allant de 0 à 15. Celui-ci contrôle les transistors NMOS. La déviation d'impédance en pourcentage est obtenue avec et

sans auto-échauffement (SHE pour *Self-Heating Effect* en anglais), en tenant compte des trois conditions environnementales décrites (cf. Figure III.14).

Les résultats montrent que le buffer produit une augmentation minimale d'impédance par rapport au buffer dont l'auto-échauffement est désactivé (cf. Figure III.15). La différence est plus importante quand le code est à 0 que lorsqu'il est à 15. Toutefois, la déviation due à l'auto-échauffement n'est à considérer que lorsque l'impédance totale du buffer est calibrée sur sa valeur nominale de 34Ω . Ainsi, en fonction des conditions environnementales, les écarts obtenus varient de 0,1% à 1%. La différence d'influence de l'effet d'auto-échauffement selon les conditions environnementales s'explique pour deux raisons. Premièrement, le potentiel V_N diminue à mesure que le code numérique passe de 0 à 15. Les transistors compensent les variations de RLIN : le ratio MOS/RLIN varie selon le PVT. Par conséquent, la tension drain-source sur chaque transistor diminue en condition lente, où tous les doigts sont sélectionnés, par rapport à la condition rapide. Deuxièmement, l'auto-échauffement est plus faible en condition lente du fait d'une diminution de la densité de courant. En effet, le courant total est réparti dans un plus grand nombre de transistors. Par conséquent, la puissance dissipée par transistor en est fortement réduite. Compte tenu des écarts observés, nous pouvons conclure que l'auto-échauffement n'a aucune incidence notable sur l'impédance et peut être considéré comme étant négligeable.

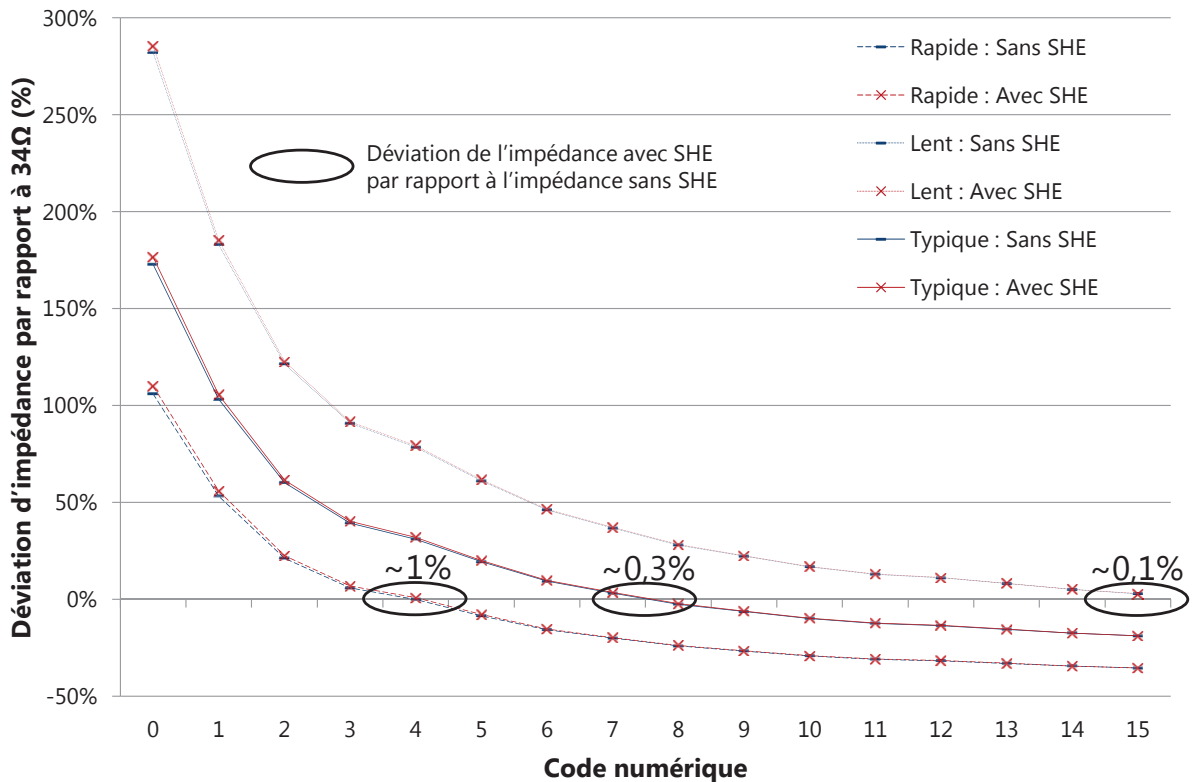


Figure III.15: évolution de l'impédance de sortie du buffer de sortie DDR3, avec et sans auto-échauffement, dans trois conditions environnementales.

4. Proposition d'une interface entrée/sortie générique

Tout au long de l'étude, les effets SOI sur l'interface entrée/sortie générique et DDR3 ont été analysés. Il apparaît que l'effet d'auto-échauffement peut être négligé. Toutefois, le gain en vitesse offert par le buffer FB s'accompagne de l'effet d'histoire et d'une consommation statique accrue. Il est possible de supprimer ces deux inconvénients par l'utilisation du buffer BC aux prix d'une baisse en vitesse. La solution qui est proposée par la suite consiste à bénéficier du meilleur des deux options en utilisant le buffer BC dont les *body* sont polarisés de façon dynamique.

4.1. Principe

Grâce au transistor body contacté, il est aisé de contrôler et de moduler la tension de seuil V_T en appliquant un potentiel variable sur le body. Lorsque ce potentiel augmente, le V_T

diminue. Inversement, lorsque ce potentiel diminue, le V_T augmente. De cette manière, l'effet d'histoire et la consommation statique accrue du buffer FB sont maîtrisés tout en offrant un gain en vitesse. Le circuit proposé consiste à diminuer le V_T du transistor concerné uniquement durant la transition. Le reste du temps, le V_T augmente pour assurer une maîtrise de la consommation statique. Le circuit additionnel est nommé ABC (*Active Body Control* en anglais, pour contrôle actif du body). Ce circuit contrôle les *body* des transistors du buffer de sortie. Dans le cas du NBuffer (cf. Figure III.16), il est composé de deux transistors en série, N1 et N2, de types NMOS.

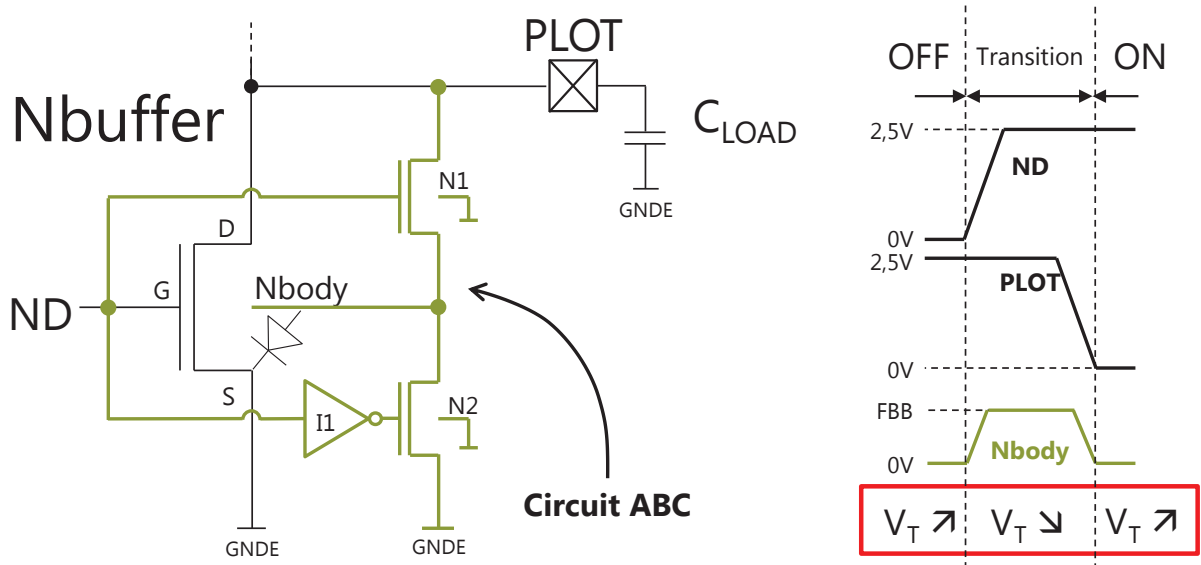


Figure III.16: structure du circuit de polarisation dynamique du *body* appliquée au NBuffer

Le transistor N1, dont le drain est connecté au PLOT et dont la source est connectée au Nbody, est piloté par le signal ND. Le transistor N2, dont le drain est connecté au Nbody et la source au GNDE , est piloté par le signal complémentaire de ND, issu de l'inverseur I1. Pour le PBuffer, le circuit est symétriquement identique aux Nbuffer : les transistors en série de types PMOS sont connectés entre VDD_E et le PLOT de sortie. Celui connecté à VDD_E est piloté par un inverseur I2.

Lorsque ND est à '0', Nbuffer est bloqué. Le transistor N2 est passant afin de polariser Nbody à GNDE . N1 est bloqué et le potentiel du plot de sortie est à VDD_E . Pendant la transition de '0' vers '1' sur ND, Nbuffer commute, le transistor N1 devient passant et N2 se bloque. Ainsi, par couplage capacitif entre la grille du Nbuffer et Nbody, et par conduction de N1 entre PLOT (initialement à VDD_E) et Nbody, le potentiel sur Nbody augmente. Cela a pour effet de diminuer le V_T et d'accélérer la transition. Enfin, Nbody diminue à mesure que le

potentiel du plot diminue également ce qui ramène le V_T à son état initial. L'avantage d'une telle structure est que la diode de jonction participe, dans le cas du NBuffer, à l'évacuation des charges contenues dans la capacité C_{LOAD} . Toutefois, le courant qui circule à travers cette diode reste minime devant celui circulant dans le NBuffer.

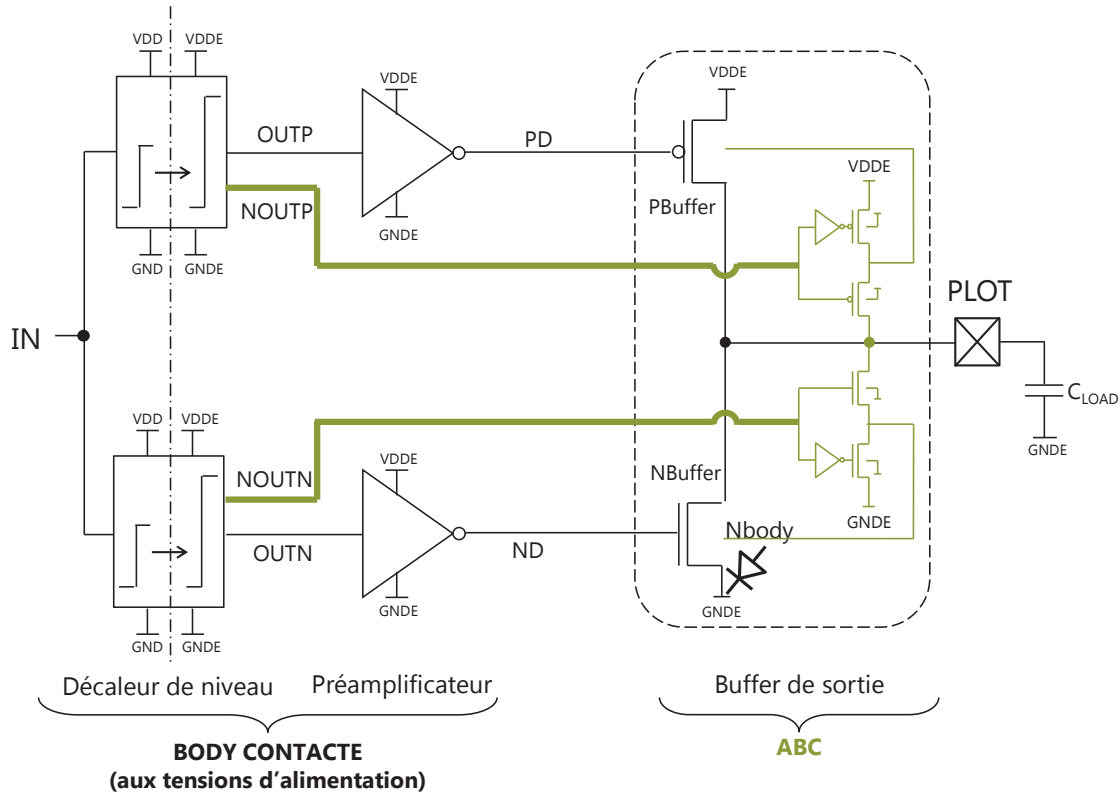


Figure III.17: schéma d'une interface entrée/sortie générique accompagnée du circuit de polarisation dynamique de body.

Au niveau de l'interface (cf. Figure III.17), le circuit ABC, qui représente une surface de $\sim 1,5\%$ du buffer de sortie, est contrôlé depuis un étage qui le précède. Cette amélioration permet d'anticiper la commutation du buffer de sortie pour que le circuit ABC initie son influence au moment où le buffer débute la commutation. De plus, les signaux ND et PD ont une faible pente de mise en conduction respectivement de NBuffer et PBuffer, ce qui retarderait davantage l'activation du circuit ABC.

4.2. Simulation

L'évolution temporelle (cf. Figure III.18) de la tension NBODY montre que celle-ci est à 0V quand NOUTN est à 0V. Lorsque NOUTN monte à 2,5V, NBODY monte également par couplage capacitif entre la grille et le body du NMOS, et par conduction entre le PLOT et

NBODY. La combinaison de NOUTN à 2,5V et de la tension sur le PLOT de sortie d'environ 2,5V permet de maintenir une tension positive sur NBODY. Cette tension est conditionnée par la diode située entre le *body* et la source du NMOS. Puis, lorsque la capacité de sortie se décharge au travers du NMOS, la tension de sortie diminue ainsi que la tension NBODY qui est électriquement connectée au PLOT, par le transistor N1 qui est passant.

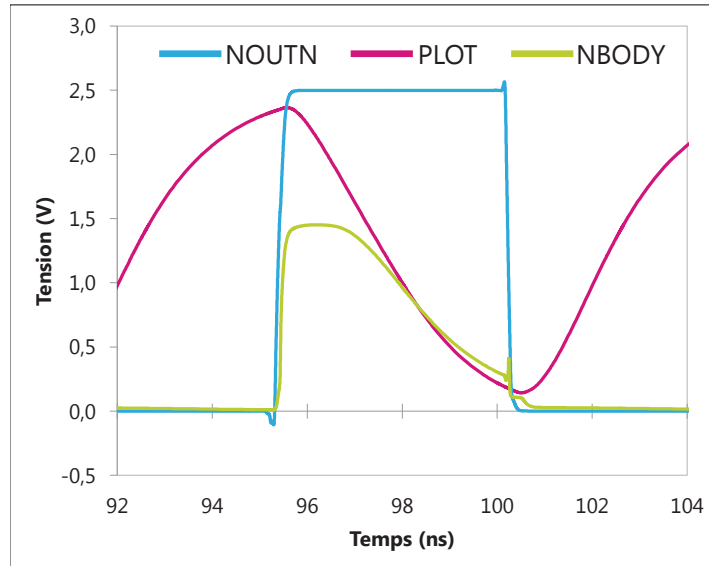


Figure III.18: simulation transitoire de NBODY en fonction de NOUTN et de la tension sur le PLOT.

Grâce au contrôle du *body*, l'effet d'histoire est supprimé tout en dotant le buffer d'un courant de commutation accru. La gigue à -40°C du buffer ABC se confond avec celle du buffer BC (cf. Figure III.19). En effet, à cette température, la mobilité des porteurs dans le canal est plus importante qu'à des températures plus élevées. Ainsi, le passage d'un état à l'autre du signal de sortie du buffer BC est aisé. Donc, l'intérêt de la polarisation active est faible. Toutefois, au fur et à mesure que la température de fonctionnement s'élève, la différence de vitesse de commutation entre les buffers BC et ABC croît. Ainsi, le gain en vitesse apporté par le contrôle actif du *body* permet de disposer d'une meilleure gigue par rapport aux autres solutions.

A 125°C , malgré l'effet d'histoire qui dégrade sa gigue, le buffer FB est meilleur que le buffer BC à partir d'une charge capacitive de 70pF. Le gain en vitesse apporté par le caractère flottant du *body* permet de compenser la gigue issue de l'effet d'histoire. Ceci reste moins bon que la solution ABC qui propose à la fois un gain en vitesse et la suppression de l'effet d'histoire. Ainsi, le buffer ABC produit la meilleure gigue, notamment lorsque les conditions de température et de charge capacitive font réduire les vitesses de commutation.

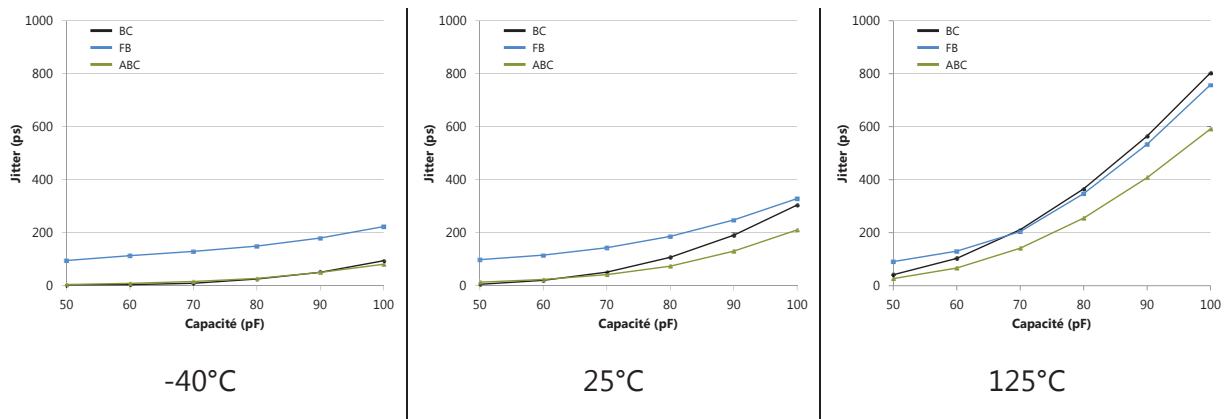


Figure III.19: évolution de la gigue du buffer ABC par rapport aux buffers BC et FB, avec un signal pseudo-aléatoire, en fonction de la charge capacitive, à -40°C, 25°C et 125°C

Au repos, ou lorsque le bit est établi, les tensions de *body* du buffer ABC sont collées aux tensions d'alimentation. Ainsi, l'autre avantage de cette solution est qu'elle est dotée d'une consommation statique identique à celle du buffer BC (cf. Figure III.20). La solution ABC permet de bénéficier du gain en vitesse tout en contrôlant l'effet d'histoire et la consommation statique.

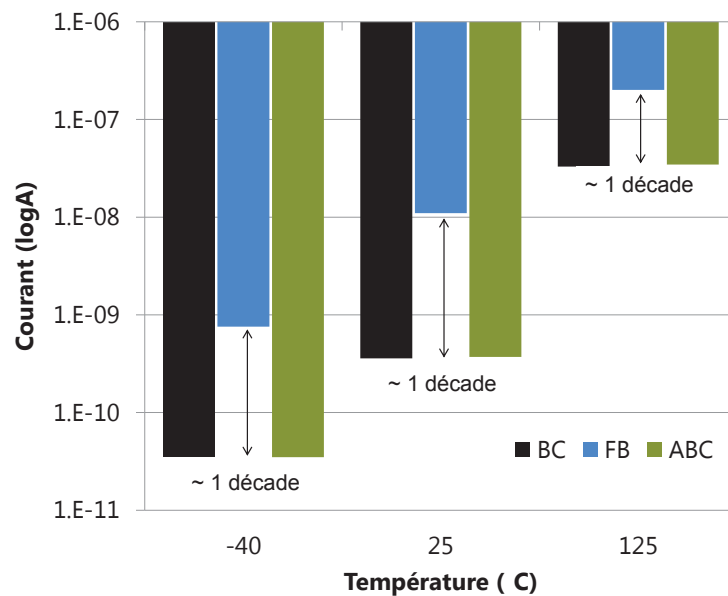


Figure III.20: comparaison des consommations statiques des buffers ABC, BC et FB en mode haute impédance avec le plot de sortie forcé à '0', en fonction de la température.

4.3. Circuit

Le circuit de validation a été implémenté en technologie 65nm PDSOI de STMicroelectronics. Il contient une cellule entrée/sortie standard, issue de la bibliothèque d'interfaces entrées/sorties en technologie 65nm PDSOI, dont le buffer de sortie a été

modifié (cf. Figure III.21). Pour mesurer l'apport de la polarisation active du *body* sur le buffer de sortie, le circuit ABC est contrôlé par un circuit permettant d'actionner ou pas la fonctionnalité ABC. Le circuit de sélection est constitué d'un décaleur de niveau, d'une porte OU-logique, dont une des deux entrées est inverseuse, et une porte ET-logique. Ainsi, il est aisé de comparer les performances entre les modes BC et ABC sur une même cellule. Pour positionner le buffer en mode BC, la tension appliquée sur ABC_SEL est 0V. La sortie de la porte ET-logique est forcée à 0V ce qui impose 0V à Nbody. Quant à la sortie de la porte OU-logique, elle est forcée à 2,5V pour coller Pbody à 2,5V. Pour positionner le buffer en mode ABC, la tension à appliquer sur ABC_SEL est de 1,2V. La sortie de la porte ET-logique, ainsi que la sortie de la porte OU, suivent les changements d'états opérés respectivement sur NOUTN et NOUTP. Pour rappel, ces derniers sont les sorties complémentaires des décaleurs de niveau situés en amont du préamplificateur (cf. Figure III.17). Le fait d'ajouter un étage entre les signaux NOUTN, NOUTP et le circuit ABC n'est pas optimal au niveau transitoire pour anticiper la mise en action du circuit ABC. Toutefois, cela permet de s'assurer que, quelle que soit l'option choisie, la cellule entrée/sortie évolue dans les mêmes conditions.

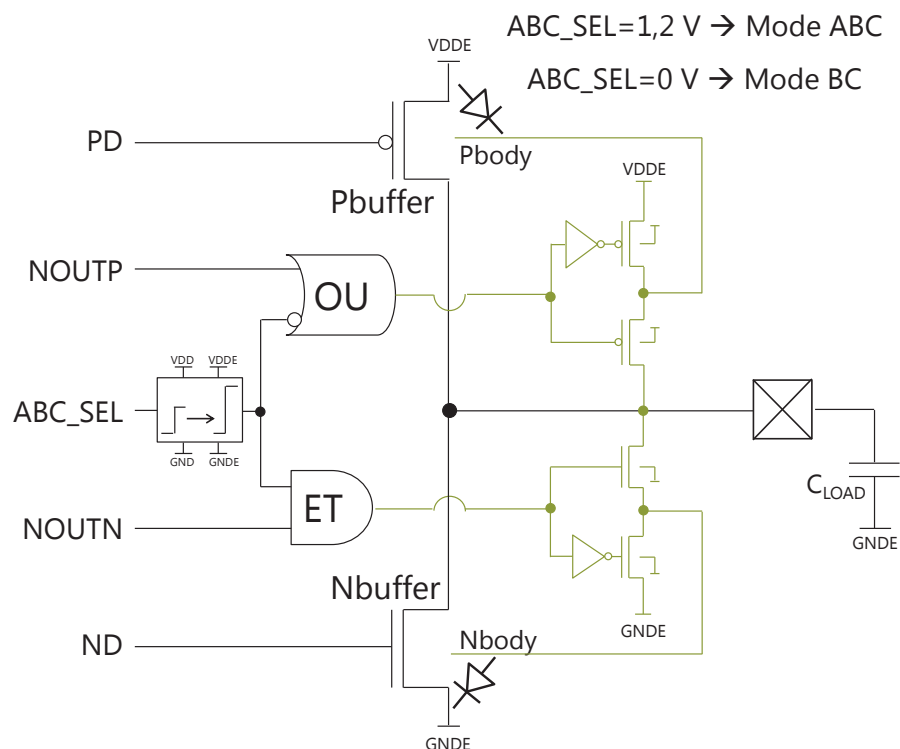


Figure III.21: schéma électrique du buffer de sortie modifié avec un mode de sélection permettant le passage entre la solution BC et la solution ABC.

Le dessin de masque de la cellule entrée/sortie (cf. Figure III.22) montre les différents éléments de l'interface évoqués précédemment. En plus de ceux-ci, il est impératif d'y inclure une protection contre les décharges électrostatiques (ESD pour *ElectroStatic Discharge* en anglais) qui peuvent être la cause de destructions de circuits.

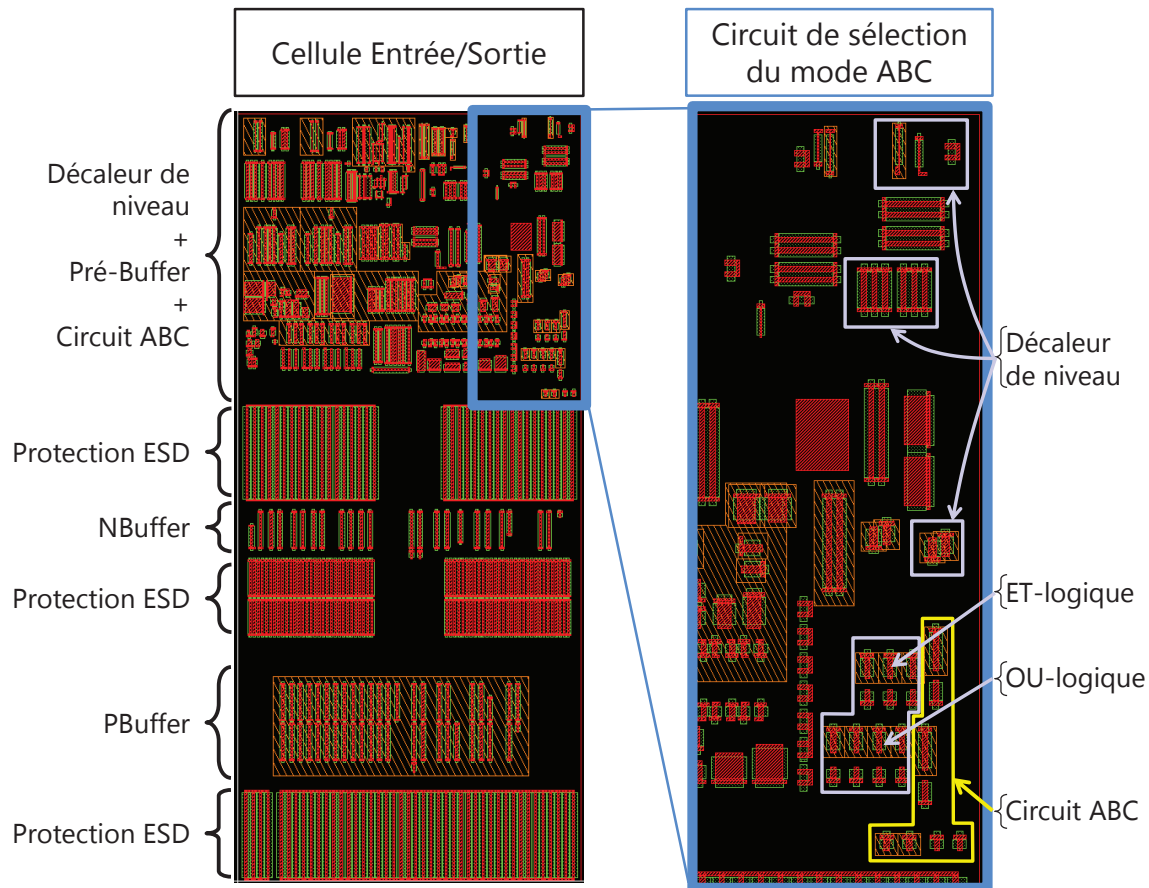


Figure III.22: dessin de masque de la cellule entrée/sortie modifiée.

Il est intéressant de noter que tous les anneaux de garde, nécessaires habituellement en BULK pour polariser les caissons et ainsi contrôler le phénomène de *latch-up*, sont supprimés. Cela apporte un gain en terme de surface occupée et une complexité de dessin de masque amoindrie. Pour valider le principe de contrôle actif du body, la cellule entrée/sortie initiale a été modifiée en y incluant le circuit de sélection du mode ABC ainsi que le circuit ABC. Bien évidemment, le décaleur de niveau et les portes ET- et OU-logiques du circuit de sélection ne servent que pour la comparaison entre le mode BC et ABC.

4.4. Résultats

Cinquante et une puces ont été fabriquées puis intégrées dans des boîtiers de type WFLGA48. Toutes les puces ont fait l'objet d'une mesure de la consommation statique afin de d'écarter celles qui présentent une consommation anormalement élevée, engendrée par exemple par un court-circuit. Ensuite, toutes les puces ont fait l'objet d'une vérification fonctionnelle : un signal carré à fréquence réduite est transmis sur chacune des puces à température ambiante ; chaque puce a fourni en sortie le signal carré attendu. Enfin, à partir de la gaussienne issue des courants statiques mesurés, 3 puces se situant dans le cas typique ont été sélectionnées afin de les caractériser en extrayant les courants de sortie, les temps de montée et descente, et la gigue.

4.4.1. Courant de sortie

Le courant de sortie est un paramètre qui permet d'évaluer la capacité du buffer de sortie à piloter une charge. Dans un premier temps, le buffer de sortie est positionné en mode *Pull-UP* en appliquant un '0' logique sur PD et ND, par l'intermédiaire des étages en amont (cf. Figure III.23.a). Pbuffer est à l'état passant.

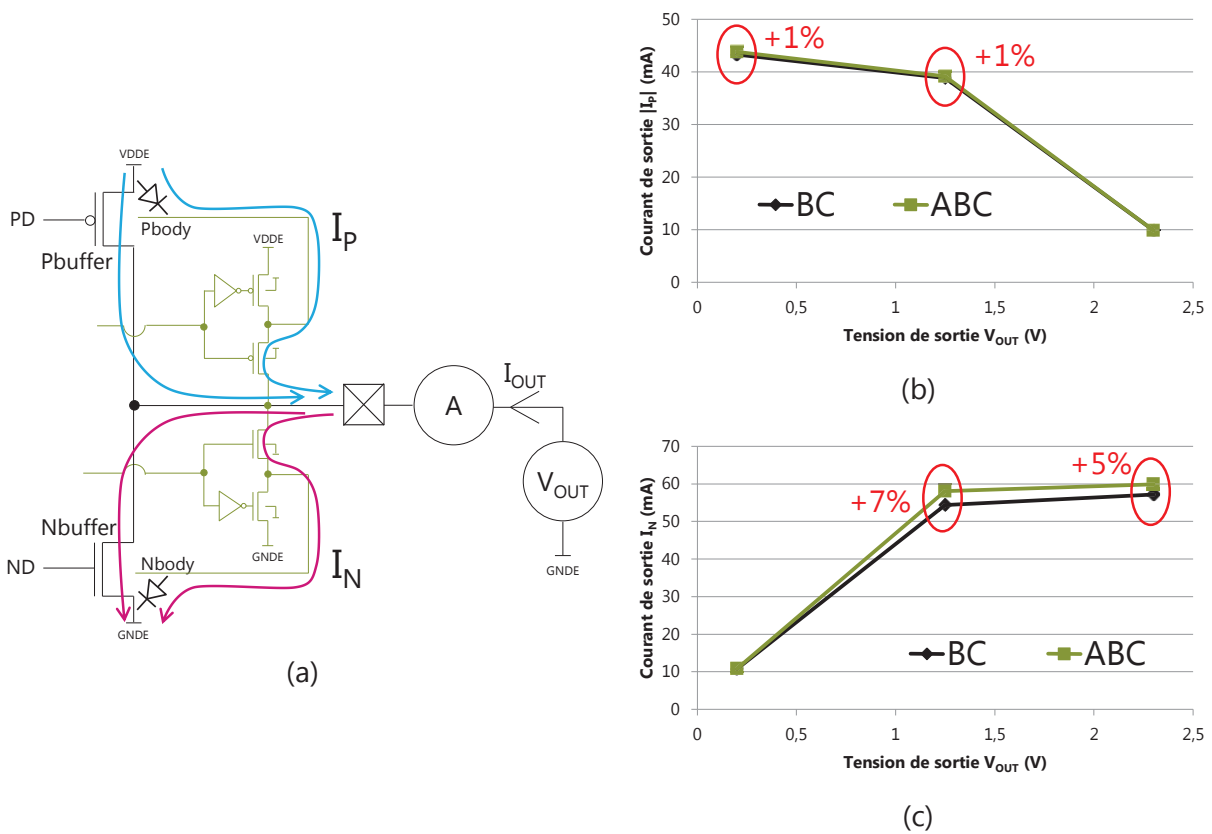


Figure III.23: évolution du courant de sortie des buffers BC et ABC en fonction de V_{OUT} .

Un générateur de tension V_{OUT} , en série avec un ampèremètre, polarise la sortie du buffer. Les tensions délivrées par le générateur sont 0,2V, 1,25V et 2,3V. En mode BC, le courant I_p qui traverse Pbuffer est mesuré puis comparé avec le courant I_p du mode ABC où le transistor de type P, situé entre Pbody et le PLOT de sortie, est passant. Les valeurs de courants mesurés sur les trois puces ont été moyennées. Le gain en courant du *Pull-UP* obtenu en mode ABC est léger (cf. Figure III.23.b). La polarisation du *body* n'a que peu d'effet sur le V_T . Au contraire, lorsque Nbuffer est à l'état passant, le courant I_n obtenu en mode ABC par rapport au mode BC est plus conséquent (cf. Figure III.23.c).

Comme évoqué dans la partie 3.2, l'effet de la polarisation du *body* est différent selon le type de transistor. La simulation montrait que l'effet *body* était davantage perceptible sur le V_T du transistor PMOS que sur celui du transistor NMOS, pour des raisons de niveau de dopage. Or, lors de la mesure expérimentale, cette tendance s'inverse. L'effet du contrôle de *body* a une influence plus importante sur le V_T du NMOS. L'effet *body* pourrait ne pas être totalement bien modélisé dans le modèle du transistor. La différence d'influence de l'effet

body, entre le NMOS et le PMOS, est due aux différents niveaux de dopage exigés pour chacun des deux types de transistor.

4.4.2. Temps de montée et descente

Les temps de montée et descente ont été extraits à 25°C pour trois valeurs de charges capacitives, allant de 47pF, 68pF et 100pF (cf. Figure III.24). Un signal carré est transmis à basse fréquence pour laisser suffisamment de temps au buffer de sortie de commuter et s'établir. Les temps de montée et descente sont mesurés entre 20% et 80% de 2,5V, via un oscilloscope. Les courants mesurés précédemment se traduisent logiquement par un gain en vitesse de la solution proposée par rapport au buffer BC, qui est plus net pour le temps de descente que pour le temps de montée.

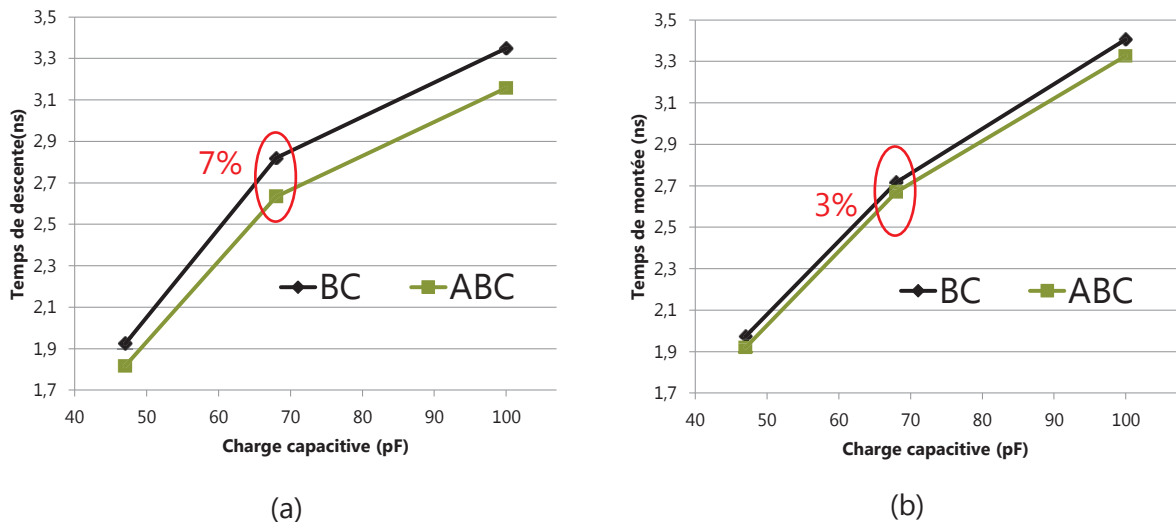


Figure III.24: (a) temps de descente et (b) temps de montée en sortie des buffers BC et ABC.

4.4.3. Gigue

Ce gain de vitesse permet de réduire la gigue dépendante de la donnée. Celle-ci a été mesurée pour les solutions BC et ABC à une température de 25°C. Un signal de type pseudo-aléatoire est transmis à l'aide d'un générateur PRBS (pour *Pseudo Random Binary Sequence* en anglais). La durée d'un bit est de 5ns, soit une fréquence maximale de 100MHz. Le signal de sortie est ensuite capturé par un oscilloscope pour en extraire le TIE (*Time Interval Error* en anglais, pour Erreur d'intervalle de temps).

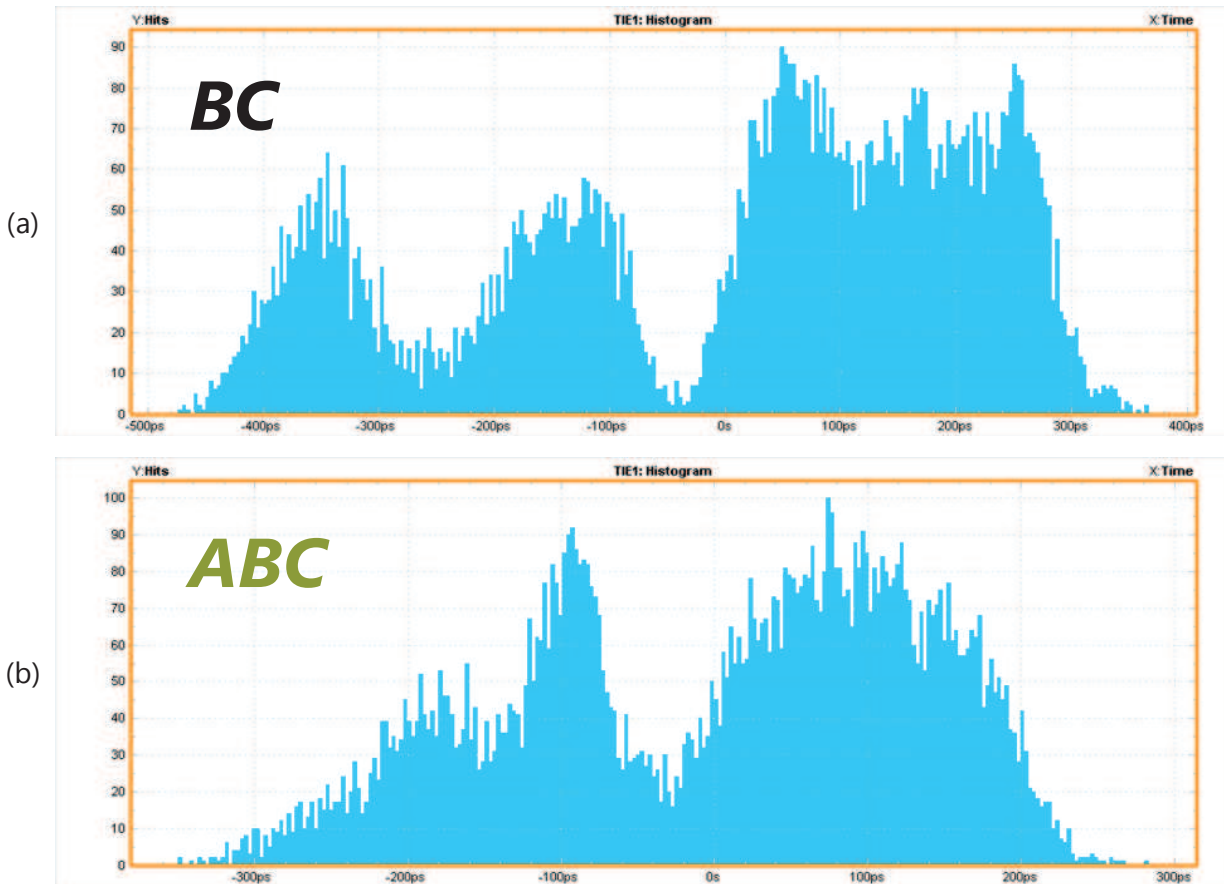


Figure III.25: histogramme TIE extrait en sortie des buffers BC et ABC, avec une charge capacitive de 100pF et un signal pseudo-aléatoire de fréquence maximale de 100MHz.

Le TIE mesure la déviation d'un front par rapport à un signal d'horloge recréé au préalable à partir du signal de sortie [Hancock'04a]. Ainsi, lors d'une acquisition, tous les intervalles de temps sont capturés entre le front du signal de sortie et le signal d'horloge de référence recréé. Cela produit un histogramme où l'axe des abscisses représente la déviation par rapport au signal de référence (cf. Figure III.25). L'axe des ordonnées représente le nombre de fronts qui croisent le seuil des 50% de la tension finale. La gigue totale est composée de la gigue aléatoire et de la gigue déterministe. La première, qui n'est pas prédictible, se traduit sur l'histogramme par une distribution gaussienne. La seconde, qui est reproductible, s'exprime par la répétition de plusieurs gaussiennes sur un même histogramme. La solution ABC va permettre de réduire cette composante de la gigue. A température ambiante et avec une capacité de charge de 100pF, les histogrammes extraits contiennent grossièrement trois gaussiennes. Celui issu de la solution ABC est moins étendu.

La solution ABC permet de réduire la déviation des transitions. Prenons l'exemple d'une transition descendante des deux symboles suivants : bit « 010 » isolée et transition « 10 »

isolée (cf. Figure III.26). Un écart est produit entre les transitions issues de ces deux symboles dû à la différence de tension initiale. Pour limiter l'écart entre les deux transitions, les tensions initiales de ces deux symboles doivent se rapprocher au maximum. Comme le buffer ABC commute plus rapidement, la tension atteinte avant la transition descendante est plus élevée ce qui a pour effet de réduire l'écart entre les transitions. Ainsi, dans un signal pseudo-aléatoire, l'excursion des tensions initiales avant chaque commutation qui conditionne la gigue est moins élevée en mode ABC. Par conséquent, la gigue déterministe est réduite par rapport à celle du buffer BC.

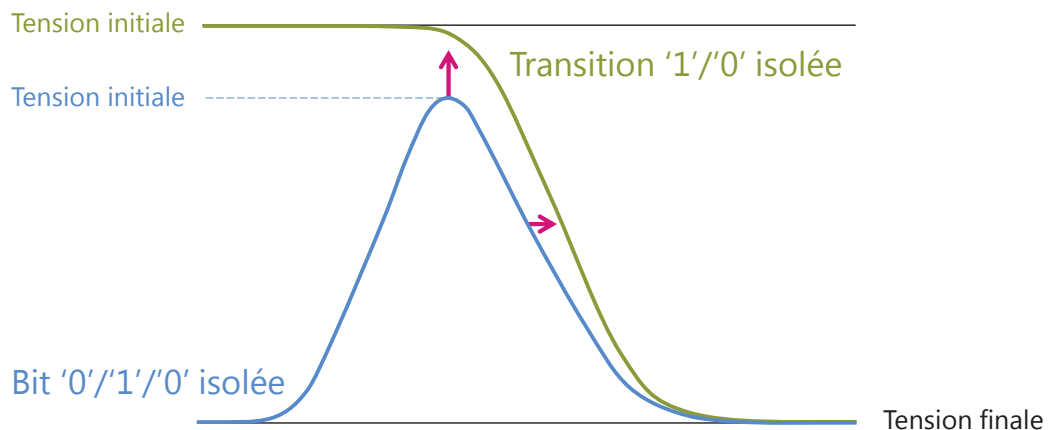


Figure III.26: illustration de deux symboles superposés causant de la gigue

La gigue TIE pic à pic est extraite pour des valeurs allant de 47pF, 68pF et 100pF (cf. Figure III.27). Pour une faible charge capacitive, l'apport de la polarisation active du *body* est minime. En effet, que ce soit en mode BC ou ABC, le bit a le temps de s'établir vers sa valeur finale lors des séquences bits courts « 010 » ou « 101 ». Dès lors que la charge capacitive augmente, les pentes sont moins abruptes. Le temps de commutation n'est pas suffisant pour permettre aux bits courts de s'établir. Cependant, la polarisation active du *body* permet de se rapprocher davantage de la valeur finale que dans le mode BC. Ainsi, grâce à cette structure, la gigue TIE pic à pic est réduite de 25% avec une charge capacitive de 100pF.

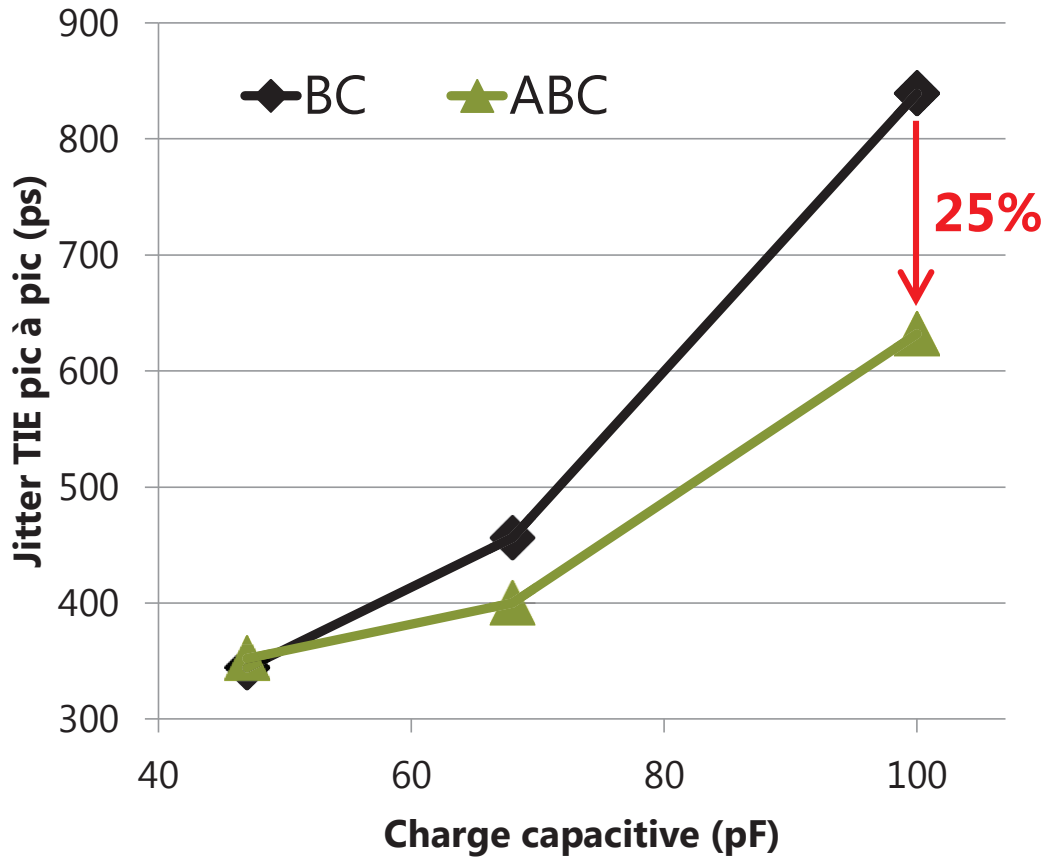


Figure III.27: gigue TIE pic à pic des buffers BC et ABC en fonction de la charge capacitive

5. Conclusion

Dans la littérature, il est convenu de préférer les transistors BC aux transistors FB pour conférer aux interfaces un comportement électrique identique à la technologie BULK. Toutefois, dans le cadre de cette thèse, une étude a été menée sur les effets *body* flottant propres aux transistors FB et leur influence sur le buffer de sortie. Il a été mis en évidence que l'effet d'histoire a une influence négative sur la gigue, paramètre largement utilisé pour évaluer la performance d'une interface lors d'une transmission. De plus, le caractère flottant du *body* a pour effet d'accroître la consommation statique du buffer de sortie, d'environ 10 fois par rapport au buffer BC. En outre, l'effet d'auto-échauffement a fait l'objet d'une étude pour évaluer son influence sur l'interface standard et sur l'interface mémoire DDR3. Il s'avère que ce phénomène est négligeable.

Un circuit de polarisation actif de *body* a été proposé pour contrôler dynamiquement les V_T du buffer de sortie. Cela permet de contrer les effets indésirables de substrats flottants tout en proposant un gain en vitesse sur les transitions. Cette technique consiste à augmenter le courant pendant la transition en élevant la tension de *body*. Puis, lorsque le bit est établi, la tension de *body* est abaissée pour limiter la consommation statique. Cette solution a été fabriquée puis validée sur silicium. Les mesures obtenues ont montré une réduction de la gigue TIE pic à pic de 25% en sortie du buffer pilotant une capacité de charge de 100pF.

6. Références bibliographiques

- [Chang'05] K. Chang, et al., "Clocking and circuit design for a parallel I/O on a first-generation CELL processor," in *Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International*, 2005, pp. 526–615 Vol. 1.
- [Chang'09] K. Chang, et al., "SOI design for a high-performance IO interface," in *SOI Conference, 2009 IEEE International*, 2009, pp. 1–4.
- [Hancock'04a] J. Hancock, "Jitter—Understanding It, Measuring It, Eliminating It. Part 1: Jitter Fundamentals," *High Frequency Electronics*, vol. 4, pp. 44–50, 2004.
- [Laplanche'09] Y. Laplanche, et al., "Physical IP design for advanced SOI technologies," in *SOI Conference, 2009 IEEE International*, 2009, pp. 1–4.
- [Pelloie'07] J.-L. Pelloie, « Physical IP for SOI design infrastructure », in *SOI Conference, 2007 IEEE International*, 2007, p. 129-130.
- [TI'08] Texas Instrument, "LVDS Owner's Manual, Design Guide", <http://www.ti.com/lit/ml/snla187/snla187.pdf>, 2008.

Chapitre IV

Entrées / Sorties en 28nm FD-SOI

1. Introduction

Cette technologie, grâce à un meilleur contrôle électrostatique du canal des transistors, présente des performances en vitesse améliorées tout en maîtrisant la consommation électrique ce qui la rend particulièrement indiquée pour les applications nomades. De plus, la technologie FD-SOI apporte un degré de liberté supplémentaire lors de la conception de circuit, au travers de la modulation du V_T des transistors par la polarisation de la face arrière. Dans le type d'applications visé, les interfaces mémoires présentes dans les systèmes sur puce (SoC pour *System on Chip* en anglais) s'appuient sur le standard LPDDR2 (*Low Power Double Data Rate 2* en anglais). Ce standard est défini de sorte à atteindre une vitesse de transmission élevée, jusqu'à 533MHz, et une faible consommation électrique.

A mesure que les vitesses de communications augmentent avec l'évolution des standards, les conséquences du phénomène de réflexion du signal augmentent également. Dans le standard LPDDR2, la technique pour limiter ce phénomène consiste à calibrer l'impédance de sortie du transmetteur, pour garantir une adaptation d'impédance. La calibration d'impédance usuelle s'articule autour d'un système de recherche de code binaire. Ce dernier est ensuite transmis au buffer de sortie afin de produire l'impédance désirée dans toutes les conditions technologiques et environnementales. L'inconvénient de cette calibration numérique réside dans la nécessité de couper toute transmission durant la calibration, car le signal à transmettre serait perturbé lors de la mise à jour du code numérique.

La technologie FD-SOI permet d'envisager une nouvelle méthode de calibration d'impédance. Celle-ci consiste à moduler l'impédance de sortie, non plus par une sélection de transistors en code binaire, mais par la polarisation de la face arrière des transistors. Cette compensation analogique pourrait être réalisée durant la transmission ce qui augmenterait la quantité d'information transmise.

Afin d'évaluer l'effet face arrière, des interfaces CMOS standards, embarquées dans un circuit de test, ont été mesurées en polarisant leurs faces arrières. Ensuite, cette étude s'est poursuivie en évaluant l'influence de l'effet face arrière et celle des paramètres

environnementaux sur l'impédance de sortie. Finalement, un circuit de calibration tirant profit du FD-SOI a été proposé.

2. Etude de l'influence de la polarisation face arrière sur l'impédance d'un étage de sortie LPDDR2

2.1. Analyse expérimentale de l'effet face arrière sur une entrée/sortie standard

2.1.1. Buffer de sortie

La technologie FD-SOI offre la possibilité de moduler le V_T par le potentiel de face arrière V_{BB} . Cette étude vise à démontrer expérimentalement la pertinence de cet effet sur les buffers de sortie, dont les transistors sont dotés d'un oxyde de grille épais. Dans ce but, des interfaces CMOS standard ont été implémentées sur un circuit de test.

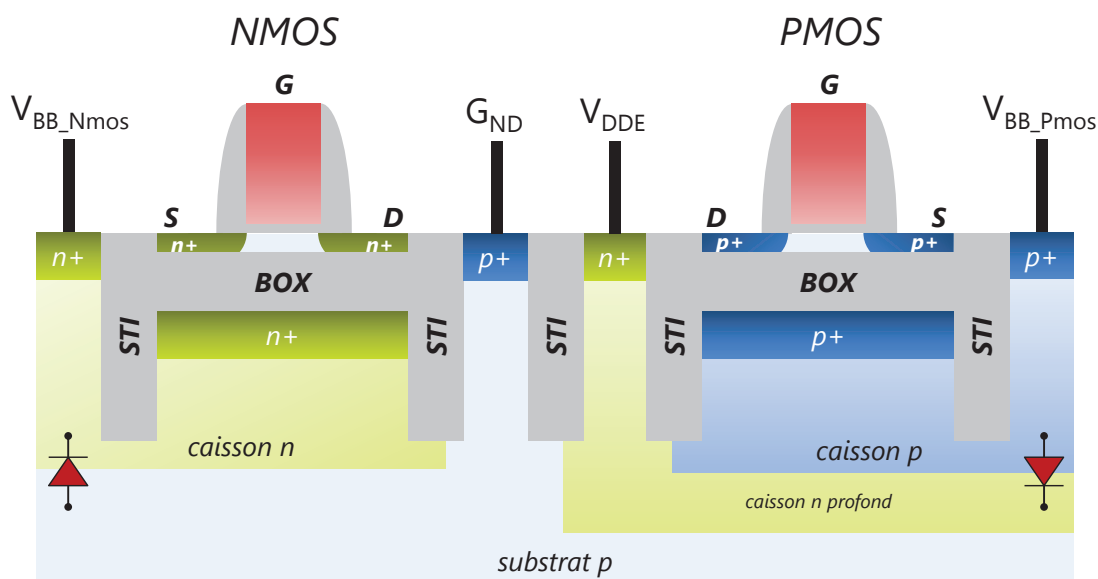


Figure IV.1: Vue de profil du buffer de sortie testé.

Par souci d'intégration, les cellules numériques présentes dans le cœur du circuit ont leurs transistors P et N abutés ce qui limite les excursions de tensions possibles sous la face arrière. Le potentiel appliqué sur un caisson P doit rester inférieur à celui appliqué sur un caisson N afin d'assurer le blocage de la jonction PN.

Dans le but d'étendre les excursions de tensions sous le BOX, l'architecture du buffer de sortie sous test présente des caissons isolés contrairement aux cellules numériques (cf. Figure IV.1). Les transistors utilisés sont de type LVT et les tensions applicables sous le NMOS vont de 0V à 2,3V et de 1,8V à -0,5V sous le PMOS. Les excursions de tensions étaient normalement limitées à 0V et 1,8V par l'anneau d'interfaces (cf. Figure IV.2). Toutefois, une astuce permettant d'étendre les excursions de tensions vers -0.5V et 2,3V est décrite dans la partie qui suit.

2.1.2. Circuit de test

L'interface entrée/sortie sous test est intégrée dans un anneau d'interfaces qui occupe la périphérie du circuit de test. Cet anneau est constitué de plots d'alimentations, de systèmes de déclenchements contre les décharges électrostatiques (ESD pour *Electrostatic Discharge* en anglais), de plots analogiques (*Wirepad* en anglais), etc. (cf. Figure IV.2).

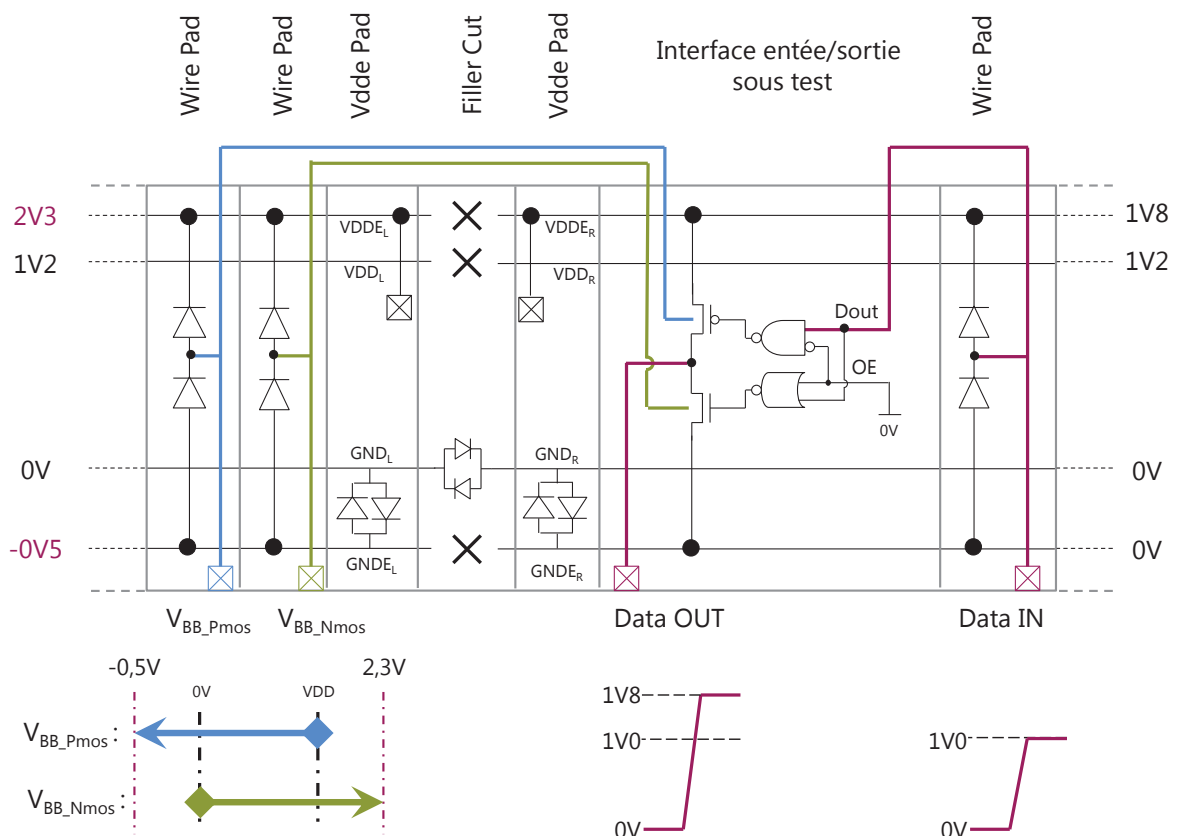


Figure IV.2: Schéma de l'anneau d'interfaces dans lequel est intégré le buffer de sortie à tester.

Un réseau ESD dans un anneau est conçu de telle sorte que les charges issues d'un évènement ESD puissent être détournées du circuit afin de le protéger. Cela se traduit par la présence, entre autres, de diodes. Le plot analogique est constitué de diodes connectées aux alimentations VDDE/GNDE. Les signaux nécessaires pour polariser individuellement les faces arrière du NMOS et du PMOS, VBB_{Nmos} et VBB_{Pmos} , transitent par deux plots analogiques. Or, appliquer des signaux sur ces plots au-delà des tensions d'alimentation provoque la mise en conduction des diodes. Par conséquent, deux domaines d'alimentation distincts sont créés grâce à une cellule de remplissage spécifique appelée *Fillercut* en anglais. Excepté pour GND, cette cellule permet de couper les lignes d'alimentation afin de leur attribuer des tensions indépendantes de part et d'autre du *Fillercut*. VDDE_L et GNDE_L sont les lignes d'alimentation à la gauche du *Fillercut* et sont respectivement égale à 2,3V et -0,5V. Elles alimentent les plots analogiques connectés aux faces arrière du buffer. VDDE_R et GNDE_R, les lignes d'alimentation à la droite du *Fillercut*, sont aux tensions nominales respectivement de 1,8V et 0V. Elles alimentent l'interface entrée/sortie sous test. Ainsi, les tensions d'alimentation sont augmentées localement afin d'assurer le blocage des diodes. Toutefois, des diodes tête-bêche sont placées entre GND_L et GNDE_L. C'est la raison pour laquelle GNDE_L ne descend pas en-dessous de -0,5V.

2.1.3. Résultats expérimentaux

Un signal carré à basse fréquence est transmis pour mesurer en sortie les temps de montée et descente du buffer. Les résultats ont été extraits pour plusieurs points de polarisation de face arrière (Figure IV.3). A mesure que le potentiel de face arrière augmente sous le NMOS (diminue sous le PMOS), le temps de descente (le temps de montée) diminue jusqu'à atteindre un gain d'environ 10%. La modulation de V_T par face arrière modifie le courant de commutation et donc l'impédance de sortie. Cette spécificité est analysée dans le paragraphe suivant pour le buffer de sortie LPDDR1.

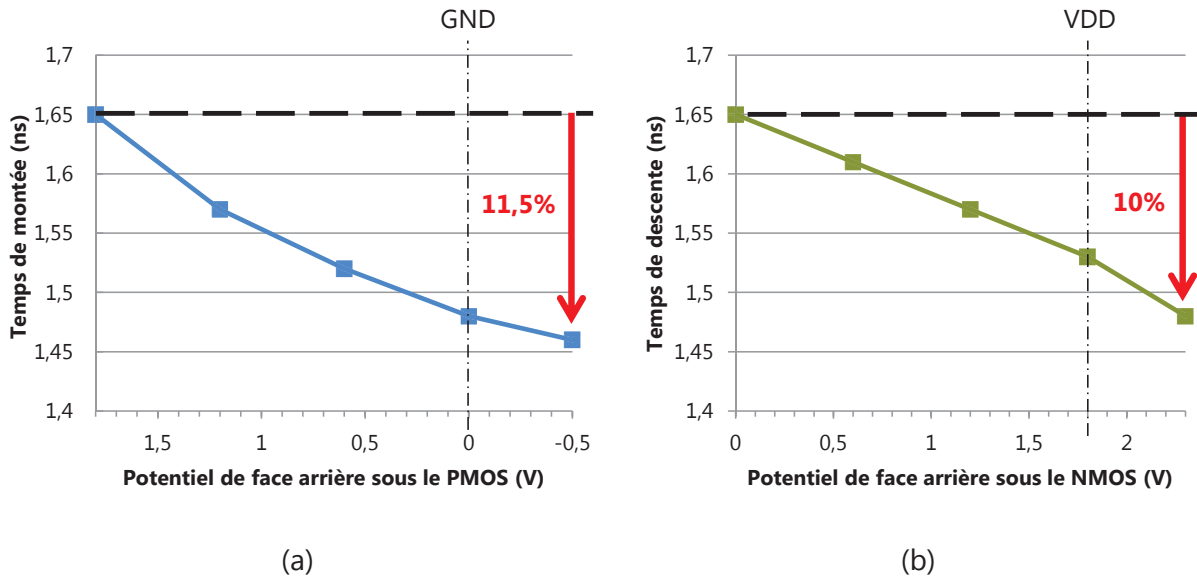


Figure IV.3: (a) évolution du temps de montée du buffer de sortie en fonction de la polarisation sous le PMOS et (b) du temps de descente en fonction de la polarisation sous le NMOS.

2.2. Evolution de l'impédance d'un étage de sortie LPDDR2 en fonction des conditions de Procédé, Température et Tension d'alimentation

L'impédance de sortie visée dans le standard LPDDR2 est de 34Ω (dans la majorité des applications) à une tension nominale de 1,2V. Elle s'obtient en connectant en parallèle sept buffers de sortie, chacun étant calibré à 240Ω , quelles que soient les conditions de procédé, température et tension d'alimentation.

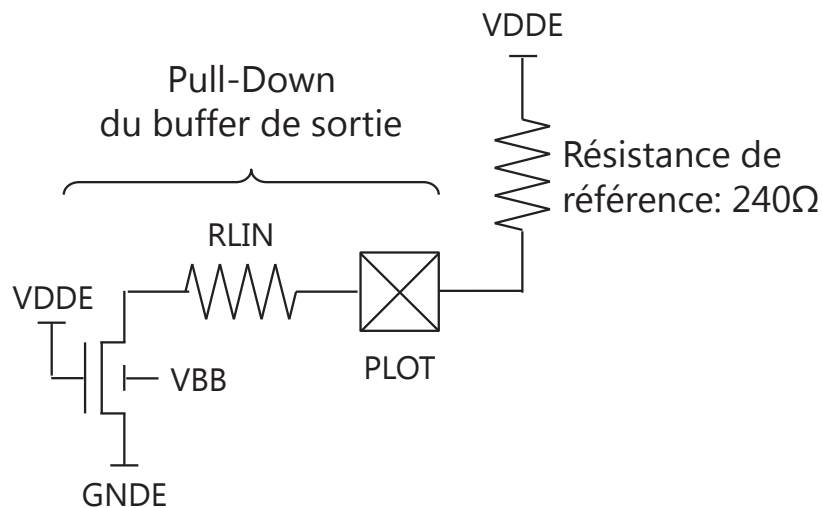


Figure IV.4: Schéma du Pull-DN du buffer de sortie connecté à une résistance de référence.

Le schéma électrique considéré pour l'analyse de l'impédance de *Pull-DN* (cf. Figure IV.4) se compose d'un transistor NMOS dont la grille est connectée à $V_{DDE}=1,2V$ et la face arrière connectée à $V_{BB}=1V$. La tension V_{BB} choisie permet d'obtenir une déviation d'impédance symétrique autour de 240Ω après correction (cf. la section 2.4). Il se compose également d'une résistance de linéarisation R_{LIN} . Pour rappel, elle permet d'assurer une bonne linéarité de la caractéristique I-V afin de garantir une bonne adaptation d'impédance pendant toute la durée de la commutation. Enfin, le schéma se compose d'une résistance externe de référence égale à 240Ω utilisée pour la calibration. Ainsi, un pont diviseur est formé entre le *Pull-DN* et la résistance de référence. L'impédance du *Pull-DN* est égale à 240Ω quand le plot est égal à $V_{DDE}/2$.

Les déviations de l'impédance du *Pull-DN* du buffer de sortie, induites par les conditions environnementales, ont été extraites en fonction de la résistance de linéarisation. La largeur du MOS est dimensionnée pour qu'à une valeur R_{LIN} donnée et un V_{BB} de $1V$, l'impédance de sortie soit toujours égale à 240Ω en condition typique.

En modifiant la température et la tension d'alimentation, en procédé typique, l'impédance dévie de sa valeur cible (cf. Figure IV.5 a). A $125^{\circ}C$ et $1,1V$, le courant diminue et l'impédance augmente, et inversement à $-40^{\circ}C$ et $1,3V$.

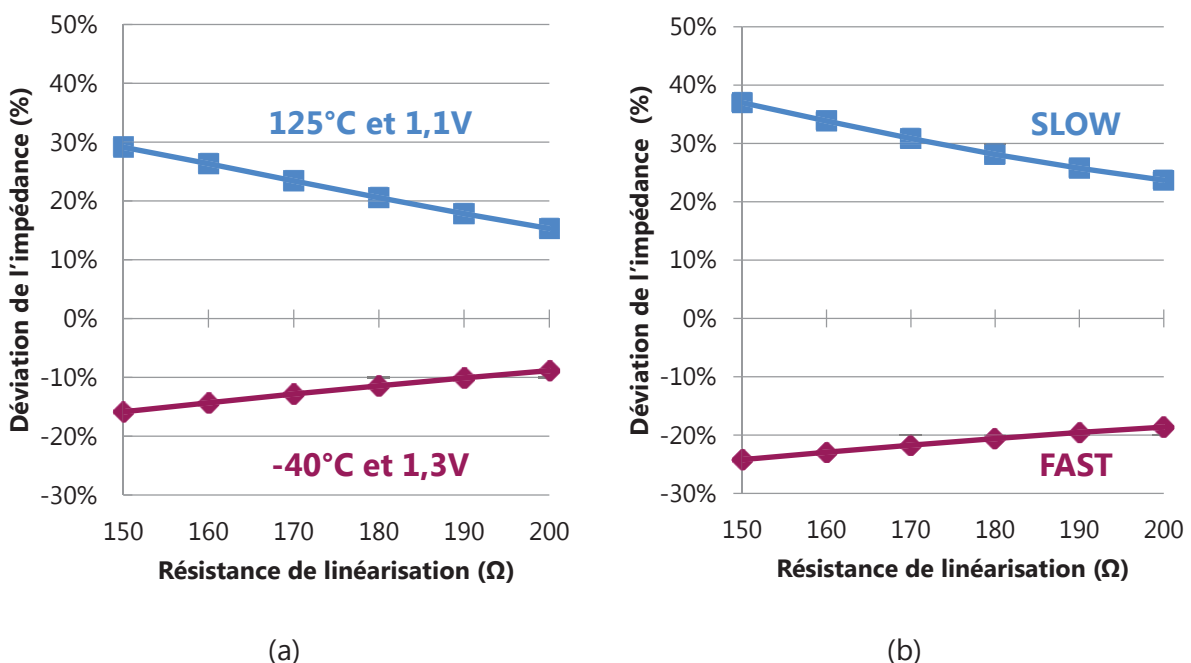


Figure IV.5: (a) déviation de l'impédance du *Pull-DN* en fonction de R_{LIN} à $125^{\circ}C$; $1,1V$ et à $-40^{\circ}C$; $1,3V$ (b) déviation de l'impédance du *Pull-DN* en fonction de R_{LIN} en procédé FAST et SLOW.

A tension et température typiques, le procédé *slow* (haut V_T et résistance maximale) fait également augmenter l'impédance et le procédé *fast* (bas V_T et résistance minimale) la fait diminuer (cf. Figure IV.5 b).

L'observation des courbes montre que la déviation de l'impédance est moins étendue avec une résistance $RLIN$ de 200Ω qu'avec une résistance de 150Ω . En effet, la tension V_{DS} aux bornes du transistor diminue quand $RLIN$ augmente. L'effet du procédé, de la température et de la tension s'atténue avec $RLIN$ qui augmente.

2.3. Evolution de l'impédance en fonction de la polarisation face arrière dans des conditions typiques

En condition typique, la déviation d'impédance induite par le potentiel de face arrière est analysée (cf. Figure IV.6). Nous observons qu'un potentiel de $2,4V$ permet de réduire l'impédance pour compenser une augmentation liée à une condition lente. Inversement, à $0V$, l'impédance augmente afin de contrebalancer une diminution en condition rapide.

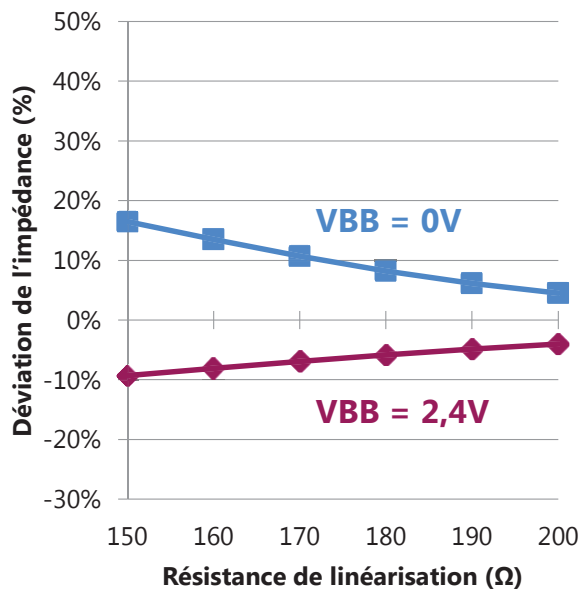


Figure IV.6: déviation de l'impédance du *Pull-DN* en fonction de $RLIN$ à $V_{BB}=0V$ et $2,4V$

Toutefois, la correction d'impédance permise par le contrôle de face arrière n'autorise pas de compenser totalement les déviations d'impédances induites à la fois par le procédé, la température et la tension. Au premier ordre, l'ensemble des conditions dévie l'impédance de -40% à +70%. Or, la modulation d'impédance par face arrière dévie l'impédance de -10% à

+18% environ. La modulation de l'impédance par face arrière ne suffit donc pas pour compenser l'ensemble des conditions environnementales. Par conséquent, nous proposons une calibration d'impédance en deux temps : par une calibration numérique puis par une analogique. La calibration numérique, par sélection de transistors, compense les variations de procédé. La calibration analogique, par ajustement du potentiel de face arrière, compense dynamiquement la déviation induite par la température et la tension d'alimentation.

2.4. Analyse des possibilités de contrôle de l'impédance en utilisant la polarisation face arrière, en présence de variations

En condition typique du procédé, 2,4V est appliqué sur la face arrière afin de réduire l'impédance quand les conditions en température et en tension sont à 125°C et 1,1V (cf. Figure IV.7). Inversement, quand la température et la tension sont respectivement à -40°C et 1,3V, le potentiel de face arrière est mis à 0V afin d'augmenter l'impédance.

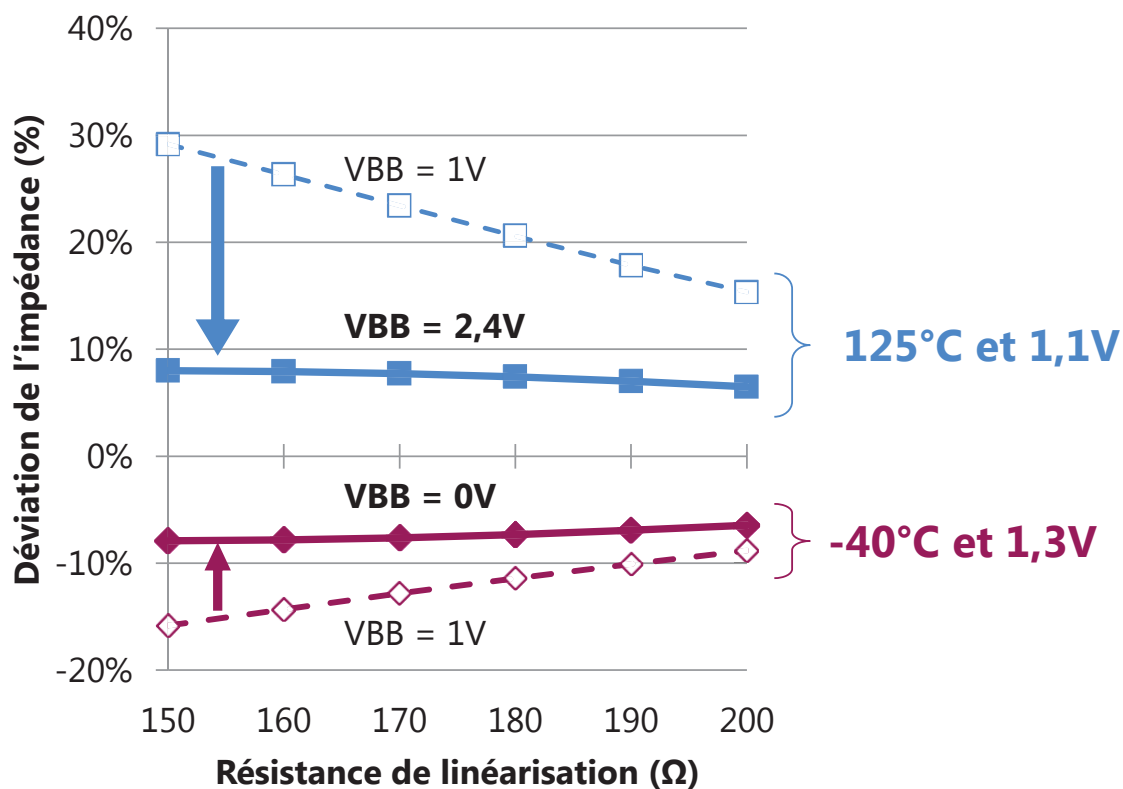


Figure IV.7: déviation de l'impédance du Pull-DN en fonction de RLIN à 125°C ; 1,1V ; VBB=2,4V et à -40°C ; 1,3V ; VBB=0V.

Nous observons que dans les conditions de températures et tensions extrêmes, la déviation d'impédance après correction n'excède pas +/- 8%, quelle que soit la résistance de linéarisation. Or, le standard LPDRRII impose que l'impédance de sortie d'un étage doit être comprise entre +/-15% de sa valeur nominale qui est 240Ω. Le standard est donc respecté.

De plus, la déviation de l'impédance en fonction de la résistance de linéarisation est quasiment constante. Aucune des valeurs de résistance ne permet d'améliorer significativement l'efficacité de la compensation par face arrière. Le choix d'une valeur de résistance a donc été guidé par deux autres paramètres : la linéarité et la taille du transistor que cela implique.

Si la résistance augmente, la caractéristique I-V se linéarise davantage ce qui est favorable à une bonne adaptation d'impédance durant la commutation du buffer de sortie. En contrepartie, la taille du transistor croît de façon exponentielle. Si la résistance de linéarisation est faible, la taille du transistor est plus petite ce qui facilite l'intégration du buffer. Néanmoins, la caractéristique I-V se dégrade en termes de linéarité. Le compromis s'est porté sur une résistance d'une valeur de 170Ω.

Nous avons donc montré qu'il est possible en jouant sur la polarisation arrière, de compenser les variations d'impédance induites par les conditions environnementales (T° et V_{dd}) pour respecter le standard LPDDRII. Les variations de procédé qui ne peuvent être compensées de cette manière resteront traitées de façon classique par commutation de transistors. La suite de ce travail a donc consisté à rechercher puis développer un schéma électrique intégrant la compensation par effet face arrière dans un système de calibration d'impédance mixte : une calibration numérique dédiée à la compensation du procédé et une calibration analogique dédiée à la compensation de la température et de la tension. La calibration numérique doit être réalisée peu fréquemment (à la mise sous tension par exemple). La calibration analogique est dynamique et peut intervenir pendant la transmission.

3. Proposition d'un système de compensation mixte pour Entrées/Sorties LPDDR2

3.1. Principe et architecture générale

Le système de compensation proposé est dit mixte. Pour calibrer l'impédance de sortie du buffer, le système emploie deux leviers. Le premier est numérique. Les calculs des codes numériques pour le NMOS et pour le PMOS sont lancés au repos, en supposant que la température soit celle de l'air ambiant et que la tension d'alimentation soit stable. La compensation numérique a pour but de compenser les dérives du procédé. Elle n'intervient qu'une seule fois avant que les communications inter-circuit ne débutent. Le second levier est analogique. La calibration génère deux tensions analogiques, une pour la face arrière du NMOS et une pour celle du PMOS. La compensation analogique ajuste l'impédance en compensant les dérives en température et tension. Les tensions analogiques sont mises à jour à intervalles réguliers et sont maintenues entre deux calibrations par une capacité de stockage. Cette dernière est un MOS monté en capacité de $\sim 200\text{fF}$.

Une interface LPDDR2 est généralement constituée de 32 interfaces entrée/sortie de données, d'une interface entrée/sortie d'horloge et d'une cellule de calibration d'impédance (cf. Chapitre I, section 5.2). Une des interfaces entrées/sorties de donnée ainsi que la cellule de calibration sont représentées Figure IV.8.

L'interface entrée/sortie, dont l'impédance de sortie visée est 34Ω , se compose de 7 étages en parallèle calibrés chacun à 240Ω . La cellule de calibration produit le code numérique puis les tensions de face arrière des buffers de sortie. Pour la calibration du *Pull-UP*, elle se compose d'une réplique du *Pull-UP* connectée à une résistance externe de référence égale à 240Ω . Pour la calibration du *Pull-DN*, elle se compose d'une réplique de *Pull-DN* connectée à une seconde réplique de *Pull-UP*. Cette dernière aura été calibrée au préalable et joue le rôle de résistance de référence.

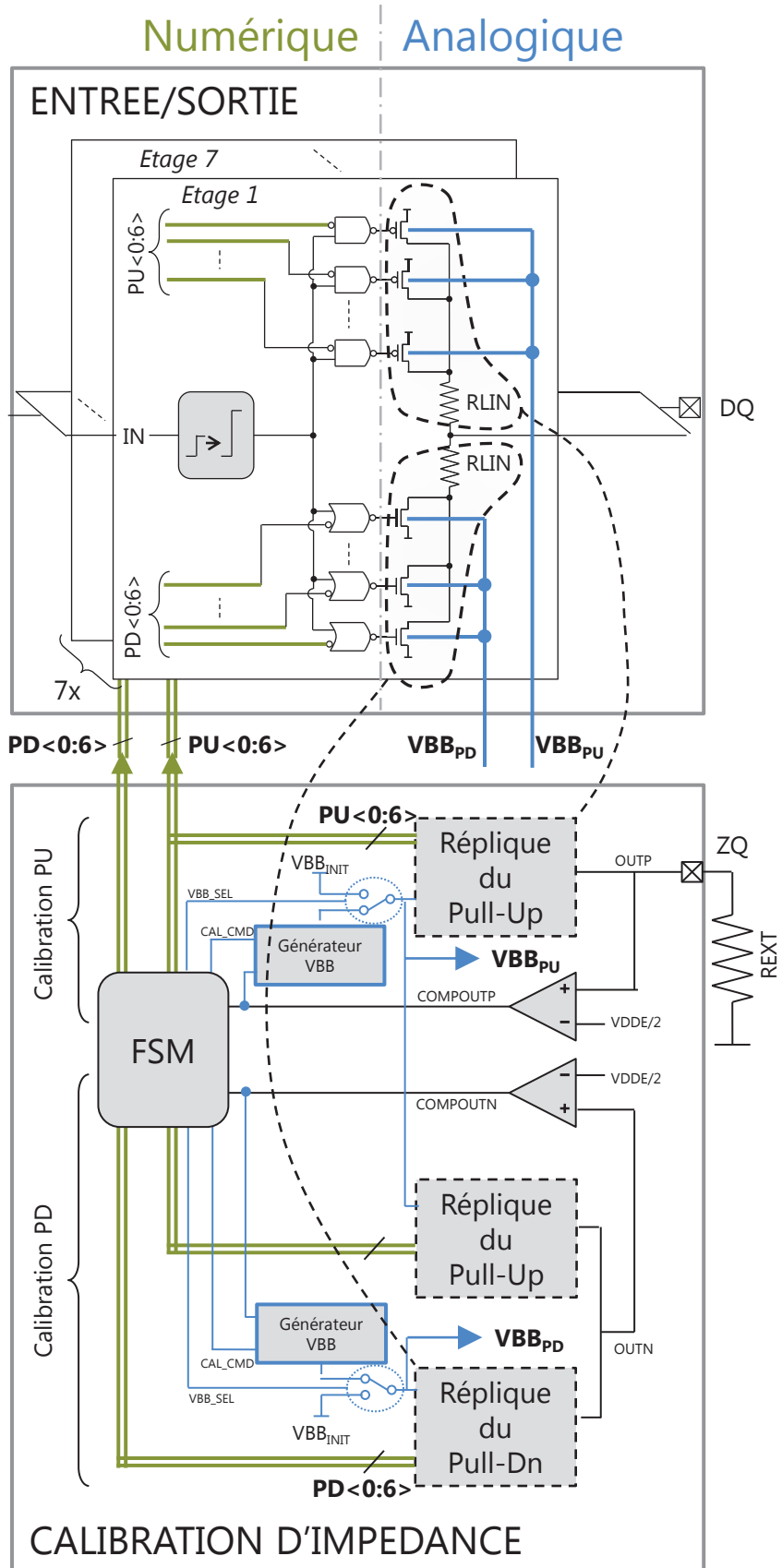


Figure IV.8: schéma complet d'une interface entrée/sortie et d'une cellule de calibration mixte

Une machine à états finis (FSM pour *Finite State Machine* en anglais) coordonne toute la procédure de calibration décrite dans le flot de calibration (cf. Figure IV.9). Durant la phase de calibration numérique, les tensions de face arrière sont initialisées à 0V pour le *Pull-UP* et à 1,2V pour le *Pull-DN*. Le code PU est tout d'abord balayé de façon incrémentale jusqu'à ce que la tension *OUTP* soit égale à $VDDE/2$, $VDDE$ étant la tension d'alimentation externe égale à 1,2V. Le code PD est à son tour balayé puis les deux codes ainsi obtenus sont mis en mémoire et figés. Durant la calibration analogique, les faces arrière du buffer de sortie des répliques sont connectées aux générateurs de tension analogique *VBB*, l'un dédié au *Pull-UP* et l'autre au *Pull-DN*. Le premier délivre une tension comprise entre -1,2V et +1,2V. Le second délivre une tension comprise entre 0V et 2,4V. A intervalle régulier, les générateurs mettent à jour les tensions de face arrière, l'un à la suite de l'autre. Chaque générateur possède en entrée une commande de calibration appelé *CAL_CMD* et un indicateur de niveau d'impédance donné par un comparateur. Lorsque la commande de calibration est lancée, le principe adopté consiste à détecter le niveau d'impédance puis à augmenter ou diminuer le potentiel de face arrière jusqu'à ce que 240Ω soit atteint. Le potentiel est ensuite maintenu par une capacité avant que la prochaine commande de calibration ne soit lancée.

Si l'impédance du *Pull-DN* est au-dessus de 240Ω , alors *OUTN* est supérieur à $VDDE/2$ et VBB_{PD} augmente pour diminuer l'impédance (cf. Tableau IV.1). Si l'impédance du *Pull-DN* est en-dessous de 240Ω , alors *OUTN* est inférieur à $VDDE/2$ et VBB_{PD} diminue pour augmenter l'impédance.

Tableau IV.1 : récapitulatif des signaux de contrôle en fonction de l'impédance du *Pull-UP* et du *Pull-DN*.

	Pull-DN			Pull-UP		
	OUTN	COMPOUTN	VBB_{PD}	OUTP	COMPOUTN	VBB_{PU}
$Z > 240$	$> VDDE/2$	'1'	↗	$< VDDE/2$	'0'	↘
$Z < 240$	$< VDDE/2$	'0'	↘	$> VDDE/2$	'1'	↗

En ce qui concerne la calibration du *Pull-UP*, si l'impédance du *Pull-UP* est au-dessus de 240Ω , alors *OUTP* est inférieur à $VDDE/2$ et VBB_{PU} diminue pour diminuer l'impédance. Enfin, si l'impédance du *Pull-UP* est en-dessous de 240Ω , alors *OUTP* est supérieur à $VDDE/2$ et VBB_{PU} augmente pour augmenter l'impédance.

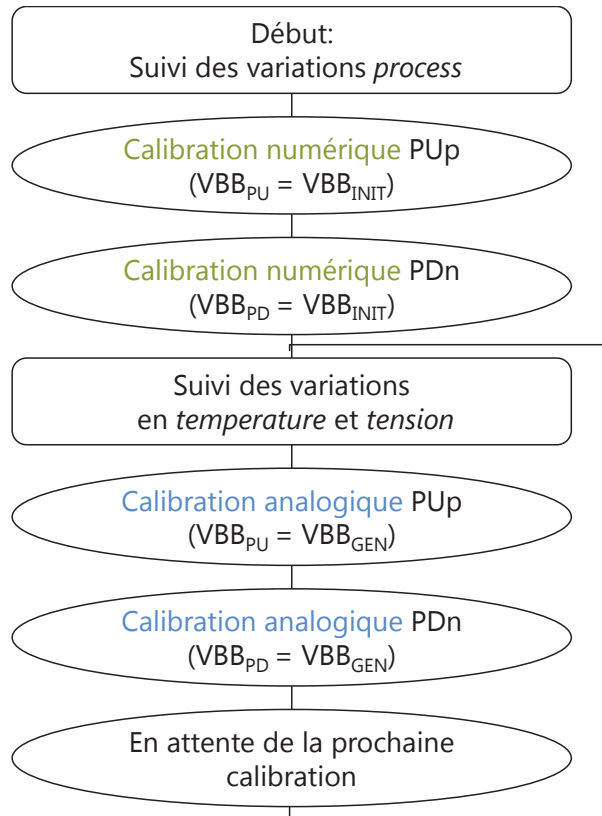


Figure IV.9: flot du système de calibration mixte

3.2. Schémas détaillés

3.2.1. Dimensionnement du buffer de sortie

Les transistors des étages de sortie présentent des largeurs de grille croissantes, dont les valeurs doublent d'un transistor à l'autre, afin de pouvoir utiliser un mode de sélection binaire. Le dimensionnement du buffer de sortie dans une calibration numérique usuelle doit tenir compte de l'ensemble des conditions en procédé, tension et température. En revanche, le dimensionnement du buffer de sortie de la calibration mixte ne doit seulement tenir compte que des variations du procédé. Les variations en tension et température sont compensées par la polarisation de face arrière.

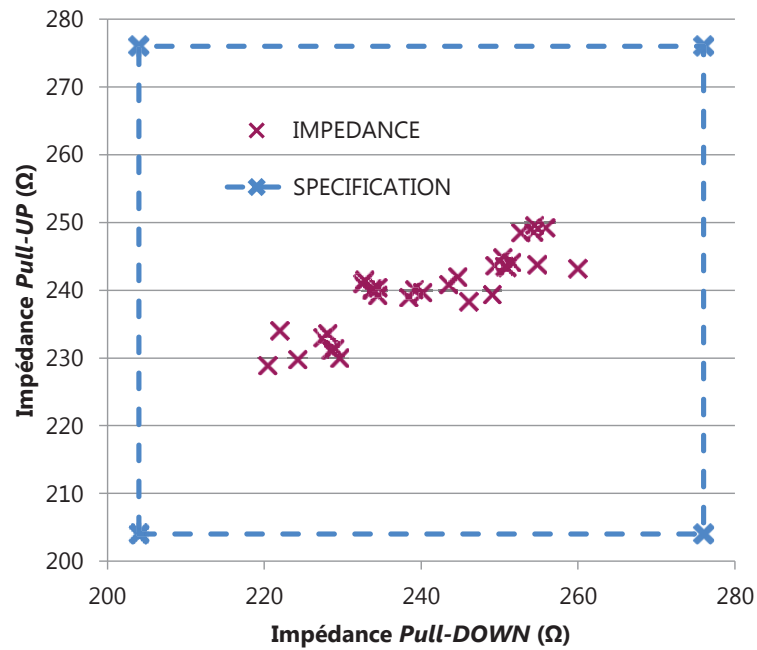


Figure IV.10: impédance du buffer de sortie dimensionné pour atteindre $240\Omega \pm 15\%$ dans toutes les conditions environnementales, avec polarisation de face arrière.

Afin d'évaluer le bon dimensionnement du buffer, nous l'avons associé à un émulateur de FSM. Simuler un buffer avec une FSM conduit à des temps de simulations très longues. L'émulateur produit un code de compensation en simulation statique. Il permet d'émuler la recherche du code numérique réalisée par la FSM de façon plus rapide. L'émulateur est ici utilisé pour générer un code qui compense les variations de procédé. Il est accompagné d'une cellule de contre-réaction idéale qui produit la tension analogique de face arrière, afin de compenser les variations en température et tension.

A l'état initial de la simulation, autrement dit en condition statique, l'émulateur produit un code numérique qui sélectionne le nombre de doigts en fonction du procédé (*FAST*, *TYP* ou *SLOW*) afin de calibrer l'impédance. A cet instant, la température et la tension sont aux conditions typiques et le code numérique est mémorisé. Durant la simulation transitoire, la température et la tension évoluent vers leur valeur prédéfinie (-40°C , 25°C ou 125°C pour la température et 1,1V, 1,2V ou 1,3V pour la tension). L'impédance est, cette fois-ci, corrigée en temps réel par le système contre-réaction idéal. L'impédance dans tous les cas croisés sont ainsi extraites à l'issue de la simulation transitoire (cf. Figure IV.10). Toutes les valeurs d'impédance de *Pull-UP* et *Pull-DN* qui en résultent sont comprises dans la fenêtre définie dans le standard LPDDR2. Le buffer est donc dimensionné correctement pour permettre de

calibrer son impédance de sortie en fonction du nombre de doigts sélectionnés et du potentiel de face arrière.

3.2.2. Contrôle analogique via la face arrière du Pull-DN

Afin de pouvoir compenser l'impédance en température et en tension, via le potentiel de face arrière, ce dernier doit pouvoir aller de 0V à 2,4V dans le cas de la calibration du Pull-DN, et de -1,2V à 1,2V pour le Pull-UP. Or, les tensions disponibles sont 0V et 1,2V et il sera par conséquent nécessaire d'utiliser deux pompes de charge pour générer ces tensions, une pour les Pull-UP et une pour les Pull-DN.

Le contrôleur analogique de tension de face arrière présenté en détail dans ce paragraphe produit une tension afin de corriger l'impédance du Pull-DN (cf. Figure IV.11).

La première solution envisagée pour réaliser cette fonction consistait à faire appel à un système de contre-réaction de type proportionnel-intégrateur. L'avantage est qu'il procure une correction en temps réel. Néanmoins, cela aurait nécessité d'activer une pompe de charge en continu pour alimenter le système de contre-réaction.

Le système utilisé dans notre calibration analogique est de type Bang-Bang [Athans'06]. Seuls deux états sont possibles : UP et DN. Ce système est plus simple à mettre en œuvre et permet d'utiliser la pompe de charge uniquement quand cela est nécessaire. Lorsque la tension souhaitée est atteinte, la pompe de charge se coupe. La tension est alors maintenue par une capacité avant que la correction suivante soit lancée.

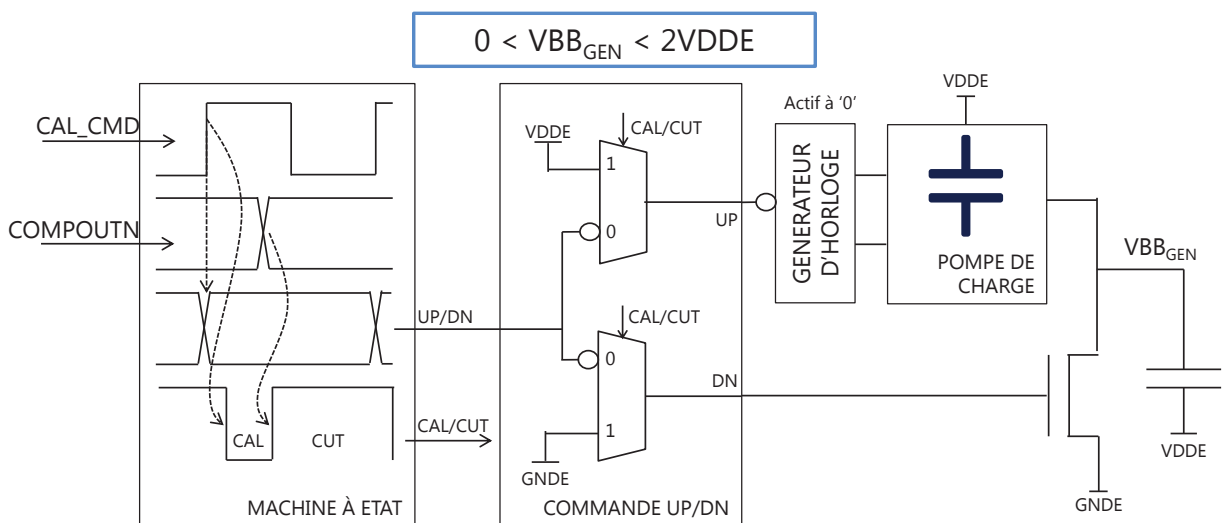


Figure IV.11: Contrôleur analogique de la tension de face arrière du Pull-DN

Le contrôleur se compose d'une machine à état qui, à la réception de la commande de calibration analogique, détecte si l'impédance est au-dessus ou en-dessous de 240Ω grâce au signal *COMPOUTN*. En fonction de son état logique, la cellule de commande UP/DN détermine si le potentiel de sortie doit monter ou descendre. Si la tension doit monter, le générateur d'horloge, actif à '0', fait commuter la pompe de charge. Cette dernière fournit des charges à la capacité de stockage en sortie ce qui augmente la tension. Si la tension doit diminuer, alors le transistor de type N, connecté à GNDE, est activé pour évacuer les charges de la capacité. Le générateur est dimensionné pour produire une tension allant de 0V à $\sim 2,4V$.

De manière analogue, pour corriger l'impédance de *Pull-UP*, un contrôleur analogique de tension de face arrière identique à celui décrit précédemment est utilisé, mais avec une tension de sortie comprise entre $\sim -1,2V$ et $1,2V$. La pompe de charge, contrôlée par un générateur d'horloge actif à '1', permet de diminuer la tension en-deçà de GNDE. Un transistor de type P, connecté à VDDE, permet de faire monter la tension.

Le tableau suivant (cf. Tableau IV.2) résume les états logiques du contrôleur et l'action sur la tension de face arrière du *Pull-DN*.

Tableau IV.2 : récapitulatif des signaux de contrôle de la commande UP/DN

CAL/CUT	UP/DN	UP	DN	VBB _{GEN}
0	0	1	1	↘
0	1	0	0	↗
1	X	1	0	Stabilisé

► Génération de la tension de face arrière

Le générateur de tension face arrière (cf. Figure IV.12) décrit ici est dédié au contrôle du *Pull-DN*. Il se compose d'une pompe de charge pour faire monter la tension et de cinq transistors de décharge pour la faire descendre. Pour le contrôle du *Pull-UP*, la structure est symétriquement identique.

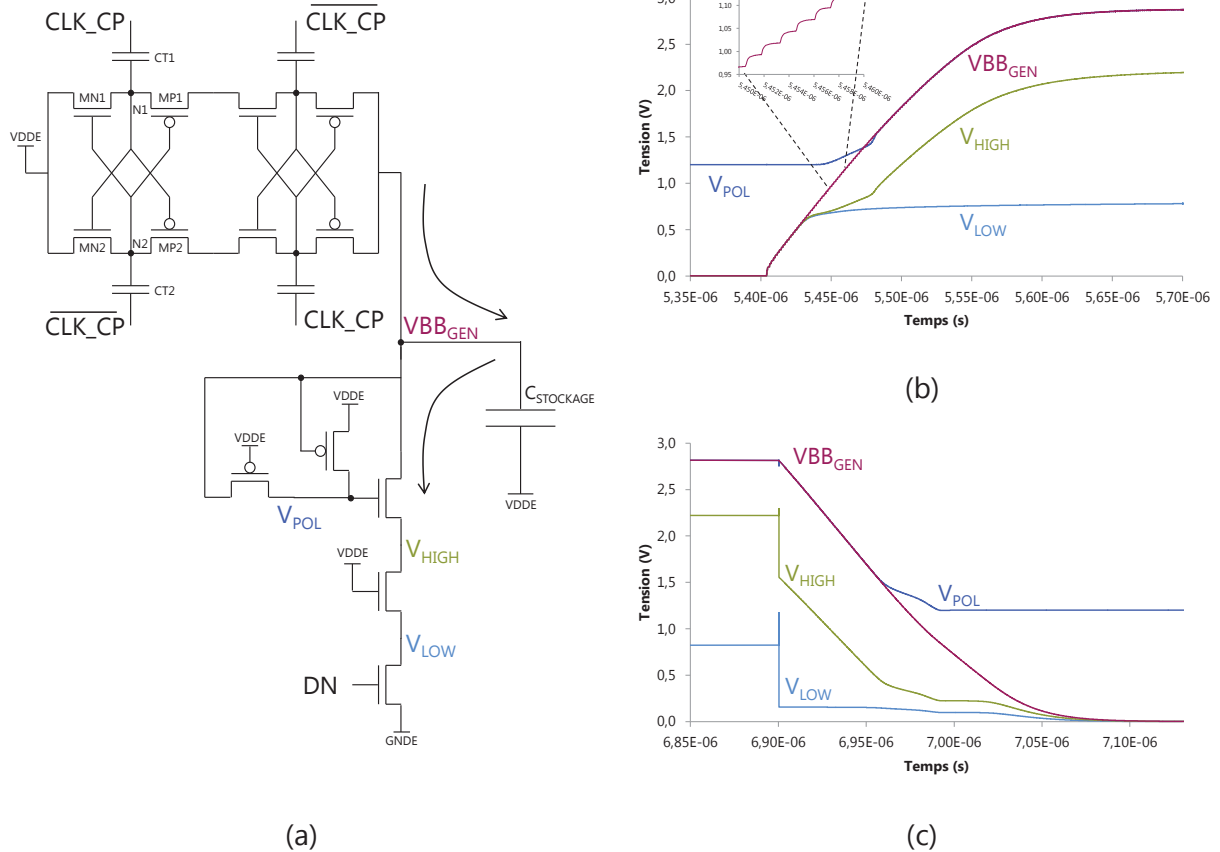


Figure IV.12: (a) schéma du générateur de potentiel de face arrière du Pull-DN, (b) simulation du générateur quand la commande UP est activée, actionnant la pompe de charge et (c) simulation du générateur quand la commande DN est activée.

Le type de pompe de charge utilisé est appelé *latched CP* (*latched Charge Pump* en anglais pour pompe de charge à circuit à verrouillage) [Gariboldi'94] [Gariboldi'96] [Palumbo'10]. La pompe de charge est alimentée sous 1,2V et est constituée de deux étages. Chaque étage possède un circuit à verrouillage composé de deux inverseurs dont chaque grille est connectée à une capacité de transfert. Prenons l'exemple du premier étage. Dans une première phase, la capacité de transfert $CT1$ se charge, par l'intermédiaire de $MN1$, lorsque CLK_CP passe de VDD à 0V. $MN1$ est rendu passant par l'augmentation du potentiel du nœud $N2$ induite par couplage capacitif lorsque CLK_CP barre passe de 0V à VDD. Dans une seconde phase, le potentiel du nœud $N1$ monte par couplage capacitif quand CLK_CP passe à VDD. Les charges stockées dans $CT1$ sont transférées, par l'intermédiaire de $MP1$, vers la capacité de transfert de l'étage suivant. Ainsi, lorsque le générateur d'horloge est activé, les charges circulent peu à peu après chaque front d'horloge vers la capacité de stockage. Enfin, V_{BB_GEN} augmente pour permettre à l'impédance de sortie de diminuer.

Lorsque l'impédance doit au contraire augmenter, les horloges CLK_CP ne commutent pas et la capacité de stockage se décharge par l'intermédiaire de trois transistors NMOS cascodés. Cette structure permet de garantir que les tensions vues par les transistors soient inférieures à $\sim 1,5V$. Les temps de montée et de descente de $V_{BB_{GEN}}$, entre 10 et 90% de 2,4V, sont de $\sim 100ns$. A titre de comparaison, en ce qui concerne la calibration numérique usuelle de STMicroelectronics, la fréquence de balayage du code de compensation est de 266MHz. Le *Pull-DN* étant constitué de sept doigts, tout comme le *Pull-UP*, 128 combinaisons sont possibles. Ainsi, il faut compter $\sim 480ns$ pour passer de 0 à 127.

► Générateur d'horloge de la pompe de charge

Le générateur d'horloge de la pompe de charge (cf. Figure IV.13) est actif à '0', lorsque $V_{BB_{GEN}}$ doit monter. Il se compose d'un oscillateur en anneau suivi d'un générateur d'horloge à deux phases non-recouvrantes ainsi que de deux buffers qui pilotent les capacités de transfert de la pompe de charge. Le générateur d'horloge à deux phases non-recouvrantes permet de maximiser le transfert de charge vers la pompe de charge. Il garantit la suppression du courant de court-circuit lorsque les buffers du générateur d'horloge commutent.

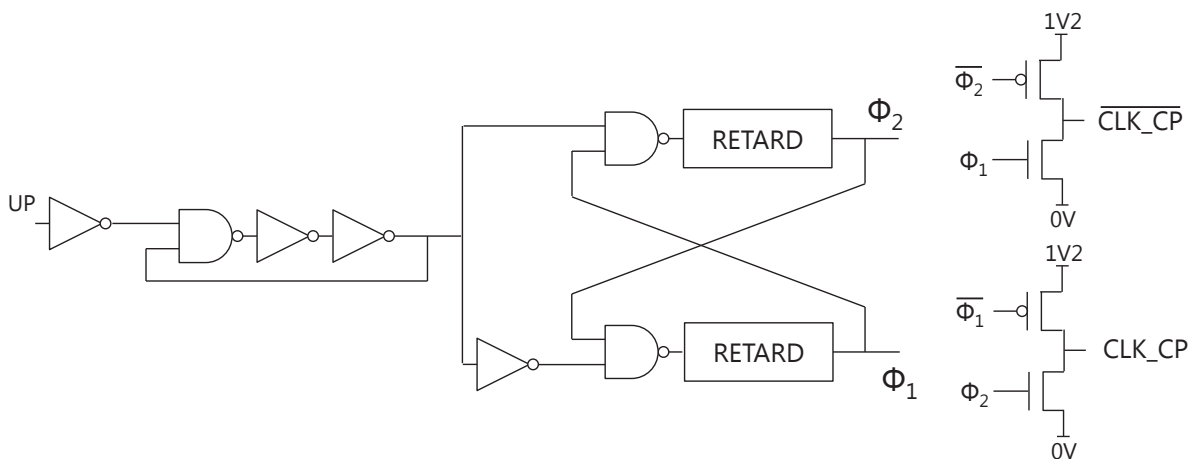


Figure IV.13: schéma du générateur d'horloge de la pompe de charge

► Machine à état

La machine à état (cf. Figure IV.14) possède deux entrées et deux sorties. CAL_CMD est le signal de commande de calibration. Sur un front montant de ce signal, une impulsion à '0' est générée à l'entrée supérieure de la bascule RS. La sortie CAL/CUT prend la valeur de 0V.

La calibration débute. Au préalable, le niveau logique de *COMPOUTN*, qui indique si l'impédance est supérieure ou inférieure à l'impédance de référence, est recopié sur la sortie de la bascule D qui est connecté à la sortie *UP/DN*. Ce signal détermine si le potentiel de face arrière doit monter ou descendre pour corriger l'impédance. Lorsque l'impédance atteint 240Ω , *COMPOUTN* change d'état. La sortie de la porte OU-Exclusif passe à '1' et une impulsion à '0' est générée sur l'entrée inférieure de la bascule RS. La sortie *CAL/CUT* repasse à l'état '1' ce qui termine la calibration analogique.

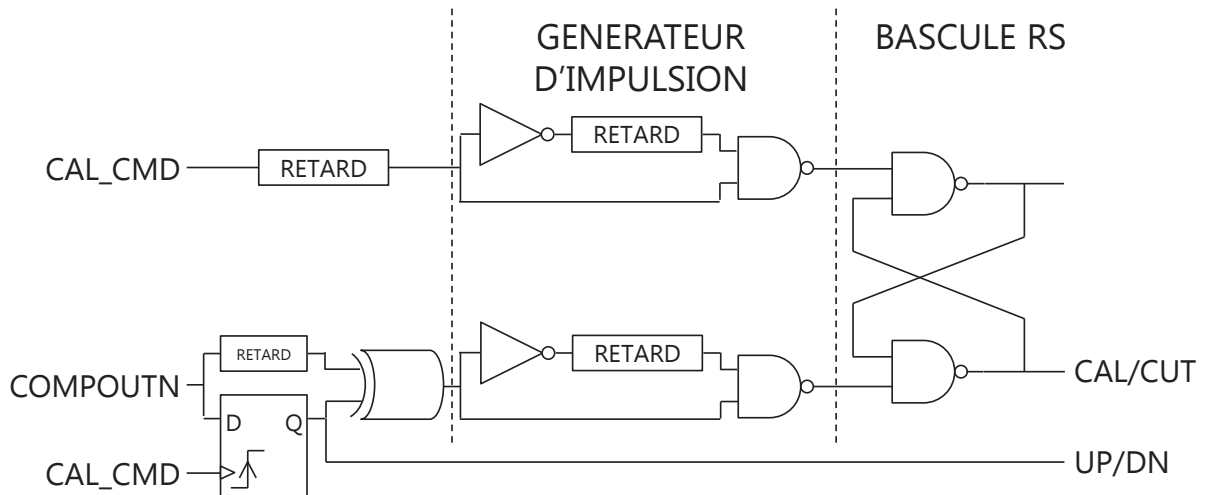


Figure IV.14: schéma de la machine à état.

3.3. Résultats de simulations

Nous avons simulé le processus de calibration d'impédance. Pour émuler les fuites de courants occasionnées par les jonctions PN sous le BOX des interfaces, une source de courant de 1nA est connectée sur les VBB. L'hypothèse retenue est que le circuit pourra être compensé au départ de façon numérique en supposant qu'au repos, les conditions sont bien maîtrisées, que le circuit est à température ambiante et à 1,2V. Ainsi, la simulation transitoire débute en condition de température et tension typique (cf. Figure IV.15). D'abord, les codes de compensation des *Pull-UP* et *Pull-DN* sont déterminés par la calibration numérique. Ensuite, la température et la tension fluctuent durant une simulation de $60\mu\text{s}$. Cette durée ne reflète pas la réalité mais facilite la simulation. Lorsque la température augmente et la tension (non montrée) diminue, l'impédance dévie en augmentant.

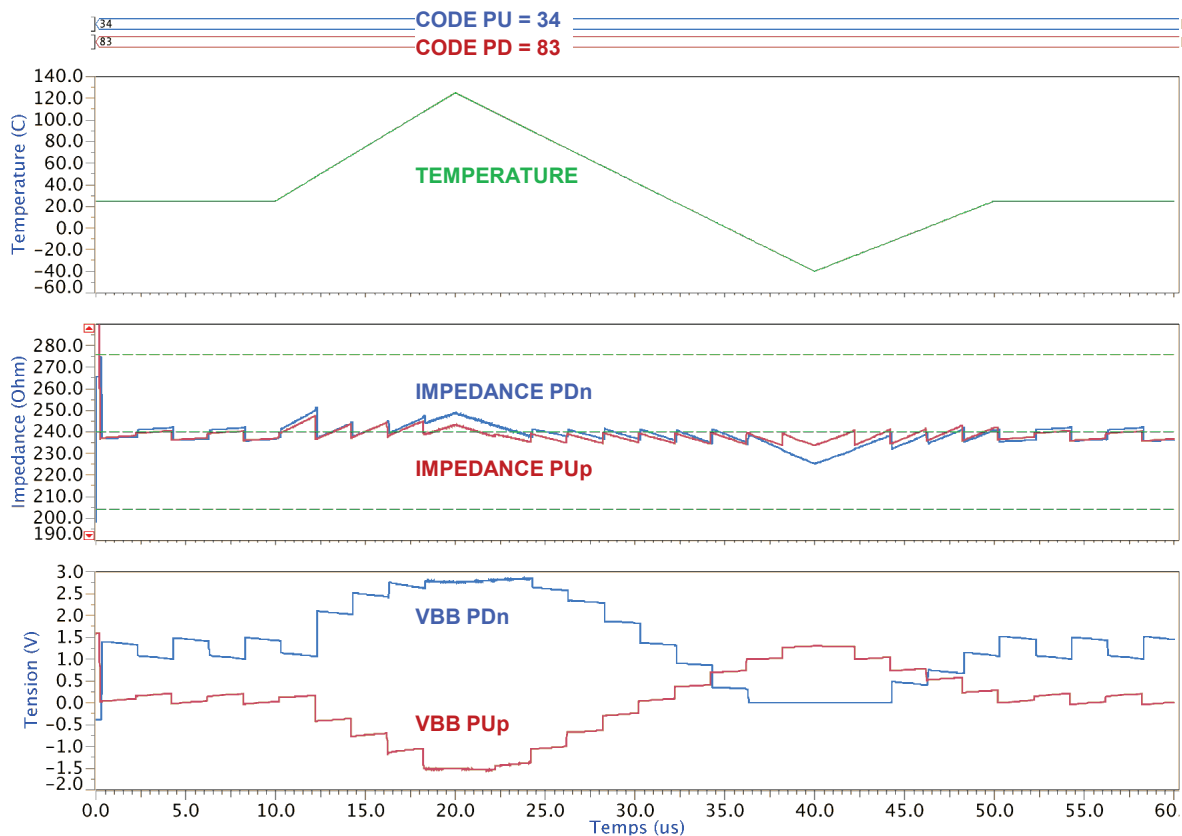


Figure IV.15: simulation transitoire de la calibration mixte.

La calibration analogique, qui est lancée toutes les $2,5\mu\text{s}$, corrige la déviation d'impédance, d'abord celle du *Pull-UP* puis celle du *Pull-DN*. Lorsque la température augmente vers 125°C et que la tension diminue vers $1,1\text{V}$, $V_{BB_{PD}}$ augmente et $V_{BB_{PU}}$ diminue afin d'augmenter le courant et donc de diminuer l'impédance. Dans les deux cas, ce sont les pompes de charge des deux générateurs qui modifient les tensions. Lorsque la température diminue vers -40°C et la tension augmente vers $1,3\text{V}$, $V_{BB_{PD}}$ diminue et $V_{BB_{PU}}$ augmente afin de diminuer le courant et ainsi augmenter l'impédance. Ici, ce sont les transistors des générateurs qui modifient les tensions respectivement en déchargeant et en chargeant les capacités de stockage. Toutefois, lorsque $V_{BB_{PD}}$ et $V_{BB_{PU}}$ atteignent la saturation, les impédances s'écartent de 240Ω tout en restant comprises dans les limites imposées par le standard LPDDR2, entre 204Ω et 276Ω . L'inconvénient dans ce cas est que, si le générateur VBB sature, la pompe de charge continue de tourner indéfiniment tant que les conditions en température et tension restent défavorables. Il faudrait donc ajouter un détecteur de saturation afin de mettre fin à la fonction pompe de charge.

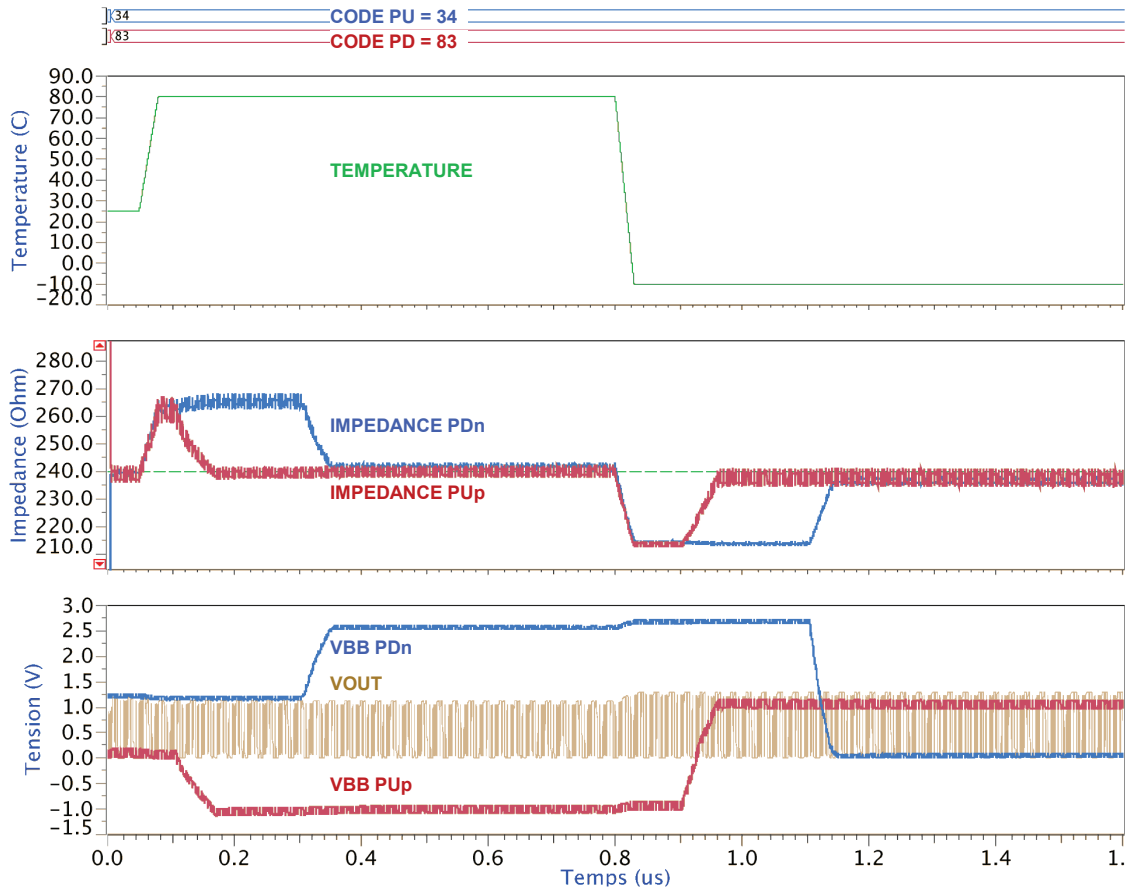


Figure IV.16: simulation transitoire de la calibration mixte durant une transmission de donnée

Une simulation transitoire a été effectuée en incluant cette fois-ci une transmission de donnée (cf. Figure IV.16). L'étage entrée/sortie commute tout en bénéficiant dans le même temps de réajustements de l'impédance. Débutant à 25°C, la température monte à 80°C. La calibration analogique est lancée, d'abord pour le *Pull-UP* puis pour le *Pull-DN*. Ensuite, la température descend à -10°C, la calibration analogique est de nouveau lancée. Durant tout ce temps, le buffer de sortie continue de transmettre le signal. Nous observons que, par couplage capacitif, la commutation impacte les potentiels de face arrière, et donc l'impédance. Néanmoins, cela reste négligeable et les impédances sont peu affectées. De plus, le système de rebouclage est construit de telle sorte que les commutations non désirées ne perturbent pas le système.

Par ailleurs, l'analyse expérimentale au début de ce chapitre a montré que l'effet de face arrière entraîne une caractéristique monotone du temps de transition, et donc du courant de drain, en fonction de VBB. Ainsi, lorsque la calibration analogique est lancée, la tension VBB est assurée d'atteindre la valeur nécessaire qui permet de réajuster l'impédance,

dans la limite de la plage de tension admise. A noter toutefois qu'une légère erreur de la valeur de l'impédance peut être observée dès lors que 240Ω est détectée. Elle est fonction de la pente de VBB et du temps de propagation entre la sortie du comparateur et le générateur de tension face arrière. Plus la pente est raide et le temps de propagation est long, plus l'erreur est grand.

Excepté quand le générateur VBB sature, l'impédance de sortie est toujours très proche de 240Ω .

4. Conclusion

La technologie FD-SOI apporte un avantage certain pour la conception de circuit d'interfaces entrées/sorties. Grâce au contrôle par la face arrière, propre à cette technologie, les transistors des buffers de sortie apportent un nouveau degré de liberté pour maîtriser leur V_T . Dans ce travail de thèse, il a tout d'abord été montré sur circuit de test la pertinence d'exploiter cette spécificité avec des interfaces CMOS standard. Les performances évoluent bien en fonction du potentiel appliqué sur la face arrière. Le potentiel de cette technique a été ensuite évalué pour calibrer l'impédance de sortie des buffers de sortie des interfaces mémoire, plus particulièrement en s'appuyant sur le standard LPDDRII. D'après les simulations, la modulation d'impédance par la face arrière permet de compenser les dérives induites par les variations de température et de tension. Elle n'est cependant pas suffisante pour compenser les variations de procédé.

Par conséquent, le circuit de calibration proposé est mixte : numérique et analogique. La phase de calibration numérique est dédiée à la compensation du procédé alors que la phase de calibration analogique est dédiée à la compensation en température et en tension. Un circuit complétant les interfaces traditionnelles a été proposé et développé. La phase de calibration analogique proposée offre la possibilité de rectifier l'impédance des buffers de sortie même pendant qu'ils transmettent, contrairement à la calibration numérique usuelle. Cela représente un avantage dans les applications actuelles et futures où la quantité de données à transmettre est toujours plus importante dans un temps toujours plus court.

5. Références bibliographiques

- [Athans'06] M. Athans and P. L. Falb, *Optimal control: an introduction to the theory and its applications*. Dover Publications, 2006.
- [Gariboldi'94] R. Gariboldi and F. Pulvirenti, "A monolithic quad line driver for industrial applications," *IEEE Journal of Solid-State Circuits*, vol. 29, no. 8, pp. 957–962, Aug. 1994.
- [Gariboldi'96] R. Gariboldi and F. Pulvirenti, "A 70 m Ω intelligent high side switch with full diagnostics," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 7, pp. 915–923, Jul. 1996.
- [Palumbo'10] G. Palumbo and D. Pappalardo, "Charge Pump Circuits: An Overview on Design Strategies and Topologies," *IEEE Circuits and Systems Magazine*, vol. 10, no. 1, pp. 31–45, First Quarter 2010.

Conclusion générale

La technologie Silicium-Sur-Isolant est une très bonne candidate pour remplacer la technologie sur substrat massif (BULK). Une première version de cette technologie est basée sur un transistor dont le canal est partiellement déserté (PDSOI). Les effets de substrat flottant, présents dans cette technologie conduisent à modifier la façon dont le concepteur l'utilise. En effet, bien qu'elle soit un atout pour les circuits numériques, RF et à visée spatiale, elle entraîne une incertitude sur les temps de propagation, connu sous le nom d'effet d'histoire, et une consommation électrique statique accrue.

Les conséquences de ces effets ont été étudiées sur des interfaces entrées/sorties CMOS. En BULK ou en PDSOI, les interfaces entrées/sorties peuvent être assujetties à de fortes variations des temps de transitions. En effet, le signal qui traverse une ligne de transmission peut être soumis à des perturbations causant une diminution de l'intégrité du signal. L'effet d'histoire induit par le transistor à body flottant (FB), spécifique au PDSOI, amène une dégradation supplémentaire de l'intégrité du signal. De plus, la consommation électrique est élevée. La solution largement adoptée dans les buffers de sortie consiste à utiliser des transistors à body contacté (BC), afin de polariser le body pour ainsi supprimer l'effet d'histoire et limiter la consommation statique. Toutefois, cette solution fait perdre le gain en vitesse qu'autorise le transistor FB. La solution proposée durant ce travail de thèse, combine les avantages du transistor FB pour son gain en vitesse et les avantages du transistor BC pour sa maîtrise de la consommation statique et la suppression de l'effet d'histoire. Le principe de cette solution consiste à polariser dynamiquement le body du transistor BC, en accélérant la transition durant la commutation et en réduisant la consommation statique lorsque le bit est établi. Une interface entrée/sortie avec ce circuit a été fabriquée puis mesurée. Par rapport à une interface entièrement BC, la gigue (fluctuation de la phase du signal) est, à 100MHz et avec une charge capacitive de 100pF, jusqu'à 25% plus petite avec la solution proposée. Par ailleurs, la technologie Silicium-Sur-Isolant favorise l'accumulation locale de chaleur dans le silicium actif, totalement entouré par l'oxyde enterré et les tranchées d'oxyde. Ce phénomène est appelé effet d'auto-échauffement. Une élévation de la température modifie les caractéristiques électriques des transistors et peut faire chuter le courant drain source. Des simulations ont été effectuées afin d'évaluer l'influence de ce phénomène sur les interfaces entrées/sorties standards puis sur l'impédance de sortie d'une interface DDRIII. Dans le premier cas, les variations induites sur les temps de transitions

fluctuent entre $\sim 0.5\%$ et $\sim 2,5\%$, ce qui reste négligeable. Dans le second cas, l'impédance varie de $\sim 1\%$ au maximum ce qui est également très faible.

A partir du nœud 28nm, la technologie FD-SOI se déploie en vue de son industrialisation par STMicroelectronics. L'épaisseur du film de silicium est suffisamment mince pour supprimer l'effet de body flottant. En plus d'un meilleur contrôle électrostatique du canal qu'en BULK, l'intérêt majeur de cette technologie, pour le concepteur, réside dans la possibilité de polariser la face arrière avec une excursion de tension bien plus étendue. Cela ajoute un degré de liberté supplémentaire qui peut amener le concepteur à reconsidérer des stratégies de conceptions.

Les communications entre un microprocesseur et sa mémoire font l'objet d'une quête perpétuelle vers des transferts de données toujours plus rapides. Cependant, augmenter les vitesses de transfert augmente les effets de ligne de transmission, comme le phénomène de réflexion. Pour pallier ce phénomène, la technique classique consiste à calibrer numériquement, par commutation des transistors, l'impédance de sortie de l'interface afin de l'adapter avec la ligne. Néanmoins, il est impossible de réaliser cette calibration durant une transmission. Les sauts de codes génèrent des discontinués d'impédance ce qui détériore l'intégrité du signal. L'arrêt de la transmission pendant une calibration fait diminuer le débit général de la communication. La solution proposée dans ce travail, appelée calibration mixte, vise à supprimer ce temps mort en calibrant l'impédance de façon analogique via la tension de face arrière des transistors. Dans un premier temps, la faisabilité d'une telle stratégie a été évaluée. Un circuit de test, comprenant des interfaces entrées/sorties CMOS, portées du BULK puis modifiées pour permettre un contrôle de la face arrière depuis d'extérieur, a été fabriqué. Les résultats expérimentaux ont montré qu'il est possible de moduler la vitesse de commutation des buffers avec la tension de face arrière. L'analyse en simulation a montré néanmoins qu'il n'est possible de compenser par la face arrière qu'une partie des déviations potentiellement induites par les conditions environnementales et de procédé. Le choix s'est donc porté sur la réutilisation de la calibration numérique pour compenser uniquement les déviations du procédé. La compensation de l'impédance en température et en tension est traitée par calibration analogique, par l'intermédiaire de la polarisation face arrière, dont la tension va de $\sim -1,2V$ à $1,2V$ pour le *Pull-UP* et va de $0V$ à $\sim 2,4V$ pour le *Pull-DN*. A partir de cette analyse, un schéma électrique de calibration d'impédance a été développé en faisant

appel à un système de contre-réaction qui pilote une pompe de charge. La simulation montre que la calibration analogique peut avoir lieu durant la transmission, évitant ainsi les temps morts. Ainsi, la bande passante globale d'une communication augmente.

La technologie PDSOI est désormais clairement orientée vers des applications Radiofréquences. Les composants étudiés aujourd'hui sont en très grande partie analogiques et RF. Pour ceux-ci une interface comme étudiée dans ce travail est parfaitement suffisante. Cependant, dans une perspective de complexification des fonctionnalités et d'intégration plus poussée, la partie numérique pourrait être amenée à croître significativement. Dans ce cas, des interfaces à plus haut débit, comme du DDR ou LVDS, deviendraient utiles. Les solutions et analyses faites dans ce travail seront alors à étendre à ces interfaces, pour maîtriser l'effet d'histoire et la consommation statique.

Pour les interfaces en FDSOI, des améliorations peuvent encore être apportées à court terme sur le circuit de calibration mixte. En effet, lorsque le circuit atteint des températures et des tensions d'alimentation extrêmes, le générateur de potentiel de face arrière sature. Cela peut notamment être problématique pour des raisons de consommations si la pompe de charge reste continuellement en action. La calibration analogique doit donc être complétée par un détecteur de saturation afin d'arrêter la calibration dans ce cas-là. De plus, il serait intéressant d'évaluer la possibilité d'incrémenter ou de décrémenter le code numérique si le potentiel de face arrière sature. Cela permettrait de réajuster l'impédance pour qu'elle soit toujours très proche de la valeur visée. Cependant, le passage, par exemple, du mot binaire '0111111' au mot '1000000' ferait commuter tous les transistors des buffers en même temps, ce qui potentiellement engendrerait une discontinuité d'impédance. Il serait imaginable de positionner la calibration mixte dans un mode dit d'apprentissage. Le principe serait d'effectuer la recherche de code de compensation par le biais de la compensation analogique. Par exemple, à la mise sous tension, le code est mis à son état initial puis la calibration analogique se met en route. Le potentiel arrière serait amené à saturer, le code s'incrémenterait et ainsi de suite jusqu'à ce qu'un équilibre soit trouvé. Le code serait ensuite figé.

Enfin, pour terminer ces perspectives à court terme, le circuit doit être fabriqué afin de valider le nouveau concept de calibration mixte sur silicium. Il devra être accompagné d'un capteur de température pour faciliter l'analyse des mesures.

A plus long terme, les interfaces entrées/sorties à courant commuté pourraient également bénéficier de la polarisation par face arrière, soit pour la compensation d'impédance, soit pour appuyer les techniques de dé-emphasis et de pré-emphasis qui consistent respectivement à atténuer et à amplifier le courant. Aussi, le contrôle de la pente utilisé pour maîtriser les appels de courant tirerait profit du FDSOI, par exemple en séquençant la commutation du pré-buffer. La grille avant puis la grille arrière du transistor changeraient d'état l'une après l'autre. Enfin, les problématiques inhérentes aux circuits récepteurs n'ont pas été étudiées durant cette thèse et pourraient faire l'objet d'un travail approfondi, exploitant de nouveau les nouvelles opportunités de techniques de conception apportées par la technologie FDSOI.

Productions scientifiques

Conférences internationales IEEE avec acte

Soussan, D.; Majcherczak, S.; Valentian, A.; Belleville, M.; , "A low jitter active body-biasing control-based output buffer in 65nm PD-SOI," *IC Design & Technology (ICICDT), 2011 IEEE International Conference on* , pp.1-4, 2-4 May 2011

Outstanding Student Paper Award: 3ème place

Soussan, D.; Valentian, A.; Majcherczak, S.; Belleville, M.; , "A mixed LPDDR2 impedance calibration technique exploiting 28nm Fully-Depleted SOI Back-Biasing," *IC Design & Technology (ICICDT), 2012 IEEE International Conference on* , vol., no., pp.1-4, May 30 2012-June 1 2012

Clerc, S.; Abouzeid, F.; Gasiot, G.; Gauthier, D.; Soussan, D.; Roche, P., "A 0.32V, 55fJ per bit access energy, CMOS 65nm bit-interleaved SRAM with radiation Soft Error tolerance," *IC Design & Technology (ICICDT), 2012 IEEE International Conference on* , vol., no., pp.1,4, May 30 2012-June 1 2012

Conférence européenne avec acte

Soussan, D.; Majcherczak, S.; Valentian, A.; Belleville, M.; , "65nm Partially Depleted SOI Output Buffer with Active Body-Biasing Control," *EUROSOI, 2011 International Workshop*, 17-19 January 2011

Brevets

US 2012/0182070 A1: « Output stage formed inside and on top of an SOI-type substrate. »

FR 1160252 : « Condensateur à transistor MOS sur SOI »

FR 1254950 : « Circuit intégré comportant au moins un port digital de sortie d'impédance réglable, et procédé de réglage correspondant »

Titre : Contributions aux Interfaces d'Entrées/Sorties rapides en technologies Silicium-Sur-Isolant partiellement et totalement désertées

Résumé : *Des spécificités de la technologie SOI partiellement désertée (PD-SOI), comme son gain en vitesse, et l'isolation diélectrique des transistors, sont intéressantes pour la conception d'interfaces entrées/sorties. Toutefois, l'emploi de cette technologie conduit à des phénomènes indésirables tels que l'effet d'histoire, une consommation statique accrue et l'effet d'auto-échauffement. Dans ce travail, une analyse de ces effets a été menée. L'influence de l'auto-échauffement s'est révélée négligeable. Un schéma électrique employant un mécanisme de polarisation active a été proposé afin de supprimer l'effet d'histoire et de contrôler la consommation statique tout en conservant un gain en vitesse. Le circuit de test, en 65nm PDSOI de STMicroelectronics, montre que la solution proposée permet d'améliorer la gigue du temps de propagation lors d'une transmission.*

La deuxième partie de ce travail s'intéresse à la technologie SOI totalement désertée (FDSOI). Cette dernière apporte un meilleur contrôle électrostatique des transistors et un degré de liberté supplémentaire en conception par le contrôle de leurs tensions de seuil via la face arrière. Dans un premier temps, cette caractéristique a été validée pour les entrées/sorties sur un circuit fabriqué en 28nm FDSOI de STMicroelectronics. Elle a été ensuite exploitée pour la calibration de l'impédance de sortie d'une interface LPDDR2 et la compensation des fluctuations environnementales. La solution proposée dans ce travail tire profit de la modulation par face arrière pour réaliser la calibration durant la transmission, contrairement à l'état de l'art, ce qui a pour effet d'augmenter la bande passante.

Mots-clés : Silicium sur isolant, interfaces entrée/sortie, calibration d'impédance, LPDDR, polarisation face arrière, contrôle dynamique du substrat, gigue.

Title: Contributions to High Speed Input/output Interfaces in Partially- and Fully-Depleted Silicon-On-Insulator technologies.

Abstract: *The characteristics of Partially-Depleted SOI (PD-SOI) technology, as its speed improvement and the dielectric isolation of the transistors, turn to be interesting for input/output interface. However, using this technology leads to side effects, such as history effect, higher static power consumption and self-heating effect. In this work, an analysis of these effects was carried out. Self-heating appears to be negligible. To address the two other effects, a solution with active body control has been proposed in order to suppress the history effect and to reduce the static consumption while keeping the speed improvement. The test chip, processed in PDSOI 65nm from STMicroelectronics, shows that the proposed solution improves the jitter during transmission.*

The second part of this work involves Fully-Depleted SOI (FD-SOI) technology. This technology brings a better electrostatic control of the transistors and an additional degree of freedom for circuit design, thanks to threshold voltage control through back biasing. First, this feature has been validated on input/output circuits processed in FD-SOI 28nm from STMicroelectronics. Then, back biasing has been exploited for output impedance calibration and for environmental fluctuation compensation, based on LPDDR2 standard. The proposed solution in this work takes benefit of the impedance modulation through back biasing in order to perform the calibration during transmission, as opposed to the state-of-the-art techniques. Thus, the overall communication data rate increases.

Keywords: Silicon-On-Insulator (SOI), input/output interfaces, impedance calibration, LPDDR, back biasing, active body control, jitter.