

Table des matières

1. Contexte général de la thèse et organisation du manuscrit	1
1.1. Les transistors à effet de champ et leurs limites	1
1.1.1. Un peu d'histoire	1
1.1.2. Le transistor MOSFET et l'architecture CMOS	2
1.2. Les limites du scaling	3
1.2.1. Réduction de la tension de seuil	4
1.2.2. Fuites par effet tunnel dans l'oxyde de grille	5
1.3. Des solutions technologiques	5
1.3.1. Oxydes High- κ	6
1.3.2. Le transistor SOI	6
1.3.3. "Booster" la mobilité	9
1.4. Organisation du manuscrit	10
2. Les dispositifs nanofils	13
2.1. Morphologie des transistors	13
2.2. Les différentes variantes étudiées	18
2.2.1. Les dispositifs fortement contraints	21
2.3. Caractéristiques électriques des structures triple-grille	27
3. La mobilité dans les transistors Tri-Gate	31
3.0.1. Rappels théoriques	31
3.1. Résultats et discussion des mesures de mobilité	37
3.1.1. Transistors NMOS	38
3.1.2. Transistors PMOS	49
3.2. Étude de la modélisation de la mobilité	58
3.2.1. Modèle de mobilité semi-analytique	58
3.2.2. Les transistors à canal court	63
3.2.3. Conclusion	71

4. L'effet piézorésistif dans les transistors TriGate	73
4.1. Rappel théorique : effet d'une contrainte sur le transport	73
4.1.1. Données expérimentales	78
4.2. Méthodes expérimentales	81
4.3. Résultats et discussions	83
4.3.1. Transistors NMOS	83
4.3.2. Transistors PMOS	89
4.4. Modèle semi-analytique des coefficients piézorésistifs pour des transistors TriGate	98
4.5. Étude du comportement piézorésistif pour les faibles longueurs de grille .	102
4.5.1. Fonction Y	102
4.5.2. Méthode différentielle	103
4.5.3. Résultats expérimentaux	104
4.6. Effet piézorésistif en régime de saturation	108
5. Conclusions et perspectives	113
A. Procédure split-CV	119
A.1. Mesures	119
A.2. Traitement des données	120
A.2.1. Calcul de la charge d'inversion	120
A.2.2. Traitement du courant mesuré	121
A.3. Extraction de la mobilité	122
B. Modèle de mobilité multi-grilles (soumis à S3S 2017)	125
Bibliographie	129

Chapitre 1.

Contexte général de la thèse et organisation du manuscrit

1.1. Les transistors à effet de champ et leurs limites

1.1.1. Un peu d'histoire

L'électronique à base de semi-conducteurs est née à la suite de plusieurs événements fondateurs. Tout d'abord, la découverte de l'effet transistor au sein du Bell Labs (John Bardeen et Walter Brattain) qui a donné suite à la réalisation du premier transistor en silicium en 1954 et au concept de circuit intégré en 1958 par les équipes de Texas Instruments. Le développement industriel s'est ensuite accéléré sous l'impulsion notamment de ce qui est aujourd'hui connu comme la Loi de Moore [55, 74]. La densité de transistor ainsi que leurs performances double tous les 18 mois depuis les années 1960. Cette croissance du nombre de fonctions par puce est aussi accompagnée de la diminution du prix de fabrication du transistor de manière à garder un prix stable par produit.

Le transistor à effet de champ (*Field Effect Transistor* ou FET en anglais) est aujourd'hui la pierre angulaire de la microélectronique et ce composant devient omniprésent dans la vie courante. L'augmentation des capacités de calculs, de mémoire, d'affichage ont permis aux objets électroniques d'être adoptés par le plus grand nombre. Les efforts réalisés aujourd'hui sur la réduction de la puissance consommée ainsi que sur la transmission d'information sans fil permettent de généraliser les objets *intelligents* (*smart* en anglais) et/ou portables. Ces évolutions techniques ont été jalonnées par un effort commun de l'industrie et de la recherche. Un plan de route technologique international (*International*

Technology Roadmap for Semiconductor ou ITRS) a ainsi été créé. Il décrit les progrès et les méthodes de fabrication nécessaires pour réaliser des composants toujours plus efficaces [1]. La figure 1.1 montre par exemple un schéma des innovations technologiques envisagées pour poursuivre la réduction des dimensions (approche *equivalent scaling*) vu par l'ITRS.

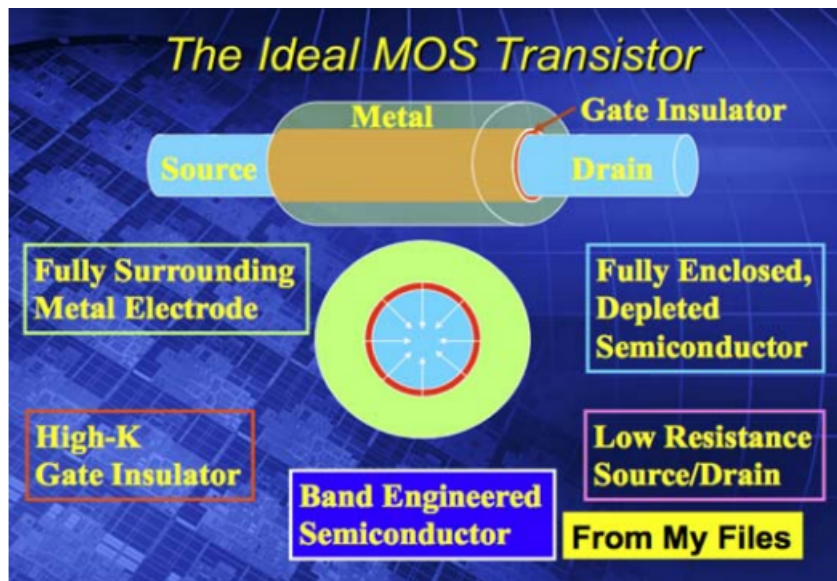


Figure 1.1.: Vision des innovations du transistor nécessaires à la réduction des dimensions (Source : Présentation P. Gargini "ITRS Past, Present and Future", 2015).

1.1.2. Le transistor MOSFET et l'architecture CMOS

Le transistor MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*) est le transistor utilisé aujourd'hui dans les applications micro-électroniques (Fig. 1.2). Il permet de contrôler le passage d'un courant entre deux zones dites de source et de drain. Il comporte plusieurs éléments de base [103] :

- le canal semi-conducteur qui servira de zone de conduction,
- les zones de source et drain qui sont des "réservoirs de charge",
- une grille métallique intercalée d'un isolant (l'oxyde de grille) qui permet de contrôler la conduction du courant.

Cette structure permet deux fonctions majeures : (i) l'amplification d'un signal par modulation de la tension de grille qui est la fonction d'origine des transistors à tube et qui permet par exemple d'amplifier un signal sonore analogique ; (ii) l'interruption (état

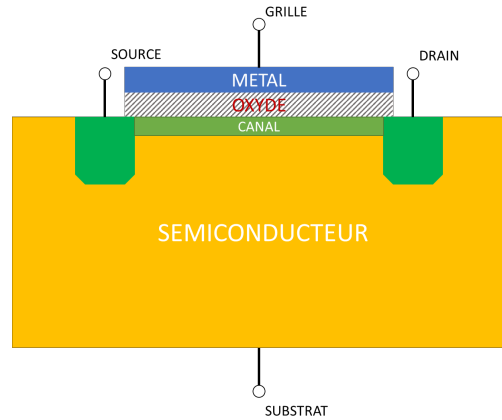


Figure 1.2.: Schéma d'un transistor de type MOS standard.

0) ou la conduction (état 1) du courant qui permet de réaliser des opérations de calculs en suivant les règles de l'algèbre de Boole.

1.2. Les limites du scaling

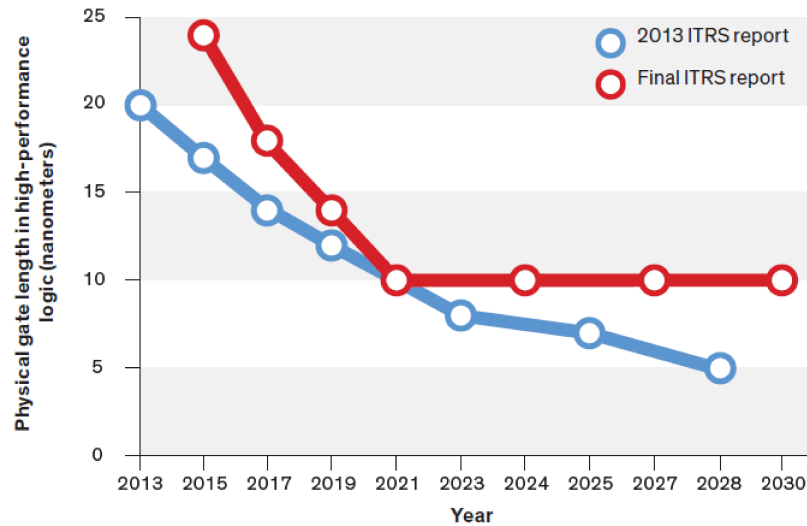


Figure 1.3.: Évolution de la taille de la grille des transistors pour la logique haute performance prévues pour les noeuds technologiques à venir par l'ITRS 2013 (Source : [39]).

L'industrie de la micro-électronique se heurte à des limites physiques de plus en plus contraignantes au niveau des dimensions (la dimension de la grille notamment ne pourra pas être diminuée éternellement *cf.* Fig. 1.3), de la précision des procédés de fabrication,

des matériaux et des phénomènes physiques¹ [72,102]. Les transistors sont aujourd'hui à l'échelle déca nanométrique : Intel commercialisera courant 2017 des transistors au nœud 10 nm et Global Foundries travaille activement sur la réalisation de transistors au nœud 7nm (Fig. 1.4). Cette échelle extrême implique de dépasser de nombreuses barrières techniques, afin de rendre opérationnelles les puces composées de milliards de transistors. Les barrières techniques² qui sont d'intérêt dans le cadre de cette thèse sont présentées dans ce qui suit.

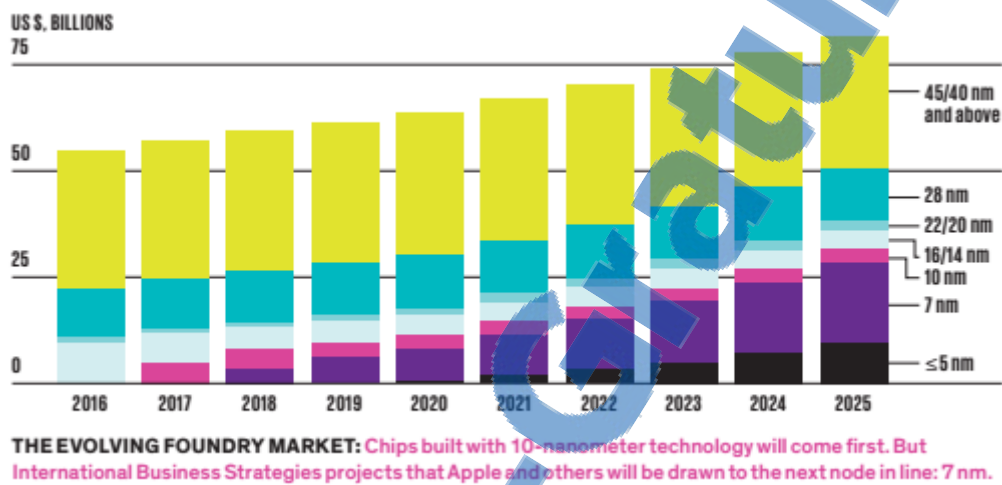


Figure 1.4.: Projection de l'évolution des parts des différents nœuds de production dans la micro-électronique de 2016 à 2025 (Source : [41])

1.2.1. Réduction de la tension de seuil

Le passage du courant entre les zones de source et de drain est endigué par une barrière énergétique qui découle de la nature semi-conductrice du transistor. La hauteur de cette barrière énergétique est contrôlée par la grille, ce qui permet de rendre le transistor passant ou non en fonction de la tension appliquée sur la grille. La réduction de longueur du canal rapproche physiquement les zones de source et drain. La transition de niveau énergétique entre la zone du canal et la zone du drain n'est pas abrupte mais progressive ce qui conduit à une réduction locale du niveau de la barrière à proximité du drain. Lorsque le canal devient très petit ($\lesssim 100nm$), cette perturbation n'est plus négligeable et a un effet notable sur le comportement du transistor. On peut ainsi voir la tension de

1. par exemple : effet tunnel, régime de conduction balistique...

2. Pour plus de détails, se référer par exemple à [106].

seuil du transistor diminuer avec la réduction de la longueur de grille. De plus, celle-ci se dégrade lorsque la tension de fonctionnement est élevée. Ces phénomènes appelés DIBL³ et V_t *roll-off* sont très pénalisant pour les concepteurs, qui ont besoin d'avoir une tension de seuil fixe pour tous les composants d'une puce.

1.2.2. Fuites par effet tunnel dans l'oxyde de grille

La réduction des dimensions des transistors implique de réduire aussi l'épaisseur de l'oxyde de grille pour permettre de garder un contrôle électrostatique optimal de la conduction dans le canal⁴. L'épaisseur d'oxyde de grille (SiO_2) nécessaire pour contrôler correctement un canal court est aujourd'hui d'environ 1 nm. Cette épaisseur est tellement faible qu'elle entraîne un phénomène de fuite par effet tunnel à travers l'oxyde de grille [90]. Ces fuites peuvent être décrites par l'équation suivante :

$$J = \frac{A}{e_{ox}^2} \exp \left(-2e_{ox} \sqrt{\frac{2m^* q \phi_B}{\hbar^2}} \right) \quad (1.1)$$

où A est une constante, e_{ox} l'épaisseur de l'oxyde, m^* la masse effective des porteurs et ϕ_B la hauteur de la barrière. Cette équation montre que l'augmentation des courants de fuites par effet tunnel est exponentielle avec la diminution de l'épaisseur d'oxyde e_{ox} . L'oxyde de silicium n'est plus un matériau satisfaisant pour remplir le rôle d'isolant grille canal, car l'épaisseur requise pour maintenir un bon contrôle électrostatique devient trop faible (inférieure au nm, soit à peine quelques rangées atomiques) [18].

1.3. Des solutions technologiques

Ces phénomènes dégradent les performances des transistors et ne permettent pas de satisfaire aux demandes de l'ITRS. Il a donc fallu trouver des alternatives technologiques pour les contourner et/ou les compenser. Les principales solutions utilisées aujourd'hui sont présentées dans cette partie [60, 66].

3. pour Drain Induced Barrier Lowering

4. Le transistor est contrôlé par un effet capacitif. Lorsque l'on réduit l'épaisseur du diélectrique (l'oxyde de grille ici) d'une capacité, la capacité est augmentée.

1.3.1. Oxydes High- κ

Pour compenser les effets de DIBL et de fuite par effet tunnel dans la barrière, l'oxyde de grille a été changé pour un oxyde avec une constante diélectrique κ plus élevée (on parle d'oxyde *high- κ*) [18, 57]. En effet, un diélectrique avec une constante plus importante donnera la même capacité électrique que le SiO_2 mais avec une épaisseur physique plus grande. Cette épaisseur peut être suffisamment importante pour diminuer les fuites par effet tunnel à travers le diélectrique de grille. On définit une épaisseur d'oxyde équivalente (EOT) en calculant le rapport des coefficients diélectriques entre le SiO_2 et l'oxyde *high- κ* :

$$EOT = \frac{\kappa_{SiO_2}}{\kappa_{hi-k}} e_{hi-k} \quad (1.2)$$

avec κ_{SiO_2} la constante diélectrique du SiO_2 , κ_{hi-k} la constante diélectrique de l'oxyde *high- κ* , et e_{hi-k} l'épaisseur de l'oxyde *high- κ* . La sélection d'un autre oxyde de grille que le SiO_2 est complexe car elle doit répondre à plusieurs critères physiques : il doit avoir une grande bande interdite et il doit être suffisamment stable pour être utilisé durant le procédé de fabrication des transistors. Il doit également avoir une bonne interface avec le canal en silicium, sans quoi la mobilité des porteurs dans le canal et donc le courant à l'état ON seraient fortement réduit par les défauts à l'interface oxyde de grille/canal. Dans la pratique, c'est finalement l'oxyde d'hafnium ($HfSiO(N)$ ou $HfO(N)$) qui s'est imposé pour remplacer l'oxyde de silicium [40].

1.3.2. Le transistor SOI

Les transistors étudiés durant cette thèse ont tous été fabriqués à partir de substrat dit SOI (pour *Silicon On Insulator*). Ces substrats sont fabriqués à l'aide de la technologie SmartCut qui permet de reporter une fine couche de silicium monocristallin de grande qualité sur un substrat de qualité moindre limitant ainsi d'une part les coûts de production, et d'autre part permettant une architecture avec un isolant qui sépare le substrat massif et le canal du transistor [14]. L'isolation du canal et du substrat offre de nombreux avantages en terme de contrôle électrostatique du transistor. Cela supprime notamment les effets de fuite par le substrat en silicium (punch-through, cf. Fig. 1.5) qui apparaissent pour les transistors avec une longueur de grille faible. D'autre part, cela permet d'avoir un contrôle électrostatique supplémentaire du canal. En effet, la structure SOI équivaut

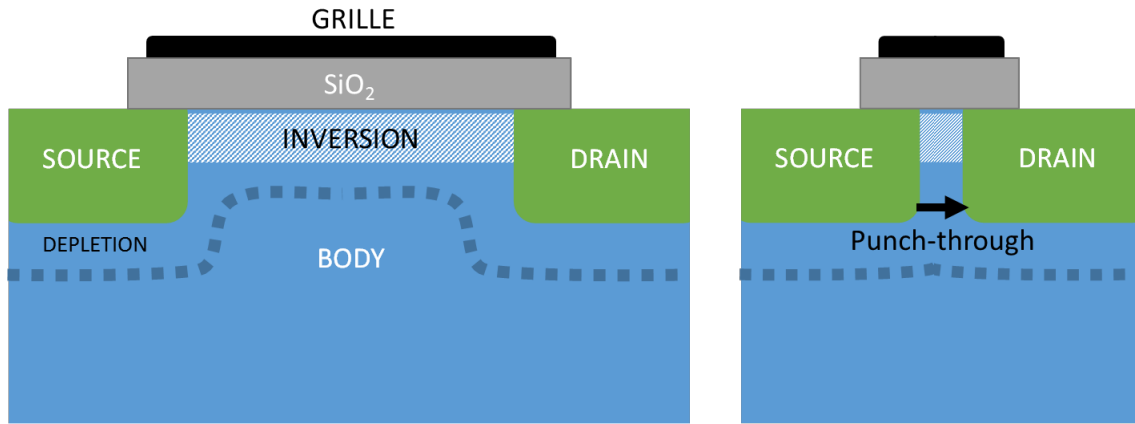


Figure 1.5.: Schéma de représentation de l'effet punch-through pour les transistors à grille courte.

à une grille supplémentaire située sur la face arrière du canal⁵. La technologie SOI permet également d'introduire de fortes déformations dans la couche active de silicium en transférant des contraintes à partir d'un substrat initial de SiGe relaxé [91]. L'étude des contraintes sur les propriétés des transistors MOS est l'objet du Chap. 4

L'architecture Multi-Grilles

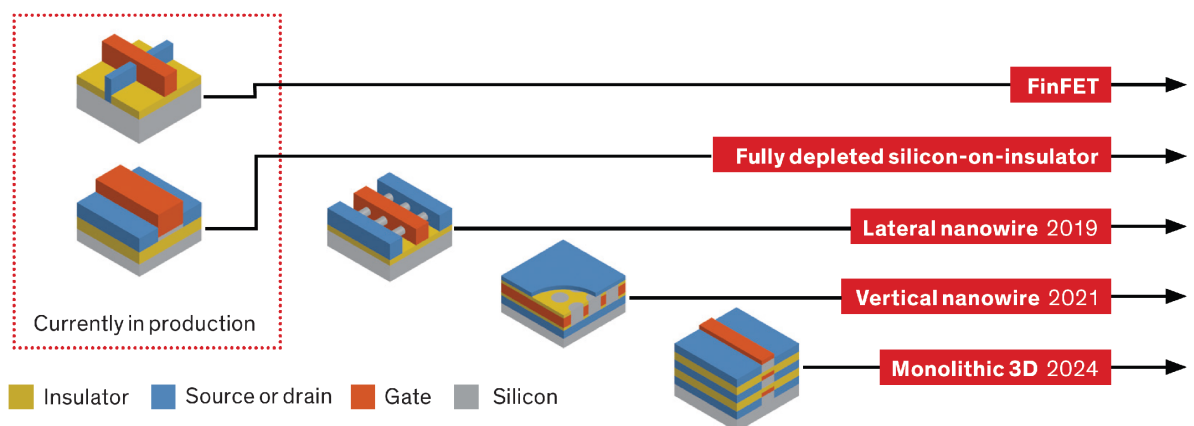


Figure 1.6.: Évolution des architectures de transistors prévues pour les noeuds technologiques à venir (Source : [39]).

5. Cette grille supplémentaire peut aussi être utilisée pour contrôler la tension de seuil du transistor de manière dynamique

Au-delà de la technologie dite planaire, pour laquelle sont empilés le substrat, le canal, l'isolant puis la grille, il est possible de fabriquer des transistors avec une grille enrobant le canal de manière partielle ou totale (voir Fig. 1.6). Pour ce faire, on va graver le film de silicium afin d'obtenir un fil de silicium plus étroit, que l'on va ensuite oxyder sur certaines surfaces suivant le nombre de grilles voulues [32, 45]. On peut ainsi différencier plusieurs architectures (voir Fig. 1.7). Ces architectures particulières permettent d'améliorer

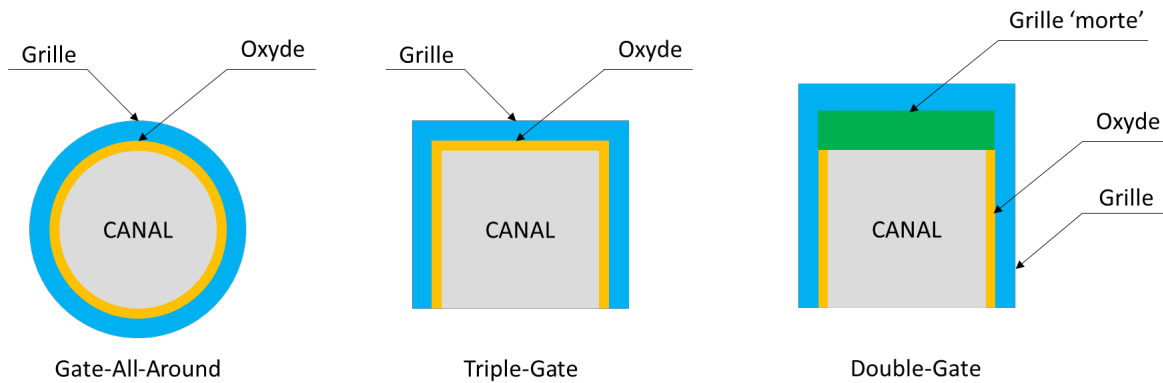


Figure 1.7.: Schéma illustrant différents empilements multi-grilles. De gauche à droite : grille totalement enrobante, triple-grille, double grille.

grandement le contrôle électrostatique du canal limitant ainsi que les effets de canaux courts qui ont été décrits précédemment. Cette amélioration du contrôle électrostatique est proportionnelle à la surface de grille qui recouvre le canal. L'architecture GAA⁶ représente donc l'architecture ultime en terme de contrôle du transport (voir Fig. 1.1). De plus, ces architectures rendent aussi possible de nouvelles stratégies de densification des transistors puisqu'elles permettent de réaliser des empilements de transistors et ainsi de profiter de la dimension verticale d'une puce contrairement à la conception standard qui n'occupe que le plan horizontal [3, 38]. On peut ainsi empiler des transistors à grille totalement ou partiellement enrobante ce qui permet de multiplier la densité de transistors (exemple Fig. 1.8, 1.6) [116]. L'architecture nanofil TriGate utilisée au Leti sera décrite plus en détails dans le chapitre 2. Cette architecture particulière est le sujet d'étude principal abordé dans cette thèse.

6. Pour Gate All Around

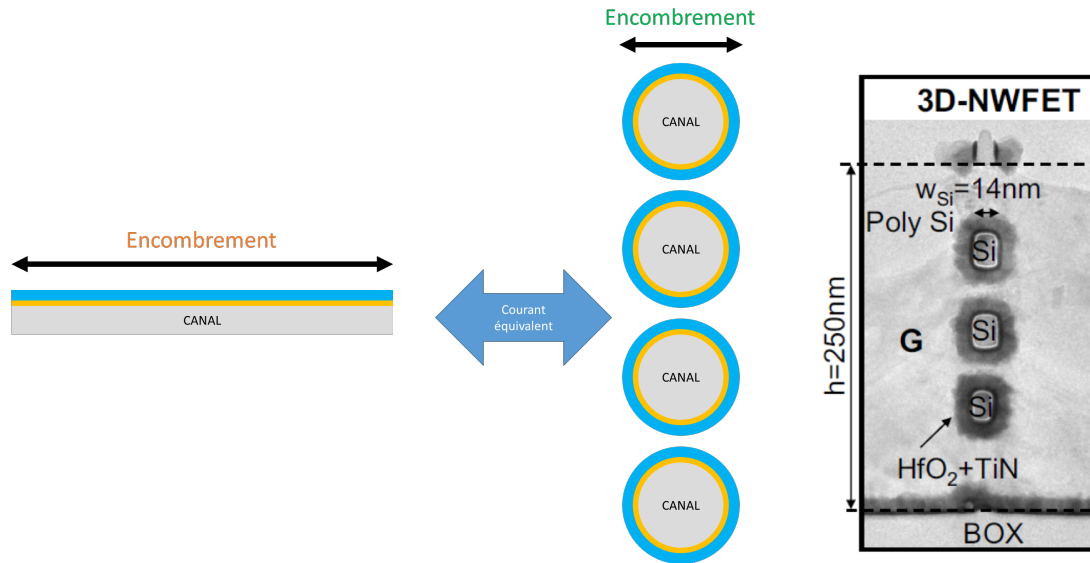


Figure 1.8.: (gauche) Schéma comparatif entre un design planaire et un design GAA empilé illustrant le gain en densité de transistors pour des nanofils empilés. (droite) Exemple d'une structure avec des nanofils empilés réalisée au Leti en 2008 sur substrat SOI (d'après [44]).

1.3.3. "Booster" la mobilité

Les déformations mécaniques appliquées au canal d'un transistor changent ses propriétés physiques de conduction (voir par exemple [68, 105]). Celles-ci peuvent, en fonction de leur orientation et de leur signe (compression ou tension), augmenter ou diminuer les performances électriques d'un transistor. Ces effets, dits piézorésistifs (*i.e.* décrivant la variation de résistivité avec la contrainte [104]), ont longtemps été présents dans les transistors mais les contraintes mécaniques n'ont pas été utilisées intentionnellement dans la logique CMOS avant les années 2000 [112]. Elles suscitent aujourd'hui un fort intérêt pour la micro-électronique car elles permettent de compenser les pertes de performances induites par les dimensions extrêmes des nœuds actuels. Généralement, ce sont les contraintes uniaxiales dans la direction du canal du transistor qui sont utilisées dans les technologies CMOS actuelles afin d'améliorer la mobilité des porteurs pour les NMOS (par le biais d'une contrainte en tension) et pour les PMOS (par le biais d'une contrainte en compression cette fois-ci). Le chapitre 4 est largement consacré aux effets des contraintes mécaniques sur les propriétés de transport dans les transistors nanofils, et revient notamment sur la théorie de la piézorésistivité.

1.4. Organisation du manuscrit

Dans la première partie nous avons présenté un état des lieux de la technologie CMOS et des barrières qui apparaissent avec la réduction des dimensions du transistor. De nombreux efforts de l'industrie et de la recherche sont quotidiennement nécessaires afin de satisfaire le plan de route de l'ITRS pour les futurs noeuds technologiques, et permettre de produire des appareils électroniques toujours plus performants.

Dans ce contexte, la compréhension physique de l'effet particulier des contraintes mécaniques sur les propriétés de transport des transistors multi-grilles apparaît primordiale. C'est l'objectif principal de cette thèse : apporter des éléments de compréhension par le biais de mesures expérimentales originales. Ces éléments doivent permettre de nourrir les modèles compacts des technologies avancées intégrant ces nouvelles architectures de dispositifs. Ces derniers n'intègrent généralement pas la spécificité des transistors multi-grilles dans les coefficients piézorésistifs utilisés [25]. De même, nos résultats expérimentaux ont pour but d'étudier les mécanismes du transport dans ces transistors 3D, avec un focus plus particulier sur l'effet des contraintes mécaniques. Ces résultats doivent également permettre de calibrer, valider et/ou de mettre en lumière certaines limites des calculs théoriques du transport [12].

Le chapitre 2 de cette thèse est consacré à la présentation des dispositifs qui ont été étudiés : les transistors nanofils TriGate. Les différentes variantes technologiques intégrées (orientation du canal, contraintes introduites par le substrat sSOI, matériau du canal SiGe,...), ainsi que les procédés de fabrication sont notamment décrits.

Le chapitre 3 présente les résultats de l'étude de la mobilité des porteurs dans le canal des transistors multi-grilles. L'effet de la géométrie du canal et de la grille sur le transport et les mécanismes physiques limitant la mobilité ont été étudiés en profondeur pour les transistors de type NMOS et PMOS. Basé sur les résultats de cette étude, un modèle semi-analytique de la mobilité pour ces transistors 3D a été conçu et est présenté. Nous discuterons également de ses limites.

Enfin, le chapitre 4 présente les résultats des mesures piézorésistives réalisées sur les transistors multi-grilles. De la même manière que pour le chapitre précédent, l'effet spécifique de la géométrie des nanofils a été étudié. L'effet d'une contrainte mécanique sur le transport des électrons et des trous a été analysé, des faibles déformations (correspondant à quelques dizaines de MPa de contrainte) jusqu'aux fortes déformations (*i.e.* pour des contraintes supérieures au GPa) en tension et en compression, pour différentes

orientations cristallographiques. Un modèle semi-analytique a également été dérivé du modèle de la mobilité pour ces transistors multi-grilles. Il est présenté et discuté dans ce chapitre.

Chapitre 2.

Les dispositifs nanofils

2.1. Morphologie des transistors

Les structures que nous avons étudiées sont des structures à triple-grilles (TriGate, TG) comme représentées sur la figure 2.1. Nos transistors ont été fabriqués à partir de substrat SOI de 300mm avec un oxyde enterré épais ($t_{box} = 145nm$). La grille de tous nos dispositifs est composée d'un empilement high-k/métal (2.3nm HfSiON/5nm TiN PVD + 50nm polySi) pour une EOT d'environ 1.1nm. Les transistors ont été réalisés avec une isolation MESA (figure 2.2a), et par lithographie optique (DUV) suivi d'un procédé de réduction de la résine (*Trimming*) permettant d'obtenir des nanofils avec une largeur allant jusqu'à 10nm (cf. thèse R.Coquand [37] et figure 2.2b). On peut observer que la gravure permet d'obtenir un profil des flancs relativement vertical, mais que les angles de la section rectangulaire sont arrondis (voir figure 2.3a). Les procédés de nettoyage après gravure consomment légèrement le BOX, conduisant à des nanofils de type Omega-Gate ou Pi-Gate (en rappel de la forme de la section du nanofil). La description schématique des étapes du procédé de fabrication est représentée figure 2.3b [8, 35].

La majorité des dispositifs a été fabriquée sur des plaques de silicium ayant un plan cristallin (100) et avec un canal orienté selon la direction cristallographique $\langle 110 \rangle$, utilisée de manière conventionnelle dans l'industrie. De même, la valeur de l'épaisseur de silicium du canal du transistor (t_{Si}) est fixée à $\approx 12nm$. Cette épaisseur permet un bon contrôle électrostatique pour des valeurs de longueur de canal jusqu'à $\approx 40nm$ pour nos transistors triple-grilles.

Les transistors nanofils sont fabriqués à partir d'un masque qui permet de faire varier les dimensions de la largeur du canal de conduction et de la longueur de grille dans la

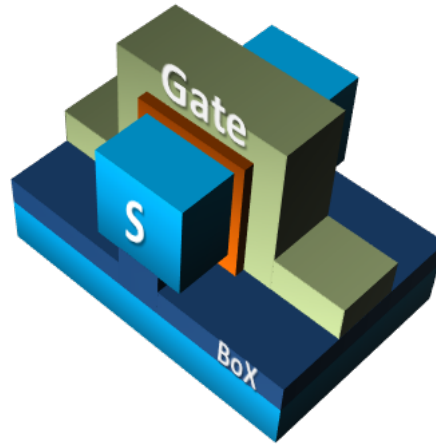


Figure 2.1.: Schéma d'un transistor triple-grilles

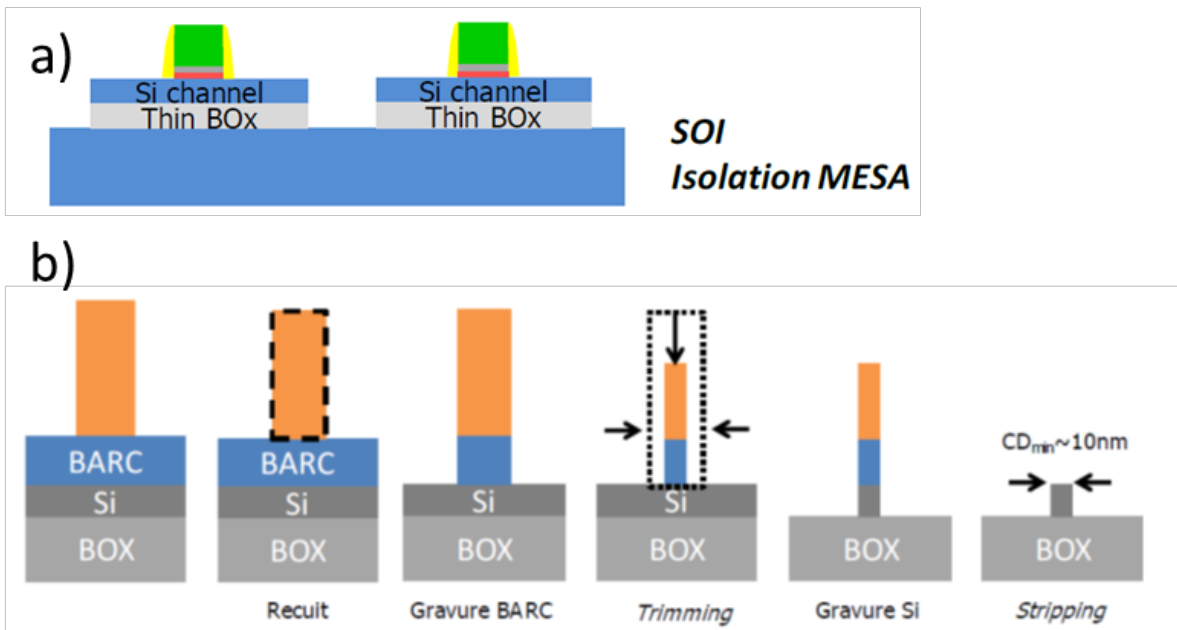


Figure 2.2.: a) Schéma d'une architecture CMOS SOI avec une isolation de type MESA. b) Procédés de lithographie et gravure du nanofil de silicium (d'après [37]).

gamme suivante (voir Fig. 2.3a et 2.5) :

largeur du canal : $W_{top,masque} = [30nm - 10\mu m]$

longueur de grille : $L_{G,masque} = [30nm - 10\mu m]$

Comme précisé plus haut, les dimensions physiques des dispositifs sont réduites par rapport aux dimensions du masque par le procédé de gravure. Des mesures statistiques de ces dimensions (largeur de la zone active W et longueur de la grille L) ont été réalisées à l'aide d'un MEB (Microscope Electronique à Balayage ou SEM Scanning Electron Microscope)

et sur différentes structures. Un exemple de résultat de contrôle dimensionnel est donné dans la figure 2.4a. Ces mesures permettent de déterminer pour chaque lot étudiés les décalages systématiques $\Delta L = L_{masque} - L_{physique}$ et $\Delta W = W_{top,masque} - W_{top,physique}$ avec une valeur moyenne et un écart-type établis sur 14 mesures. La largeur minimale $W_{top,physique}$ la plus petite disponible pour nos transistors est d'environ 8nm.

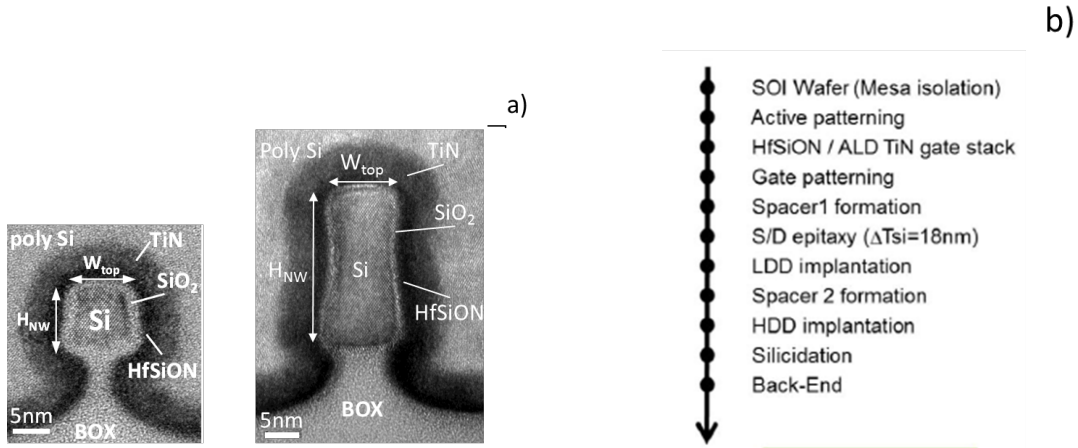


Figure 2.3.: a) Images TEM de la section de deux transistors avec une hauteur de canal différente, $H = 11\text{nm}$ (à gauche) et $H = 24\text{nm}$ (à droite). La largeur du canal est $W_{top} = 10\text{nm}$ pour les deux dispositifs. b) Déroulement des principales étapes du procédé de fabrication de nos transistors.

Une grande partie des études présentées dans cette thèse a été réalisée sur des dispositifs avec une longueur (L) de grille de $10\mu\text{m}$. Cette grande longueur de grille permet de se prémunir des effets parasites qui émergent avec les longueurs de grille plus courtes et dont on devra tenir compte dans l'analyse du transport, en particulier : effets de canaux courts (ou *short channel effects* (SCE)), résistance d'accès source/drain, capacité parasite.... Dans les chapitres suivants, on discutera cependant des modèles existant qui permettent d'estimer la mobilité à des longueurs de grille faibles ($L_G < 200\text{nm}$), dans la limite de certaines hypothèses sur la mobilité notamment.

Deux catégories de transistor ont été testées : les transistors unitaires (1 canal) et les transistors en réseaux (plusieurs canaux contrôlés par une même grille, voir figure 2.4b). Ces derniers permettent notamment d'avoir une surface suffisante pour mesurer la capacité grille-canal. En effet, la capacité grille-canal (C_{gc}) d'un transistor, qui permet d'extraire l'épaisseur d'oxyde équivalente (EOT), est directement proportionnelle à la surface de la grille. Ainsi pour un transistor unitaire de référence ($W_{top} = 10\mu\text{m} \times L_G = 10\mu\text{m}$), on mesure typiquement une capacité maximale d'environ 2 pF, la limite de notre appareil

de mesure étant d'environ 50 fF. Pour les dispositifs plus étroits, la capacité mesurée est proportionnellement plus faible (voir exemple table 2.1). En conséquence, la capacité des transistors unitaires n'est pas mesurable en dessous d'une largeur de grille de 200nm. Pour des largeurs plus faibles, nous avons donc utilisé un réseau de 50 canaux en parallèle contrôlés par la même grille.

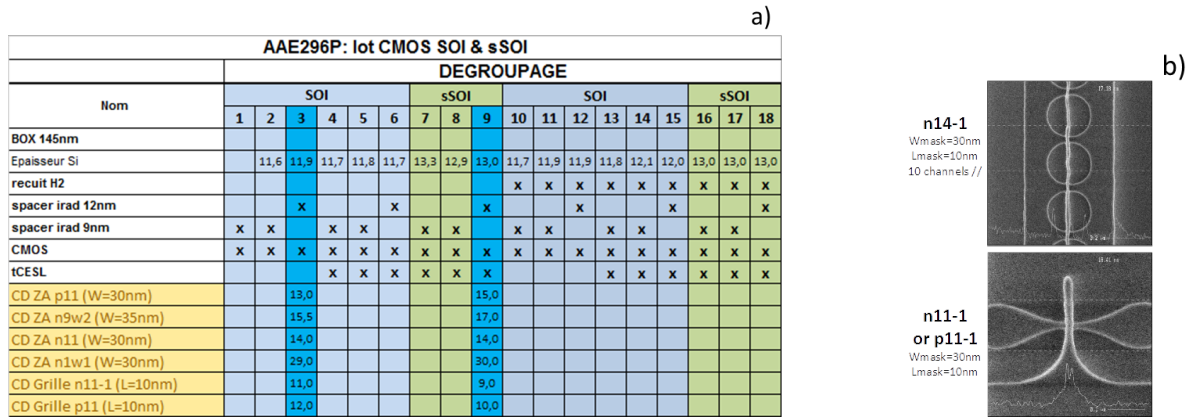


Figure 2.4.: a) Exemple de contrôle dimensionnel réalisé par MEB pour le lot sSOI (voir 2.2).
b) Photo MEB utilisées pour réaliser les contrôles dimensionnels. Le dispositif N14-1 est un réseau de transistor (photo du haut) et le dispositif N(P)-11-1 est un transistor unitaire (photo du bas).

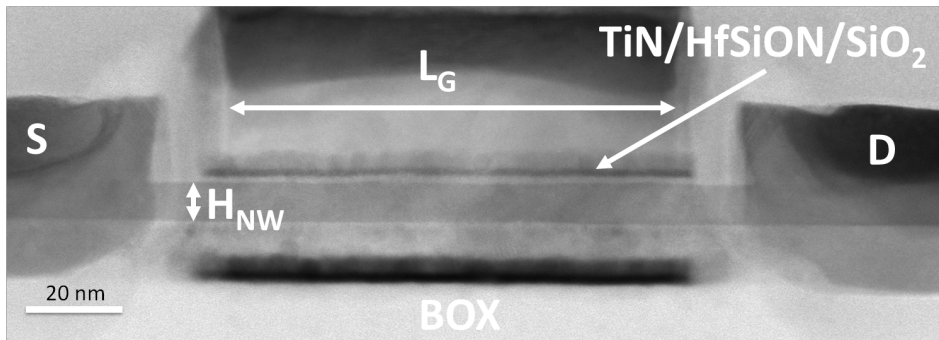


Figure 2.5.: Image TEM d'une coupe dans la longueur d'un nanofil.

La structure tridimensionnelle des transistors nanofils nécessite de définir la notion de largeur effective du transistor W_{eff} , comme suit :

$$W_{eff} = W_{top} + 2H_{NW} \quad (2.1)$$

avec W_{top} la largeur du canal (déterminée à partir des mesures CD) et H_{NW} l'épaisseur du film de silicium.

Un exemple de mesures de capacité C_{gc} (figure 2.6), normalisées par la surface $S = W_{eff} \times L_G \times n_{canal}$ (avec L_G la longueur de grille et n_{canal} le nombre de canaux en réseau), en fonction de la tension appliquée sur la grille et pour différentes largeurs de nanofils. À partir de ces mesures, on peut extraire l'EOT en utilisant un calcul Poisson-Schrödinger 2D (PS 2D) pour une structure planeaire ayant une largeur effective (W_{eff}) équivalente. En effet, il a été montré théoriquement que la structure 3D des nanofils n'a pas d'influence sur la capacité C_{gc} pour des largeurs effectives supérieures à 20nm (voir figure 2.7, [6,10]).

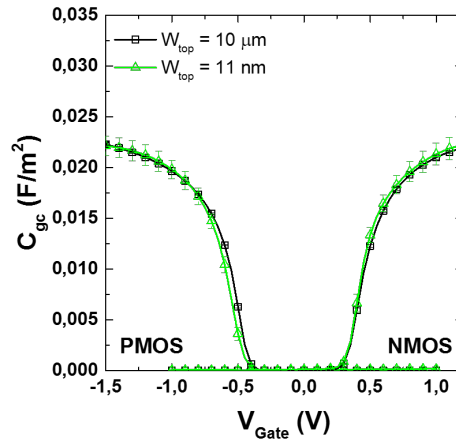


Figure 2.6.: Capacité grille-canal C_{gc} normalisée par la surface totale mesurée en fonction de la tension de grille V_G . Les courbes pour les transistors N et PMOS ont été superposées sur une même figure. Les mesures des transistors planaires $W_{top} = 10\mu m$ (ligne noire) et des transistors nanofils $W_{top} = 11nm$ (ligne verte) sont représentées.

La figure 2.8a montre que la capacité maximale est bien linéaire avec la largeur de canal W_{top} . L'abscisse à l'origine donne $H_{NW} = 12.4nm$, montrant que notre estimation de W_{top} à partir des images MEB est correcte. La capacité maximale normalisée par la surface effective est quasiment constante de $W_{top} = 10\mu m$ à $W_{top} = 10nm$ (figure 2.8b), l'épaisseur d'oxyde équivalente est donc elle aussi constante quelle que soit la largeur de grille.

Comme mentionné précédemment, les mesures de capacité permettent d'extraire l'EOT de nos dispositifs à l'aide d'un modèle Poisson-Schrödinger adapté pour le SOI. On voit Fig. 2.9 le résultat de cette extraction pour des dispositifs planaires ($W = 10\mu m$, figure a) et nanofils ($W_{top} = 15nm$, figure b). L'EOT extraite pour nos dispositifs est de 1.05nm pour toutes les largeurs de canal, ce qui montre l'uniformité de l'oxyde déposé y compris sur les flancs des nanofils.

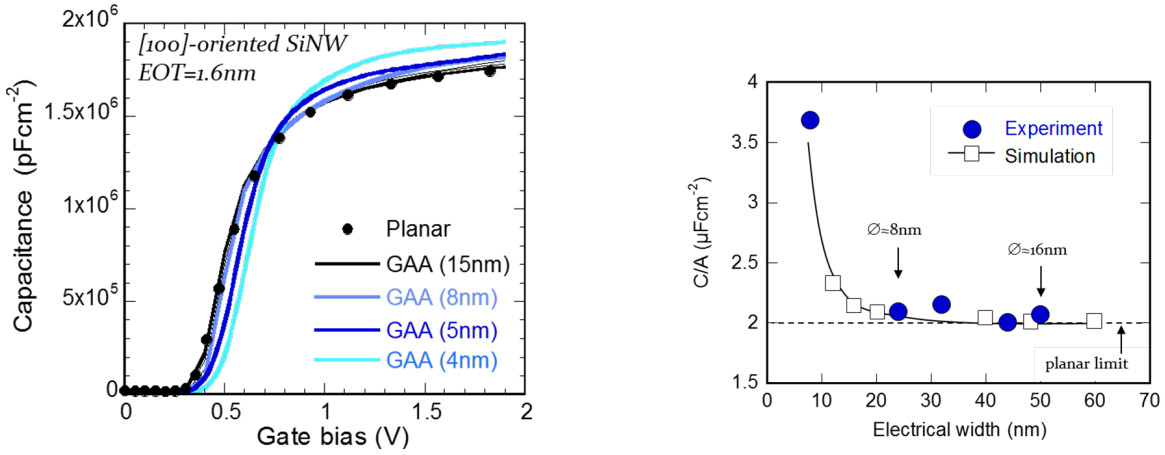


Figure 2.7.: Comparaison de la capacité C_{gc} entre des mesures expérimentales [6] et la simulation [10]. On voit que la capacité C_{gc} n'est en théorie pas modifiée par le confinement pour des nanofils larges ($W_{top} > 10\text{nm}$). Les nanofils GAA de diamètre d ont une largeur efficace égale à $W_{eff} = \pi d$.

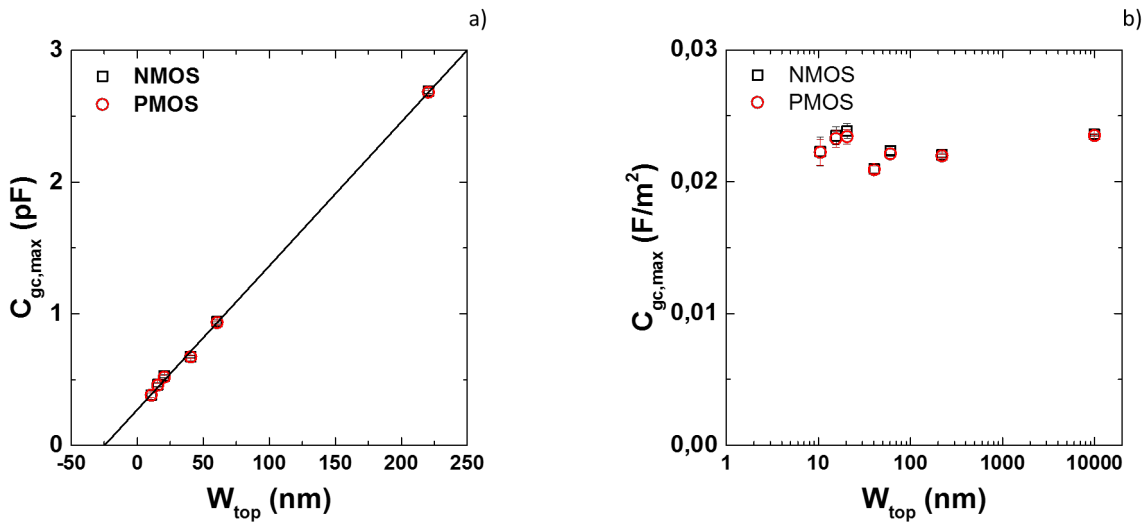


Figure 2.8.: a) Capacité maximale mesurée sur les dispositifs nanofils NMOS et PMOS en fonction de la largeur de grille W_{top} . b) Capacité maximale par unité de surface mesurée sur les mêmes dispositifs (normalisation par la surface $S = W_{eff} \times L_G \times n_{canal}$).

2.2. Les différentes variantes étudiées

Plusieurs variantes de transistors ont été étudiées dans cette thèse. Leurs caractéristiques importantes sont décrites dans cette partie.

Table 2.1.: Exemple de capacité maximale attendue pour des transistors unitaires en fonction de la géométrie, calculée à partir de la capacité d'un transistor planaire.

W_{eff} (nm)	L_G (nm)	C_{GC} (F)
10000	10000	2×10^{-12}
240	10000	4.8×10^{-14}
22	10000	4.4×10^{-15}
40	50	4×10^{-17}

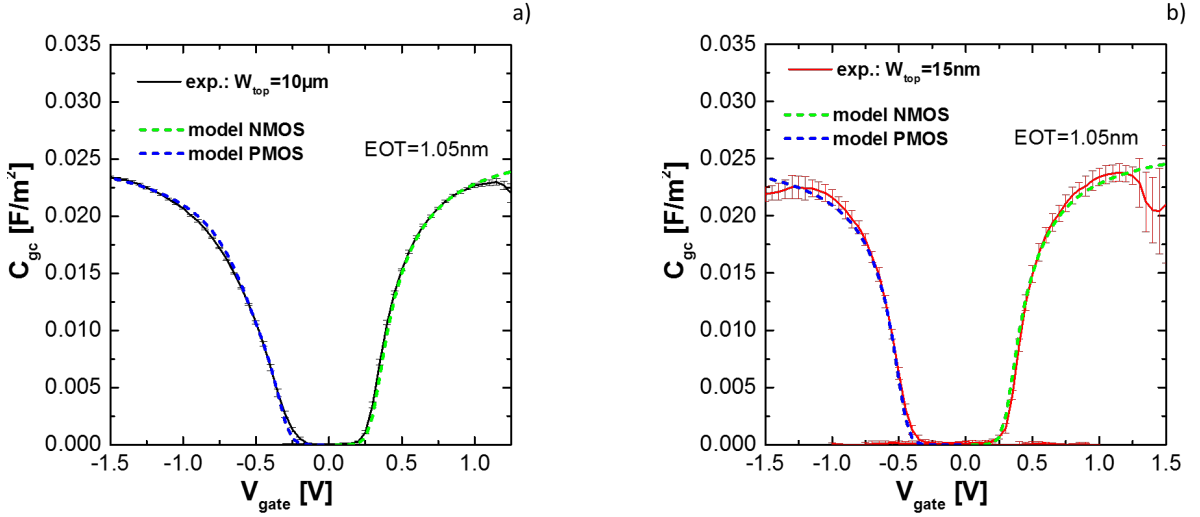


Figure 2.9.: Simulation Poisson-Schrödinger d'une capacité MOS sur substrat SOI ($t_{Si}=12$ nm), avec en paramètre une EOT de 1.05nm (lignes pointillées). Les mesures de capacités se superposent parfaitement aux courbes théoriques pour cette valeur d'EOT pour les dispositifs planaires (a, $W_{top}=10\mu m$) comme pour les dispositifs nanofils (b, $W_{top}=15$ nm), à la fois côté NMOS et PMOS.

Orientation du canal – Dans l'industrie, les transistors ont de manière standard leur canal orienté suivant la direction cristalline $\langle 110 \rangle$ sur des substrats conventionnels (100). Les dispositifs mesurés dans ce travail ont cette orientation, à moins qu'une orientation différente ne soit indiquée (i.e. $\langle 100 \rangle$). L'orientation cristallographique du canal régit l'orientation des différentes surfaces de conduction du transistor nanofil, et plus précisément l'orientation des faces verticales (voir figure 2.10). L'orientation cristallographique de la surface de conduction et la direction du transport ont un fort impact sur la mobilité des porteurs dans un transistor MOSFET. Ainsi, on observe généralement une mobilité des électrons plus faible pour les surfaces (110) que (100) (cf. par exemple [110]), alors que celle des trous est meilleure pour une surface (110) dans

la direction $\langle 110 \rangle$ que pour une surface (100). C'est cette dernière propriété que l'on cherche notamment à exploiter dans les transistors nanofils (voir plus loin, Chap. 3).

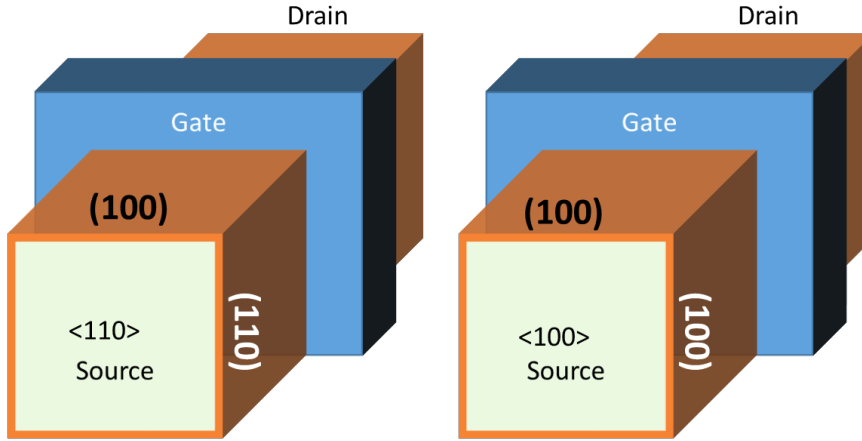


Figure 2.10.: Schéma des différentes surfaces de conduction d'un transistor triple-grilles en fonction de l'orientation cristallographique du canal : $\langle 110 \rangle$ (à gauche) et $\langle 100 \rangle$ (à droite).

Géométrie des transistors – En plus des plages de dimensions du canal (L et W), l'épaisseur du film de silicium SOI définit la hauteur des nanofils. Pour nos dispositifs, cette hauteur H_{NW} est typiquement de 12nm. Cette épaisseur permet d'éviter les effets de canaux courts pour des transistors nanofils avec une section carrée ($W_{top} = H_{NW}$) jusqu'à des longueurs de grille de $L \approx 40$ nm. En effet, la longueur de grille minimale L_{min} pour s'affranchir des effets de canaux courts doit être $L_{min} > 5 - 10\lambda_L$, où λ_L est définie comme la longueur naturelle, qui dépend de l'épaisseur d'oxyde t_{ox} , de l'épaisseur du film de silicium t_{Si} et du nombre de grilles de contrôle [32]. Cette grandeur caractéristique est donnée dans le cas des transistors TriGate par :

$$\lambda_L = \sqrt{(t_{ox}t_{Si}\epsilon_{Si})/3\epsilon_{ox}} \quad (2.2)$$

Néanmoins, l'effet de cette dimension a été étudiée, en faisant varier H_{NW} de 6nm à 24nm. Cette dernière valeur nous rapproche d'une structure de type FinFet, pour comparaison entre ces deux types d'architectures, TriGate et FinFet, qui sont parmi les plus pertinentes.

Introduction de fortes contraintes – L'effet de fortes contraintes sur le transport et les performances des transistors nanofils a été étudié grâce à des dispositifs avec une forte contrainte compressive ou en tension, introduite par divers moyens technologiques (description détaillée dans la section suivante 2.2.1).

Les différents dispositifs étudiés sont résumés dans le tableau 2.2.

Table 2.2.: Tableau récapitulatif des différentes variantes technologiques étudiées.

Variante technologique	Caractéristiques	Type	H_{NW} (nm)
Référence	sans contrainte, canal Si // $\langle 110 \rangle$	N/P-MOS	12
Orientation du canal	canal // $\langle 110 \rangle$ $\langle 100 \rangle$	N/P-MOS	12
Contrainte en tension	contrainte biaxiale et uniaxiale (sSOI)	N/P-MOS	13
Contrainte compressive	contrainte uniaxiale (canal Si,S/D SiGe)	PMOS	12
	contrainte biaxiale et uniaxiale (canal SiGe, S/D SiGe) avec $x_{Ge} = 20\%$ et $x_{Ge} = 30\%$	PMOS	12
Rapport d'aspect H_{NW}/W_{top}	Épaisseur du film SOI t_{Si}	N/P-MOS	23.9 14.7 11.1 6.2

2.2.1. Les dispositifs fortement contraints

Une forte contrainte mécanique (compressive ou en tension) peut être délibérément introduite dans les dispositifs MOS, afin d'exploiter au mieux son effet sur la mobilité des porteurs. Les deux types de contraintes, compressive et en tension, ont été explorées, et comparées vis-à-vis de leur effet sur la mobilité et sur les coefficients piézorésistifs. Ces contraintes sont uniaxiales ou biaxiales, suivant le procédé technologique utilisé et/ou suivant les dimensions géométriques du canal. Une description de ces dispositifs contraints est donnée dans les paragraphes suivants.

Les contraintes en tension (substrat sSOI)

Une forte contrainte en tension peut être amenée grâce au procédé Smart-Cut. En faisant croître par épitaxie du silicium monocristallin sur du SiGe relaxé on induit une forte contrainte dans la couche de Si épitaxiée par alignement des paramètres de maille [91]. Cette couche pourra ensuite être reportée sur un substrat vierge, créant ainsi une structure dites sSOI¹ avec une forte contrainte en tension biaxiale proportionnelle au pourcentage de germanium utilisé. Pour les substrats sSOI on part en général d'une couche Si_{0.8}Ge_{0.2} qui donne une contrainte biaxiale $\sigma \approx 1.4\text{GPa}$ ². La contrainte biaxiale créée dans le

1. pour *Strained Silicon On Insulator*.

2. valeur calculée à partir du tenseur de déformations du Si.

substrat sSOI se réduit à une contrainte uniaxiale dans le sens du canal lorsque la largeur du film de silicium diminue. En effet, la réduction de la largeur du canal par gravure va relâcher la contrainte dans le sens perpendiculaire au canal. Les surfaces latérales du canal sont ainsi libérées après la gravure, laissant les contraintes perpendiculaires se relâcher. Cette relaxation des contraintes en bord de zone gravée a été vérifiée par des mesures d'imagerie de la contrainte (technique *HAADF STEM* [33]), qui montrent une relaxation sur une largeur de $W_{relax} \approx 25\text{nm}$ [36]. Pour des dispositifs dont la largeur est inférieure à 50-60nm, on a donc une relaxation totale de la contrainte transversale, comme montré par des mesures STEM et de diffraction (*Nanobeam Precession Electron Diffraction* [33], réalisées par J.-L. Rouvière Fig. 2.11), ainsi que par des simulations par éléments finis faites par A. Idrissi El Oudrhiri [59] Fig. 2.12.

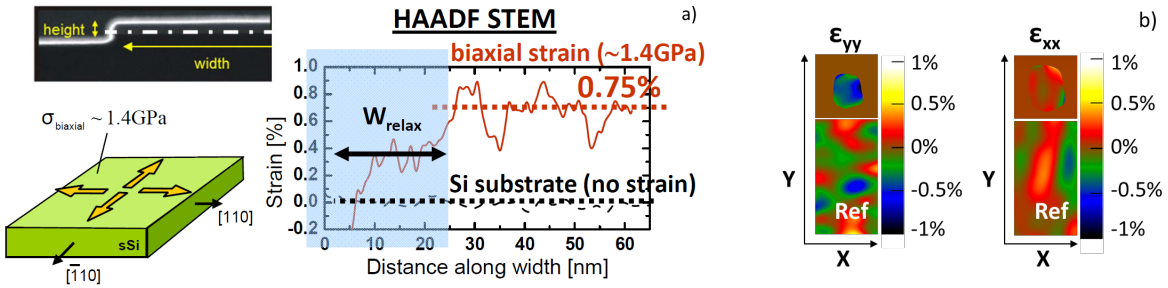


Figure 2.11.: (a) Profil de la déformation dans la section d'un transistor sSOI large obtenue par la technique HAADF, montrant une contrainte biaxiale en tension de $\sim 1.4\text{GPa}$ dans le canal et une relaxation de celle-ci en bord de zone active. (b) Déformation mesurée dans la section d'un nanofil sSOI en échelle de couleurs dans la direction de la largeur (ϵ_{xx}) et dans la direction de la hauteur du nanofil (ϵ_{yy}).

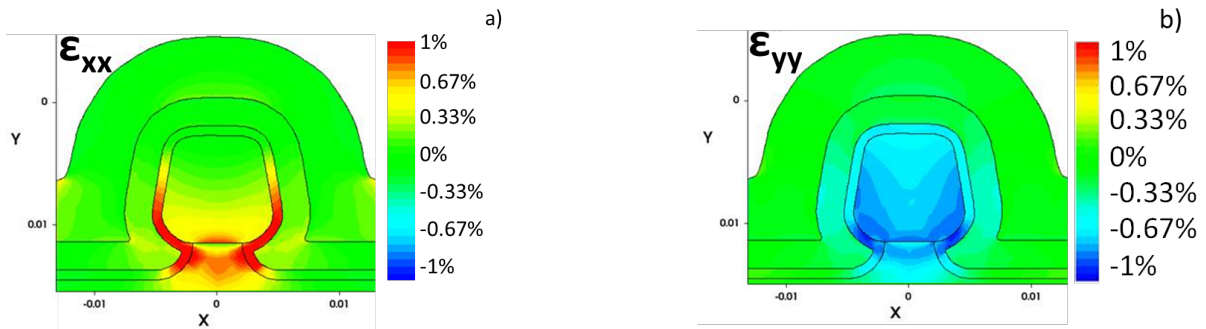


Figure 2.12.: Contraintes calculées par simulation mécanique dans la section d'un nanofil sSOI (même structure que la Fig. 2.11) : (a) dans la direction de la largeur (ϵ_{xx}), et (b) dans la direction de la hauteur du nanofil (ϵ_{yy}).

On note que la simulation montre une contrainte non homogène dans les nanofils notamment au niveau de l'attache entre le canal et le BOX. Ce phénomène est difficile à mesurer par les mesures d'imagerie à cause du bruit de mesures. Cependant, la conduction ayant lieu principalement dans les parties supérieures et latérales, cette accumulation de contrainte n'aura pas un effet très marqué sur les performances de nos dispositifs.

Les contraintes compressives

Pour les PMOS uniquement, une contrainte en compression peut être apportée en utilisant le matériau SiGe dans le canal et/ou les zones de drain et source.

Canal SiGe – l'incorporation de Ge dans le Si va modifier la maille cristalline du silicium et introduire de fortes déformations compressives proportionnelles à la part de germanium qui a été introduite dans l'alliage (Si_xGe_{1-x}). Dans la microélectronique, deux méthodes sont généralement utilisées pour réaliser ce matériau SiGe dans le canal :

- Par épitaxie : on fait croître sur un substrat Si ou SOI une couche d'alliage de SiGe. On obtient ainsi un bi-couche SiGe/Si en compression biaxiale pour les motifs longs et larges si la couche de SiGe est suffisamment fine. Ce procédé permet de co-intégrer PMOS-SiGe et NMOS-Si ou NMOS-sSi en technologie CMOS (voir par exemple [58,67] pour une intégration FDSOI). Pour les transistors nanofils cependant, la relaxation de la contrainte de ce matériau bi-couche lors de la réalisation des transistors étroits et la présence de l'hétérojonction Si/SiGe sur les flancs des nanofils rend son application plus controversée.

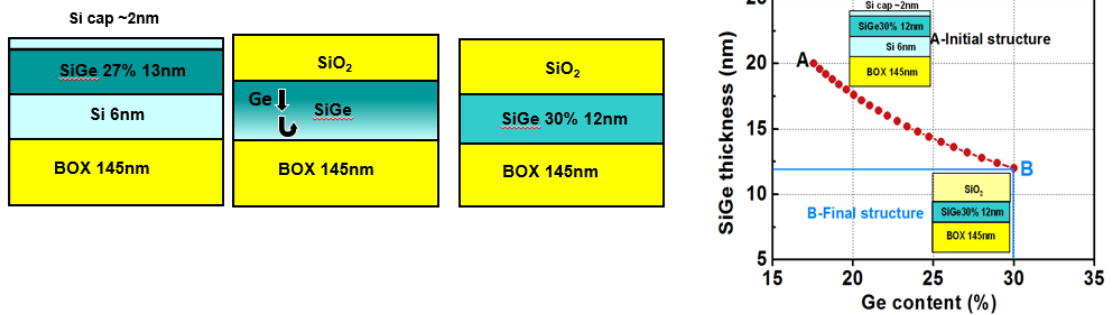


Figure 2.13.: Schéma des principales étapes du procédé de fabrication du SiGeOI par condensation [77]

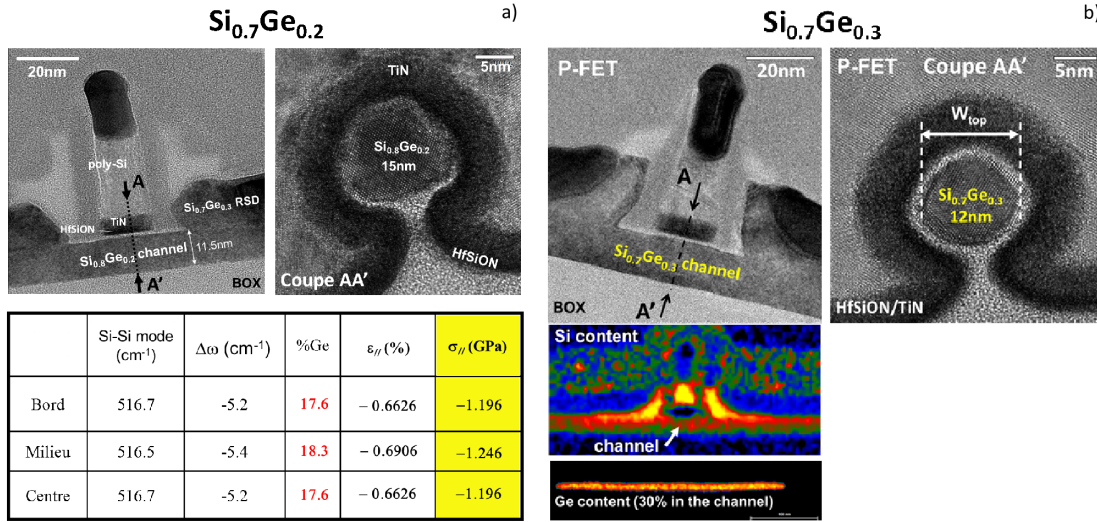


Figure 2.14.: (a) Images TEM d'un transistor PMOS à canal Si_{0.8}Ge_{0.2} (réalisation SiGe pleine plaque [78]). Mesures par spectroscopie Raman pleine plaque (avant réalisation des transistors) du substrat SGOI avec 20% de Ge visé. Le déplacement du pic $\Delta\omega = \omega_{SiGe} - \omega_{Si}$ permet de remonter à la déformation dans le plan ($\epsilon_{||}$) et donc à la composition de Ge et la contrainte $\sigma_{||}$ correspondante. (b) Images TEM d'un transistor PMOS à canal Si_{0.7}Ge_{0.3} (réalisation CMOS [79]). Cartographie chimique correspondante par EDX permettant d'évaluer la composition en Ge à $\approx 30\%$.

— Par condensation : on dépose par épitaxie une couche de SiGe fortement concentrée en Ge sur la couche de SOI. On oxyde ensuite le SiGe. Cette oxydation va faire diffuser les atomes de germanium dans la couche de silicium du SOI et laisser une couche d'oxyde de silicium au-dessus d'une seule couche de SiGe homogène [54, 78] Fig. 2.13. Du SiGeOI pleine plaque [78], ou localisé sur les zones PFETs uniquement [79] a été réalisé par cette technique, suivi du procédé de fabrication "standard" des transistors nanofils. On obtient ainsi pour les PMOS large un canal SiGe en compression biaxiale avec 20% ou 30% de Ge [78, 79]. La figure 2.14 montre une image TEM du canal Si_{0.8}Ge_{0.2} d'un transistor nanofil ($L_G = 15\text{nm}$) avec des source/drain Si_{0.7}Ge_{0.3} épitaxiés (voir plus bas). Le film de SiGe sous la grille a une épaisseur de 11.5nm. Les analyses ToF SIMS montrent une composition homogène de Ge dans toute l'épaisseur de la couche SiGe. La valeur de la contrainte dans les dispositifs larges a pu être mesurée par spectroscopie Raman pour le canal visé à 20% de Ge donnant : $\epsilon_{||} = 0.069\%$ soit $\sigma_{||} = 1.25\text{GPa}$, ce qui correspond à une concentration effective de Ge de 18.4%. Pour le canal Si_{0.7}Ge_{0.3}, des analyses EDX montrent bien une composition de Ge estimée à $\approx 30\%$. Les valeurs de la déformation ont été mesurées par diffraction (NBED) pour ces mêmes transistors dans la direction S/D et dans la section de nanofils de

largeur $W_{top}=220\text{nm}$ et $W_{top}=12\text{nm}$. Comme dans le cas du sSOI, on observe une relaxation de la contrainte en bord de zone active, due à la gravure. En conséquence, la contrainte compressive initialement biaxiale pour des W larges, se réduit à une contrainte uniaxiale pour des W plus étroits, à savoir ici plutôt dès $W_{top} \lesssim 0.22\mu\text{m}$. Cette relaxation est mise en évidence notamment sur les mesures de mobilités effectives des trous en fonction de la charge d'inversion pour différentes valeurs de largeurs de transistors W_{top} (Fig. 2.15). En effet, le gain en mobilité pour une contrainte uniaxiale est très supérieur au gain dû à une contrainte biaxiale (voir chapitre 4), et rend donc cette relaxation facilement identifiable par la mobilité. La largeur de relaxation est compatible avec les largeurs $W_{relax} \approx 125\text{nm}-300\text{nm}$ observées dans la littérature notamment pour du $\text{Si}_{0.75}\text{Ge}_{0.25}$ dans une technologie avec isolation STI [15, 42].

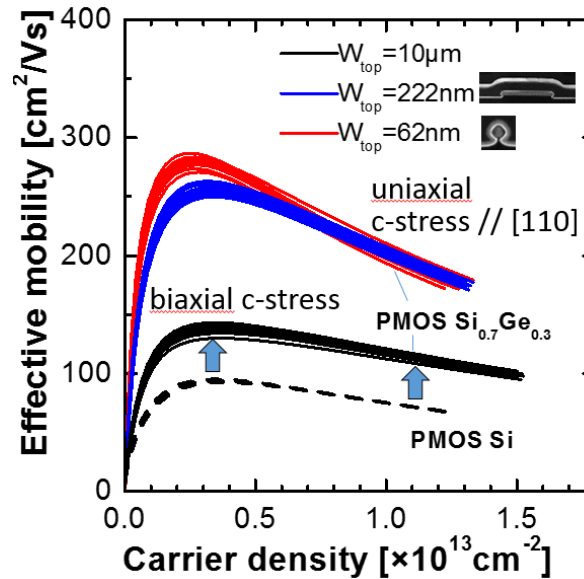


Figure 2.15.: Mobilité effective mesurée en fonction de W_{top} par la méthode *split-CV* sur des transistors longs, montrant une transformation de la contrainte biaxiale à une contrainte uniaxiale par relaxation de la contrainte sur les flancs, déjà visible pour $W_{top} = 220\text{nm}$.

Source/Drain SiGe – Dans une intégration FDSOI, l'épaisseur des source/drain est augmentée par épitaxie sélective afin de limiter les résistances séries des films minces. L'alliage SiGe au niveau des zones de source et drain du transistor va induire, en plus, une forte contrainte compressive uniaxiale dans le canal de conduction sous la grille à cause du paramètre de maille du Ge plus grand que celui du Si [26]. Contrairement au canal en SiGe, cette contrainte n'est pas fixée que par le pourcentage de germanium, mais

aussi par la longueur du canal. En effet, les sources et drains vont appuyer localement sur les extrémités du canal sous l'effet de la déformation due au germanium [5]. Les mesures montrent que cette déformation commence à avoir un effet sensible sur le canal à partir d'une longueur d'environ 500nm. On observe également une augmentation de la mobilité des trous avec la diminution de la longueur du canal pour des longueurs $L \lesssim 500\text{nm}$, conséquence de l'augmentation progressive de la contrainte compressive. De même, la résistance d'accès est améliorée pour les S/D SiGe en raison de la contrainte et de la meilleure mobilité des trous (Fig. 2.17).

Dans nos dispositifs nanofils, les Source/Drain SiGe ont été réalisés par épitaxie (18nm d'épaisseur) effectuée à 650°C, en visant une concentration de Germanium de 30%, et dopés *in-situ* avec du Bore (voir image TEM sur la figure 2.14 et 2.16 par exemple) [8].

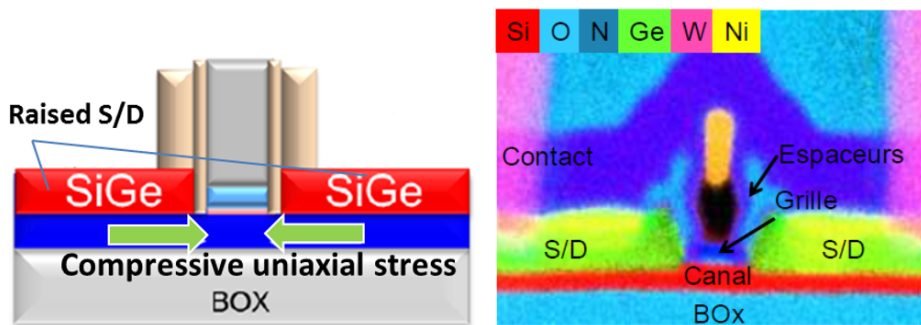


Figure 2.16.: (droite) Schéma d'un transistor PMOS avec des S/D SiGe. (gauche) Coupe TEM et cartographie des espèces chimiques par EDX d'un transistor PMOS avec $L=15\text{nm}$ et source/drain épitaxiés $\text{Si}_{0.7}\text{Ge}_{0.3}$ [37]

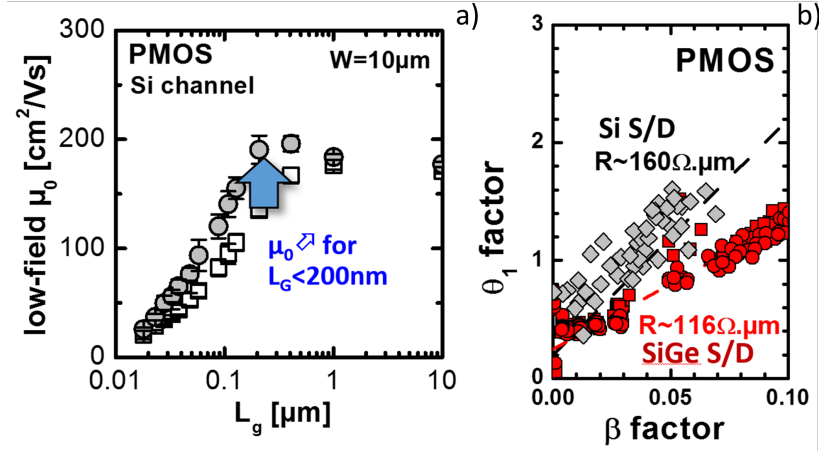


Figure 2.17.: a) Mobilité des trous extraite en fonction de L par la méthode de la fonction Y , pour des transistors PMOS avec ou sans S/D SiGe. Ces mesures montrent un gain en mobilité pour les S/D SiGe aux L faibles ($\lesssim 200\text{nm}$). b) Résistance d'accès extraite par la fonction Y sur les transistors correspondants (voir Chap.3) montrant une valeur plus faible pour les S/D SiGe.

2.3. Caractéristiques électriques des structures triple-grille

Un meilleur contrôle électrostatique – L'utilisation d'une structure triple-grilles permet un meilleur contrôle électrostatique de nos dispositifs [35]. On peut voir sur la figure 2.18a que l'augmentation du DIBL avec la diminution de la longueur de grille est compensée par la réduction de l'épaisseur du canal pour les dispositifs NMOS et PMOS nanofils ($W_{top} = 12\text{nm}$). De la même manière, la réduction de la largeur de grille pour un dispositif mince ($H_{NW} = 12\text{nm}$) compense la perte de contrôle électrostatique qui survient avec les grilles courtes (voir Figure 2.18b).

Cette amélioration du contrôle électrostatique est aussi visible sur la mesure des tensions de seuil. On peut voir sur les figures 2.19a et b que la tension de seuil chute vers 0 pour les dispositifs planaires à grille courte mais reste quasiment constante pour les dispositifs nanofils malgré une augmentation de l'incertitude due aux faibles dimensions et aux procédés de fabrication.

Des contraintes efficaces – Ces structures nanofils tridimensionnelles permettent aussi une utilisation efficace des contraintes en tensions et en compressions sur les transistors. On peut voir sur les figures 2.20a et b le gain de performance I_{on}/I_{off} comparé aux dispositifs non contraints. Ce gain est apporté par l'utilisation respective de silicium

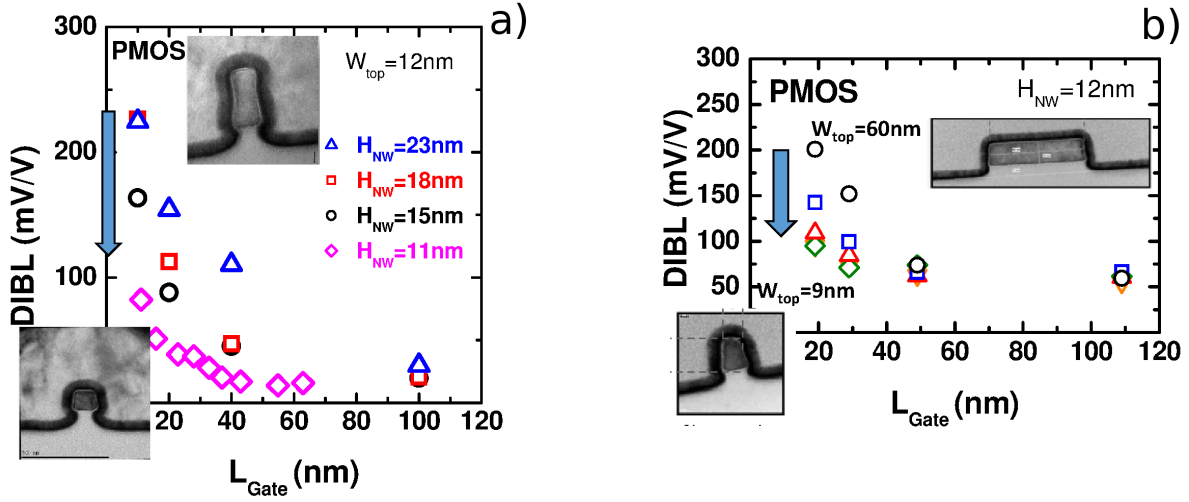


Figure 2.18.: a) DIBL mesuré sur des transistors TriGate nanofils PMOS ($W_{top}=12\text{nm}$) en fonction de la longueur de grille L_G pour différentes hauteurs de nanofils H_{NW} de 11nm à 23nm. b) DIBL mesuré sur des transistors TriGate nanofils PMOS ($H_{NW}=12\text{nm}$) en fonction de la longueur de grille L_G pour différentes largeurs de nanofils W_{top} de 9nm à 60nm.

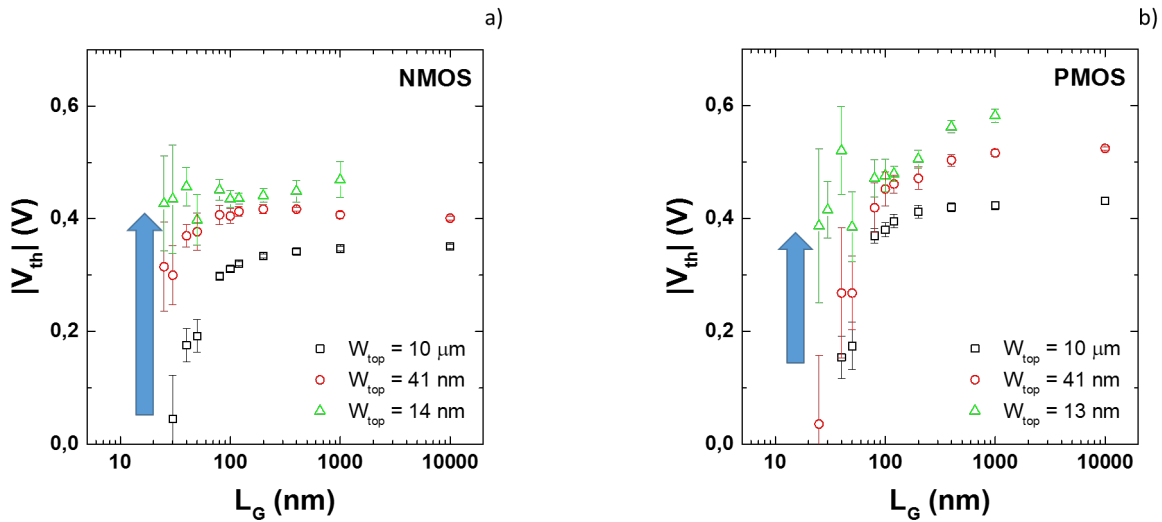


Figure 2.19.: Valeur absolue de la tension de seuil mesurée pour des dispositifs de référence ($H_{NW} = 12\text{nm}$) NMOS (a) et PMOS (b) en fonction de la longueur de grille. Trois largeurs de canal sont comparées : $W_{top} = 10\mu\text{m}$ (symboles noirs), $W_{top} = 41\text{nm}$ (symboles rouges), $W_{top} \approx 10\text{nm}$ (symboles verts).

contraint (sSOI) pour les dipositifs NMOS Fig. 2.20a et d'alliage silicium-germanium dans le canal Fig. 2.20b.

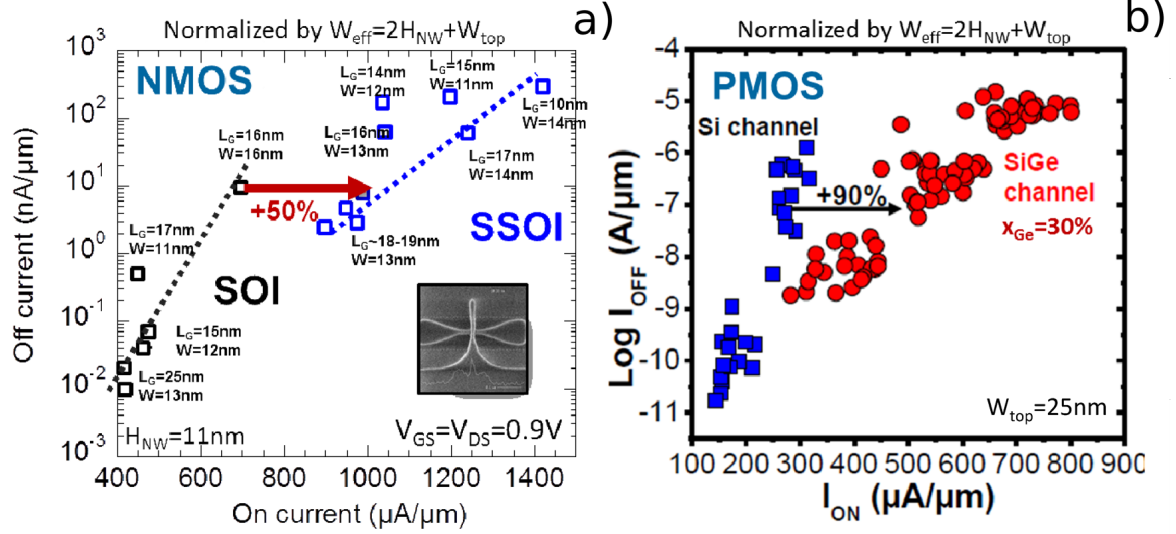


Figure 2.20.: Comparaison des performances $I_{\text{on}}-I_{\text{off}}$ pour des dispositifs nanofils contraints et non contraints [7, 78] : (a) NMOS SOI vs. sSOI (les dimensions W_{top} et L sont indiquées pour chaque points expérimentaux), (b) PMOS Si vs. SiGe ($L_G = 10-40\text{nm}$). Dans tous les cas les mesures ont été réalisées à $V_G = V_D = 0.9\text{V}$, et les courants normalisés par la largeur effective totale $2H_{\text{NW}} + W_{\text{top}}$.

Ce gain de performance est aussi mesurable sur la mobilité effective comme le montrent les figures 2.21a et b pour les même catégories de dispositif.

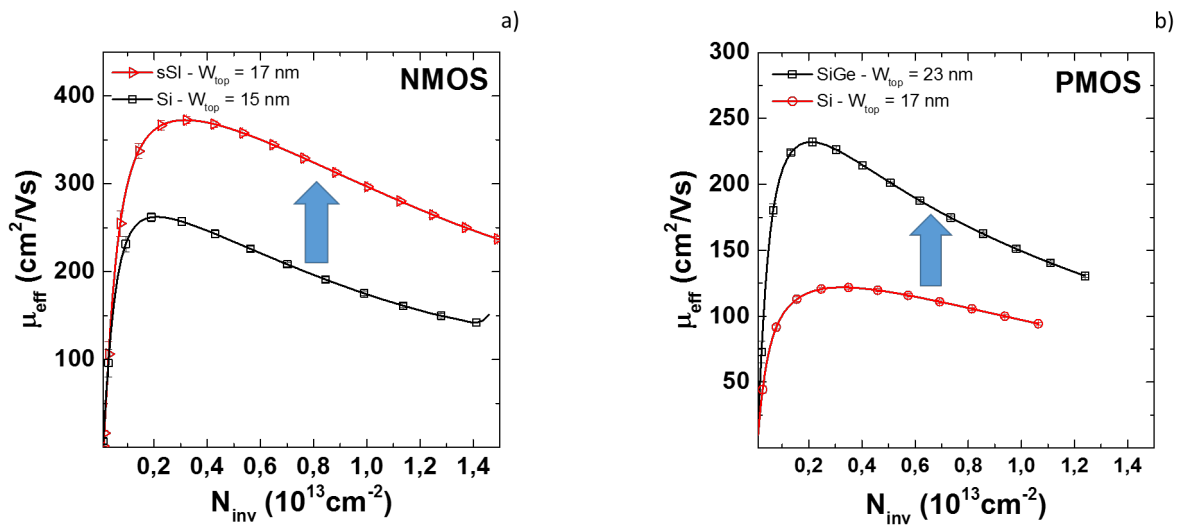


Figure 2.21.: Comparaison de la mobilité effective mesurée par *CV-split* sur des transistors longs en fonction de la densité de porteurs en inversion N_{inv} pour des dispositifs nanofils contraints et non contraints ($W_{\text{top}} = 15-23\text{nm}$, $L = 10\mu\text{m}$) : (a) NMOS SOI vs. sSOI, (b) PMOS Si vs. SiGe.

Ce gain de performance se retrouve de même pour les dispositifs à grille courte où les zones source et drain compriment le canal grâce à leur alliage de SiGe. Fig. 2.22a pour les gains I_{on}/I_{off} et Fig. 2.22b pour le gain en mobilité, on voit en particulier que les dispositifs multigrilles ($W_{top} = 15nm$) ont une mobilité quatre fois supérieure à leur contrepartie planaire pour les grilles les plus réduites.

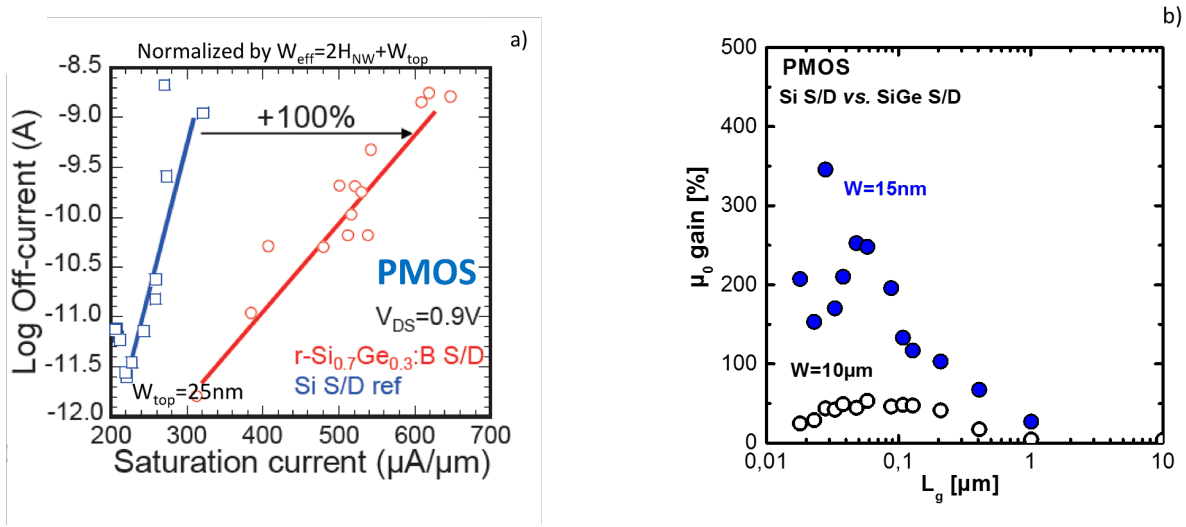


Figure 2.22.: a) Comparaison des performances $I_{on}-I_{off}$ pour des dispositifs nanofils PMOS avec S/D Si et S/D SiGe ($W_{top}=25nm$, $L_G = 13-25nm$). Les mesures ont été réalisées à $V_G=V_D=0.9V$, et les courants normalisés par la largeur effective totale $2H_{NW} + W_{top}$ [7]. b) Gain en mobilité dû à la contrainte induite par les S/D SiGe ($(\mu_{S/D, SiGe} - \mu_{S/D, Si}) / \mu_{S/D, Si}$) en fonction de L_G pour des dispositifs PMOS nanofils ($W_{top}=15nm$) et planaires ($W_{top}=10\mu m$). Les mobilités ont été extraites par la méthode de la fonction Y (cf. Chap. 3).

Chapitre 3.

La mobilité dans les transistors Tri-Gate

3.0.1. Rappels théoriques

La mobilité dans un transistor

La mobilité est dérivée du déplacement des porteurs de charge sous l'action d'un champ électrique, traitée de manière statistique au sein du semi-conducteur. Ce traitement statistique se fait à partir de l'équation de Schrödinger pour la fonction d'onde d'un électron $\Psi(\mathbf{r}, t)$ et les différents potentiels perturbateurs qui sont susceptibles d'apparaître au sein d'un composant semi-conducteur :

$$i\hbar \frac{\delta \Psi}{\delta t} = -\frac{\hbar^2}{2m_0} \nabla^2 \Psi + [E_{C0}(\mathbf{r}) + U_{C0}(\mathbf{r}) + U_S(\mathbf{r}, t)]\Psi(\mathbf{r}, t) \quad (3.1)$$

Avec $E_{C0}(\mathbf{r})$ le potentiel appliqué ou subi par le semi-conducteur, $U_{C0}(\mathbf{r})$ le potentiel cristallin et $U_S(\mathbf{r}, t)$ le potentiel de dispersion (*S pour scattering*). La résolution de cette équation permet de connaître plus ou moins précisément (suivant les méthodes employées) les conditions du transport au sein du composant semi-conducteur.

Le diagramme de bandes d'énergie représente les états énergétiques possibles des porteurs dans le repère réciproque ($k_x = 1/x; k_y = 1/y; k_z = 1/z$) (Fig. 3.1). On définit ainsi la bande de conduction (énergie positive), où sont localisés les électrons, séparée de la bande de valence (énergie négative), où se trouvent les trous. Pour le Si massif, la bande de conduction est séparée en six vallées Δ qui se trouvent à un niveau d'énergie égale mais à vecteur d'onde k différent (autour du point χ). La bande de valence est

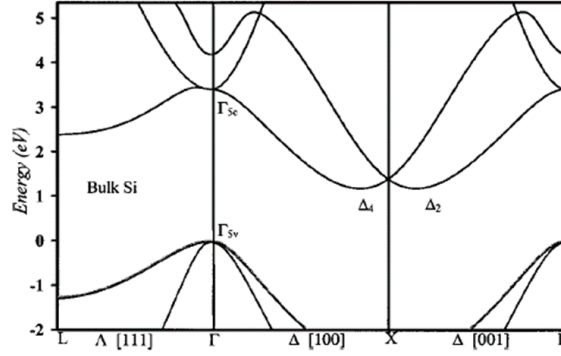


Figure 3.1.: Structure de bandes pour du silicium massif (*bulk*) à 0K calculée avec la méthode $\mathbf{k} \cdot \mathbf{p}$ sp^3s^* dans deux directions (d'après [92]).

quant à elle dégénérée en $k = 0$ (point Γ), avec la bande d'énergie des trous lourds et celle des trous légers. Dans le cas de systèmes confinés électrostatiquement (comme par exemple la couche d'inversion d'un transistor MOS) ou spatialement par la géométrie des couches ou des gravures de la zone de conduction (confinement 1D pour les films minces FDSOI, ou 2D pour des nanofils), ce schéma de bandes est modifié, et nécessite d'être recalculé [11]. Il en est de même lorsqu'une contrainte mécanique est appliquée.

La notion de masse effective des porteurs (m^*) est dérivée de cette approche en diagramme. Elle simplifie l'étude du déplacement des porteurs en regroupant les notions de potentiel déviateur cristallin et de masse élémentaire de l'électron ($m_0 = 9.1 \cdot 10^{-31} kg$) dans une masse plus élevée : m^* . La masse effective des porteurs, exprimée en fonction de la masse élémentaire des électrons (*i.e.* $m_h^* = 0.19m_0$), est inversement proportionnelle au rayon de courbure de la bande d'énergie du porteur considéré :

$$m^* = \hbar^2 \left[\frac{d^2 E}{dk^2} \right]^{-1} \quad (3.2)$$

On définit la mobilité de ces porteurs μ de manière statistique par [71] :

$$\mu = \frac{q \langle \tau \rangle}{m^*} \quad (3.3)$$

où q est la charge de l'électron, τ est le temps moyen entre deux collisions et $\langle \rangle$ est la moyenne sur l'énergie. Cette expression permet de représenter simplement le concept de mobilité des porteurs en faisant intervenir le libre parcours moyen (τ) des porteurs, qui est le temps moyen entre deux collisions pour un porteur donné.

On donne souvent les valeurs de mobilité dans le volume d'un semi-conducteur, qui est propre au semi-conducteur et au dopage utilisé (cf. Tab. 3.1). Cette valeur volumique n'est néanmoins pas la mobilité des porteurs dans un transistor en fonctionnement, pour lequel les porteurs en inversion sont confinés sur une épaisseur de quelques nanomètres (voir figure 3.2). La mobilité effective des porteurs est le résultat de la contribution de plusieurs mécanismes de diffusion, qui limitent le libre parcours moyen des porteurs, *i.e.* le temps moyen $\langle\tau\rangle$ entre deux collisions dans l'équation 3.3 [107, 110].

Table 3.1.: Mobilité volumique en cm^2/Vs pour le Silicium et le Germanium pour les électrons et les trous [2].

	Electron (cm^2/Vs)	Trou (cm^2/Vs)
$\mu_{Si,bulk}$	1350	480
$\mu_{Ge,bulk}$	3600	1800

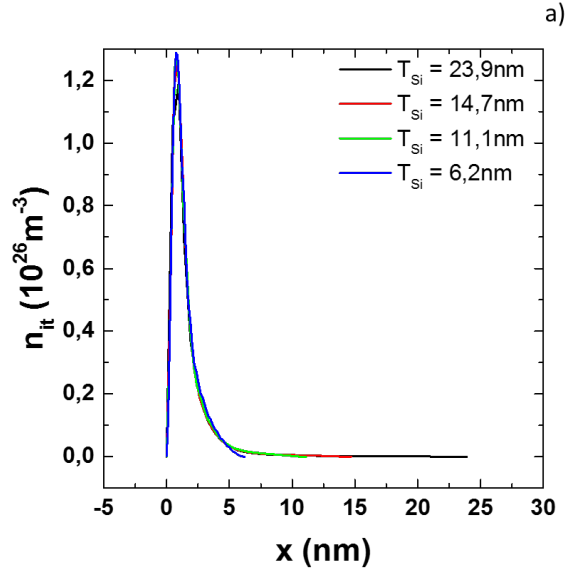


Figure 3.2.: Densité de porteurs minoritaires en inversion forte calculée en fonction de la position x dans le fil ($x=0$ à l'interface Si/oxyde de grille) pour des transistors planaires SOI avec une épaisseur de film t_{Si} variant de 24nm à 6.2nm (résolution Poisson-Schrodinger 2D).

On distingue, pour les transistors MOS silicium "modernes", trois mécanismes de diffusion principaux :

- les interactions avec les phonons, qui sont les vibrations du réseau cristallin,

— la rugosité de surface, qui représente une perturbation de la conduction due à la proximité physique de la couche d'inversion et de l'interface non-idéale oxyde-canal,

— les interactions coulombiennes, qui représentent l'impact des charges présentes dans le canal de conduction s'il est dopé ou dans l'oxyde proche du canal. Ces dernières peuvent être à l'interface canal-oxyde pour les états d'interface D_{it} , ou plus loin dans l'oxyde comme par exemple à l'interface entre l'oxyde SiO_2 et l'oxyde *high- κ* [22].

Pour les transistors SiGe, il faut aussi considérer l'effet de diffusion dû à la présence de Ge dans l'alliage SiGe [47].

La mobilité totale des porteurs dans un transistor peut être exprimée, en considérant chaque interaction indépendamment les unes des autres, par la loi de Matthiessen [75] :

$$\frac{1}{\mu_{tot}} = \sum_i \frac{1}{\mu_i} = \frac{1}{\mu_{ph}} + \frac{1}{\mu_{CS}} + \frac{1}{\mu_{SR}} \dots \quad (3.4)$$

où μ_i représente la mobilité limitée par chaque mécanisme : phonon (μ_{ph}), rugosité de surface (μ_{SR}), interactions coulombiennes (μ_{CS}),...

Les phonons sont généralement le mécanisme prépondérant à température ambiante pour un champ électrique moyen dans les transistors. C'est aussi le mécanisme qui est le plus sensible à la température. Expérimentalement, dans la littérature, la mobilité limitée par les phonons dans les transistors Si est proportionnelle à $T^{-\alpha}$, avec $\alpha \approx 1.75$ [107]. En théorie, on distingue les interactions avec les phonons intervallée (phénomène inélastique, transition des porteurs d'une sous-bande de la vallée dans laquelle il est présent (Δ_2 ou Δ_4 par exemple) vers la sous-bande d'une autre vallée) et les interactions avec les phonons intravallée (phénomène élastique, transition des porteurs d'une sous-bande vers une autre sous-bande de la même vallée) [108]. Ces deux types d'interaction peuvent être décrits analytiquement à l'aide des équations suivantes [12, 108]. Pour les phonons intravallée on a :

$$\frac{1}{\tau_{ac}^{1,2}} = \frac{n^{ac} m_d D_{ac} k_B T}{\hbar^3 \rho s_l} W_{1,2}, \quad (3.5)$$

avec

$$W_{1,2} = \int \psi_1^2(z) \psi_2^2(z) dz \quad (3.6)$$

où m_d la densité d'état de la vallée, D_{ac} le potentiel de déformation acoustique, ρ et s_l sont respectivement la densité de masse et la vitesse longitudinale du son dans le

cristal. Le terme $W_{1,2}$ est le facteur de forme composé des fonctions d'enveloppe ($\psi(z)$) des sous-bandes 1 et 2. On trouve dans cette expression la variation de la mobilité en fonction de l'inverse de la température ($1/T$).

Pour les phonons intervalles, on a :

$$\frac{1}{\tau_{iv}^{1,2}} = \frac{n^{iv} m_d^{(2)} D_{iv}^2}{\hbar \rho E_{iv}} \frac{1}{W_{1,2}} \left(N_{iv} + \frac{1}{2} \pm \frac{1}{2} \right) \times \frac{1 - f(E \mp E_{iv})}{1 - f(E)} U(E \mp E_{iv} - \Delta E_{1,2}) \quad (3.7)$$

avec $m_d^{(2)}$ la masse effective de la densité d'état de la vallée finale, D_{iv} le potentiel de déformation intervalle, E_{iv} l'énergie du phonon intervalle, N_{iv} et le nombre d'occupation de Bose-Einstein du phonon intervalle pour le mode d'énergie E_{iv} , $(N_{iv} + \frac{1}{2} \pm \frac{1}{2})$ est la modification pour l'émission ou l'absorption de phonon, et $U(E)$ est la fonction marche de Heavyside pour une énergie donnée.

Le calcul de la mobilité limitée par la rugosité de surface est plus complexe et fait intervenir la morphologie de l'interface *via* les paramètres L_c (longueur de cohérence) et Δ (rugosité moyenne) [4, 111]. Cette contribution est généralement admise comme étant indépendante de la température [107].

Mesures de mobilité à basses températures

La température dans un semi-conducteur modifie les propriétés du transport. A faible température $T < 50K$ les phonons du réseau cristallin sont quasiment supprimés. Leur effet sur la mobilité disparaît donc progressivement lorsque la température diminue (voir Fig. 3.3). Ceci se traduit par une augmentation de la mobilité mesurée. On distingue ainsi deux régimes de mobilité dans les mesures à basse température : la mobilité limitée par les effets coulombiens à faible charge d'inversion, et la mobilité limitée par la rugosité de surface à moyenne et forte charge d'inversion. Les mesures à faible température permettent de décorréler la mobilité limitée par les phonons de la mobilité limitée par la rugosité de surface qui est elle invariante avec la température [107]. On peut ainsi extraire la mobilité limitée par les phonons (Eq. 3.4), en négligeant les effets coulombiens et donc en se plaçant dans les zones de moyenne et forte inversion, en retranchant la mobilité mesurée à basse température :

$$\frac{1}{\mu_{ph}(T)} = \frac{1}{\mu_{eff,tot}(T)} - \frac{1}{\mu_{SR}(T_{cryo})} \quad (3.8)$$

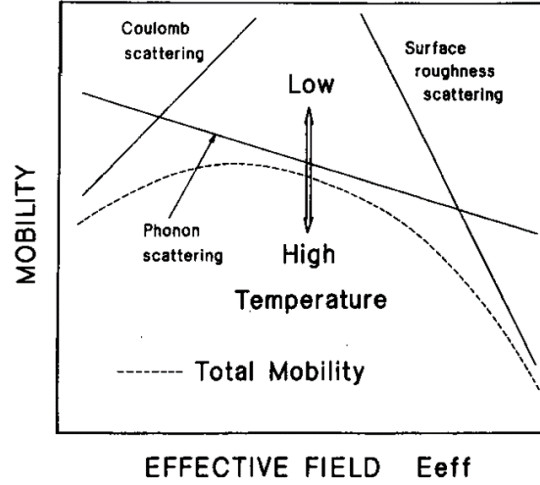


Figure 3.3.: Représentation schématique de la variation de la mobilité en fonction du champ effectif dans le canal des transistors, ainsi que des différents mécanismes de diffusion et l'effet de la température (d'après Takagi *et al.* [110]).

Nous disposons d'un banc de mesure hermétique qui permet de réaliser des mesures électriques de courant et de capacité jusqu'à des températures cryogéniques. Ce banc est adapté pour l'utilisation de l'azote liquide et de l'hélium liquide ce qui donne une plage d'utilisation en température allant de 300K à ≈ 4 K. La température est stabilisée à l'aide de deux différents systèmes de chauffage asservis aux capteurs de température. Un système est dédié à la température du bâti qui sert de masse thermique, et l'autre chauffage est dédié à la température de l'échantillon.

Expression de la mobilité pour un transistor Multi-Grilles

Une façon simple de décrire le transport dans une structure multi-grilles a été décrite dans [32], et étudiée pour les transistors FinFet par Rudenko *et al.* [97]. Dans cette description, la mobilité totale du transistor est la somme des mobilités des différentes surfaces de conduction contrôlées par la grille, pondérées par les dimensions respectives de ces surfaces. Cette relation peut être facilement démontrée en considérant que les surfaces de conduction sont indépendantes entre elles, et que les grilles sont toutes équivalentes (une seule tension de grille). On identifie ainsi une expression générale de la mobilité dans un transistor à grilles multiples. Le courant I sortant du transistor est la somme

des courants des surfaces de conduction :

$$I_{transistor} = \sum I_{surface} \quad (3.9)$$

Le courant des différentes surfaces de conduction en fonction du rapport géométrique de ces surfaces peut s'exprimer à l'aide de l'équation classique du courant de drain en régime linéaire :

$$I_{surface} = \frac{l_s}{L} \cdot \mu_s C_{ox} (V_G - V_{th} - \frac{V_{ds}}{2}) \cdot V_{ds} \quad (3.10)$$

avec l_s la largeur de la surface de conduction, et μ_s sa mobilité.

$$I_{transistor} = \frac{W_{eff}}{L} \cdot \mu_{tot} C_{ox} \cdot (V_G - V_{th} - \frac{V_{ds}}{2}) \cdot V_{ds} \quad (3.11)$$

avec W_{eff} la somme des largeurs des surfaces de conduction, et μ_{tot} la mobilité totale du transistor. On remplace ensuite les termes de l'Eq.3.9 par les différentes expressions du courant obtenues. On obtient une expression générale de la mobilité dans un transistor à grilles multiples :

$$\mu_{tot} = \frac{1}{W_{eff}} \cdot \sum l_s \cdot \mu_s \quad (3.12)$$

Dans le cas particulier de nos transistors triple-grilles rectangulaires avec une section de dimensions W_{top} et H , on obtient l'expression de la mobilité suivante :

$$\mu_{TG} = \frac{W_{top}\mu_{top} + 2H\mu_{side}}{W_{top} + 2H} \quad (3.13)$$

avec μ_{top} la mobilité de la surface supérieure et μ_{side} la mobilité des surfaces latérales (qui est supposée identique pour les deux surfaces latérales).

Ce modèle semi-analytique nous servira dans l'étude de nos mesures et ses limites seront discutées à la fin de ce chapitre.

3.1. Résultats et discussion des mesures de mobilité

La mobilité est un paramètre physique capital des semi-conducteurs. Elle a un lien direct avec le courant maximal que peut débiter un transistor en opération. La mobilité effective

des électrons et des trous a été mesurée en utilisant la méthode *CV-split* [56] (voir détails en Annexe A). 14 dispositifs ont été mesurés pour chaque architecture et dimension de manière à obtenir des résultats statistiquement valides¹. Nous avons testé une large gamme de transistors en fonction des dimensions physiques du canal du transistor. Les résultats en terme de mobilité seront décrits en fonction de différents paramètres : *(i)* l'effet de la largeur du canal W_{top} , *(ii)* de l'épaisseur du canal H_{NW} , *(iii)* de l'orientation du canal $\langle 110 \rangle$ ou $\langle 100 \rangle$, et *(iv)* de la longueur de la grille L_G . Nous verrons que ces paramètres géométriques peuvent jouer un rôle important dans le transport, rôle qui n'est pas toujours correctement pris en compte, notamment dans la description semi-classique du transport [73], où un transistor à dimension nanométrique ne satisfait plus les hypothèses de base de cette description [89]. Les résultats sont présentés séparément pour les NMOS et les PMOS pour plus de clarté.

3.1.1. Transistors NMOS

Cette partie se concentre d'abord sur la variation de la mobilité avec la largeur du canal W_{top} jusqu'à 10nm, et avec la hauteur du canal H de 6nm à 24nm.

Mobilité en fonction de la largeur du canal

La figure 3.4a montre l'évolution de la mobilité en fonction du nombre de porteurs en inversion (N_{inv}) pour les différentes largeurs de grille, pour les dispositifs TG de référence (orientation $\langle 110 \rangle$, $H=12\text{nm}$ et $L_G = 10\mu\text{m}$, Cf. table 2.2). Nous avons reporté sur la figure 3.4b la mobilité mesurée à $N_{inv} = 0.5 \times 10^{13}\text{cm}^{-2}$ en fonction de W_{top} . On peut voir que la mobilité diminue avec W . La mobilité passe ainsi de $\approx 300\text{cm}^2 \cdot (\text{Vs})^{-1}$ pour les transistors planaires à $\approx 200\text{cm}^2 \cdot (\text{Vs})^{-1}$ pour les nanofils, soit une diminution de mobilité d'environ 33% pour environ 3 décades de réduction de largeur. Ce résultat s'explique qualitativement dans la description analytique de la mobilité présentée précédemment. Pour un transistor triple-grilles orienté suivant la direction cristalline $\langle 110 \rangle$ on peut exprimer la mobilité en reprenant l'équation 3.13, en remplaçant la mobilité de la surface supérieure μ_{top} par $\mu_{(100)}$ et la mobilité des surfaces latérales μ_{side} par $\mu_{(110)}$ (voir Fig. 2.10)

1. Les résultats de ces mesures statistiques sont présentés avec la mise en forme suivante : les symboles sont les valeurs moyennes des mesures filtrées (2 sigmas), les barres d'erreurs sont les écarts-types calculés à partir de ces mêmes mesures filtrées.

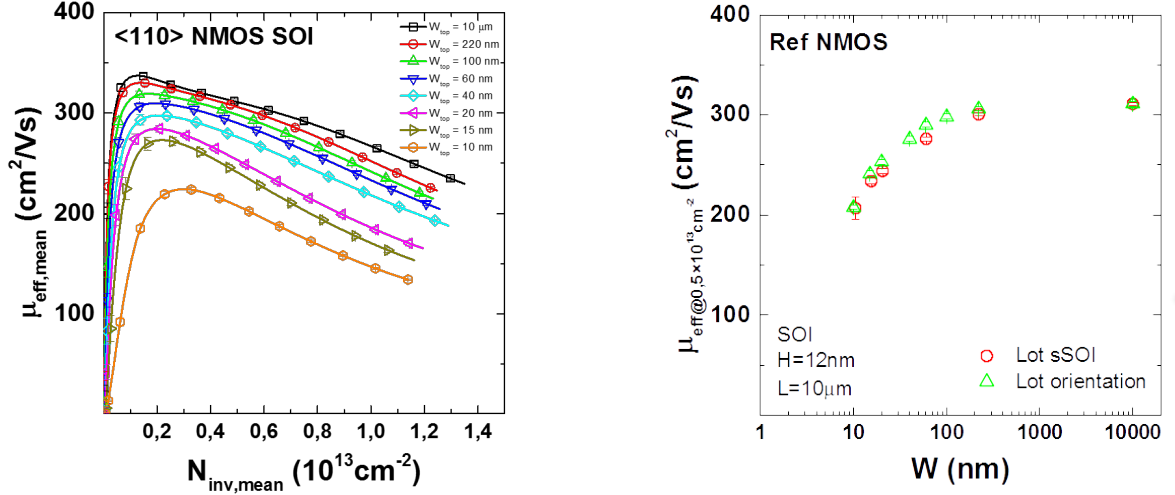


Figure 3.4.: a) Mobilité effective des électrons mesurée par la méthode *CV-split* en fonction de la densité de porteurs en inversion pour différentes valeurs de largeur W_{top} ($H=12$ nm et $L_G = 10\mu\text{m}$). b) Mobilité effective à $N_{inv} = 0.5 \cdot 10^{13} \text{cm}^{-2}$ en fonction de la largeur de canal W_{top} .

en accord avec l'orientation cristallographique du canal $\langle 110 \rangle$, soit :

$$\mu_{TG} = \frac{W_{top}\mu_{(100)} + 2H\mu_{(110)}}{W_{top} + 2H} \quad (3.14)$$

Or pour les électrons, la mobilité pour une surface de conduction (100) est meilleure que celle pour une surface (110) [110]. A mesure que W_{top} diminue, le ratio des surfaces de conduction entre la surface supérieure (100) et les surfaces latérales (110) change.

Mobilité en fonction de la hauteur de canal

L'étude de la mobilité pour des dispositifs FDSOI² en fonction de l'épaisseur du film de Si est intéressante tant pour des transistors planaires qui nous permettent de caractériser l'impact de la variation d'épaisseur, que pour les dispositifs à faible largeur de canal qui mettent en évidence un fort effet de la section géométrique du canal sur le transport au sein d'un transistor TriGate.

La Fig. 3.5a représente la mobilité effective en fonction de la charge d'inversion pour différentes épaisseurs pour un transistor large. On remarque sur la Figure 3.5b que

2. Pour Fully Depleted Silicon On Insulator

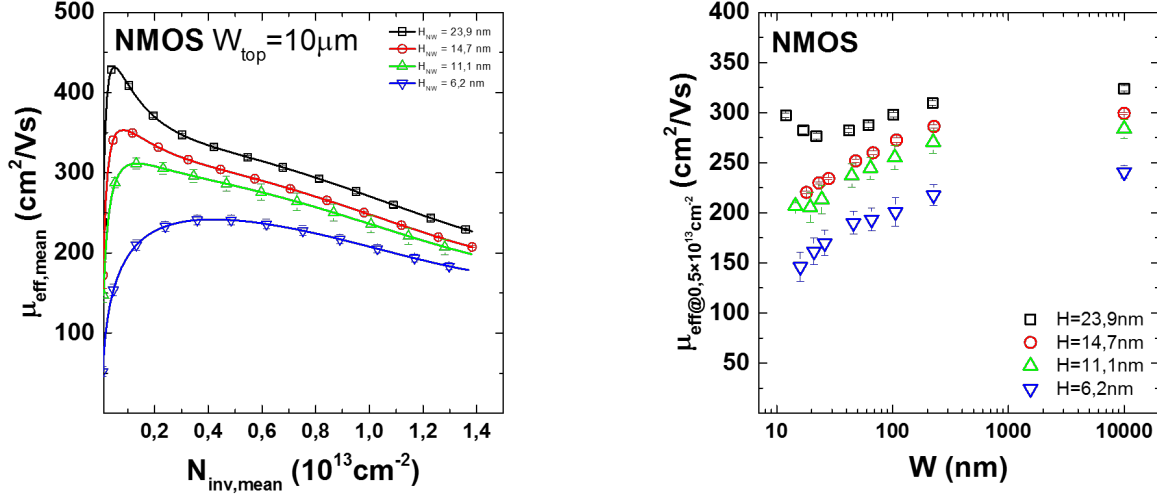


Figure 3.5.: a) Mobilité effective en fonction de la charge d'inversion mesurée pour des transistors NMOS planaires ($W_{\text{NW}} = 10 \mu\text{m}$) et pour différentes épaisseurs de canal $H_{\text{NW}} = [24 - 6] \text{nm}$. b) Mobilité effective à $N_{\text{inv}} = 0.5 \cdot 10^{13} \text{cm}^{-2}$ en fonction de la largeur w_{top} et de l'épaisseur du canal H .

l'effet de la variation de l'épaisseur du canal de silicium s'observe également jusqu'aux nanofils étroits. Pour les dispositifs larges cet effet ne peut pas être expliqué par une variation du ratio des surfaces de conduction. La littérature fait parfois mention d'un effet de confinement pour les films SOI sur la mobilité limité par les phonons, dû au rapprochement physique des interfaces grille/canal et oxyde enterré/canal. La réduction de l'épaisseur du film de silicium (et donc du canal) peut finir par « écraser » la distribution de porteurs au sein du canal (voir Fig. 3.2a). Ce confinement de la densité de porteurs a différentes conséquences sur les mécanismes de la mobilité. Pour des épaisseurs de films comprises entre 5nm et 20nm, les vallées Δ_2 et Δ_4 reste séparées énergétiquement par la même valeur que pour le cas *bulk* ($\Delta E_{2-4} \approx \text{cte}$). Cependant, l'épaisseur du film commence à réduire l'extension spatiale des fonctions enveloppes des électrons, et donc l'épaisseur de la couche d'inversion, en particulier pour les vallées Δ_4 [109]. Comme l'interaction avec les phonons dépend de l'épaisseur de cette couche d'inversion – *via* le terme $W_{1,2}$ dans l'Eq. 3.5 et l'Eq. 3.7 – on s'attend à une réduction de la mobilité μ_{phonon} pour des couches d'inversion plus fines. De plus, la position moyenne des porteurs $\bar{z}$ dans la couche d'inversion se rapproche de l'interface avec la diminution de l'épaisseur de la couche de Si comme le montre la figure 3.6b. Cette dernière est donnée par :

$$\bar{z} = \frac{\int z n(z) dz}{\int n(z) dz} \quad (3.15)$$

où les fonctions d'onde sont obtenues en résolvant l'équation de PS pour un système 2D. Ce rapprochement de la couche d'inversion vers l'interface oxyde/canal augmente l'impact de l'ensemble des interactions à distance avec les charges dans l'oxyde, ou encore avec la rugosité de surface μ_{SR} [29]. En conséquence, la mobilité totale diminue avec l'épaisseur de Si comme illustré expérimentalement sur la figure 3.6a.

Cet effet est conservé lorsque la largeur des transistors diminue, comme le montre la Fig. 3.5b. A cet effet se superpose l'effet de la réduction de W_{top} présenté précédemment.

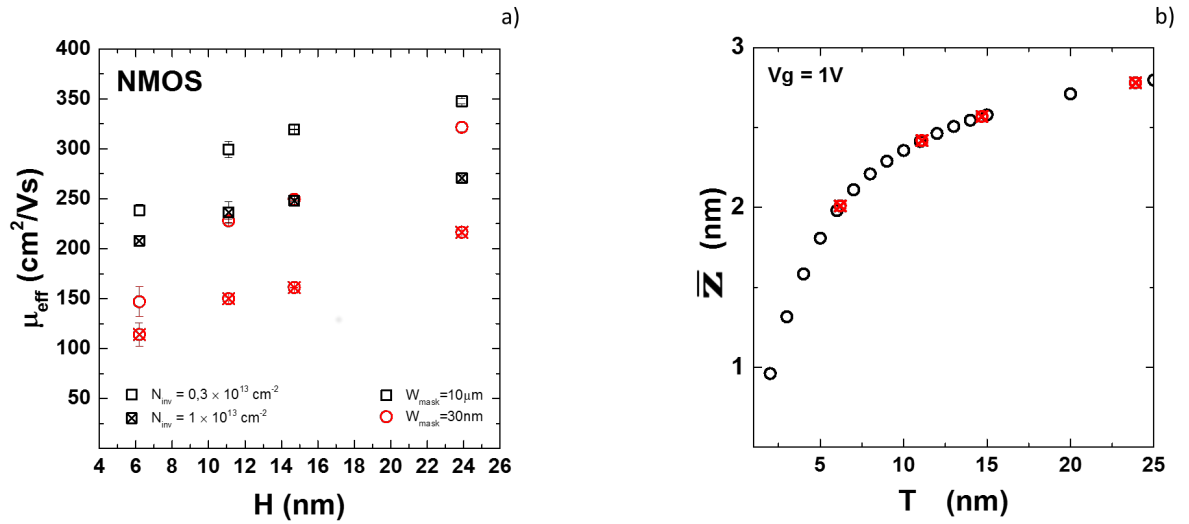


Figure 3.6.: a) Mobilité effective extraite à $N_{inv}=0.3 \times 10^{13} \text{ cm}^{-2}$ et $N_{inv}=1 \times 10^{13} \text{ cm}^{-2}$ en fonction de la hauteur H du canal pour des transistors planaires ($W_{top}=10 \mu\text{m}$) et nanofils ($W_{top}=30 \text{ nm}$). b) Variation de la position spatiale moyenne de la densité de porteurs $\bar{z}$ en fonction de l'épaisseur du film SOI.

Pour explorer plus loin les propriétés de transport dans les dispositifs nanofils, la mobilité effective a été mesurée en fonction de la température jusqu'à 20K (Fig. 3.7). La contribution de la rugosité de surface peut être isolée à 20K pour des valeurs de densité de charge d'inversion $N_{inv} \gtrsim 0.6 \times 10^{13} \text{ cm}^{-2}$ comme montré sur la Fig. 3.7b. Pour rappel, à cette température, seuls les effets coulombiens et de rugosités sont présents. De plus, la comparaison des mesures à 20K entre les dispositifs planaires et les dispositifs nanofils ($W_{top} = 20 \text{ nm}$) sur la Figure 3.7b, nous montre que la rugosité de surface est plus importante pour les dispositifs nanofils. Cette rugosité plus importante est probablement due à la gravure des flancs verticaux, plutôt qu'à leur orientation cristallographique (110) comme le montre plus loin l'analyse de l'effet de l'orientation du canal.

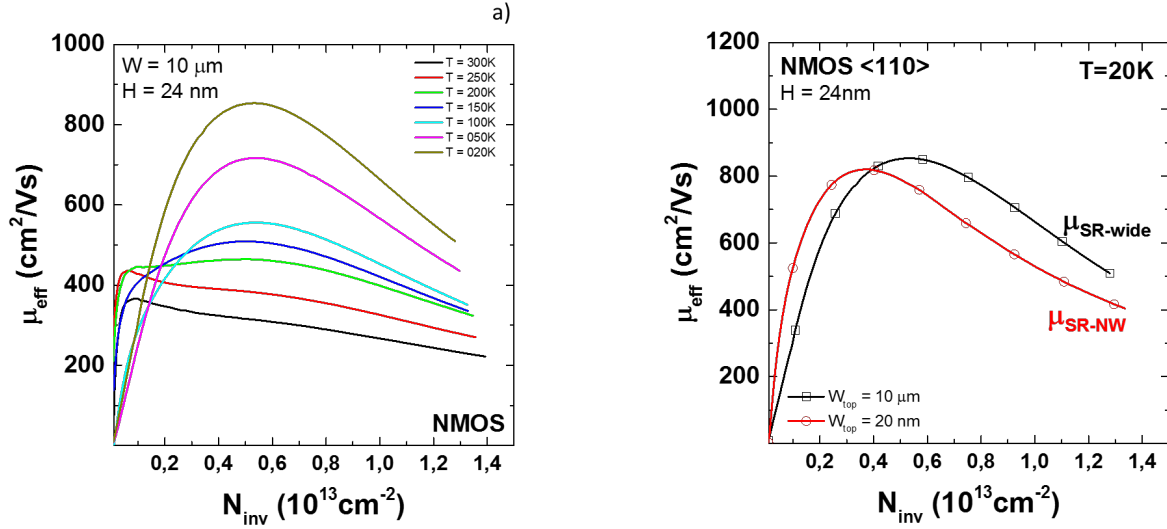


Figure 3.7.: a) Mobilité effective mesurée en fonction de la charge d'inversion pour un transistor planaire NMOS, pour différentes températures : $T = [300K - 20K]$. (b) Mobilité effective mesurée à $T=20K$ en fonction de la charge d'inversion pour un transistor NMOS planaire ($W_{top}=10\mu m$) et nanofils ($W_{top}=20nm$).

Effet de l'orientation du canal

Les relations entre orientation du canal et surface de conduction présentées en introduction sont résumées Tab. 3.2.

Table 3.2.: Équivalence entre l'orientation du canal d'un transistor Silicium (ou SiGe) et les surfaces de conductions correspondantes

Orientation du canal	Surfaces horizontales	Surfaces verticales
$\langle 100 \rangle$	(100)	(100)
$\langle 110 \rangle$	(100)	(110)

Pour un transistor orienté dans la direction $\langle 100 \rangle$, les surfaces de conduction latérales et supérieures ont la même orientation cristallographique (100). Dans une description analytique simple de la mobilité des nanofils, on peut donc s'attendre à ce que la mobilité soit indépendante de la largeur du canal. Si on reprend l'équation 3.13 pour un transistor TriGate orienté en $\langle 100 \rangle$, on obtient :

$$\mu_{TG} = \frac{W\mu_{(100)} + 2H\mu_{(100)}}{W + 2H} = \mu_{(100)} \quad (3.16)$$

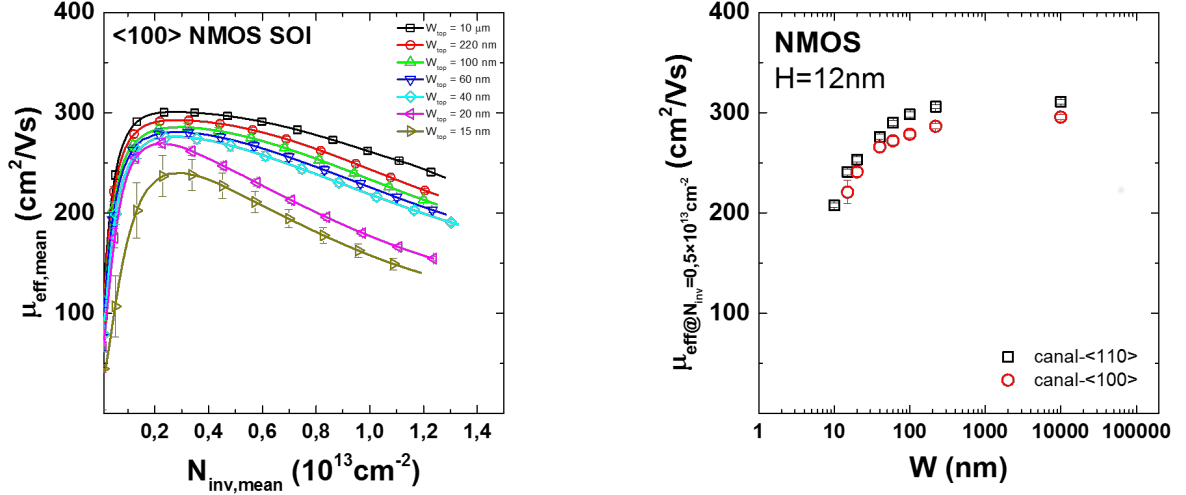


Figure 3.8.: a) Mobilité effective en fonction de la densité de porteurs en inversion pour des transistors orientés dans la direction $\langle 100 \rangle$ et différentes largeurs de canal : $W_{top} = [10\mu m - 15nm]$. b) Mobilité effective à $N_{inv} = 0.5 \cdot 10^{13} cm^{-2}$ en fonction de la largeur de canal W_{top} et de l'orientation du canal.

Les mesures présentées sur la Fig. 3.8 montrent cependant la même dégradation de mobilité avec la diminution de W_{top} pour les transistors orientés $\langle 100 \rangle$ que dans le cas des transistors orientés $\langle 110 \rangle$. On retrouve cette même tendance dans la littérature pour des transistors SOI triple-grilles [98] et pour des FinFet [120]. L'hypothèse, formulée plus haut, pour expliquer cette diminution de la mobilité est que la rugosité de surface sur les flancs du transistor est plus élevée à cause du procédé de fabrication par gravure chimique. Les mesures de capacités (figure 3.9) montrent néanmoins que l'EOT ne dépend pas de l'orientation du canal, et donc que l'épaisseur d'oxyde de grille pour les dispositifs NMOS et PMOS est inchangée par la rotation du canal.

Cette hypothèse est étudiée à l'aide des mesures à basse température présentées ci-dessous. La mobilité des transistors nanofils avec les deux orientations de canal, $\langle 110 \rangle$ et $\langle 100 \rangle$, a été mesurée à 20K. Les résultats sont présentés dans la Figure 3.10.

On observe que la mobilité à basse température des transistors nanofils (Figure 3.10b) est toujours dégradée par rapport aux transistors planaires, quelle que soit l'orientation du canal, en accord donc avec l'hypothèse d'une plus forte rugosité des surfaces latérales du canal. Nos mesures montrent donc que cette contribution μ_{SR} est prépondérante pour les nanofils, par rapport à un mécanisme d'interaction avec les phonons plus limitant

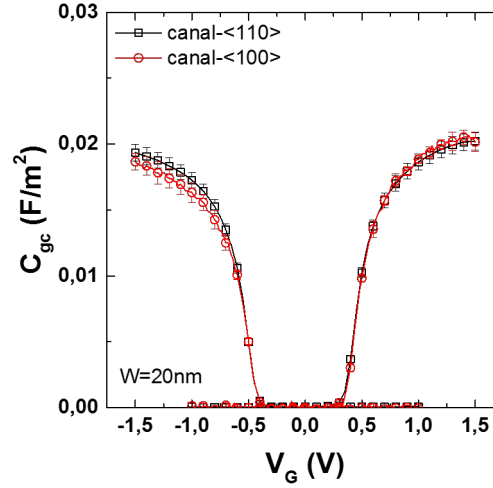


Figure 3.9.: Capacité grille-canal C_{gc} mesurée en fonction de V_G pour des dispositifs nanofils ($W_{top} = 20\text{nm}$, $L_G = 10\mu\text{m}$) orientés $\langle 100 \rangle$ et $\langle 110 \rangle$ (NMOS et PMOS).

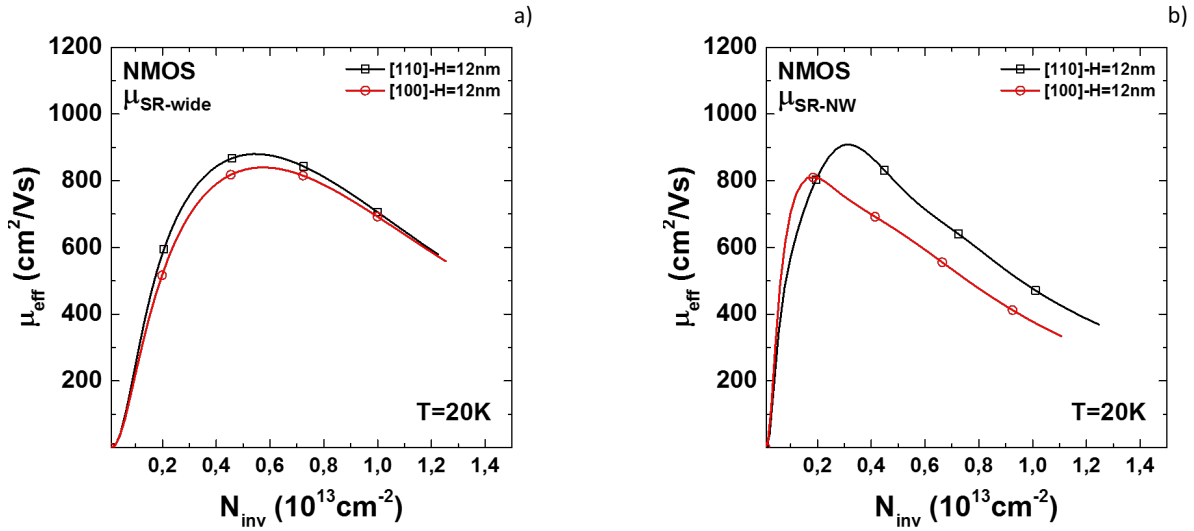


Figure 3.10.: Mobilité effective mesurée à $T=20\text{K}$ en fonction de la densité de porteurs en inversion pour des transistors NMOS : (a) planaires ($W_{top}=10\mu\text{m}$, $H=12\text{nm}$), et (b) nanofils ($W_{top}=20\text{nm}$, $H=12\text{nm}$). Les deux orientations de canal $\langle 100 \rangle$ et $\langle 110 \rangle$ ont été mesurées.

évoqué dans la littérature pour expliquer ce même effet pour des transistors FinFet [120]. L'effet des phonons est exploré dans la partie suivante.

Étude de l'effet des phonons

Nous avons réalisé des mesures en température de 300K jusqu'à 425K, afin d'étudier plus précisément l'effet des interactions avec les phonons. Comme on peut le voir dans la Fig. 3.3a, lorsque l'on augmente la température dans un semi-conducteur on augmente l'effet des phonons sur la mobilité, *i.e.* μ_{phonon} diminue dans l'Eq. 3.4. On peut ainsi étudier leur effet sur la mobilité, en se plaçant dans un régime de température suffisamment élevé pour que l'effet des phonons soit prépondérant devant les autres mécanismes de diffusion, en particulier devant μ_{SR} ³. La figure.3.3b compare la mobilité effective mesurée

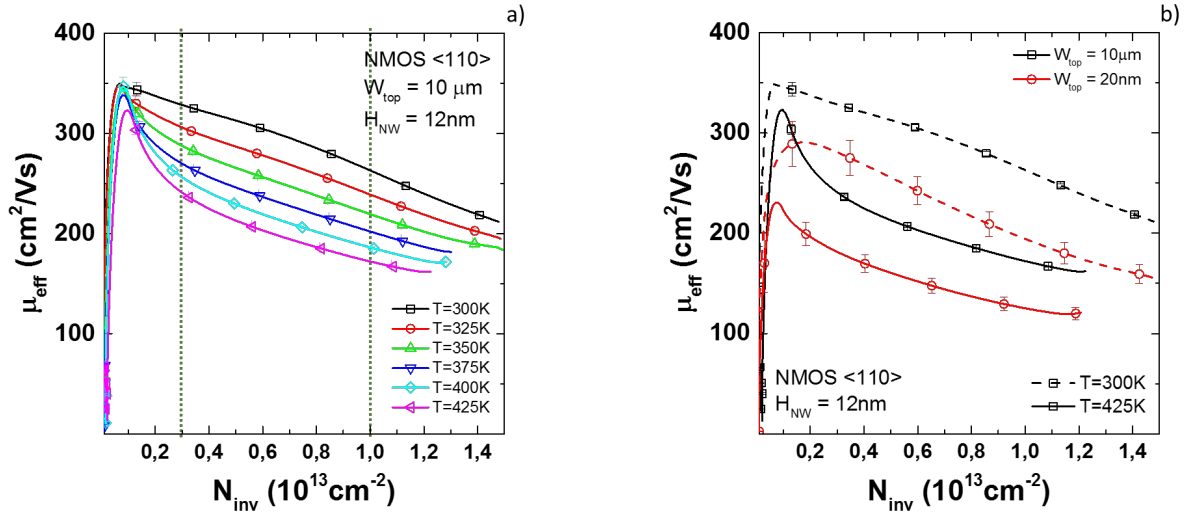


Figure 3.11.: a) Évolution de la mobilité avec la température ($T = [300\text{K} - 425\text{K}]$) et la charge d'inversion pour un dispositif planaire de référence ($H=12\text{nm}$). Les lignes pointillées sont indicatives de la plage d'extraction du modèle en température. b) Mobilité effective mesurée en fonction de la densité de porteurs en inversion pour des transistors NMOS planaires et nanofils ($W_{top}=20\text{nm}$) à $T=300\text{K}$ et $T=425\text{K}$.

à température ambiante et à 425K pour un transistor planaire et un transistor nanofil. Nous avons ensuite étudié la valeur de la mobilité effective en fonction de la température dans une plage de charge d'inversion $N_{inv} \in [0.3 - 1.0] \times 10^{13} \text{cm}^{-2}$, pour ne pas être impacté par les interactions coulombiennes. Nous avons comparé nos données à un modèle de mobilité phénoménologique simple décrit par Takagi *et al.* [110]. Dans ce modèle, la variation de la mobilité effective limitée par les phonons est décrite par une fonction en

3. Ces mesures en température permettent également d'apprécier la performance des transistors en utilisation ($\approx 50^\circ\text{C}$ pour des processeurs standards).

puissance de la température :

$$\mu_{ph}(T) = a_0 T^{-\alpha} \quad (3.17)$$

avec a_0 et α des paramètres qui dépendent du type de porteurs et de l'orientation cristallographique de la couche d'inversion. La contribution des phonons $\mu_{ph}(T)$ pour chaque température est obtenue en retranchant la contribution liée à la rugosité de surface μ_{SR} à l'aide de la Loi de Mathiessen :

$$\mu_{ph}(T) = \left(\frac{1}{\mu_{mes}(T)} - \frac{1}{\mu_{SR}} \right)^{-1} \quad (3.18)$$

où $\mu_{mes}(T)$ la mobilité mesurée à la température T (ici à $T \geq 300K$), μ_{SR} la mobilité limitée par la rugosité de surface (*i.e.* μ_{mes} à $T \leq 70K$). Pour les électrons dans du Si(100) (transistor planaire en technologie *bulk*), la valeur du coefficient alpha généralement reportée est de 1.75 [110]. Les valeurs de alpha extraites pour les transistors planaires SOI sont proches de 1.8, en accord donc avec les données de la littérature pour du *bulk*. Pour cette épaisseur de film SOI ($t_{Si}=12nm$) cependant, le mécanisme de diffusion dû aux phonons n'est que faiblement impacté par l'épaisseur de la couche d'inversion (facteur $W_{1,2}$) et ne change donc pas radicalement la valeur de α .

Afin de limiter les incertitudes dues au nombre de paramètres d'ajustement, à la validité de la loi de Mathiessen et à l'hypothèse de μ_{SR} indépendant de T , nous avons ajuster les courbes expérimentales μ_{mes} directement avec l'expression suivante :

$$\mu_{mes}(T) \approx a_0 T^{-\alpha} \quad (3.19)$$

L'analyse qualitative ne s'en trouve pas modifiée. La figure 3.12a montre un exemple des données en température et de l'ajustement avec ce modèle. On voit qu'il représente bien nos données pour les transistors planaires comme pour les transistors nanofils sur toute notre gamme de température.

Les valeurs extraites de alpha pour nos dispositifs en fonction de la largeur W_{top} sont présentées sur la Figure 3.12b, pour un canal orienté dans la direction $\langle 110 \rangle$ et $\langle 100 \rangle$. L'effet principal observé ici est l'augmentation de la valeur de α pour les transistors nanofils, malgré une contribution μ_{SR} plus importante. On peut noter que cette augmentation de α , qui traduit une contribution plus importante de μ_{ph} pour les dispositifs nanofils que pour les dispositifs planaires, a également été observée sur des FinFet [119,120]. De plus, la valeur du coefficient alpha ne dépend pas de l'orientation du nanofil ($\langle 110 \rangle$ ou $\langle 100 \rangle$).

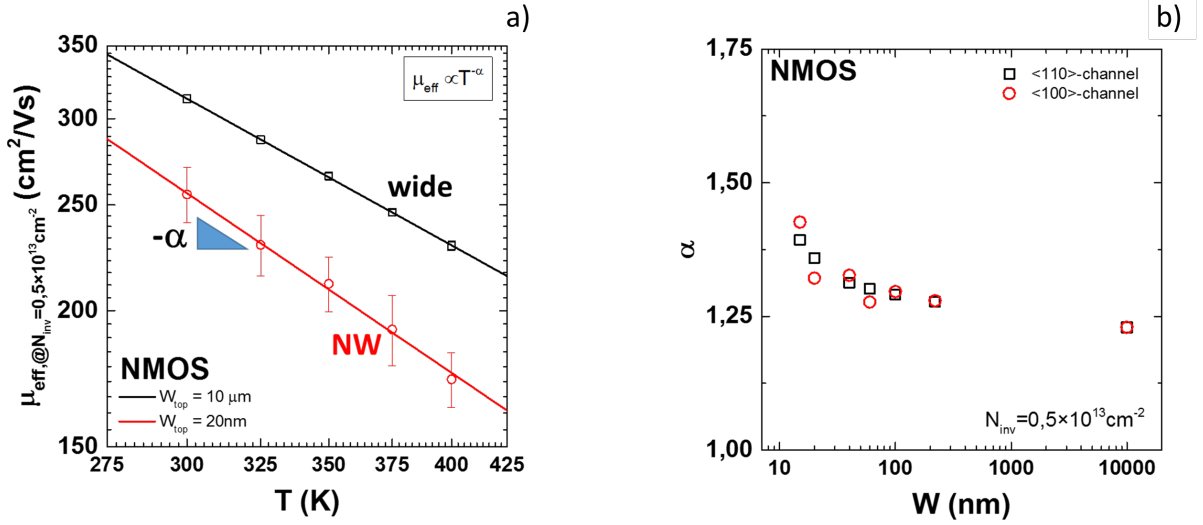


Figure 3.12.: a) Mobilité effective extraite à partir de la méthode *CV-split* en fonction de la température pour un dispositif planaire (symboles noirs) et un dispositif nanofil (symboles rouges). Les lignes continues sont les résultats du modèle d'extraction utilisé. b) Évolution du coefficients alpha à $N_{inv} = 0.5 \times 10^{13} \text{ cm}^{-2}$ en fonction de la largeur de canal pour les mêmes dispositifs orientés : $\langle 110 \rangle$ (symboles noirs) et $\langle 100 \rangle$ (symboles rouges).

Ces mesures sont en accord avec les mesures de mobilité à 300K qui ne présentaient pas de différences entre les deux orientations de canal (Fig. 3.8b). Ces résultats indiquent que la mobilité limitée par les phonons est très peu impactée par le changement de surface de conduction. Il s'agit donc plutôt d'un effet lié au confinement latéral (en W).

La Figure 3.13a présente l'évolution de ce coefficient α avec l'épaisseur du film de silicium, *i.e.* la hauteur du nanofil. On peut voir que la sensibilité des phonons à la température est similaire pour les dispositifs planaires avec des films de silicium de 24nm à 6.2nm, conformément à une faible variation de μ_{ph} pour ces épaisseurs et/ou la prépondérance de μ_{SR} . On ne distingue pas de différences significatives de α pour les nanofils quelle soit leur hauteur H de 25nm à 11nm, ce qui semble confirmer que c'est bien le confinement latéral qui change les interactions avec les phonons. En revanche, pour les dispositifs les moins épais $W_{top} = 6.2 \text{ nm}$, le coefficient α n'augmente plus pour les transistors nanofils étroits. La contribution plus importante des coins dans ce cas là (voir plus loin) pourrait expliquer ce comportement différent.

Les mêmes mesures effectuées sur des dispositifs fortement contraints (substrats sSOI, 1.4GPa) (Fig. 3.13b) montrent que l'application d'une forte contrainte tensile sur les dispositifs NMOS réduit le coefficient alpha mesuré, que ce soit sur les dispositifs planaires (contrainte biaxiale) ou sur les dispositifs nanofils (contrainte uniaxiale). De plus, cette

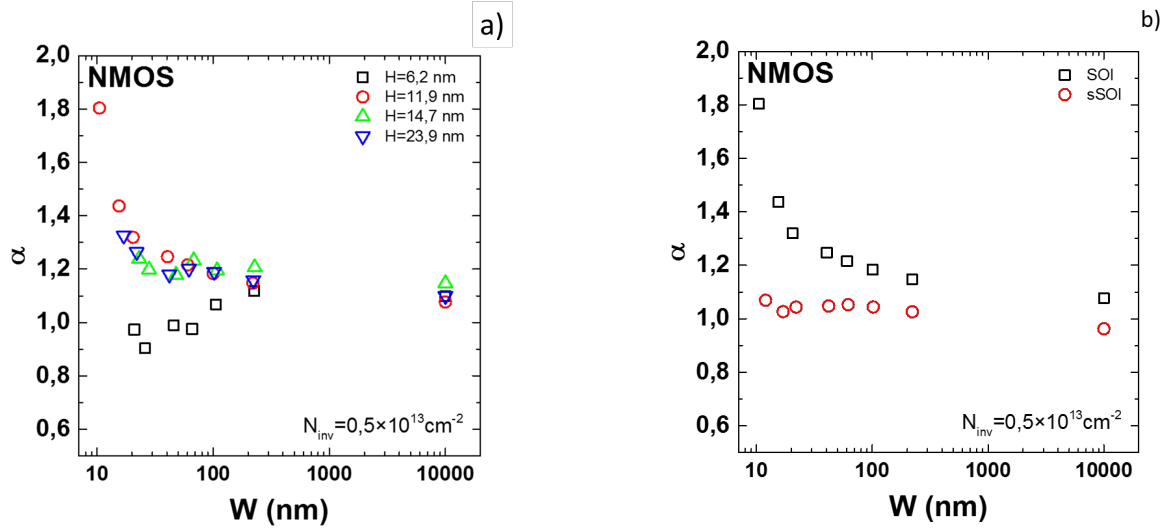


Figure 3.13.: a) Évolution du coefficient alpha en fonction de la largeur de canal pour différentes épaisseurs de film H ($N_{inv} = 0.5 \times 10^{13} \text{ cm}^{-2}$). b) Évolution du coefficient alpha à $N_{inv} = 0.5 \times 10^{13} \text{ cm}^{-2}$ en fonction de la largeur de canal pour des transistors SOI (symboles noirs) et sSOI (symboles rouges).

forte contrainte supprime aussi l'augmentation de α avec la réduction de la largeur du canal. Or l'effet d'une contrainte en tension, qu'elle soit uniaxiale dans les nanofils ou biaxiale dans les transistors planaires, favorise la population des vallées légères Δ_2 , et supprime les interactions avec les phonons inter-vallée entre les vallées Δ_2 et Δ_4 [108]. Les mesures de α confirment donc la diminution de la contribution des phonons, avec un effet encore plus important pour les nanofils contraints, qui retrouvent le comportement μ_{ph} des transistors planaires fortement contraints biaxialement. Ce résultat suggère de plus que l'augmentation du coefficient α pour les nanofils provient d'une plus grande interaction avec les phonons inter-vallées.

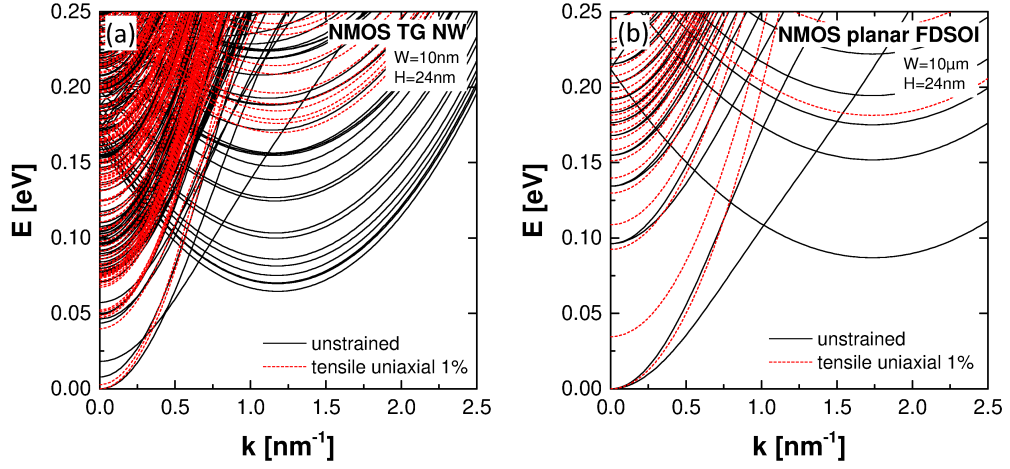


Figure 3.14.: Diagramme de dispersion $E(k)$ calculé en $\mathbf{k.p}$ 2 bandes à $N_{inv}=1.3\times 10^{13}\text{ cm}^{-2}$, pour : a) un transistor triple-grilles ($W_{top}=10\text{nm}$), et b) un transistor planaire ($W_{top}=10\mu\text{m}$). Dans les deux cas l'épaisseur du canal est $H=24\text{nm}$.

Conclusion

Nous avons étudié et mis en évidence les mécanismes de diffusion limitant la mobilité dans les transistors NMOS nanofils. Les mesures de mobilité en température ont ainsi permis de montrer que la réduction de la largeur du canal diminue la mobilité par une augmentation de l'effet de la rugosité de surface sur les faces latérales, ainsi que par une diminution de la mobilité limitée par les phonons inter-vallées. En conséquence la mobilité des électrons dans les nanofils est indépendante de la direction du canal $\langle 110 \rangle$ ou $\langle 100 \rangle$.

3.1.2. Transistors PMOS

La mobilité des transistors de type P a été mesurée en suivant les mêmes méthodes expérimentales et les mêmes traitements numériques des données. La discussion de cette partie portera sur l'explication des résultats obtenus.

Mobilité en fonction de la largeur de grille

La Figure 3.15a montre l'évolution de la mobilité des transistors PMOS en fonction de la densité porteurs en inversion (N_{inv}) pour différentes largeurs de grille jusqu'à

$W_{top}=10\text{nm}$ (orientation du canal $\langle 110 \rangle$, $H = 12\text{nm}$ et $L_G=10\mu\text{m}$). Nous avons reporté sur la figure 3.15b la mobilité à $N_{inv} = 0.5 \times 10^{13}\text{cm}^{-2}$ en fonction de W_{top} .

La mobilité des trous pour une surface d'inversion orientée $(110)/\langle 110 \rangle$ est supérieure à celle des surfaces (100) , contrairement aux électrons [24,108]. En conséquence, pour des transistors PMOS nanofils orientés dans la direction $\langle 110 \rangle$, le modèle de séparation des surfaces de conduction prévoit que la mobilité doit augmenter avec la réduction de la largeur du canal. On observe effectivement cet effet sur les figures 3.15a et b jusqu'à une valeur limite de $W_{top} \approx 20\text{nm}$. Comme pour les dispositifs NMOS, le modèle de séparation des surfaces de conduction ne permet pas de décrire l'évolution de la mobilité en dessous d'une certaine dimension critique de la largeur du canal. Pour les mêmes raisons, cet écart au modèle analytique simple peut être attribué au rôle des coins avec une densité de porteurs plus grande que sur le reste des flancs et de la surface supérieure.

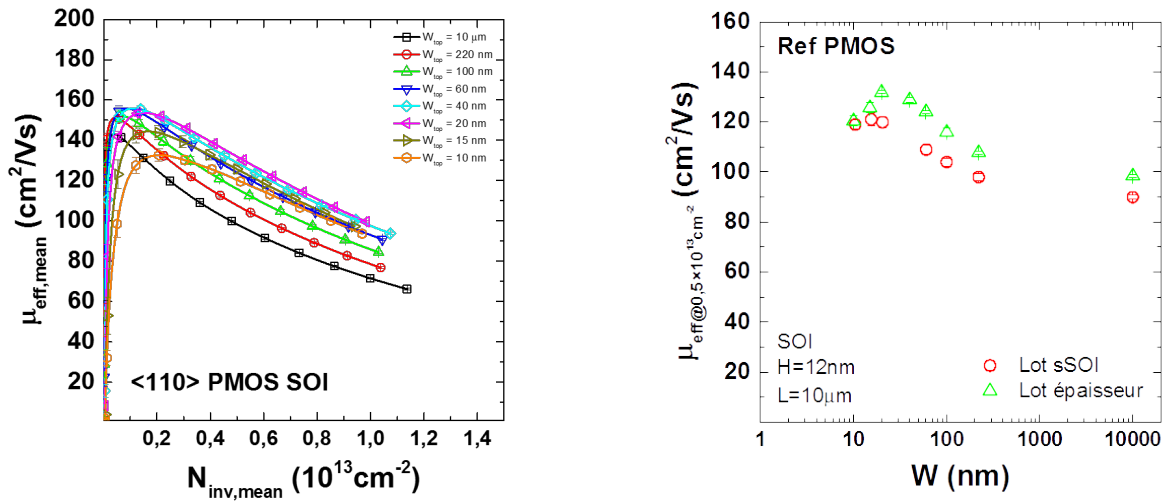


Figure 3.15.: a) Mobilité effective mesurée pour des dispositifs PMOS en fonction de la densité de porteurs en inversion pour différentes largeurs W_{top} ($H=12\text{ nm}$, $L_G = 10\mu\text{m}$). b) Mobilité effective à $N_{inv} = 0.5 \cdot 10^{13}\text{cm}^{-2}$ en fonction de la largeur de canal.

On peut noter de plus fortes différences pour les dimensions les plus faibles en comparaison avec les dispositifs NMOS. Ceci pourrait être due à une plus grande sensibilité des trous par rapport à la qualité de la surface grille/oxyde et donc à la rugosité de surface [61].

Mobilité en fonction de la hauteur de canal

La figure 3.16a présente les mobilités mesurées en fonction de N_{inv} pour des transistors PMOS planaires ($W_{top} = 10\mu m$) pour différentes épaisseurs du canal H . On peut voir que, comme pour les dispositifs NMOS, la mobilité diminue avec l'épaisseur du canal. Et comme pour les électrons, ses résultats peuvent être expliqués par une augmentation de la contribution de la rugosité de surface avec la diminution de l'épaisseur (couche de trous en inversion plus près de l'interface).

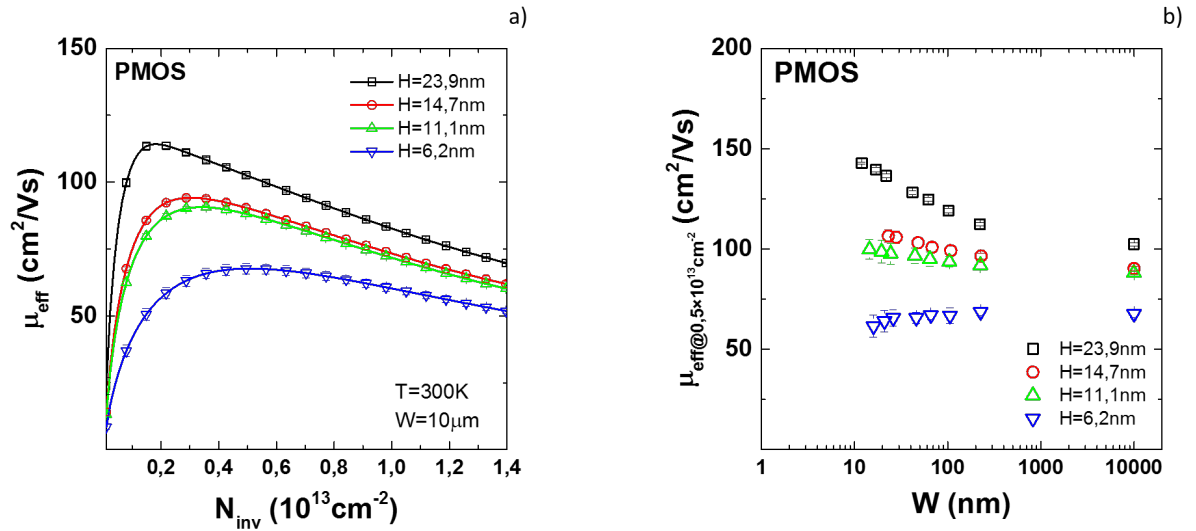


Figure 3.16.: a) Mobilité effective mesurée en fonction de la densité de porteurs en inversion pour différentes épaisseurs de film H sur des transistors planaires ($W=10\mu m$). b) Mobilité effective à $N_{inv} = 0.5 \cdot 10^{13} cm^{-2}$ en fonction de la largeur de canal W_{top} et pour les différentes épaisseurs de film H .

La figure 3.16b montre l'évolution de la mobilité extraite à champ moyen ($N_{inv} = 0.5 \times 10^{13} cm^{-2}$) en fonction de W_{top} pour différentes épaisseurs de canal. Tous les dispositifs, de $H = 23.9nm$ à $H = 11.1nm$, suivent la tendance décrite par le modèle de surfaces de conduction - *i.e.* augmentation de la mobilité quand la largeur de grille diminue -. Cependant pour les dispositifs avec l'épaisseur la plus faible $H = 6.2nm$, on peut observer que la mobilité des trous reste à peu près constante avec W_{top} . Ces mesures mettent ainsi en évidence les limitations de ce modèle simple pour les faibles épaisseurs ($\lesssim 6nm$).

La figure 3.17a présente la mobilité mesurée à 20K en fonction de N_{inv} pour un transistor planaire et un transistor nanofil $W_{top} = 20nm$. A l'inverse des NMOS, ces mesures montrent la diminution de la contribution de la rugosité de surface sur les

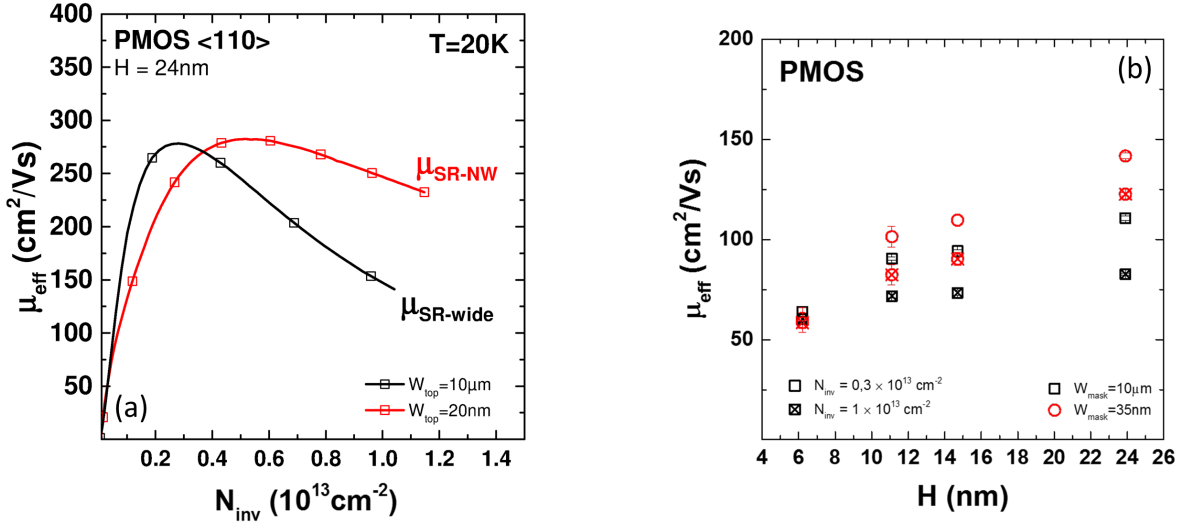


Figure 3.17.: a) Mobilité effective en fonction de la densité de porteurs en inversion pour des transistors planaires ($W_{\text{top}}=10\mu\text{m}$) et nanofils ($W_{\text{top}}=20\text{nm}$) mesurée à $T=20\text{K}$. b) Évolution de la mobilité effective en fonction de l'épaisseur de film H pour des transistors planaires et nanofils, et pour deux valeurs de densité de porteurs N_{inv} .

dispositifs PMOS nanofils. Cette meilleure mobilité est essentiellement due à la plus faible masse moyenne de conduction pour les trous $\langle 110 \rangle / \langle \bar{1}\bar{1}0 \rangle$ [43], que l'on retrouve aussi dans les nanofils TriGate par rapport à une surface (100) (Fig. 3.18). Ceci explique la forte augmentation de la mobilité quand la largeur de canal de nos dispositifs diminue. La figure 3.17b montre l'évolution de la mobilité en fonction de la hauteur du canal pour deux dispositifs – planaire ($W_{\text{top}} = 10\mu\text{m}$) et nanofil ($W_{\text{masque}} = 35\text{nm}$) –, à deux charges d'inversion – faible inversion $N_{\text{inv}} = 0.3 \times 10^{13} \text{cm}^{-2}$ et forte inversion $N_{\text{inv}} = 1 \times 10^{13} \text{cm}^{-2}$ –. On peut voir que la différence de mobilité planaire *vs.* nanofil diminue progressivement avec l'épaisseur du canal de 24nm à 6nm, valeur pour laquelle cette différence disparaît totalement.

Effet de l'orientation du canal

Les mesures en fonction de l'orientation du canal (figures 3.19a et b) pour les transistors PMOS montrent clairement l'effet du changement de l'orientation cristallographique des surfaces latérales des transistors nanofils. La mobilité pour un transistor $\langle 110 \rangle$ augmente quand W diminue comme prévu par l'équation 3.13. Celle des transistors $\langle 100 \rangle$ diminue avec W_{top} comme pour les NMOS, même si dans une moindre

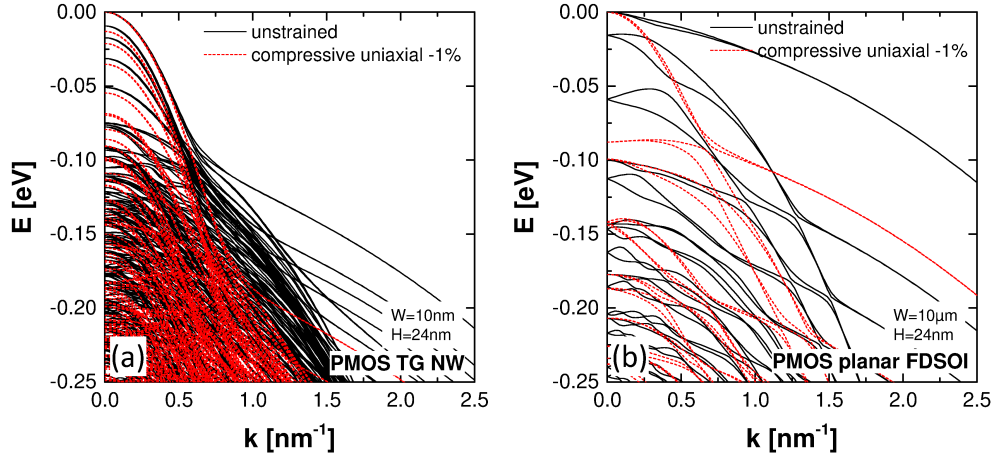


Figure 3.18.: Diagramme de dispersion $E(k)$ calculé en $\mathbf{k.p}$ 2 bandes à $N_{inv}=1.3 \times 10^{13} \text{ cm}^{-2}$, pour : a) un transistor triple-grilles ($W_{top}=10\text{nm}$), et b) un transistor planaire ($W_{top}=10\mu\text{m}$). Dans les deux cas l'épaisseur du canal est $H=24\text{nm}$.

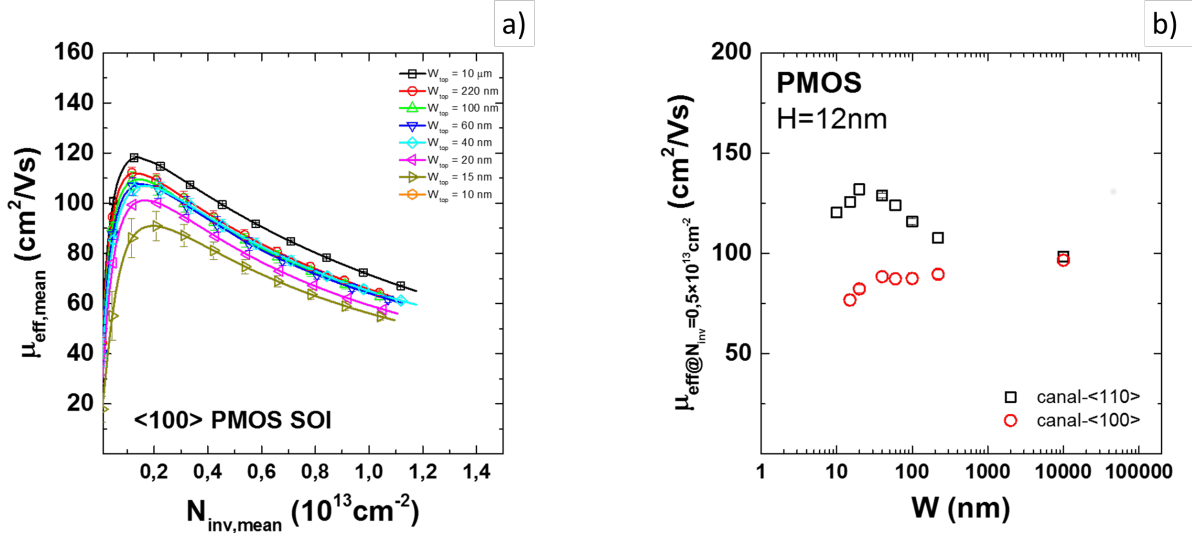


Figure 3.19.: a) Mobilité effective en fonction de la densité de porteurs en inversion des transistors orientés dans la direction $\langle 100 \rangle$ pour différentes largeurs de canal : $W_{top} = [10\mu\text{m} - 15\text{nm}]$. b) Mobilité effective à $N_{inv} = 0.5 \cdot 10^{13} \text{ cm}^{-2}$ en fonction de la largeur de grille W_{top} et de l'orientation du canal : $\langle 110 \rangle$ (carrés noirs) et $\langle 100 \rangle$ (ronds rouges).

proportion (cf. Fig 3.5), en adéquation avec une contribution de la rugosité plus forte des flancs. On retrouve la valeur critique $W_{crit} \approx 20\text{nm}$ en dessous de laquelle la mobilité décroît indépendamment de l'orientation du canal et potentiellement attribué à l'influence prépondérante des coins pour ces faibles largeurs.

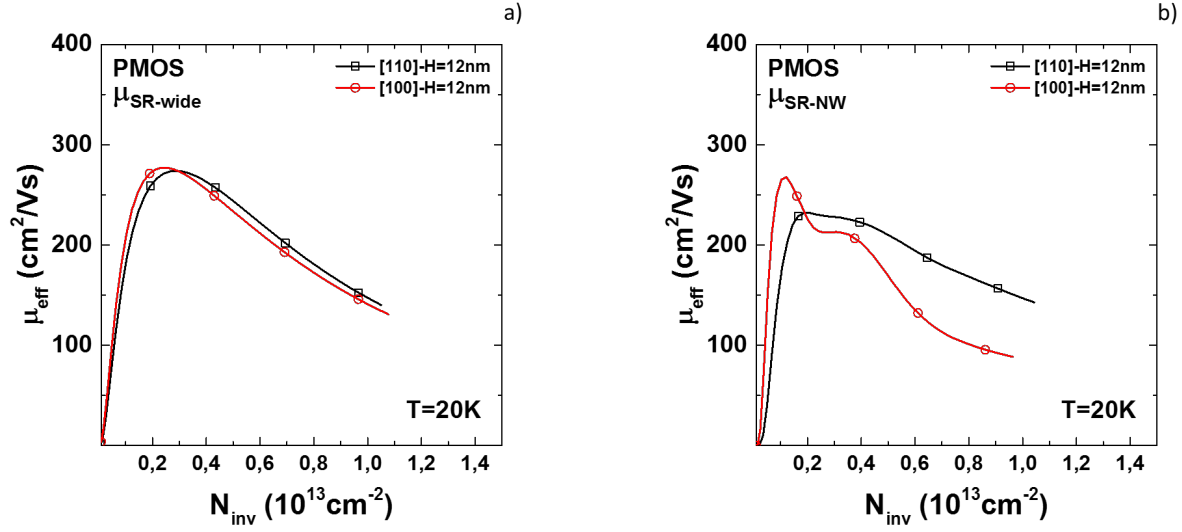


Figure 3.20.: Mobilité effective mesurée en fonction de la densité de porteurs en inversion à $T=20K$, (a) pour des transistors planaires ($W_{top}=10\mu m$), et (b) pour des transistors nanofils ($W_{top}=20nm$).

Les mesures à basse température confirment que la mobilité limitée par la rugosité de surface est fortement impactée par l'orientation du canal pour les dispositifs nanofils. On voit sur la Figure 3.20a que la contribution μ_{SR} pour les transistors planaires est la même pour les deux orientations ; la Figure 3.20b montre en revanche une très forte différence entre l'orientation $\langle 110 \rangle$ et $\langle 100 \rangle$ pour les transistors nanofils PMOS. On distingue à 20K plusieurs pics de mobilité à faible champ pour les dispositifs $\langle 100 \rangle$ et $\langle 110 \rangle$. Ces pics sont l'empreinte caractéristique des oscillations dues à la densité d'états 1D [31, 34, 118]. Nous n'étudierons pas plus en profondeur ce phénomène dans ce document.

Étude de l'effet des phonons

L'effet des phonons sur les transistors de type PMOS a été étudié de la même manière que pour les dispositifs NMOS. Les mesures en température (Fig. 3.21) nous permettent de mesurer les coefficients alpha de nos dispositifs pour toutes les largeurs de canal dont nous disposons. La Figure 3.21b montre la mobilité en fonction de N_{inv} pour un dispositif planaire et nanofil à 300K et 400K. On observe que le gain en mobilité dû à la réduction de la largeur de canal est moins important à 400K qu'à 300K. Ce résultat suggère donc que la contribution μ_{ph} pour les nanofils PMOS est plus importante que pour les transistors planaires.

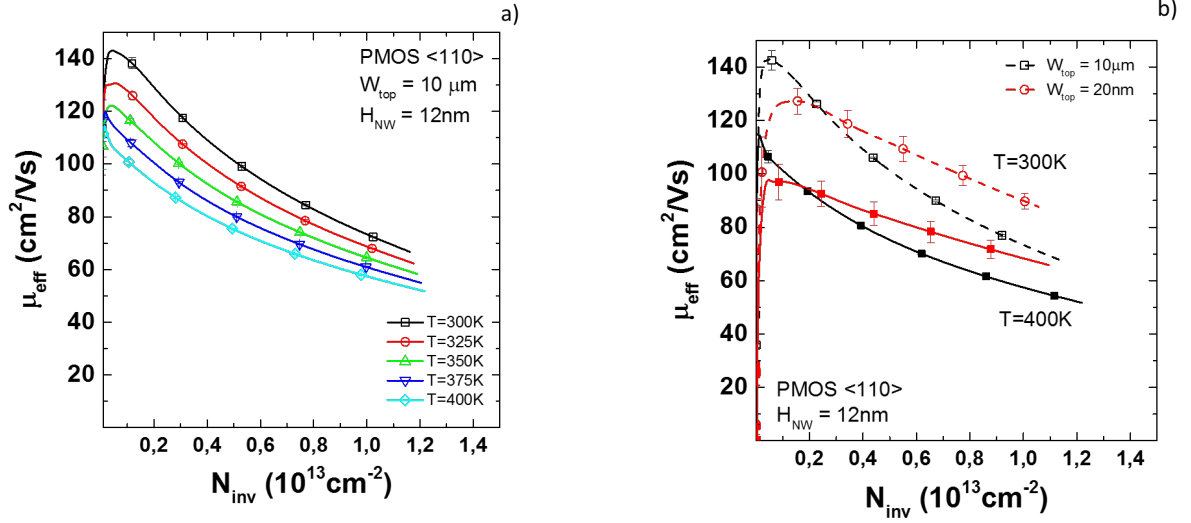


Figure 3.21.: a) Évolution de la mobilité effective avec la température ($T = [300\text{K} - 400\text{K}]$) et la densité de porteurs en inversion mesurée sur un dispositif planaire de référence ($H_{\text{NW}}=12\text{nm}$). b) Mobilité effective en fonction de la densité de porteurs en inversion pour des transistors de référence mesurée pour deux températures : $T=300\text{K}$ (traits pointillés) et $T=425\text{K}$ (traits pleins).

La Figure 3.22a montre un exemple de l'extraction du coefficient α pour des dispositifs PMOS planaires et nanofils. Les coefficients extraits sont quasiment entre les deux structures.

La Figure 3.22b montre l'évolution des coefficients alpha mesurés pour nos dispositifs orientés dans les directions $\langle 110 \rangle$ et $\langle 100 \rangle$ en fonction de la largeur de grille. On retrouve ici le même résultat que pour les transistors NMOS, l'orientation du canal n'a pas d'effet sur la réponse en température des phonons pour les PMOS.

Les mesures en fonction de l'épaisseur du canal ne montrent pas non plus de variation significatives de α avec H , sauf pour les dispositifs les plus fins $H=6.2\text{nm}$ pour lesquels l'influence des coins est probablement prépondérante. La comparaison entre les dispositifs SOI et sSOI (Fig. 3.23) montre une évolution de ce coefficient α avec la contrainte également. Pour les dispositifs planaires ($W=10\mu\text{m}$), la contrainte induite par le substrat sSOI est en tension biaxiale. En régime d'inversion modérée (pour $N_{\text{inv}}=0.5 \times 10^{13} \text{cm}^{-2}$ par exemple) la sous-bande des trous légers (LH) avec une masse effective plus faible est préférentiellement peuplée et la contribution des phonons est réduite [17]. Pour les dispositifs nanofils, la contrainte induite est en tension uniaxiale, les valeurs du coefficient alpha semblent indiquer une contribution similaire des phonons pour les dispositifs contraint ou non. Cependant, les mesures non contraintes (SOI) sont limitées à une largeur de

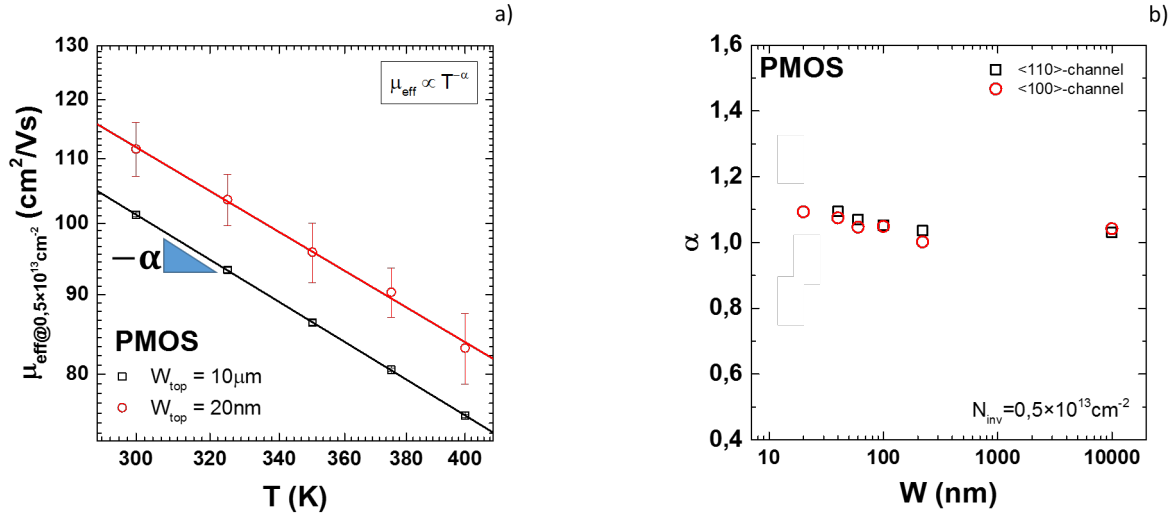


Figure 3.22.: a) Exemple de résultat d'ajustement du modèle de mobilité $\mu \propto T^{-\alpha}$ pour un transistor de référence PMOS planaire et un transistor nanofil. b) Coefficient alpha extrait pour des transistors PMOS orientés dans la direction $\langle 110 \rangle$ (carrés noirs) et $\langle 100 \rangle$ (ronds rouges) en fonction de la largeur de canal (mobilité à $N_{\text{inv}} = 0.5 \times 10^{13} \text{cm}^{-2}$).

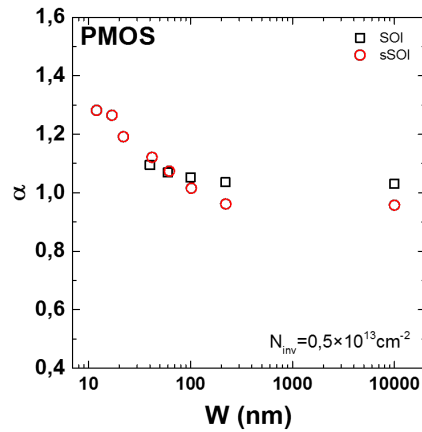


Figure 3.23.: Coefficient alpha extrait pour des transistors PMOS SOI (carrés noirs) et sSOI (ronds rouges) en fonction de la largeur de grille W_{top} ($N_{\text{inv}} = 0.5 \times 10^{13} \text{cm}^{-2}$).

grille relativement élevée ($W_{\text{top}} = 40\text{nm}$) ce qui pourrait cacher un effet plus marqué à des largeurs de grille plus faible.

Conclusion

Nous avons montré et étudié le gain en mobilité des transistors nanofils PMOS [110] par rapport aux dispositifs planaires et aux nanofils PMOS [100], en accord avec une meilleure mobilité sur les flancs, et en dépit d'une rugosité plus importante due au procédé de gravure. La contribution des phonons est également modifiée par la structure de bandes des nanofils. Enfin, comme pour les NMOS, pour des films minces ($H \lesssim 6.2\text{nm}$), la mobilité ne peut plus être décrite complètement par le modèle de séparation des surfaces de conduction.

3.2. Étude de la modélisation de la mobilité

3.2.1. Modèle de mobilité semi-analytique

Le modèle de mobilité présenté en introduction a été étudié à l'aide des différentes mesures de mobilité qui ont été réalisées et analysées précédemment. Les limites du modèle, déjà évoquées dans l'analyse expérimentale précédente, seront discutées dans cette partie. L'équation de base du modèle est rappelée pour plus de clarté :

$$\mu_{TG} = \frac{W_{top}\mu_{top} + 2H\mu_{side}}{W_{top} + 2H} \quad (3.20)$$

avec μ_{top} la mobilité de la surface supérieure et μ_{side} la mobilité des surfaces latérales, supposée identique pour les deux surfaces latérales. Les valeurs limites de cette équation nous permettent d'identifier deux cas particuliers :

$$W_{top} \gg H \Rightarrow \mu_{TG} \approx \mu_{top} \quad (3.21)$$

$$H \gg W_{top} \Rightarrow \mu_{TG} \approx \mu_{side} \quad (3.22)$$

Généralement, la mobilité mesurée pour une largeur de grille de $10\mu\text{m}$ peut être raisonnablement prise comme valeur de la mobilité μ_{top} [65]. L'équation 3.20 peut être utilisée pour extraire la mobilité des surfaces latérales de nos nanofils :

$$\mu_{side} = \mu_{eff,NW} \cdot \left(1 + \frac{W_{top}}{2H_{NW}}\right) - \frac{W_{top}}{2H_{NW}} \cdot \mu_{top} \quad (3.23)$$

Nous avons ainsi extrait par ce modèle la mobilité des surfaces latérales (μ_{side}) pour l'ensemble de nos dispositifs NMOS et PMOS dans la configuration TriGate ($H=10\text{nm}$) et FinFET ($H=24\text{nm}$). Les résultats sont présentés dans les Figures 3.24 pour les dispositifs NMOS et 3.25 pour les dispositifs PMOS. On observe que la mobilité des surfaces latérales (μ_{side}) des dispositifs épais en particuliers ($H_{NW} = 24\text{nm}$) est très proche de la mobilité de la surface de conduction (110) mesurée par ailleurs [65, 101], et donc plutôt en accord avec le modèle des surfaces de conduction. Pour les dispositifs NMOS plus fin ($H_{NW} = 12\text{nm}$) néanmoins, la mobilité latérale est inférieure à la mobilité (110), ce qui indique une déviation du modèle pour les architectures TriGate avec des valeurs de W et $H \approx 10\text{nm}$. Les Figures 3.26a et b montrent la même analyse pour les dispositifs avec un canal orienté dans la direction $\langle 100 \rangle$. On voit sur la Figure 3.26a que la mobilité

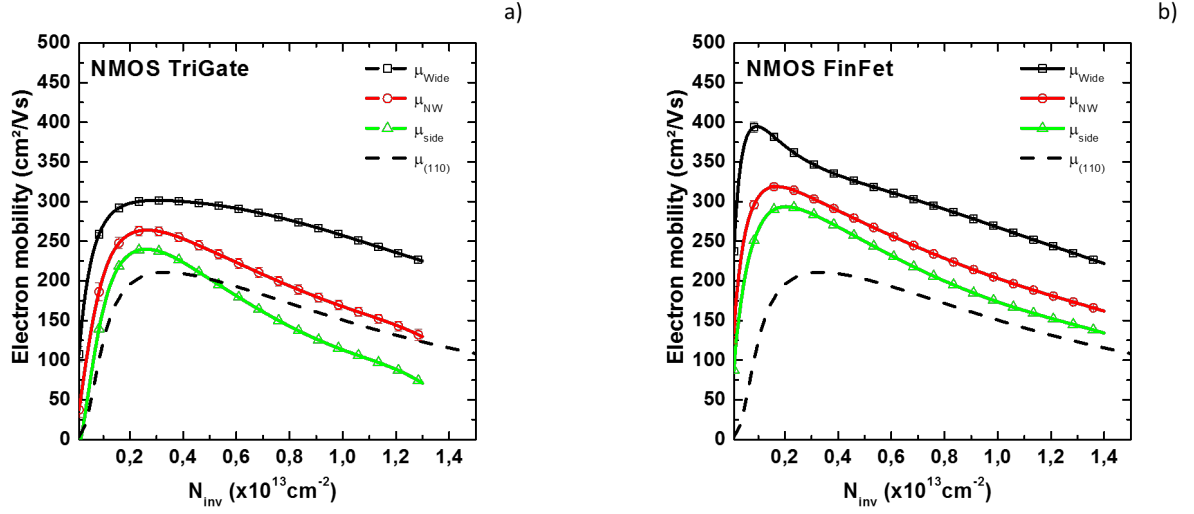


Figure 3.24.: Mobilité mesurée pour des dispositifs NMOS TriGate $H_{\text{NW}} = 12 \text{nm}$ (a) et FinFet $H_{\text{NW}} = 24 \text{nm}$ (b) en fonction de la densité de porteurs en inversion. Dispositifs planaires : ligne noire, dispositifs nanofils : ligne rouge, mobilité des surfaces latérales calculées avec l'équation 3.23 : ligne verte, mobilité universelle pour une surface d'inversion (110) ligne noire pointillée.

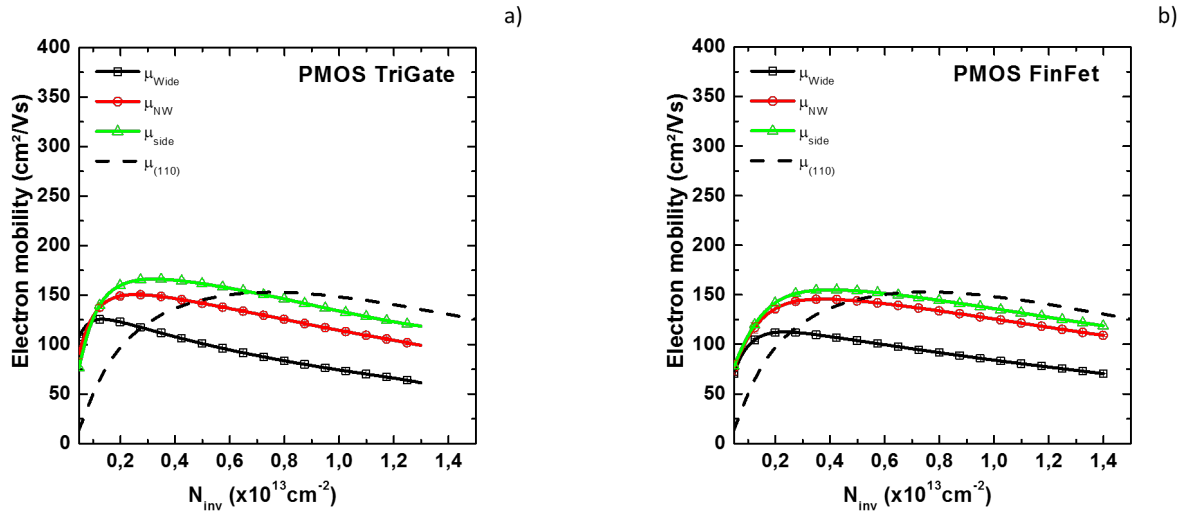


Figure 3.25.: Mobilité mesurée pour des dispositifs PMOS TriGate $H_{\text{NW}} = 12 \text{nm}$ (a) et FinFet $H_{\text{NW}} = 24 \text{nm}$ (b) en fonction de la densité de porteurs en inversion. Dispositifs planaires : ligne noire, dispositifs nanofils ($W_{\text{top}} = 12 \text{nm}$) : ligne rouge, mobilité des surfaces latérales calculées avec l'équation 3.23 : ligne verte, mobilité universelle pour une surface d'inversion (110) ligne noire pointillée.

de surface latérale pour les dispositifs NMOS orienté en $\langle 100 \rangle$ est identique à celle des dispositifs $\langle 110 \rangle$. Comme discuté dans la partie 3.1.1, cette superposition peut s'expliquer

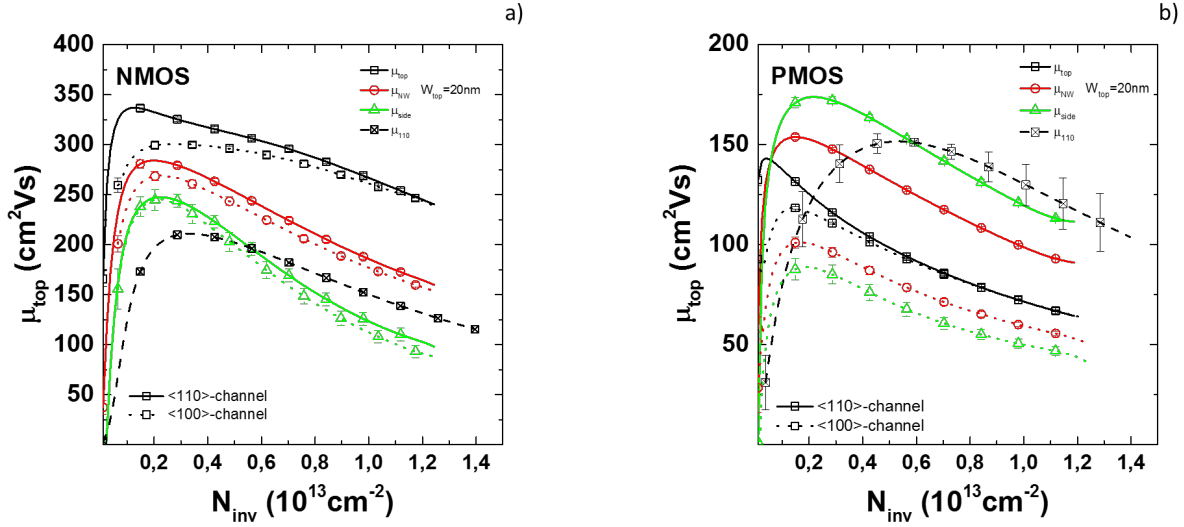


Figure 3.26.: Mobilité des dispositifs NMOS (a) et PMOS (b) en fonction de la densité de porteurs en inversion pour deux orientations $\langle 110 \rangle$ (traits pleins) et $\langle 100 \rangle$ (traits pointillés). Dispositifs planaires : ligne noire, dispositifs nanofils ($W_{top}=20\text{nm}$) : ligne rouge, mobilité des surfaces latérales calculées avec l'équation 3.23 : ligne verte, mobilité universelle pour une surface d'inversion (110) ligne noire pointillée.

par l'effet prépondérant de la rugosité des surfaces latérales pour les électrons, quelle que soit l'orientation du canal.

D'un autre coté la figure 3.26b pour les dispositifs PMOS montre une très nette différence entre la mobilité latérale μ_{side} pour les dispositifs orientés selon $\langle 110 \rangle$, dont la mobilité μ_{side} est proche de la référence $\mu_{(110)}$, et les dispositifs selon $\langle 100 \rangle$ pour lesquels μ_{side} se rapproche plus de la mobilité de référence $\mu_{(100)}$, bien que dégradé. Malgré une dégradation de mobilité due à une plus forte contribution de la rugosité de surface pour les faces latérales, la mobilité des transistors PMOS suit en grande partie le modèle classique des surfaces de conduction indépendantes.

Néanmoins, le modèle de séparation des surfaces décrit par l'équation 3.20a peut être utilisée pour décrire de manière phénoménologique la mobilité totale des nanofils, en considérant les valeurs de μ_{side} et μ_{top} comme paramètres d'ajustement. Leur valeur pourront ainsi s'écarter de la mobilité théorique attendue $\mu_{(100)}$ ou $\mu_{(110)}$ suivant l'orientation du canal. Les courbes présentées dans la Figure 3.27 montrent l'ajustement au modèle des données de mobilité en fonction de W_{top} , pour des transistors nanofils TriGate et FinFet à une valeur donnée de N_{inv} . On obtient une bonne corrélation entre les valeurs expérimentales et le résultat du modèle, avec cependant des valeurs de μ_{side} différentes en fonction de la hauteur de canal H . On trouve ainsi pour les dispositifs NMOS $\mu_{side}=212$

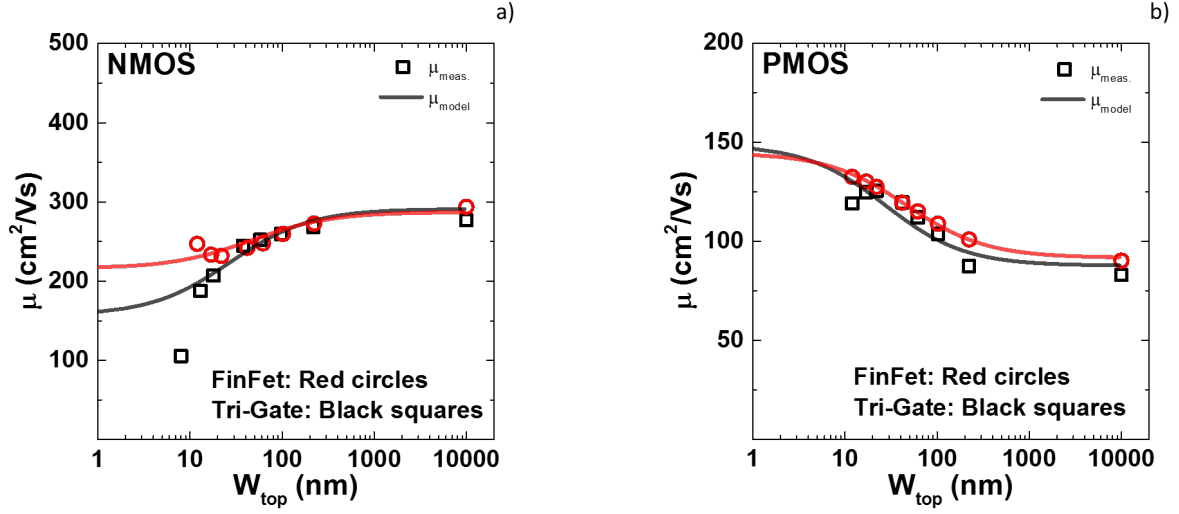


Figure 3.27.: Résultats du modèle de mobilité d'un transistor triple-grilles pour nos dispositifs NMOS (a) et PMOS (b) en fonction de la largeur de grille W_{top} . Les symboles représentent les mesures de mobilité : carrés noirs transistors Trigate $H_{\text{NW}} = 12\text{nm}$ et ronds rouges transistors FinFet $H_{\text{NW}} = 24\text{nm}$. Les lignes sont les résultats du modèle de mobilité pour les Trigate (noires) et les FinFet (rouges).

$\text{cm}^2(\text{Vs})^{-1}$ pour les nanofils avec $H = 24\text{nm}$, et $\mu_{\text{side}} = 118 \text{ cm}^2(\text{Vs})^{-1}$ pour les nanofils avec une hauteur $H = 12\text{nm}$. Les résultats des ajustements de μ_{side} et μ_{top} réalisés sur l'ensemble des transistors sont résumés dans le tableau 3.3. Ceux-ci confirment cette dégradation "apparente" de la mobilité latérale avec l'épaisseur du film, pour les NMOS comme pour les PMOS, en accord avec l'analyse effectuée dans l'étude expérimentale précédente.

Le profil de densité d'électron calculé dans la figure 3.28 montre que la densité de porteur en inversion forte est très peu uniforme le long des surfaces latérales pour les dispositifs avec $H_{\text{NW}} = 10\text{nm}$. Pour cette géométrie particulière on voit notamment qu'une partie non négligeable des porteurs est concentrée dans les angles supérieurs du dispositif pour les trois surfaces de conduction. On distingue ainsi clairement une différence entre le nombre moyen de porteur et la densité locale de porteur (voir Table 3.4). Au contraire pour les dispositifs plus épais ($H_{\text{NW}} = 24\text{nm}$), une partie importante de la densité de porteur est constante et proche de la valeur moyenne le long des surfaces latérales. En conséquence, pour les nanofils, la densité de porteur et donc la mobilité sont fortement dépendants de la position dans le profil du dispositif. Cette inhomogénéité due aux angles s'étend sur environ 5nm comme on peut le voir sur la Figure 3.28a. Le modèle semi-analytique de mobilité n'est donc plus pertinent pour des dispositifs avec une

Table 3.3.: Mobilités des surfaces supérieures et latérales extraites à partir du modèle de mobilité semi-analytique pour les transistors multi-grilles appliqué à nos mesures. (Unités : $\text{cm}^2 \cdot (\text{Vs})^{-1}$)

Dispositif	NMOS		PMOS	
	μ_{top}	μ_{side}	μ_{top}	μ_{side}
$\langle 110 \rangle$	293	152	83.6	142
$\langle 100 \rangle$	284	127	78.4	56.7
H=23.9nm	286	215	91.2	144
H=14.7nm	247	125	81.0	111
H=11.1nm	245	110	78.5	97.7
H=6.2nm	210	18.2	64.4	55.1
SOI	286	135	82.9	128
sSOI	491	202	81.3	72.3

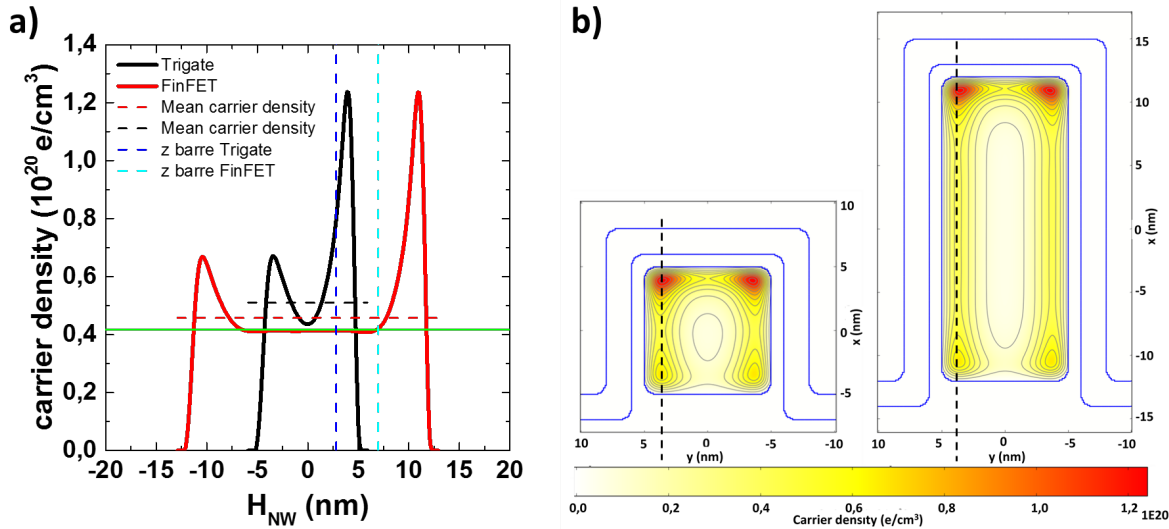


Figure 3.28.: a) Répartition des porteurs sur le flanc en fonction de la hauteur H_{NW} pour les plans de coupe en pointillés sur la figure b). b) Simulation 2D Poisson Schrödinger de la répartition des porteurs au sein d'un transistor triple-grilles pour deux hauteurs de canal : 10nm et 24nm.

largeur et/ou une hauteur de canal trop faible $W_{top} \times H \lesssim 10\text{nm} \times 20\text{nm}$, et nécessiterait notamment de prendre en compte la contribution des angles [121] (voir annexe B).

Table 3.4.: Densité de porteurs des nanofils Trigate et FinFet calculée à $V_g - V_T = 1V$. La valeur moyenne et les valeurs en deux zones (centre et coin) sont données pour comparaison. À partir des calculs présentés dans la figure 3.28. (Unités : $10^{20} cm^{-3}$)

$H_{NW} = 10nm$ Surface	Moyenne	Coin	Centre
Supérieure	0.663	1.24	0.480
Latérale	0.510	1.24	0.435
$H_{NW} = 24nm$ Surface	Moyenne	Coin	Centre
Supérieure	0.662	1.24	0.480
Latérale	0.457	0.668	0.413

3.2.2. Les transistors à canal court

Pour étudier le transport dans les dispositifs à canal court, il est important de corriger les effets indésirables de résistance d'accès qui sont directement induit par le raccourcissement du canal. Pour des longueurs de grille suffisamment longue $L_G > 1\mu m$ la résistance d'accès R_{SD} est négligeable devant la résistance du canal. Cette résistance d'accès est due aux différentes couches qui composent les accès source et drain (siliciure, HDD, LDD, zone sous les espaceurs) et à leurs interfaces. D'autre part, l'injection des porteurs dans le canal par la source est aussi confrontée à la résistance de l'interface entre la source fortement dopée et le canal avec un dopage faible voir nul. Des simulations montrent que la résistance d'accès est principalement due à l'espace sous les *spacers* du transistor qui sont faiblement contrôlés par la grille [19]. Pour les canaux les plus petits, il est aussi important de considérer la résistance balistique du canal qui vient s'ajouter à la résistance d'accès et qui n'est pas fonction de la longueur du canal. L'extraction des paramètres physiques intrinsèques au canal du transistor par des mesures $I_d(V_g)$ et $C_{gc}(V_g)$ est parasitée par ces résistances d'accès. On peut exprimer la résistance du transistor de la façon suivante :

$$R_{tot} = R_{SD} + \frac{L}{W} \cdot \frac{1}{\mu_{eff} C_{ox} V_{GT}} \quad (3.24)$$

avec $L/W \cdot (\mu_{eff} C_{ox} V_{GT})^{-1} = R_{canal}$ la résistance du canal. En traçant la courbe R_{tot} en fonction de L on peut donc extrapoler la résistance d'accès R_{SD} quand L tend vers 0 [19] :

$$\lim_{L \rightarrow 0^+} R_{tot}(L) = R_{SD} \quad (3.25)$$

Cependant, cette méthode, qui a le mérite d'être très simple, n'est valide que dans la limite où la mobilité reste constante avec la longueur du canal. Cette hypothèse n'est pas toujours vraie, notamment dans le cas de source/drain SiGe ou de CESL, dont l'efficacité dépend de la longueur du canal.

Méthode R_{on}

On peut, en utilisant l'équation 3.24, extraire la mobilité en fonction de la tension de grille en utilisant les mesures $I_D(V_G)$ pour plusieurs longueurs de grille L_G . Pour cela, on calcule la résistance totale en fonction de L_G à une tension de grille V_{GT} donnée :

$$R_{tot}(L_G) = \frac{V_D}{I_D(L_G)} \quad (3.26)$$

On peut ensuite tracer R_{tot} en fonction de L_G pour différents V_{GT} et effectuer une régression linéaire de la forme $y = ax + b$ avec :

$$a = \frac{1}{W\mu_{eff}C_{ox}V_{GT}}$$

$$b = R_{SD}$$

(Voir par exemple figure 3.29 pour NMOS (a) et PMOS (b)). On peut ainsi extraire la résistance d'accès en fonction de la tension de grille (Fig. 3.30a NMOS et b PMOS), de même que la mobilité en fonction de V_G en supposant la mobilité constante avec la longueur de grille L_G :

$$\mu_{eff} = (aWC_{ox}V_{GT})^{-1} \quad (3.27)$$

La Figure 3.31 montre les résultats de l'extraction de la mobilité pour nos dispositifs NMOS à trois largeurs de canal différentes ($W_{top} = 10\mu m, 40nm$ et $14nm$) et les compare aux mesures de mobilité correspondantes pour une longueur de grille $L_G = 10\mu m$. Cette figure nous montre notamment que la mobilité extraite à partir de cette méthode est constante avec la largeur de canal, en contradiction avec nos mesures de mobilité. On voit cependant que le calcul et la mesure se rejoignent pour la largeur W_{top} la plus faible.

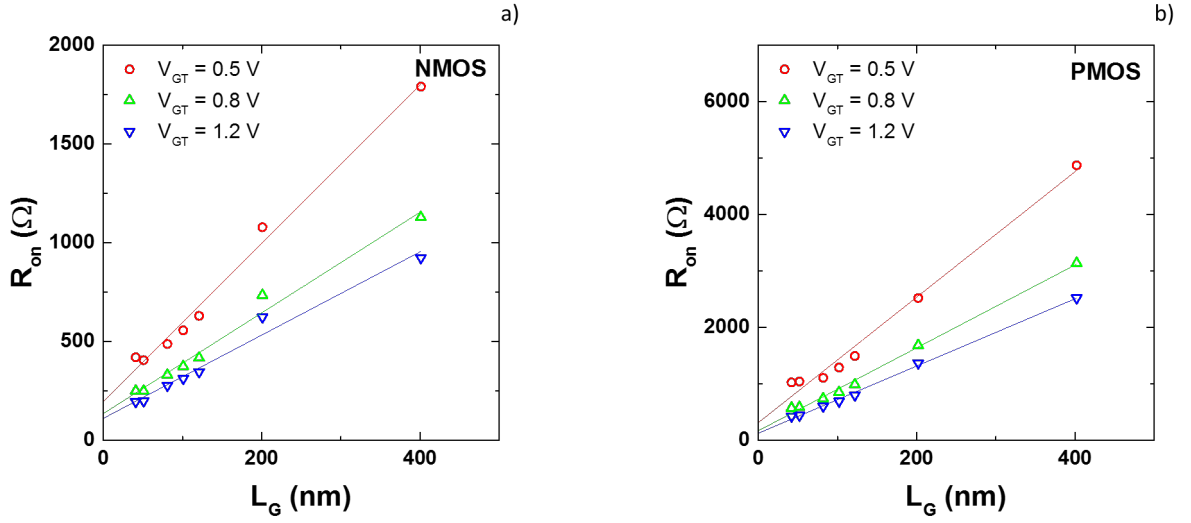


Figure 3.29.: Résistance totale des transistors planaires ($W_{top} = 10\mu m$) NMOS (a) et PMOS (b) en fonction de la longueur de grille calculée à trois tensions de grille : $V_{GT} = 0.5V$ en rouge, $V_{GT} = 0.8V$ en vert, $V_{GT} = 1.2V$ en bleu. Les lignes représentent la régression linéaire et les symboles les résultats des calculs de résistance.

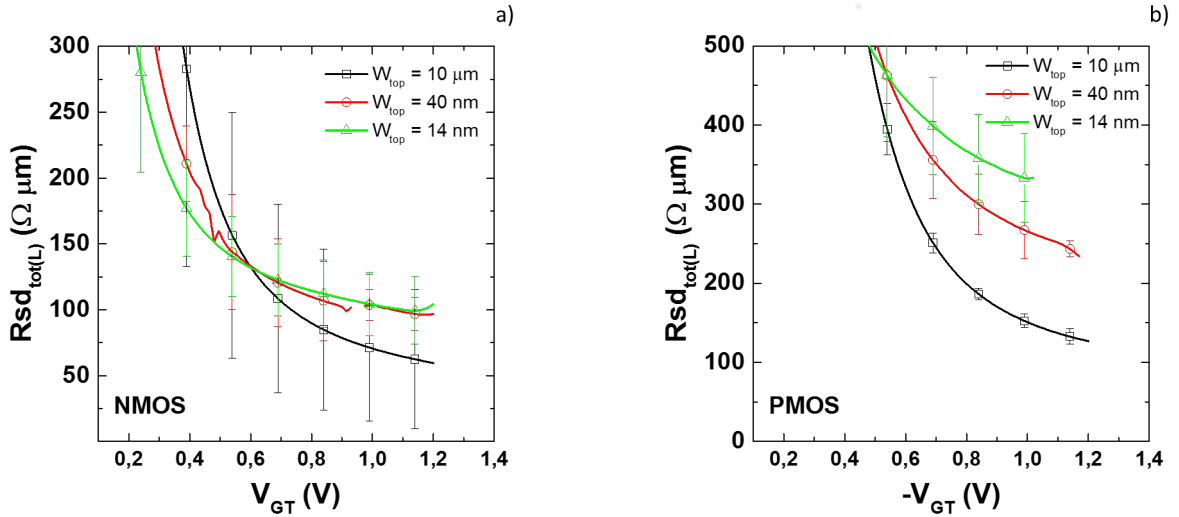


Figure 3.30.: Résistance d'accès calculée à partir de la méthode R_{on} pour nos dispositifs NMOS (a) et PMOS (b) pour trois largeurs de grille : $W_{top} = 10\mu m$ noir, $W_{top} = 40nm$ rouge, $W_{top} = 14nm$ vert

Fonction Y

La méthode de la fonction Y permet d'extraire la mobilité effective et la résistance d'accès à partir de mesures de courant $I_D(V_G)$ [52, 76]. Elle est basée sur l'expression

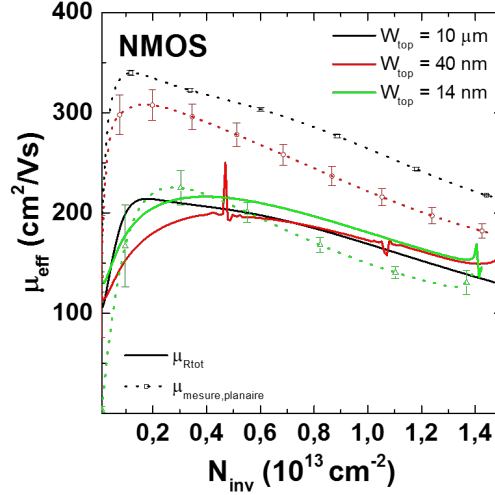


Figure 3.31.: Mobilité effective calculée à partir de la méthode R_{on} pour nos trois largeurs de canal (traits pleins) et mobilité effective mesurée pour les dispositifs à grille longue (traits pointillés).

analytique de la mobilité effective, valable quelle que soit la longueur de grille :

$$\mu_{\text{eff}} = \frac{\mu_0}{1 + \theta_1 V_{GT} + \theta_2 V_{GT}^2} \quad (3.28)$$

avec μ_0 la mobilité à champ faible du transistor et θ_1 , θ_2 des paramètres décrivant la réduction de mobilité due aux interaction avec les phonons (μ_{ph}) et avec la rugosité de surface (μ_{SR}). Cette expression conduit à l'équation du courant :

$$I_D = \frac{\beta}{1 + \theta_1 V_{GT} + \theta_2 V_{GT}^2} V_{GT} V_D \quad (3.29)$$

avec $\beta = (W/L)C_{ox}\mu_0$. La fonction Y , définie par :

$$Y(V_{GT}) = \frac{I_D(V_{GT})}{\sqrt{g_m}} \quad (3.30)$$

où g_m est la transconductance $\partial I_D / \partial V_G$ peut être calculée pour chaque courbes expérimentales $I_D(V_G)$. Celle-ci permet d'extraire les paramètres β , θ_1 et θ_2 par une procédure itérative. On obtient en combinant les équations 3.29 et 3.30 :

$$Y = \sqrt{\frac{\beta V_D}{1 - \theta_2 V_{GT}^2}} V_{GT} \quad (3.31)$$

Si, dans un premier temps, on fait l'hypothèse que le terme $\theta_2 V_{GT}^2$ est négligeable devant 1, alors Y est linéaire avec V_{GT} . L'ajustement des courbes expérimentales Y_{exp} avec l'expression $Y = a \times V_{GT} + b$ permet d'extraire les paramètres suivants :

$$\beta = \frac{a^2}{V_d} \quad (3.32)$$

$$V_T = \frac{-b}{a} \quad (3.33)$$

On définit ensuite le coefficient $\theta_{eff} = \theta_1 + \theta_2 \times V_{GT}$ de manière à extraire les coefficients θ_1 et θ_2 par le biais de l'équation suivante :

$$\theta_{eff} = \beta \cdot \frac{V_d}{I_d} - \frac{1}{|V_G - V_T|} \quad (3.34)$$

Dans un deuxième temps on introduit la valeur de θ_2 trouvée afin de corriger la fonction Y précédente (équation 3.31) :

$$Y_{cor} = Y \cdot \sqrt{1 - \theta_2 V_{GT}^2} \quad (3.35)$$

On réitère ensuite le même processus d'extraction des paramètres β , θ_1 et θ_2 jusqu'à convergence des résultats.

Le paramètre β est lié la mobilité μ_0 dans le dispositif. Les paramètres β , θ_1 et θ_2 permettent de calculer la résistance d'accès R_{SD} en considérant sa variation avec V_G [16]. Dans le cas où R_{SD} est constant ou linéaire avec V_{GT} , c.a.d $R_{SD} = R_{SD,0} + \lambda \cdot V_{GT}$, on peut montrer que

$$\theta_1 = \theta_{1,0} + \beta \cdot R_{SD,0} \quad (3.36a)$$

$$\theta_2 = \theta_{2,0} + \beta \cdot \lambda \quad (3.36b)$$

$$\mu_0 = \beta \cdot \frac{L_{eff}}{W_{eff} C_{ox}} \quad (3.36c)$$

où $\theta_{1,0}$ et $\theta_{2,0}$ sont les valeurs de θ_1 et θ_2 corrigées des résistances d'accès.

Si R_{SD} varie en $1/V_{GT}$, c.a.d $R_{SD} = R_{SD,0} + \sigma/V_{GT}$, alors :

$$\theta_1 = \theta_{1,0} + \beta (R_{SD,0} - \theta_{1,0} \cdot \sigma) \quad (3.37a)$$

$$\theta_2 = \theta_{2,0} - \beta \cdot \theta_{2,0} \cdot \sigma \quad (3.37b)$$

$$\mu_0 = \frac{\beta}{1 - \beta\sigma} \cdot \frac{L_{eff}}{W_{eff}C_{ox}} \quad (3.37c)$$

Dans les deux cas, le tracé de θ_1 vs. β et θ_2 vs. β permet alors de déterminer $R_{SD,0}$ et λ ou σ .

Remarque : Les résultats de simulation pour des transistors nanofils montrent que la résistance d'accès est plutôt une fonction de $V_{GT}^{-0.66}$ [19]. Dans ce cas-là cependant, la résolution analytique n'est plus possible.

La Figure 3.32 compare les valeurs de R_{SD} extraites par les méthodes précédentes en fonction de V_{GT} pour des transistors planaires et nanofils. On observe que les valeurs de R_{SD} convergent vers la même valeur en forte inversion quelle que soit la méthode utilisée. Plus précisément la valeur de convergence correspond à la valeur obtenue en faisant l'hypothèse de R_{SD} indépendant de V_{GT} . Cette dernière méthode permet déjà d'obtenir des résultats satisfaisant en terme d'ordre de grandeur.

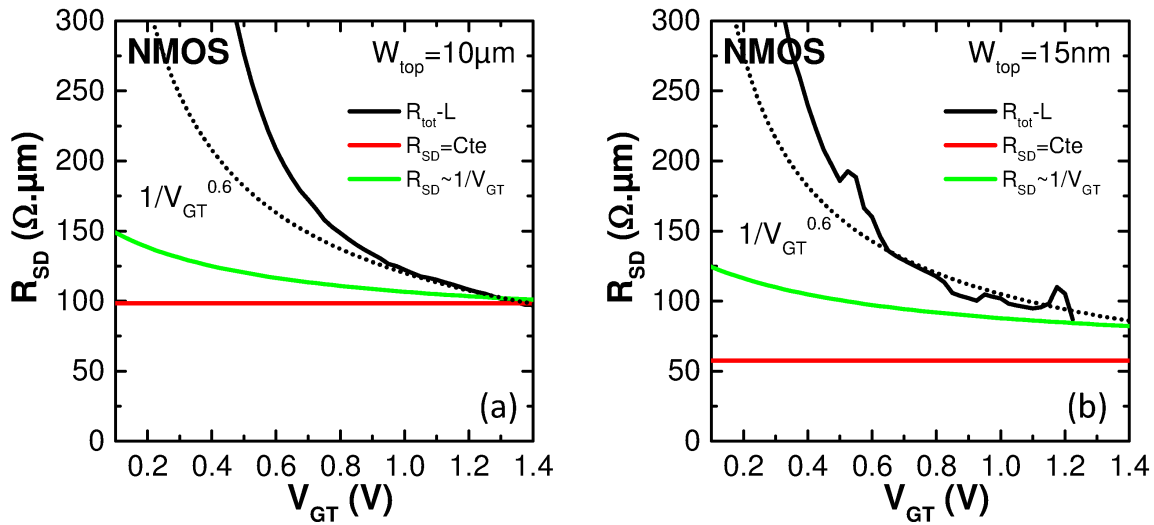


Figure 3.32.: Résistance R_{SD} extraite par différentes méthodes (voir texte) en fonction de la tension V_{GT} , pour des NMOS planaires (a) et nanofils (b).

Ajustement direct

D'autres méthodes permettent d'extraire les paramètres de mobilité et de résistance d'accès des transistors à grille courte en ajustant numériquement les mesures avec une expression analytique quelconque du courant *via* la méthode des moindres carrés (Levenberg-Marquardt). On peut ainsi calculer la mobilité et la résistance d'accès en limitant autant que possible les étapes de calculs numériques (*i.e.* dérivée du courant, fit linéaire ...), réduisant ainsi l'incertitude sur le résultat final. En particulier, on peut utiliser différentes expressions (comme par exemple dans [46] et dans [64]) pour décrire la charge d'inversion Q_{inv} en lieu et place de l'approximation $C_{ox} \times V_{GT}$ dans l'équation 3.24. Un exemple de ces fonctions analytiques pour décrire Q_{inv} est présenté dans la figure 3.33. On peut noter que la fonction de Karatsori *et al.* [64] permet de représenter également la charge sous le seuil. Le reste du traitement décrit ci-dessus peut alors s'appliquer pour extraire R_{SD} à partir de θ_1 , β et θ_2 .

Fonction de Ferdousi *et al.* [46] :

$$Q_{inv}(V_G) = C_{ox} \left[V_{GT} - \alpha V_t \ln \left(1 + \frac{V_{GT}}{\alpha V_t} \right) \right] \quad (3.38)$$

avec α une constante d'ajustement, $V_t = \frac{k_B T}{q}$ la tension thermique.

Fonction de Karatsori *et al.* [64] :

$$Q_{inv}(V_G) = C_{ox} \frac{nk_B T}{q} LW \left(\exp \left(q \frac{V_{GT}}{nk_B T} \right) \right) \quad (3.39)$$

avec n un facteur d'idéalité, et LW la fonction W de Lambert.

Un exemple d'extraction de μ_0 en fonction de L_G et pour différents W_{top} est donné dans les figures 3.34a et b, en faisant l'hypothèse d'une dépendance de R_{SD} en V_{GT} ou en $1/V_{GT}$. On voit que les deux hypothèses donnent des résultats similaires pour des largeurs jusqu'à $W_{top}=40\text{nm}$, mais des résultats sensiblement différents à faible longueur de grille L_G pour les nanofils les plus étroits. Nous avons ainsi jugé que la sensibilité des résultats à l'hypothèse de départ de R_{SD} ne nous permet pas d'étudier avec assez de précision le transport dans les nanofils courts dans le cadre de cette thèse. Cependant,

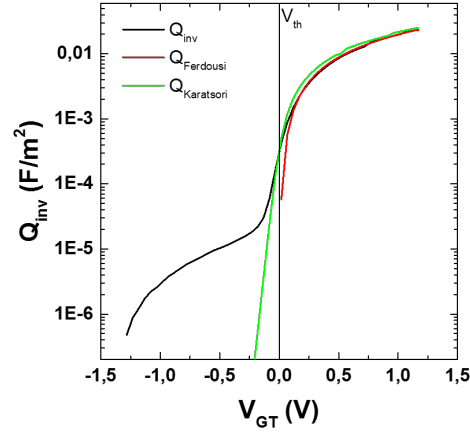


Figure 3.33.: Exemple d'ajustement de la charge d'inversion (en noir) par les fonctions décrites par Ferdousi *et al.* [46] (en rouge) et par Karatsori *et al.* [64] (en vert).

nous verrons dans le chapitre suivant que la détermination de R_{SD} est suffisante pour étudier l'influence de la contrainte sur le transport même pour les transistors courts.

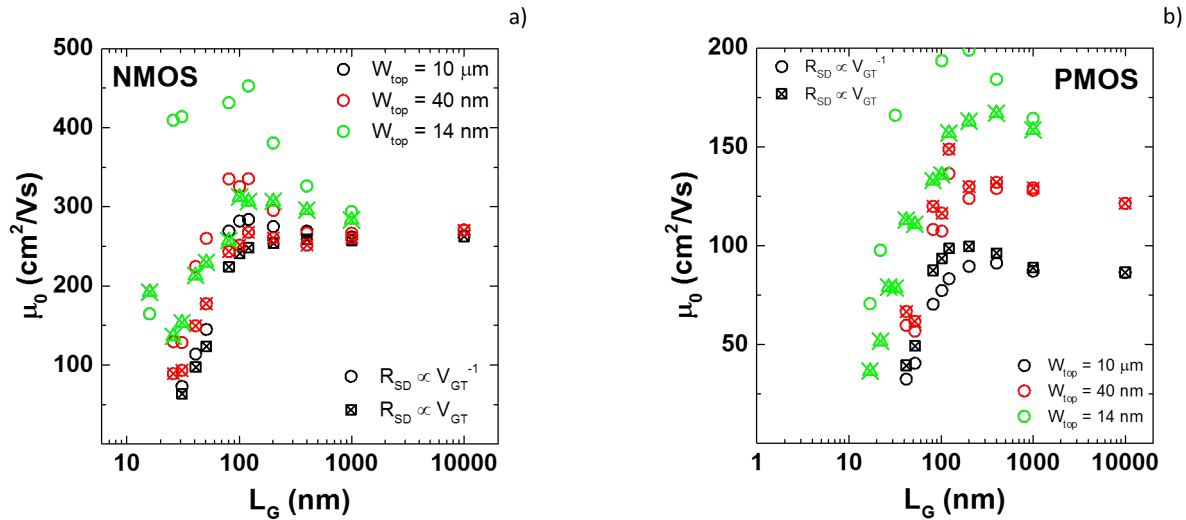


Figure 3.34.: Mobilité à champ nul μ_0 en fonction de la longueur de grille extraite à l'aide d'un ajustement direct en utilisant la fonction décrite par Ferdousi *et al.* [46] (voir texte) pour trois largeurs de canal et pour les dispositifs NMOS (a) et PMOS (b). Les résultats en fonction de l'expression de la résistance d'accès (variant avec V_{GT} symboles vides ou variant avec V_{GT}^{-1} symboles barrés) sont comparés.

3.2.3. Conclusion

Le modèle semi-analytique de mobilité proposé offre la possibilité d'interpréter et de modéliser les variations de la mobilité avec la géométrie du canal, ainsi que les variations du nombre de grilles. Ce modèle nous a permis de mettre en relief l'effet des très faibles dimensions sur la conduction dans les transistors multi-grilles. Ces dimensions réduites conduisent à un confinement précoce dû aux grilles supplémentaires et à la géométrie abrupte entre elles. Ces deux facteurs créent une forte inhomogénéité de la densité de porteur dans les surfaces de conduction. Cette inhomogénéité n'est pas prise en compte dans la description standard du courant et s'écarte des mesures expérimentales surtout pour des largeurs W_{top} et des hauteurs de film H sub-10nm.

Chapitre 4.

L'effet piézorésistif dans les transistors TriGate

4.1. Rappel théorique : effet d'une contrainte sur le transport

Le silicium cristallin est un matériau semi-conducteur anisotrope. Pour un cristal à symétrie cubique (comme le silicium), le tenseur de conductivité est symétrique et n'a que 6 coefficients indépendants ($\rho_{xy} = \rho_{yx}$; $\rho_{xz} = \rho_{zx}$; $\rho_{zy} = \rho_{yz}$). De plus, les éléments diagonaux du tenseur sont constants et égaux : $\rho_{xx} = \rho_{yy} = \rho_{zz} = \rho^0$, et les éléments non diagonaux sont nuls :

$$\rho = \begin{pmatrix} \rho^0 & 0 & 0 \\ 0 & \rho^0 & 0 \\ 0 & 0 & \rho^0 \end{pmatrix} \quad (4.1)$$

Lorsque l'on applique une contrainte σ sur le cristal, on change la symétrie de celui-ci et donc sa résistivité : c'est l'effet piézorésistif. On peut décrire ce changement avec un développement en série :

$$\frac{\Delta\rho_{ij}}{\rho^0} = \pi_{ijkl}\sigma_{kl} + \Lambda_{ijklmn}\sigma_{kl}\sigma_{mn} + \dots \quad (4.2)$$

avec π_{ijkl} et Λ_{ijklmn} les composants de quatrième et sixième ordre du tenseur de piezorésistivité, et $\sigma_{kl,mn}$ les composants du tenseur de contrainte. Pour une faible contrainte, le

premier terme domine et la relation entre la variation de résistivité et la contrainte est linéaire :

$$\frac{\Delta\rho_{ij}}{\rho^0} = \pi_{ijkl}\sigma_{kl} \quad (4.3)$$

La symétrie du silicium (groupe cristallin O_h) permet de simplifier l'expression du tenseur π :

$$\pi = \begin{pmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{pmatrix} \quad (4.4)$$

On retrouve ainsi la résistivité avec une contrainte appliquée sur le cristal :

$$\begin{pmatrix} \rho_1 \\ \rho_2 \\ \rho_3 \\ \rho_4 \\ \rho_5 \\ \rho_6 \end{pmatrix} = \begin{pmatrix} \rho^0 \\ \rho^0 \\ \rho^0 \\ 0 \\ 0 \\ 0 \end{pmatrix} + \rho^0 \begin{pmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{pmatrix} + \begin{pmatrix} \sigma_1 \\ \sigma_2 \\ \sigma_3 \\ \sigma_4 \\ \sigma_5 \\ \sigma_6 \end{pmatrix} \quad (4.5)$$

avec les indices 1, 2, 3, 4, 5 et 6 qui représentent respectivement les directions xx, yy, zz, yz, xz et xy selon la notation vectorielle.

Le champ électrique vectoriel $\mathbf{E}$ peut être exprimé à l'aide du tenseur de résistivité et du vecteur de densité de courant $\mathbf{J}$ (loi d'Ohm) :

$$\begin{pmatrix} E_x \\ E_y \\ E_z \end{pmatrix} = \begin{pmatrix} \rho_1 & \rho_6 & \rho_5 \\ \rho_6 & \rho_2 & \rho_4 \\ \rho_5 & \rho_4 & \rho_3 \end{pmatrix} \begin{pmatrix} J_x \\ J_y \\ J_z \end{pmatrix} \quad (4.6)$$

On s'intéresse à la résistivité finale ρ dans la direction de la conduction. Pour la calculer, on projette le champ électrique sur le vecteur $\mathbf{k}$ normé qui oriente la direction du transport, $\mathbf{k} = l\mathbf{e}_1 + m\mathbf{e}_2 + n\mathbf{e}_3$ avec $l^2 + m^2 + n^2 = 1$ (coordonnées exprimées dans le repère principal, voir schéma 4.1) :

$$\rho = \rho^0 \left[(1 + \pi_{11}\sigma_1 + \pi_{12}(\sigma_2 + \sigma_3))l^2 + (1 + \pi_{11}\sigma_2 + \pi_{12}(\sigma_1 + \sigma_3))m^2 + (1 + \pi_{11}\sigma_3 + \pi_{12}(\sigma_1 + \sigma_2))n^2 + 2\pi_{44}(\sigma_6lm + \sigma_5ln + \sigma_4mn) \right] \quad (4.7)$$

On trouve ainsi une expression générale de la piézorésistivité quelle que soit la direction

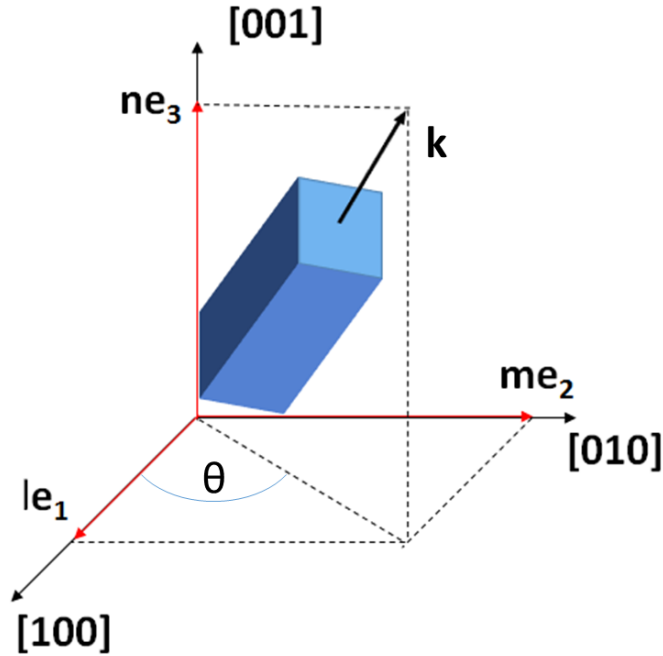


Figure 4.1.: Schéma d'un canal orienté suivant le vecteur $\mathbf{k}$ dans le repère principal.

du transport exprimée dans le repère principal :

$$\frac{\Delta\rho}{\rho} = (\pi_{11}\sigma_1 + \pi_{12}(\sigma_2 + \sigma_3))l^2 + (\pi_{11}\sigma_2 + \pi_{12}(\sigma_1 + \sigma_3))m^2 + (\pi_{11}\sigma_3 + \pi_{12}(\sigma_1 + \sigma_2))n^2 + 2\pi_{44}(\sigma_6lm + \sigma_5ln + \sigma_4mn) \quad (4.8)$$

Généralement, les transistors sont orientés dans le plan (100) du silicium. Dans le repère principal, le vecteur $\mathbf{k}$ d'orientation du canal aura donc toujours ses composantes suivant $\mathbf{e}_3$ nulle ($n = 0$). De plus, le vecteur $\mathbf{k}$ d'orientation peut être défini par une rotation d'angle θ par rapport au repère principal ($l = \cos(\theta)$, $m = \sin(\theta)$ voir Figure 4.1),

ce qui simplifie l'expression 4.8 :

$$\frac{\Delta\rho}{\rho} = (\pi_{11}\sigma_1 + \pi_{12}(\sigma_2 + \sigma_3)) \cos^2 \theta + (\pi_{11}\sigma_2 + \pi_{12}(\sigma_1 + \sigma_3)) \sin^2(\theta) + 2\pi_{44}\sigma_6 \cos(\theta) \sin(\theta) \quad (4.9)$$

Si de même, on exprime la contrainte σ initialement dans le repère principal par rapport à la contrainte σ' exprimée dans le repère (100) tourné d'un angle ϕ quelconque :

$$\begin{aligned} \sigma_1 &= \sigma'_1 \cos^2(\phi) + \sigma'_2 \sin^2(\phi) - \sigma'_6 \sin(2\phi) \\ \sigma_2 &= \sigma'_1 \sin^2(\phi) + \sigma'_2 \cos^2(\phi) + \sigma'_6 \sin(2\phi) \\ \sigma_3 &= \sigma'_3 \\ \sigma_4 &= \sigma'_4 \cos(\phi) + \sigma'_5 \sin(\phi) \\ \sigma_5 &= -\sigma'_4 \sin(\phi) + \sigma'_5 \cos(\phi) \\ \sigma_6 &= \frac{\sin(2\phi)(\sigma'_1 - \sigma'_2)}{2} + \cos^2(\phi)\sigma'_6 \end{aligned}$$

Pour une contrainte uniaxiale dans la direction du canal du transistor, c.a.d $\phi = \theta$ et $\sigma'_i = 0$ pour $i \neq 1$, on a la relation suivante :

$$\frac{\Delta\rho}{\rho} = \frac{1}{2}\sigma'_1 \left(\pi_{11} (1 + \cos^2(2\theta)) + \pi_{12} (1 - \cos^2(2\theta)) + \pi_{44} \sin^2(2\theta) \right) \quad (4.10)$$

De même, pour une contrainte uniaxiale perpendiculaire au transistor ($\phi = \theta$ et $\sigma'_i = 0$ pour $i \neq 2$) on a :

$$\frac{\Delta\rho}{\rho} = \frac{1}{2}\sigma'_2 \left(\pi_{11} (1 - \cos^2(2\theta)) + \pi_{12} (1 + \cos^2(2\theta)) - \pi_{44} \sin^2(2\theta) \right) \quad (4.11)$$

On peut approximer la variation de la résistivité $\frac{\Delta\rho}{\rho}$ par $-\frac{\Delta\mu_i}{\mu_i}$ avec i le type de porteurs si la déformation crée une quantité négligeable de porteurs. En effet, on a par définition pour un semi-conducteur :

$$\rho = \frac{1}{n \cdot q \cdot \mu_n + p \cdot q \cdot \mu_p} \quad (4.12)$$

En ne considérant que les porteurs i jouant un rôle dans la conduction, on obtient :

$$\frac{\Delta\rho}{\rho} = -\frac{\Delta i}{i} - \frac{\Delta\mu_i}{\mu_i} \quad (4.13)$$

Le terme $\frac{\Delta i}{i}$ représente les porteurs créés par la contrainte et peut être évalué expérimentalement par la variation de la tension de seuil. On peut voir sur la Fig. 4.2a que pour une faible contrainte, ce terme est négligeable. Pour de fortes contraintes, ce terme devra entrer en considération pour estimer le coefficient piézorésistif (Cf. Fig. 4.2b).

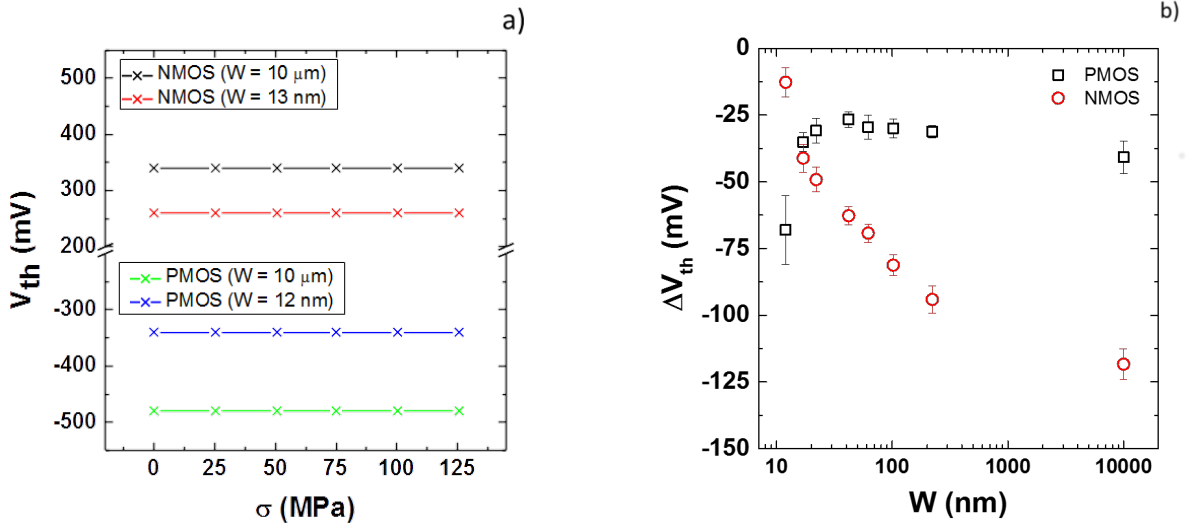


Figure 4.2.: a) Variation de la tension de seuil pour des transistors NMOS et PMOS en fonction de la contrainte appliquée. b) Variation de la tension de seuil en fonction de W pour une forte contrainte (1.4 GPa) biaxiale/uniaxiale pour des transistors NMOS en rouge et PMOS en noir.

Le terme $\Delta\mu_i/\mu_i$ représente la variation de la mobilité. C'est le terme qui nous intéresse principalement dans notre étude car il représente un levier pour améliorer les performances d'un dispositif MOSFET par l'application d'une contrainte sur le canal. Par convention, les contraintes mécaniques seront considérées positives pour une contrainte tensile et négatives pour une contrainte compressive. Vis-à-vis des coefficients piézorésistifs (π_{ij}) cela signifie qu'une contrainte tensile (donc positive) va augmenter la mobilité pour un coefficient PR négatif, et une contrainte compressive va augmenter la mobilité pour un coefficient positif.

Étude de cas particulier

Canal orienté selon $\langle 100 \rangle$ – On a dans ce cas $\theta = \phi = 0$. La relation piézorésistive va donc s'écrire pour une contrainte longitudinale $\sigma'_1 = \sigma_L$, *i.e.* parallèle à la direction du

canal :

$$\frac{\Delta\mu}{\mu} = -\pi_L^{\langle 100 \rangle} \sigma_L = -\pi_{11} \sigma_L \quad (4.14)$$

Pour une contrainte transversale $\sigma'_2 = \sigma_T$, *i.e.* perpendiculaire à la direction du canal :

$$\frac{\Delta\mu}{\mu} = -\pi_T^{\langle 100 \rangle} \sigma_T = -\pi_{12} \sigma_T \quad (4.15)$$

Canal orienté selon $\langle 110 \rangle$ – On a $\theta = \phi = \frac{\pi}{4}$. La relation piézorésistive va s'écrire pour une contrainte longitudinale :

$$\frac{\Delta\mu}{\mu} = -\pi_L^{\langle 110 \rangle} \sigma_L = -\frac{\pi_{11} + \pi_{12} + \pi_{44}}{2} \sigma_L \quad (4.16)$$

Pour une contrainte transversale :

$$\frac{\Delta\mu}{\mu} = -\pi_T^{\langle 110 \rangle} \sigma_T = -\frac{\pi_{11} + \pi_{12} - \pi_{44}}{2} \sigma_T \quad (4.17)$$

4.1.1. Données expérimentales

À l'origine, les coefficients piézorésistifs sont définis pour décrire l'effet d'une contrainte sur la mobilité dans les matériaux massifs (*i.e.* des résistances 3D) [63, 104]. À la différence du matériau massif, les porteurs dans la couche d'inversion d'un MOSFET sont confinés électriquement (ou géométriquement pour les films très minces ou les nanofils très étroits) et subissent des interactions supplémentaires comme la rugosité de l'interface Si/oxyde de grille ou bien encore les interactions coulombiennes dues aux charges dans la grille. On peut néanmoins toujours définir des coefficients piézorésistifs qui relient la conductivité du canal à la contrainte appliquée. Ces coefficients ne seront cependant plus reliés aux propriétés 3D du cristal massif, mais vont dépendre de l'orientation de la surface d'inversion, et la symétrie des coefficients π_{ij} dans le volume sera brisée.

Nous avons recueillis les mesures de coefficients piézorésistifs pour divers dispositifs MOSFETs présentés dans la littérature. Les résultats de cette étude bibliographique sont résumés dans les figures ci-dessous (Tabx. 4.1 à 4.5) et illustrent la diversité des cas (MOSFETs massifs, SOI...). En particulier, le cas des structures multi-grilles, que ce soient des FinFETs, des transistors Nanofils TriGate ou même encore des jauges de

Table 4.1.: Coefficients piézorésistifs mesurés par Min-Chu *et al.* [30] pour des transistors en technologie bulk Si planaires. Caractéristiques : dopage 10^{18}cm^{-3} , $W = L = 10 \mu\text{m}$, champ électrique 1 MV/cm.

	Surface/Orientation	π_L	π_T	$\pi_{biaxial}$
NMOS	(100)/ $\langle 100 \rangle$	-470	-220	-500
	(100)/ $\langle 110 \rangle$	-320	-150	-470
	(110)/ $\langle 100 \rangle$	-240	250	100
	(110)/ $\langle 110 \rangle$	-370	110	-70
PMOS	(100)/ $\langle 100 \rangle$	-150	90	110
	(100)/ $\langle 110 \rangle$	710	-320	160
	(110)/ $\langle 100 \rangle$	313	-95	254
	(110)/ $\langle 110 \rangle$	270	-50	258

Table 4.2.: Coefficients piézorésistifs calculés par Shin *et al.* [100] d'après les mesures réalisées par Smith [104] pour des transistors SOI multigrille.

	Surface	π_L	π_T
NMOS	(100)	-1022	534
	(110)	-312	-176
PMOS	(100)	66	-11
	(110)	718	-663

contraintes à base de nanofils de Si sans grille, a été très peu étudié, et peu de données de piézorésistances sont disponibles.

Table 4.3.: Coefficients piézorésistifs mesurés par Chiang *et al.* [28] sur des dispositifs avec des canaux Si et $Si_{0.7}Ge_{0.3}$, pour des surfaces (100) et (110), et un canal orienté en $\langle 110 \rangle$.

	Surface	π_L	π_T
NMOS Si	(100)	-490	-160
	(110)	-270	530
NMOS SiGe	(100)	-520	-200
	(110)	-350	520
PMOS Si	(100)	900	-460
	(110)	270	-50
PMOS SiGe	(100)	1250	-520
	(110)	380	-130

Table 4.4.: Coefficients piézorésistifs mesurés par Cheng *et al.* [27] sur des dispositifs PMOS-FETs avec des canaux $Si_{0.2}Ge_{0.8}$ pour des surfaces (110) et un canal orienté en $\langle 110 \rangle$ et $\langle 100 \rangle$.

Orientation	π_L	π_T
$\langle 110 \rangle$	350	
$\langle 100 \rangle$		-140

Table 4.5.: Coefficients piézorésistifs mesurés par Bui *et al.* [20] pour des jauges nanofils en silicium (pas de grille) orientées dans la direction $\langle 110 \rangle$ en fonction de la largeur W du nanofil. Dopage $1.2 \times 10^{18} cm^{-3}$

Largeur	π_L	π_T
480nm	820	-490
90nm	1100	-470
35nm	1300	

4.2. Méthodes expérimentales

Deux différentes méthodes expérimentales ont été utilisées pour caractériser l'effet piézorésistif dans nos dispositifs. Un banc de flexion 4 points (Voir Fig. 4.3a et refs. [13,93]) nous a permis de mesurer les coefficients piézoressistifs pour de faibles contraintes de 0 à 125MPa. Son principe repose sur la théorie des poutres. Le déplacement vertical y appliqué sur le banc est relié à la contrainte uniaxiale (σ) uniforme entre les deux points d'appuis centraux où se situe le transistor à mesurer :

$$\sigma = \frac{E \cdot y \cdot t}{2a \left(\frac{L}{2} - \frac{2a}{3} \right)} \quad (4.18)$$

avec E le module d'Young de l'échantillon calculé en fonction du matériau semiconducteur (Si ou $\text{Si}_{1-x}\text{Ge}_x$ par exemple) et de l'orientation cristallographique. Les paramètres t , a et L sont les dimensions physiques du banc et de l'échantillon, et sont détaillés dans la Figure 4.3b.

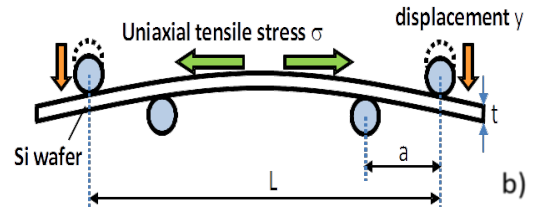
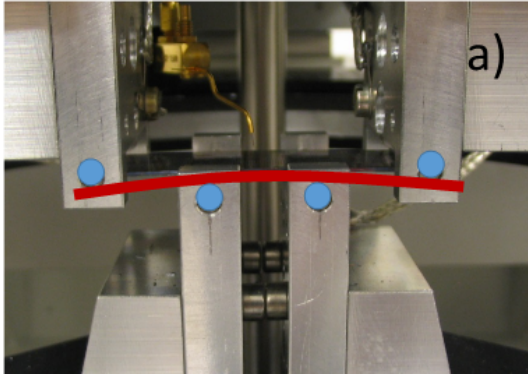


Figure 4.3.: a) Photo du banc de contrainte quatre points utilisé pour réaliser nos mesures de coefficients piézorésistifs. Les quatre points de contact ainsi que la courbe de flexion de l'échantillon ont été ajoutés à la photo pour plus de clarté. b) Schéma du banc de contrainte quatre points, les dimensions utilisées dans l'équation 4.18 y sont annotées (y , L , a , et t).

Dans cette gamme de contrainte, on considère que la mobilité varie linéairement avec la contrainte, ce qui est vérifié expérimentalement sur la Fig. 4.4. Ceci nous permet de mesurer les coefficients piézorésistifs pour des dispositifs sans contrainte initiale, c-a-d autour de $\sigma = 0$. Mais on peut également étendre la définition du coefficient PR pour des dispositifs avec une forte contrainte tensile ou compressive initiale ($\sigma_m > \text{GPa}$). On

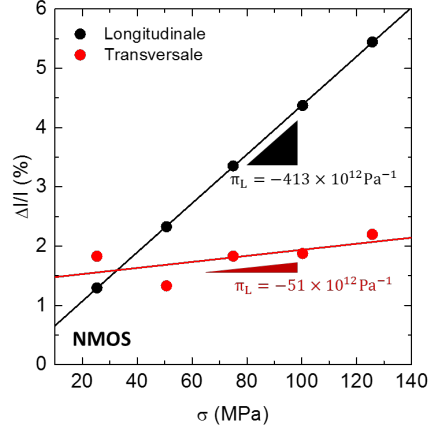


Figure 4.4.: Exemple de mesures de variations de courant avec une contrainte tensile uniaxiale progressive (pas de 25 MPa) sur un dispositif NMOS SOI planaire. Les valeurs des coefficients piézorésistifs sont données sur la figure.

mesure dans ce cas la variation de mobilité $d\mu$ autour de cette valeur $\sigma + d\sigma$ [95] :

$$\frac{d\mu}{\mu} = -\pi(\sigma)d\sigma \quad (4.19)$$

Le coefficient piézorésistif mesure l'accroissement relatif de la mobilité avec la contrainte appliquée. Pour calculer le gain de mobilité total à la valeur de contrainte σ_f , il faut donc intégrer la variation du coefficient piézorésistif avec σ de $\sigma = 0$ à la contrainte finale $\sigma = \sigma_f$, ce qui donne :

$$\frac{\mu(\sigma_f)}{\mu(0)} = \exp \left(- \int_0^{\sigma_f} \pi(\sigma) d\sigma \right) \quad (4.20)$$

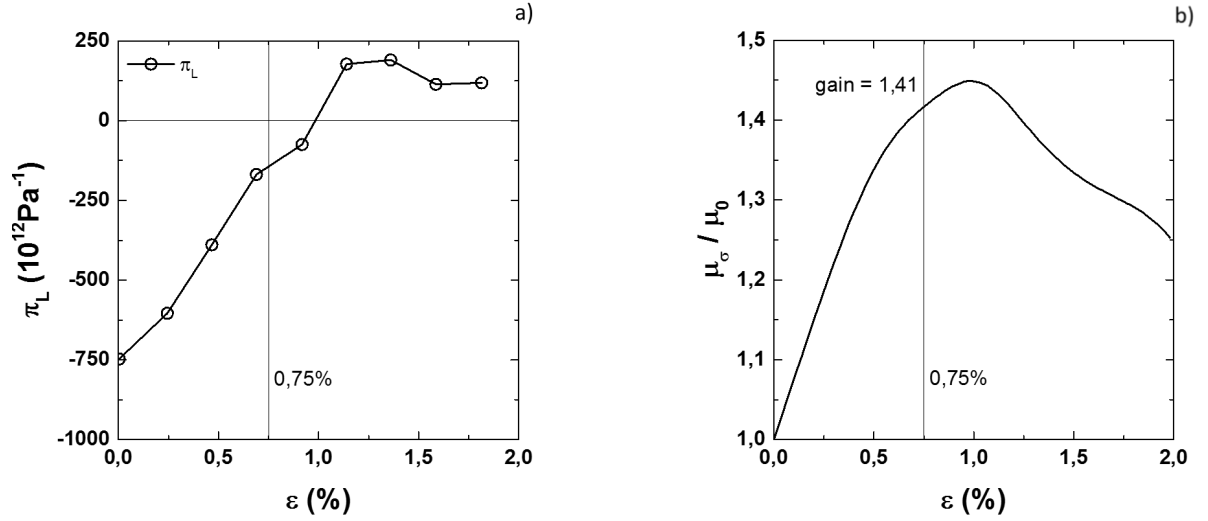


Figure 4.5.: a) Variation du coefficient piézorésistif longitudinal calculée en fonction de la déformation ϵ pour une contrainte tensile appliquée à un transistor nanofil (calcul pour des NMOS d'après [81]). b) Gain en mobilité correspondant : le gain pour une déformation de 0.75% (sSOI) est $\mu_{\text{contraint}} \approx 1.41 \mu_{\text{noncontraint}}$.

4.3. Résultats et discussions

De nombreuses mesures de coefficients piézorésistifs ont été réalisées tout au long de cette thèse. Les résultats sont présentés dans les parties suivantes. La signification physique ainsi que les performances électriques accessibles à l'aide de fortes déformations sont discutées. Les résultats pour les transistors de type NMOS et PMOS ont été séparés pour plus de clarté.

4.3.1. Transistors NMOS

Impact de la largeur du canal

Les résultats sur les mesures de mobilité ont montré que les dimensions de la section du canal ont un fort impact sur le transport dans les transistors multi-grilles. On peut donc s'attendre à retrouver ce fort effet pour les coefficients piézorésistifs.

La Figure 4.6a présente les résultats des mesures des coefficients PR pour les dispositifs NMOS de référence, sans contrainte interne ($L_G = 10\mu\text{m}$, $H_{NW} = 12\text{nm}$). Ces résultats montrent la variation des coefficients π_L et π_T avec W_{top} , particulièrement notable en dessous d'une valeur critique de largeur $W_{crit} \approx 100\text{nm}$. Ils confirment les

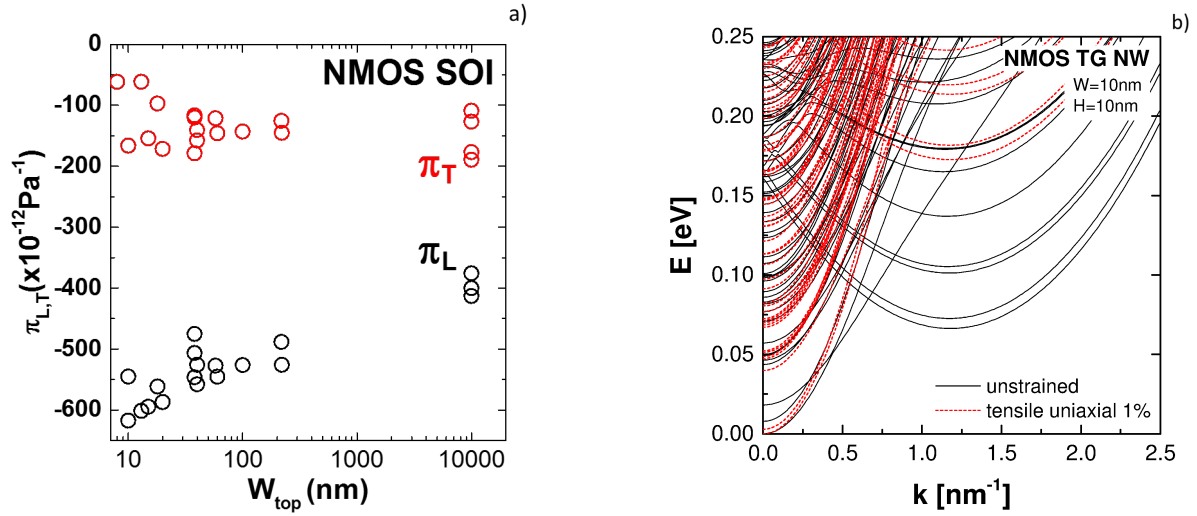


Figure 4.6.: a) Coefficient piézorésistif longitudinal (noir) et transversal (rouge) pour des dispositifs NMOS SOI avec une hauteur de canal de 12nm en fonction de la largeur de grille. b) Diagramme des bandes d'énergie $E(k)$ calculé pour un transistor nanofil NMOS TriGate orienté selon $\langle 110 \rangle$ non contraint et avec une contrainte uniaxiale tensile dans la direction du transport ($W \times H = 10\text{nm} \times 10\text{nm}$).

mesures précédentes [21, 62], en particulier, π_T tend vers 0 pour les nanofils, alors que π_L augmente fortement ($\approx +50\%$) quand la largeur de canal diminue. La Figure 4.6b montre l'effet d'une contrainte uniaxiale tensile sur les niveaux d'énergie de la bande de conduction d'un transistor TriGate $10\text{nm} \times 10\text{nm}$ dans la direction $\langle 110 \rangle$. Cette contrainte abaisse la vallée "légère" en Γ (Δ_2) par rapport aux vallées plus lourdes et décentrées (Δ_4) ce qui conduit à une plus grande mobilité des électrons et donc un coefficient piézorésistif négatif, comme pour les transistors planaires FDSOI. Cependant, la contribution de la mobilité limitée par les phonons (μ_{ph}) est plus importante pour les nanofils NMOS que pour les transistors planaires. On s'attend donc à ce que l'effet d'une contrainte soit également plus important [108], et donc à une valeur de π_L plus grande en valeur absolue.

Impact de l'orientation du canal

Pour les transistors planaires, les mesures piézorésistives pour un canal orienté dans la direction $\langle 100 \rangle$ sont intéressantes car elles donnent accès directement aux composants élémentaires π_{11} et π_{12} du tenseur piézorésistif ($\pi_L^{(100)} = \pi_{11}$ et $\pi_T^{(100)} = \pi_{12}$). Combinées avec les données dans la direction $\langle 110 \rangle$, on peut ainsi avoir accès à l'ensemble des éléments du tenseur et donc calculer tous les cas de figure dans le plan (100). On sait en particulier que la somme des coefficients $\pi_L + \pi_T$ est égale dans les directions $\langle 100 \rangle$ et

$\langle 110 \rangle$:

$$\pi_L^{\langle 110 \rangle} + \pi_T^{\langle 110 \rangle} = \pi_L^{\langle 100 \rangle} + \pi_T^{\langle 100 \rangle} = \pi_{11} + \pi_{12} \quad (4.21)$$

De plus, comme expliqué dans le chapitre précédent, les nanofils $\langle 100 \rangle$ ont leurs surfaces latérales et supérieures orientées dans le plan (100) . Ces surfaces de conduction étant toutes similaires, on peut s'attendre à ce que les coefficients piézorésistifs soient indépendants de W_{top} . La Figure 4.7a montre clairement que ce n'est pas le cas (comme pour la mobilité), indiquant une fois encore des effets de confinement en dessous d'une valeur limite W_{crit} . La décomposition des coefficients mesurés en composants élémentaires du tenseur piézorésistif π_{11} , π_{12} et π_{44} n'est plus valide comme le montre la Fig. 4.7b.

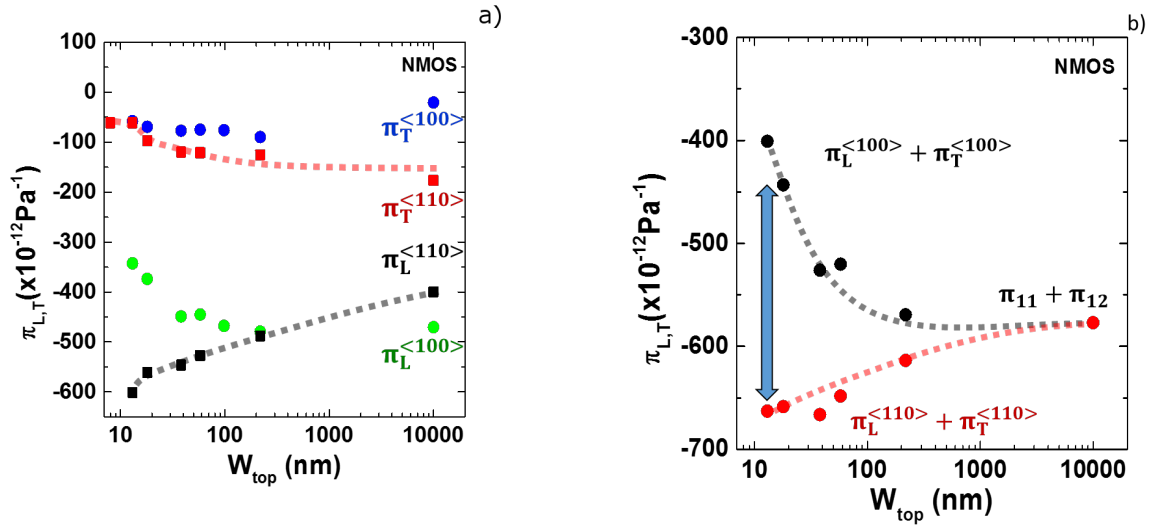


Figure 4.7.: a) Évolution du coefficient piézorésistif avec la largeur des nanofils ($L_G = 10 \mu\text{m}$, $N_{inv} = 0.8 \times 10^{13} \text{cm}^{-2}$). En dessous d'une valeur critique de $W_{top} \approx 100 \text{ nm}$ les deux coefficients π_L et π_T changent des valeurs planaires à cause des effets liés à la géométrie réduite des nanofils (les lignes pointillées sont des guides visuels uniquement). b) Comparaison de la somme $\pi_L + \pi_T$ pour des dispositifs orientés dans les directions $\langle 100 \rangle$ et $\langle 110 \rangle$ en fonction de W_{top} pour des dispositifs NMOS. Pour les transistors planaires les deux sommes sont égales à $\pi_{11} + \pi_{12}$, en accord avec le tenseur piézorésistif (voir Eqs. 4.14 à 4.17). Pour les nanofils avec une largeur inférieure à $\approx 100 \text{ nm}$, la théorie pour le silicium massif ne fonctionne plus.

La Figure 4.8a montre l'effet d'une contrainte tensile uniaxiale dans la direction du transport sur la mobilité limitée par les phonons (μ_{ph}) calculée pour des dispositifs nanofils NMOS ($d_{nanofil} = 8 \text{ nm}$), dans les directions $\langle 110 \rangle$ et $\langle 100 \rangle$ [81]. Les valeurs calculées de μ_{ph} sont en accord qualitatif avec les valeurs mesurées de π_L dans les deux

directions, à savoir une valeur plus grande du coefficient π_L pour la direction $\langle 110 \rangle$ que pour la direction $\langle 100 \rangle$.

Impact de l'épaisseur du film

La Figure 4.8b montre la variation de π_L et π_T avec W_{top} pour deux épaisseurs de film. Ces résultats montrent que les coefficients piézorésistifs sont également fonction de ce paramètre H_{NW} . En particulier, π_L augmente en valeur absolue lorsque l'épaisseur du film diminue. On a vu, dans le chapitre précédent, que la contribution μ_{ph} est identique quelle que soit l'épaisseur H pour des nanofils NMOS. La différence de mobilité entre les nanofils épais (FinFET) et les nanofils minces (TriGate) est donc plutôt due à l'effet des angles pour lesquels on a une densité de porteurs très supérieure à la densité en surface ou sur les flancs verticaux. On en déduit donc que la variation de π_L avec H n'est probablement pas due aux interactions avec les phonons, mais plutôt à l'effet de la contrainte sur le transport dans ces angles.

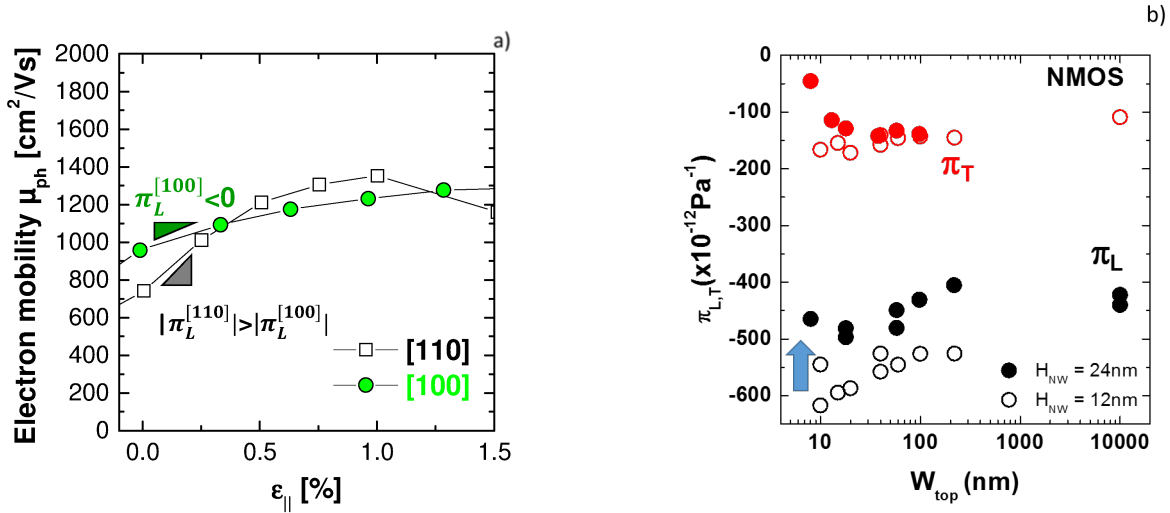


Figure 4.8.: a) Mobilité des électrons limitée par les phonons calculée en fonction d'une déformation uniaxiale $\epsilon_{||}$ parallèle au transport dans un nanofil ($d=8\text{nm}$, d'après [81]). b) Évolution du coefficient piézorésistif avec la largeur des nanofils pour deux hauteurs de canal différentes $H_{NW}=12\text{nm}$ et $H_{NW}=24\text{nm}$ ($L_G = 10\mu\text{m}$, $N_{inv} = 0.8 \times 10^{13} \text{cm}^{-2}$).

Étude des fortes déformations

L'application d'une forte contrainte, et donc d'une forte déformation sur un matériau semi-conducteur modifie considérablement la structure cristalline. Ces modifications ont un fort effet sur la structure de bande du silicium. Les simulations montrent pour le cas de la bande de conduction une forte séparation des vallées Δ_2 et Δ_4 avec une contrainte uniaxiale (voir Fig. 4.6b). De plus, la contrainte va aussi modifier la courbure des bandes d'énergie, réduisant ainsi la masse effective des porteurs. Le cumul de ces différents effets impacte fortement les propriétés de conduction du silicium et conduit à une importante variation de la mobilité [9, 36].

Les mesures de mobilité sur les dispositifs avec une forte contrainte tensile générée par un substrat sSOI ($\sigma \approx 1.4\text{GPa}$) sont présentées en Fig. 4.9. On peut voir que le gain

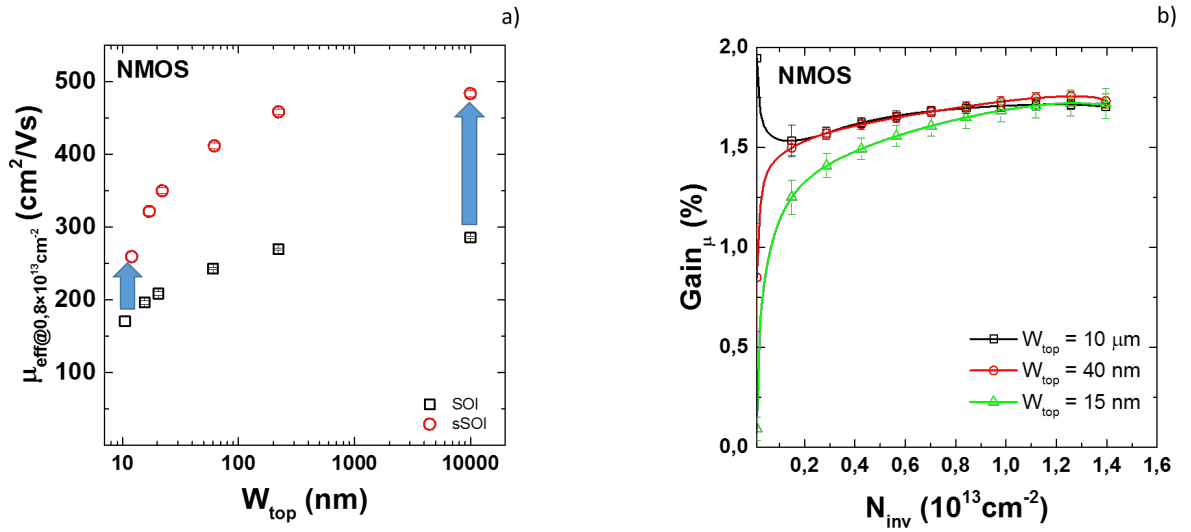


Figure 4.9.: a) Évolution de la mobilité effective avec la largeur des nanofils pour des dispositifs NMOS sSOI (ronds rouges - 1.4GPa) et SOI (carrés noirs - 0 GPa) ($L_G = 10\mu\text{m}$, $N_{inv} = 0.8 \times 10^{13} \text{ cm}^{-2}$). b) Gain de mobilité en fonction de la densité de porteurs en inversion N_{inv} pour trois largeurs de grille : noir dispositifs planaires $W_{top} = 10\mu\text{m}$, rouge dispositifs nanofils intermédiaires $W_{top} = 40\text{nm}$ et nanofils $W_{top} = 10\text{nm}$

de mobilité, défini comme le rapport $\mu_{contraint}/\mu_{noncontraint}$, pour les dispositifs NMOS diminue pour les nanofils ($W_{top} = 15\text{nm}$) pour des valeurs de champ moyen, *i.e.* à $N_{inv} = [0.3 - 0.8] \times 10^{13} \text{ cm}^{-2}$. A l'opposé, le gain est constant pour les fortes valeurs de champ quelle que soit la largeur du canal W_{top} . Afin de comprendre ce comportement, des mesures de coefficients piézorésistifs ont été conduites pour ces dispositifs sSOI. Les résultats présentés sur la Figure 4.10a sont comparés aux mesures pour les dispositifs

SOI non contraints. On observe une forte diminution en valeur absolue des coefficients π_T et surtout π_L pour toutes les largeurs de canal lorsque l'on passe des structures SOI à des structures sSOI.

Pour les dispositifs larges sSOI ($W_{top} > 240\text{nm}$), le canal est en contrainte biaxiale tensile. Pour de fortes contraintes, la contribution biaxiale des coefficients piézorésistifs $\pi_{11} + \pi_{12}$ diminue très fortement jusqu'à s'annuler et les coefficients π_L et π_T tendent respectivement vers la valeur π_{44} et $-\pi_{44}$ [95, 115]. La partie biaxiale traduit généralement le gain en mobilité dû au repeuplement des vallées Δ_2 par la contrainte tensile. Ce gain finit par saturer aux fortes contraintes lorsque seules les vallées Δ_2 sont peuplées. Le gain restant (π_{44}) est dû à l'effet de cisaillement pour les contraintes uniaxiales dans la direction $\langle 110 \rangle$ qui vient rompre l'isotropie de la masse effective de conduction de ces vallées [93, 94].

Pour les dispositifs nanofils étroits sSOI ($W_{top} < 240\text{nm}$), le canal est en contrainte uniaxiale tensile ($\epsilon_{||} = 0.75\%$). L'effet d'une forte contrainte uniaxiale sur les bandes de conduction est similaire aux dispositifs planaire, à savoir de favoriser les vallées Δ_2 – avec une masse de conduction plus faible à cause du cisaillement – et de supprimer les interactions avec les phonons [81]. Pour les mêmes raisons que les dispositifs plans, le gain en mobilité va diminuer à mesure que la contrainte augmente et que seules les vallées Δ_2 sont occupées. Les calculs, issus des simulations de μ_{ph} pour des nanofils avec $d = 8\text{nm}$ [81], sont en bon

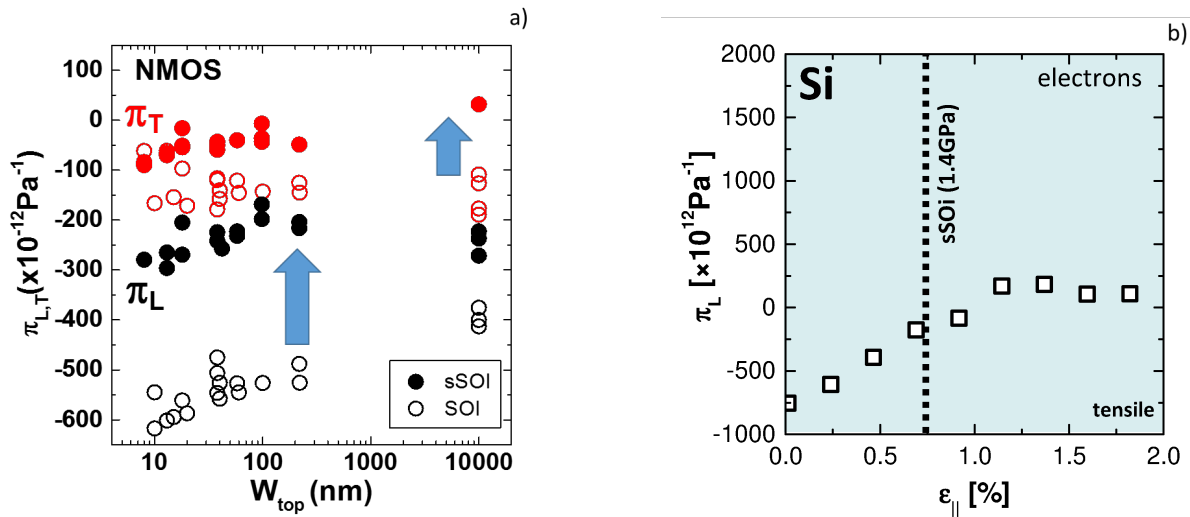


Figure 4.10.: a) Coefficient piézorésistif longitudinal (noir) et transversal (rouge) pour des dispositifs NMOS sSOI (symboles pleins - 1.4GPa) et SOI (symboles vides - 0 GPa) avec une hauteur de canal de 12nm en fonction de la largeur de grille. b) Coefficients π_L calculés à partir de μ_{ph} pour un nanofil en fonction d'une déformation tensile uniaxiale le long du canal variant de 0 à 2 % pour des électrons.

accord qualitatif avec nos résultats expérimentaux, comme le montre la Figure 4.10a. De plus, ces résultats expérimentaux et théoriques montrent que l'on peut encore espérer un gain en mobilité pour une déformation allant jusqu'à $\epsilon_{||} \approx 1\%$, i.e. $\sigma_{||} \approx 1.7\text{GPa}$.

Conclusion

Nous avons étudié l'évolution de l'effet piézorésistif dans les transistors nanofils NMOS. Les mesures montrent que la concentration de porteur dans les angles des dispositifs aux dimensions très faibles augmente l'effet piézorésistif, compensant ainsi la diminution de mobilité due à cette même concentration de porteurs. De plus, les dispositifs orientés dans la direction $\langle 100 \rangle$ mettent en évidence les limites de la description par des coefficients piézorésistifs pour des largeurs de canal faible ($W_{crit} < 100\text{nm}$). Et enfin, les dispositifs nanofils NMOS sur substrat sSOI montrent la forte augmentation de la mobilité apportée par une contrainte tensile uniaxiale. De plus, à ces fortes déformations, les coefficients piézorésistifs, bien que réduits restent non nuls, ce qui signifie qu'une contrainte tensile supplémentaire aura encore un effet positif sur la mobilité.

4.3.2. Transistors PMOS

Impact de la largeur du canal

La Figure 4.11a montre la variation des coefficients piézorésistifs π_L et π_T avec W_{top} pour les dispositifs PMOS : ceux-ci diminuent notablement en valeur absolue en dessous d'une valeur critique $W_{crit} \approx 100\text{nm}$ (jusqu'à $\approx -50\%$ pour les nanofils les plus étroits). Ce résultat similaire à celui des transistors NMOS est en accord avec des mesures précédentes [21, 62]. Les coefficients restant néanmoins non nuls, on peut attendre un effet marqué d'une contrainte compressive sur la mobilité de dispositifs nanofils.

La Figure 4.11b montre l'effet d'une contrainte tensile de même ordre de grandeur que celle utilisée pour nos mesures de coefficients piézorésistif (120MPa) sur la structure de bandes de la bande de valence. Ces bandes de valences sont calculées avec le modèle 3 bandes $k \cdot p$ [80] pour des dispositifs planaires et nanofils (TriGate $W_{top} = 11\text{nm} \times H = 11\text{nm}$). On voit l'effet d'une contrainte légèrement tensile sur un dispositif planaire. Celle-ci lève la dégénérescence des bandes de valences lourdes et légères. Les trous lourds (bande la plus courbée) remontent énergétiquement et les trous légers (bande la moins courbée) descendent. De plus, cette contrainte va distordre les bandes (changement de

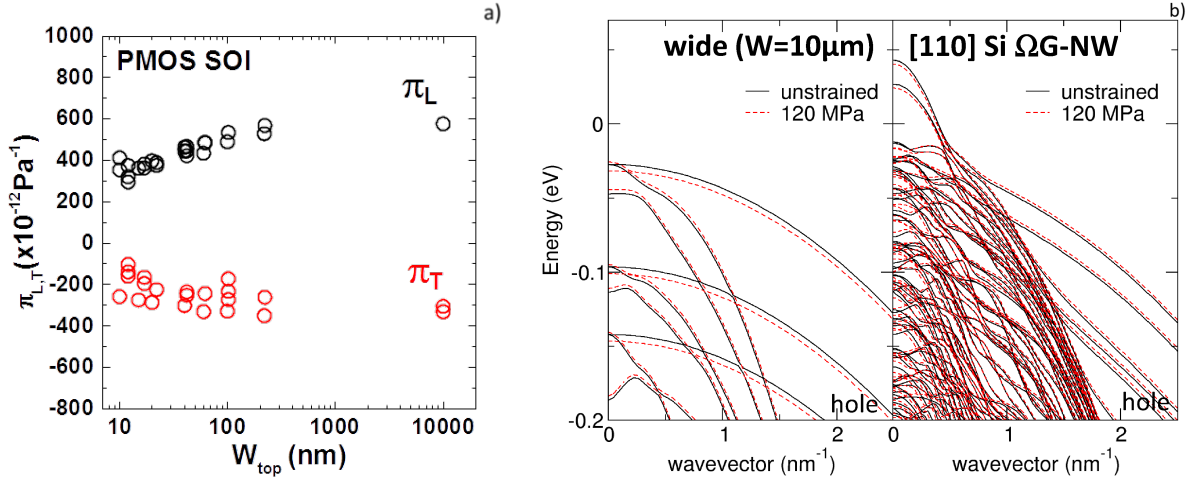


Figure 4.11.: a) Coefficients piézorésistifs π_L (en noir) et π_T (en rouge) en fonction de la largeur de grille mesurés sur différents dispositifs PMOS avec une hauteur de canal comparable. b) Structure de la bande de valence pour des dispositifs planaires (gauche) et des nanofils (droite, $W_{top} = 11\text{nm} \times H = 11\text{nm}$) calculée avec la méthode $k \cdot p$ 3 bandes pour 0 MPa (sans contrainte) et une contrainte tensile de 120 MPa dans la direction du canal $\langle 110 \rangle$ ($N_{inv} = 0.8 \times 10^{13} \text{ cm}^{-2}$).

leur courbures) conduisant à des trous lourd plus léger et des trous léger plus lourd. Ces deux effets combinés augmentent fortement la mobilité en réduisant d'une part les interactions inter-bandes, et d'autre part en réduisant la masse effective des trous. Pour les dispositifs nanofils, la dégénérescence des bandes est déjà levée par le biais de la géométrie. La contrainte va simplement réduire la masse effective en changeant la forme des bandes. L'augmentation de la mobilité sera donc moins forte que pour les dispositifs planaires. Ces calculs de structure de bandes permettent donc bien d'expliquer les mesures de coefficients piézorésistifs pour une contrainte tensile uniaxiale qui montrent une diminution de π_L avec la largeur de canal W_{top} .

Impact de l'orientation du canal

La Figure 4.12a présente les résultats des mesures de coefficients piézorésistifs pour nos dispositifs PMOS SOI, avec une orientation de canal $\langle 110 \rangle$ et $\langle 100 \rangle$. En dessous d'une valeur critique de $W_{top} \approx 100\text{nm}$ les deux coefficients π_L et π_T changent par rapport aux valeurs des transistors planaires à cause des effets liés à la géométrie réduite des nanofils. On peut noter notamment que pour les deux orientations π_T tend vers 0 lorsque l'on diminue W_{top} . Comme pour les NMOS, nous avons calculé la somme des coefficients $\pi_L + \pi_T$ pour les deux orientations (voir 4.3.1). Pour les transistors planaires les deux

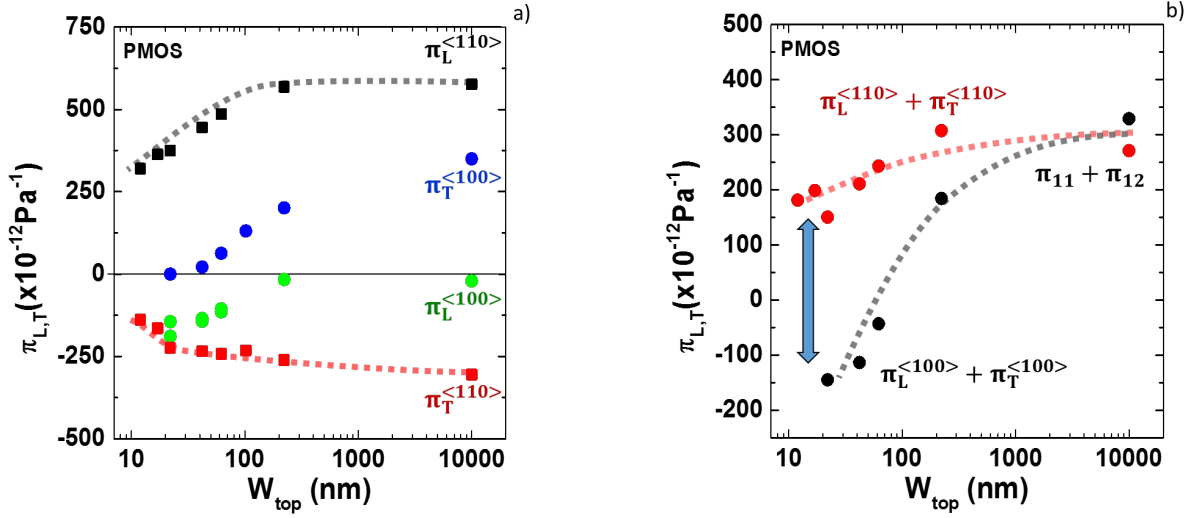


Figure 4.12.: a) Évolution du coefficient piézorésistif avec la largeur des nanofils ($L_G = 10\mu\text{m}$, $N_{inv} = 0.8 \times 10^{13} \text{cm}^{-2}$); les lignes pointillées servent de guides visuels uniquement. b) Comparaison de la somme $\pi_L + \pi_T$ pour des dispositifs orientés dans les directions $\langle 100 \rangle$ et $\langle 110 \rangle$ en fonction de W_{top} pour des dispositifs PMOS.

sommes sont égales à $\pi_{11} + \pi_{12}$, en accord avec le tenseur piézorésistif du Si massif. Pour les nanofils avec une largeur inférieure à $\approx 100\text{nm}$, la théorie pour le silicium massif ne fonctionne plus (Figure 4.12b). La mobilité limitée par les phonons (μ_{ph}) calculée en fonction de la contrainte (Figure 4.13a) montre bien une inversion du signe de π_L pour les trous avec le changement d'orientation du canal de $[110]$ vers $[100]$ pour les nanofils, en accord avec les données expérimentales présentées dans la Figure 4.12a. Alors qu'une contrainte uniaxiale dans la direction du transport $[100]$, qu'elle soit en tension ou en compression, n'a que peu d'influence sur la mobilité dans les transistors PMOS FDSOI planaires, pour des nanofils étroits, une contrainte uniaxiale en *tension* dans cette même direction sera bénéfique pour la mobilité des trous. Pour des nanofils dans cette direction, une contrainte en tension lève la dégénérescence entre trous lourds et légers ce qui a pour effet de diminuer la masse des trous et donc augmente la mobilité, en diminuant la répulsion des bandes dégénérées.

Impact de l'épaisseur du film

La Figure 4.14 présente les valeurs des coefficients π_L et π_T mesurés sur des PMOS en fonction de la largeur W_{top} pour deux épaisseurs de film différentes $H_{NW}=12\text{nm}$ et

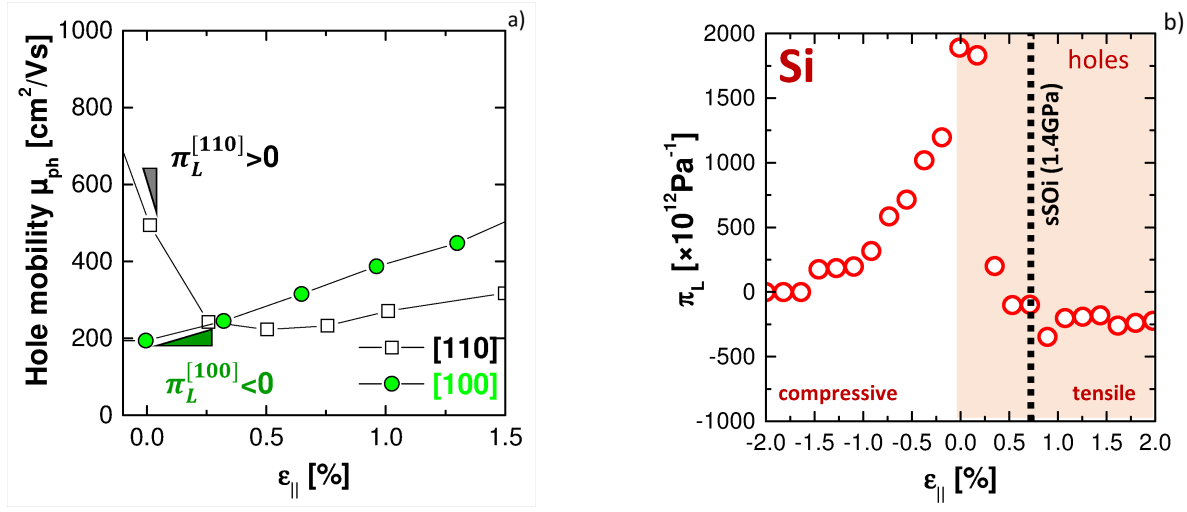


Figure 4.13.: a) Mobilité limitée par les phonons (μ_{ph}) calculée pour des nanofils silicium orientés dans les directions $\langle 110 \rangle$ et $\langle 100 \rangle$ en fonction de la contrainte pour les trous. Ces résultats expliquent qualitativement les valeurs de π_L présentées dans la Figure 4.12a ($d_{Nanofils} = 8nm$). b) Coefficients π_L calculés à partir de μ_{ph} [81] pour un nanofil en fonction d'une déformation uniaxiale le long du canal $\langle 110 \rangle$ variant de -2 à +2 % pour des trous.

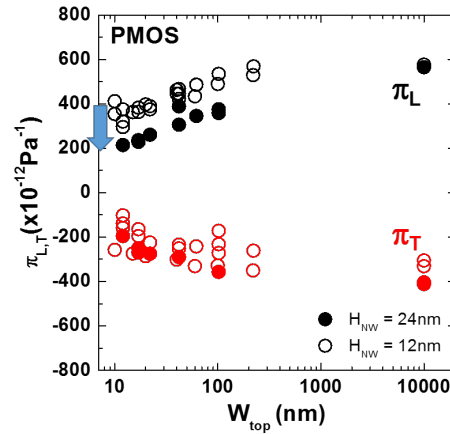


Figure 4.14.: Évolution des coefficients piézorésistifs avec la largeur des nanofils ($L_G = 10\mu m, N_{inv} = 0.8 \times 10^{13} cm^{-2}$) pour deux hauteurs de canal $H_{NW} = 12nm$ (symboles vides) et $H_{NW} = 24nm$ (symboles pleins).

$H_{NW}=24nm$. Comme pour les NMOS, le coefficient π_L est fortement dépendant de H_{NW} pour les nanofils ($W_{top} < 240nm$) : celui-ci diminue lorsque l'épaisseur augmente. Pour les mêmes raisons que pour les NMOS, cet effet est fort probablement dû à l'influence d'une contrainte sur le transport dans les angles. En effet, les interactions avec les phonons sont

de même intensités pour ces deux épaisseurs, la hauteur pour ces valeurs $H_{NW} \gtrsim 10\text{nm}$ n'ayant que peu d'influence sur la structure de bandes de la bande de valence à même confinement latéral en W (Fig. 4.15).

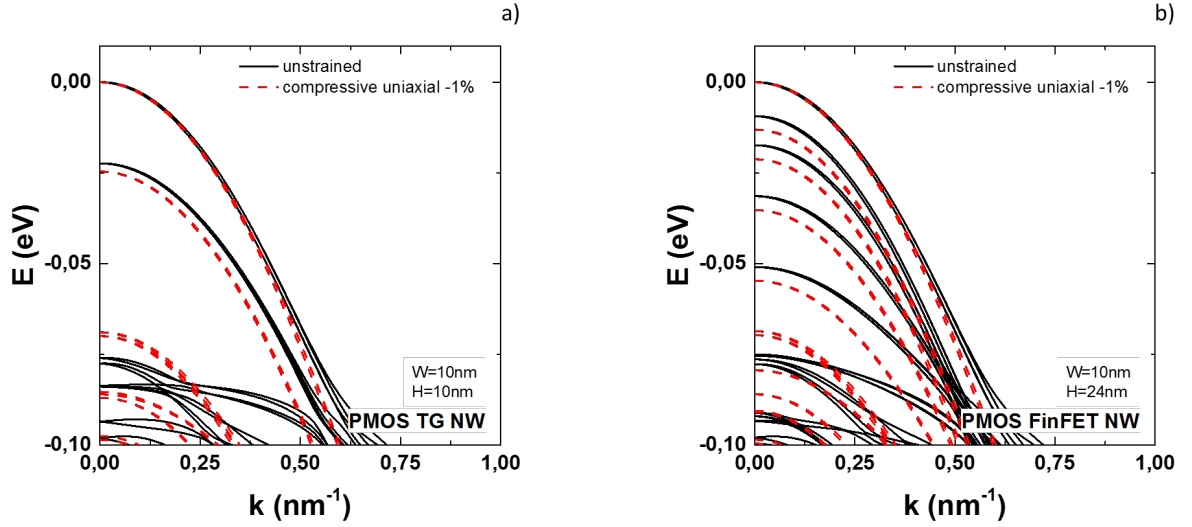


Figure 4.15.: Diagramme d'énergie $E(k)$ calculé pour des nanofils PMOS de largeur $W_{top}=10\text{nm}$ pour deux hauteurs de canal différentes : (a) $H=10\text{nm}$ et (b) $H=24\text{nm}$. Dans les deux cas, la structure de bandes a été calculée sans contrainte (ligne continue noire) et avec une contrainte uniaxiale en compression équivalente à 1% de déformation (ligne pointillée rouge).

Étude des fortes déformations

Dans ce qui suit, nous avons étudié les coefficients piézorésistifs aux fortes déformations tensiles et compressives, par le biais respectivement d'un substrat sSOI et d'une couche de $\text{Si}_{0.8}\text{Ge}_{0.2}$ obtenue par condensation (voir 2.2.1). L'une comme l'autre solutions technologiques permettent d'obtenir des contraintes de l'ordre de 1.4GPa en tension et en compression.

Pour les dispositifs planaires, il a été montré qu'une forte contrainte biaxiale tensile est bénéfique pour la mobilité des trous jusqu'à des densités de porteurs moyennes ($\approx 10^{13}\text{cm}^{-2}$ sur la Figure 4.16a) [17]. En effet, une forte contrainte biaxiale lève la dégénérescence en haut de la bande de valence entre trous lourds et trous légers au profit des trous légers. La plus faible masse de conduction et la réduction des interactions avec les phonons conduisent à l'augmentation de mobilité des trous. Pour des densités plus grandes, l'effet du confinement électrostatique s'oppose à celui de la contrainte et

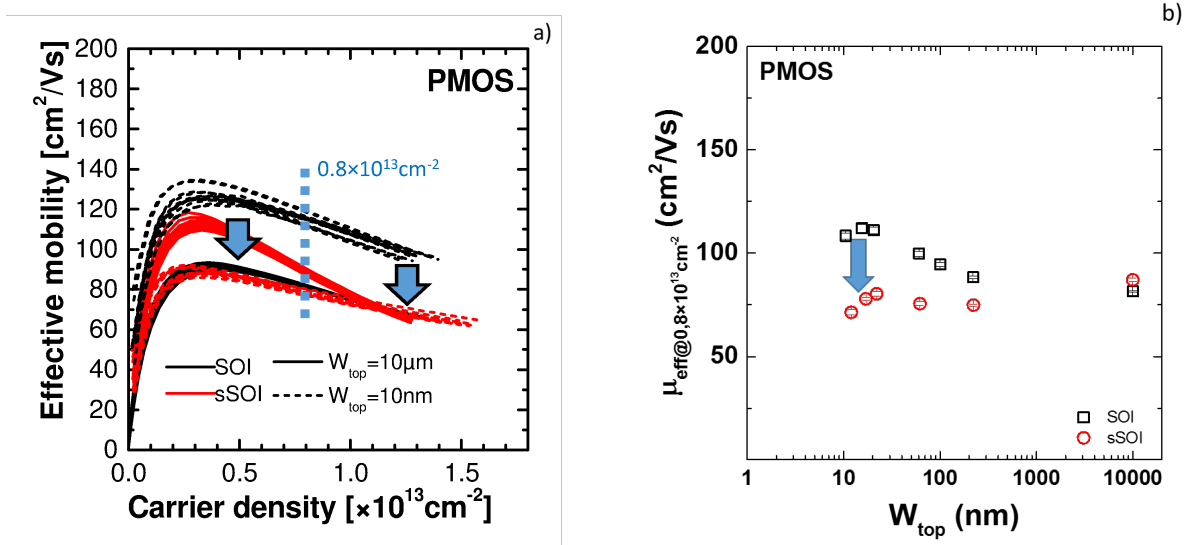


Figure 4.16.: a) Mobilité effective des trous mesurée en fonction de la densité de porteurs en inversion pour des transistors larges ($W_{\text{top}} = 10 \mu\text{m}$) et des transistors nanofils étroits ($W_{\text{top}} = 10 \text{nm}$) fabriqués à partir de substrat SOI (lignes noires) ou sSOI (lignes rouges). b) Évolution de la mobilité effective à $0.8 \times 10^{13} \text{cm}^{-2}$ en fonction de W_{top} pour des dispositifs SOI (symboles en noir) et sSOI (symboles en rouge).

l'écart entre la sous-bande des trous lourds et des trous légers diminue, réduisant ainsi la mobilité. L'utilisation de la technologie sSOI n'est pas favorable au transport dans les dispositifs PMOS nanofils comme le montre la Figure 4.18. Dans ce cas de figure, la contrainte générée par le substrat sSOI est uniaxiale dans la direction $\langle 110 \rangle$. Pour ces nanofils orientés selon $\langle 110 \rangle$, une forte contrainte uniaxiale s'oppose au confinement latéral et ramène la sous-bande des trous lourds en haut de la bande de valence [81]. Pour une déformation autour de 0.75%, la masse effective de conduction des trous est très supérieure à celle des trous sans contrainte (on passe ainsi de $0.13m_0$ à $1.5m_0$ pour des nanofils de diamètre $d = 8 \text{nm}$ [81]), et la mobilité effective est dégradée. Sur la Fig. 4.16a on voit même que tout le gain obtenu par la structure 3D du nanofil disparaît pour des nanofils sSOI.

Si l'intérêt de ces dispositifs nanofils sSOI pour des applications CMOS est restreint, ils permettent néanmoins de mieux comprendre le transport. On voit dans la Figure 4.18a que l'ajout d'une forte contrainte tensile, que celle-ci soit uniaxiale pour les nanofils ou biaxiale pour les transistors larges, réduit le coefficient piézorésistif longitudinal à 0. La variation de la mobilité autour de 0.75% de déformation (déformation générée par le sSOI) est quasi nulle pour les dispositifs orientés en $[110]$. Cette forte chute du coefficient piézorésistif π_L se retrouve dans les calculs issus des simulations de μ_{ph} pour des nanofils

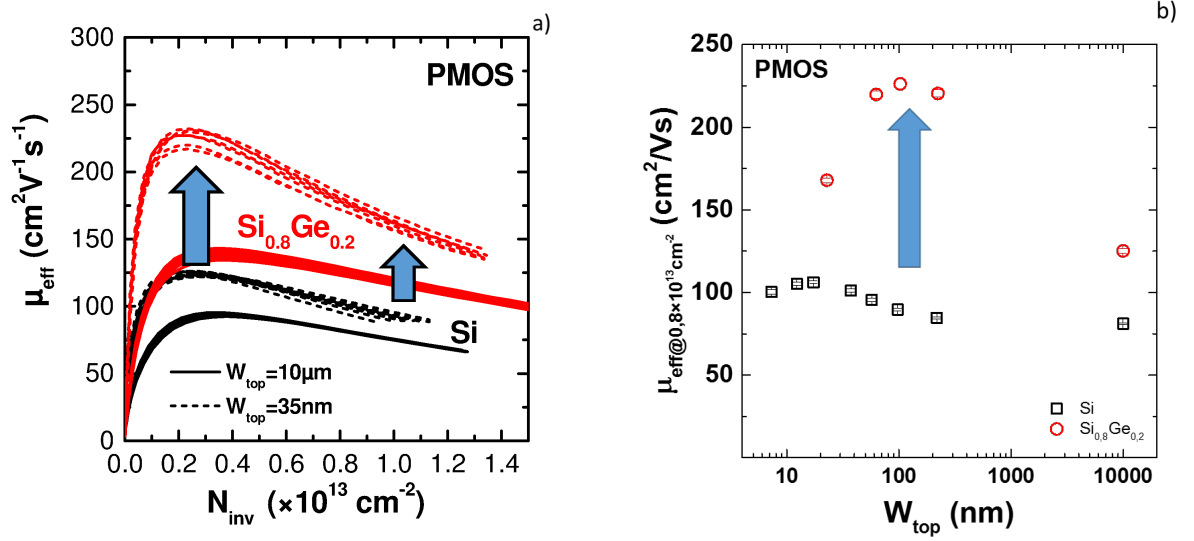


Figure 4.17.: a) Mobilité effective des trous mesurée en fonction de la densité de porteurs en inversion pour des transistors larges ($W_{\text{top}}=10\mu\text{m}$) et des transistors nanofils étroits ($W_{\text{top}}=35\text{nm}$) : canal Si (lignes noires) et canal SiGe (lignes rouges). b) Évolution de la mobilité effective à $0.8 \times 10^{13} \text{cm}^{-2}$ en fonction de W_{top} pour des dispositifs Si (symboles en noir) et SiGe (symboles en rouge).

de diamètre $d=8\text{nm}$ présentés sur la Figure 4.11b, en accord avec les considérations théoriques évoquées précédemment.

Le canal SiGe améliore la mobilité des trous (Fig. 4.17a), mais également les coefficients piézorésistifs des dispositifs planaires PMOS, à la fois π_L et π_T , (voir Fig. 4.18b pour les dispositifs avec $W_{\text{top}} = 10\mu\text{m}$) comparé à un canal Si [21, 28, 84, 115]. Pour ces dispositifs le canal est en compression biaxiale avec $\sigma_{\text{biaxial}}=1.4\text{GPa}$. Il a été montré que le coefficient π_L , pour une contrainte uniaxiale supplémentaire dans la direction $\langle 110 \rangle$, augmente avec la composition de Ge jusqu'à un maximum pour $x_{\text{Ge}}=0.2$ [21], en raison de l'effet de cisaillement qui est amplifié par la contrainte biaxiale initiale du substrat SiGe [114, 115]. De plus, la contribution biaxiale $\pi_L + \pi_T$ augmente également linéairement avec x_{Ge} , *i.e.* avec la contrainte biaxiale. Cependant, les coefficients π_L et π_T sont de signes opposés, l'impact d'une contrainte compressive biaxiale sur la mobilité est donc limité. Ces effets combinés conduisent aux valeurs mesurées.

La Figure 4.18b montre que cette amélioration des coefficients π_L et π_T est réduite pour les canaux étroits. Les coefficients piézorésistifs des nanofils Si et SiGe redeviennent quasiment égaux pour $W_{\text{top}} < 100\text{nm}$. Pour les nanofils en forte compression uniaxiale on ne retrouve pas de coefficient π_L plus grand que pour le Si non contraint. L'effet amplifié

du cisaillement a disparu. Les coefficients piézorésistifs π_L et π_T du SiGe étant toujours plus grands que ceux du Si, quelle que soit l'orientation de la surface de conduction (100) ou (110) [28], c'est plutôt bien un effet de la structure 3D qui réduit ici l'effet piézorésistif du SiGe. Néanmoins, les valeurs pour les nanofils les plus étroits ($\pi_L = 300 \times 10^{-12} Pa^{-1}$) continuent d'assurer un fort effet d'une contrainte compressive uniaxiale au moins jusqu'à 1.4GPa. La Figure 4.17 montre même que le gain SiGe *vs.* Si est plus important pour les nanofils (donc en contrainte *uniaxiale* compressive) que pour les transistors planaires (donc en contrainte *biaxiale* compressive), du fait que le coefficient π_L a plus d'impact que la contribution biaxiale $\pi_L + \pi_T$. De plus, on conserve un gain en mobilité dû à la masse effective de conduction plus faible pour le SiGe [23, 47].

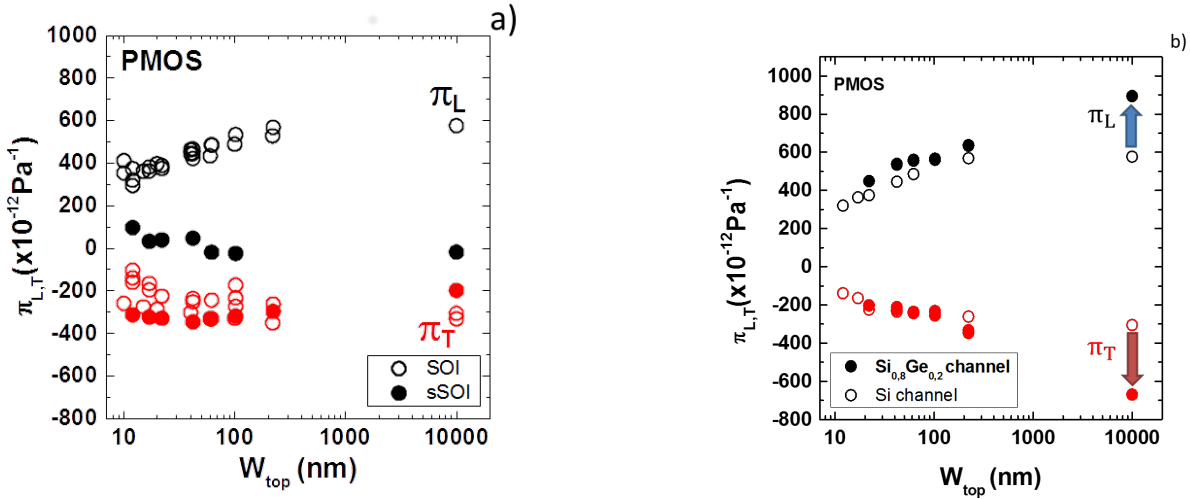


Figure 4.18.: Coefficients piézorésistifs π_L et π_T mesurés en fonction de W_{top} pour des dispositifs PMOS avec deux types de fortes contraintes : SOI *vs.* sSOI (a) contraintes tensiles et SOI *vs.* SiGe (b) contraintes compressives. ($L_G = 10\mu m$, $N_{inv} = 0.8 \times 10^{13} cm^{-2}$)

Conclusion

Les mesures piézorésistives sur les dispositifs PMOS montrent une diminution des coefficients piézorésistifs pour une largeur de canal inférieure à 100nm, et une augmentation quand la hauteur du canal diminue. Comme pour les transistors NMOS, l'origine de cette dépendance avec la géométrie est probablement la présence d'une densité de porteurs plus importante dans la région proche des angles. L'orientation $\langle 100 \rangle$ change le signe du coefficient piézorésistif π_L indiquant un gain de mobilité possible pour une contrainte tensile uniaxiale pour des nanofils dans cette orientation. Les mesures des dispositifs avec

une forte contrainte tensile ou compressive ont permis, d'une part, pour les contraintes tensiles, de renforcer les résultats de simulations et la théorie en les comparant aux résultats expérimentaux. Et d'autre part, de montrer que les contraintes compressives augmentent fortement la mobilité (+80%) pour les nanofils sous l'effet combiné de la réduction de la masse effective de conduction (dans le cas d'un canal SiGe) et de la contrainte uniaxiale compressive.

4.4. Modèle semi-analytique des coefficients piézorésistifs pour des transistors TriGate

Un modèle semi-analytique des coefficients piézorésistifs pour les transistors triple-grilles a été dérivé du modèle de mobilité présenté dans le chapitre précédent. Il repose sur l'équation suivante :

$$\frac{\Delta\mu_{TG}}{\mu_{TG}} = \frac{\Delta\mu_{top}}{\mu_{top}} \cdot \frac{1}{1 + \frac{2H}{W} \cdot \frac{\mu_{side}}{\mu_{top}}} + \frac{\Delta\mu_{side}}{\mu_{side}} \cdot \frac{1}{1 + \frac{W}{2H} \cdot \frac{\mu_{top}}{\mu_{side}}} \quad (4.22)$$

On peut simplifier cette équation en utilisant $\Delta\mu_{total}/\mu_{total} = -\pi_{total} \times \sigma$, $\Delta\mu_{top}/\mu_{top} = -\pi_{top} \times \sigma$ et $\Delta\mu_{side}/\mu_{side} = -\pi_{side} \times \sigma$, pour obtenir :

$$\pi_{total} = \frac{\pi_{top}}{1 + \frac{2H_{NW}}{W_{top}} \cdot \frac{\mu_{side}}{\mu_{top}}} + \frac{\pi_{side}}{1 + \frac{W_{top}}{2H_{NW}} \cdot \frac{\mu_{top}}{\mu_{side}}} \quad (4.23)$$

On peut ainsi modéliser le coefficient piezorésistif d'un dispositif multi-grilles à l'aide de la mobilité des surfaces de conduction, des dimensions du canal et des coefficients piézorésistifs des surfaces de conduction. Cette expression permet d'ajuster les courbes expérimentales représentant les coefficients $\pi_{L,T}$ en fonction de W_{top} . En pratique, les mobilités μ_{side} et μ_{top} sont estimées à l'aide du modèle de mobilité décrit au Chap. ??, et les coefficients piézorésistifs $\pi_{L,T}$ sont les paramètres d'ajustement. Comme précédemment, la mobilité de la surface supérieure est la mobilité mesurée sur les dispositifs large $W_{top} = 10\mu m$. La mobilité des surfaces latérales μ_{side} est donnée par l'ajustement des courbes de μ_{eff} vs. W_{top} extrapolé en $W_{top} \Rightarrow 0$. La valeur précise de la mobilité des surfaces latérales n'a cependant qu'un faible impact sur la précision des paramètres piézorésistifs extraits jusqu'à $W_{top}=1nm$ comme le montrent les Figures 4.19a et b. Sur ces figures, nous avons calculé et tracé l'effet d'une augmentation ou d'une diminution de 20% de la mobilité μ_{side} utilisée dans le modèle.

Le tableau 4.6 donne les résultats des paramètres utilisés (π_{top} et π_{side}) pour effectuer l'ajustement aux données expérimentales. On trouve une bonne corrélation entre les données expérimentales et le modèle proposé pour les dispositifs TriGate $H = 11nm$ (Fig. 4.20) et FinFETs $H = 24nm$ (Fig. 4.21) NMOS et PMOS, et sur toute la gamme de largeur de canal de $W_{top}=10\mu m$ à $W_{top}= 10nm$. Dans les Figures 4.22a et b nous avons

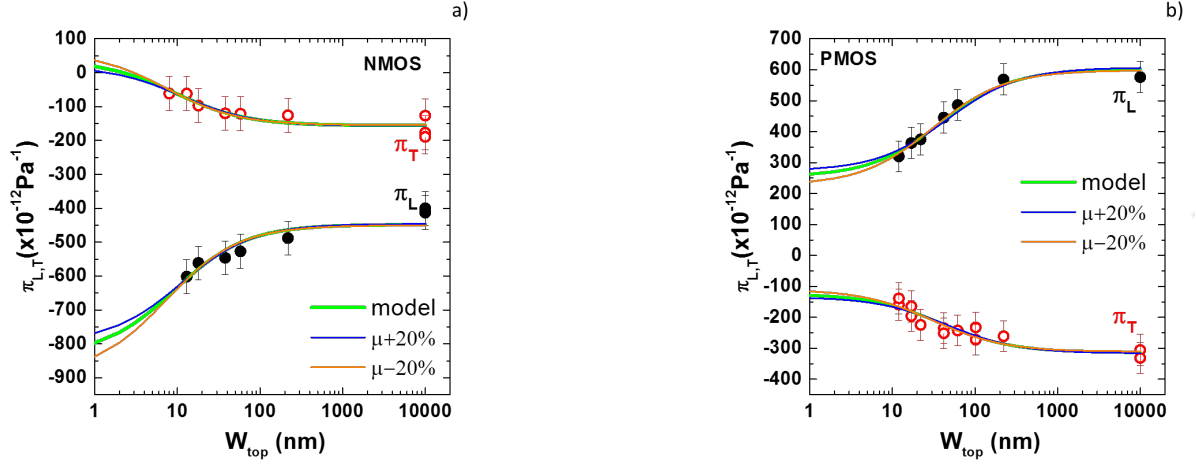


Figure 4.19.: Effet d'une erreur de $\pm 20\%$ sur l'estimation de la mobilité des surfaces latérales μ_{side} dans le modèle piézorésistif proposé. Exemple pour des dispositifs TriGate ($H = 12\text{nm}$) $\langle 110 \rangle$ NMOS (a) et PMOS (b).

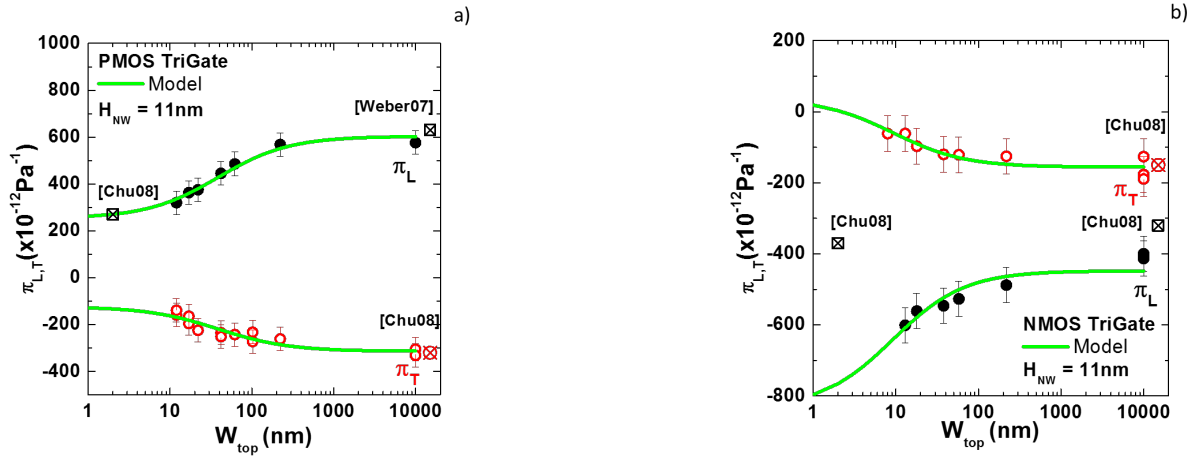


Figure 4.20.: Coefficients piézorésistifs longitudinal π_L (symboles noirs) et transverse π_T (symboles rouges) mesurés en fonction de la largeur du canal W_{top} pour les dispositifs avec une épaisseur de film de 11nm (TriGate) : (a) PMOS, et (b) NMOS (Unités : 10^{-12}Pa^{-1}). Les symboles barrés ($\otimes$) indiquent les valeurs de la littérature pour des MOSFETs Si (100) et (110) planaires (données issues de [30, 115]). Les lignes en gras correspondent au modèle semi-analytique ajusté à nos coefficients piézorésistifs.

identifié une largeur critique en dessous de laquelle la valeur des coefficients piézorésistifs – tout comme la valeur de la mobilité – diffère significativement de celle des dispositifs planaires. Cette largeur critique peut être définie comme la valeur de W correspondant à $\pi_{L,T} = \pi_{L,T}^{top} - (1/3)\Delta\pi_{L,T}$ avec $\Delta\pi_{L,T} = \pi_{L,T}^{top} - \pi_{L,T}^{side}$. Pour les FinFETs et les TriGate

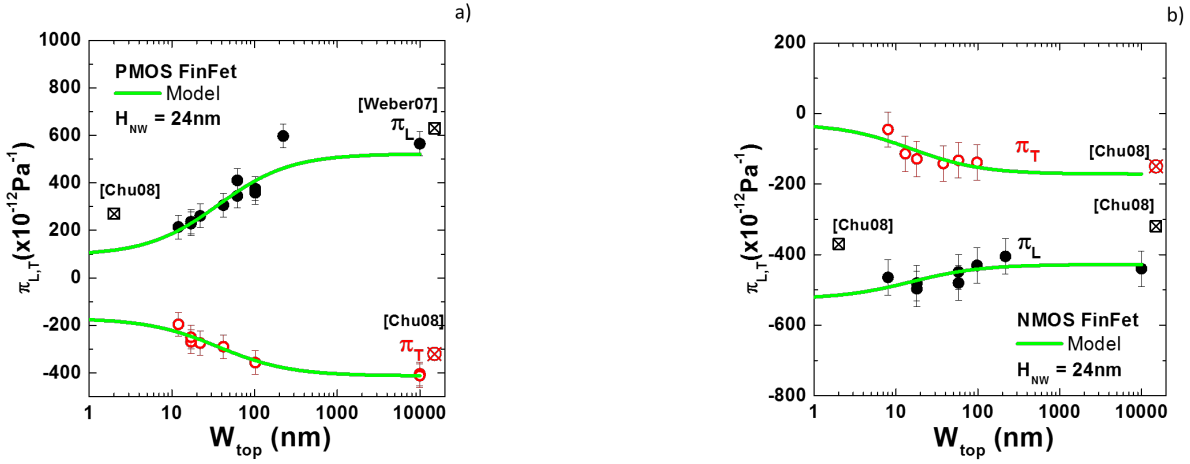


Figure 4.21.: Coefficients piézorésistifs longitudinal π_L (symboles noirs) et transverse π_T (symboles rouges) mesurés en fonction de la largeur du canal W_{top} pour les dispositifs avec une épaisseur de film de 24nm (FinFET) : (a) PMOS, et (b) NMOS (Unités : 10^{-12}Pa^{-1}). Les symboles barrés ($\otimes$) indiquent les valeurs de la littérature pour des MOSFETs Si (100) et (110) planaires (données issues de [30,115]). Les lignes en gras correspondent au modèle semi-analytique ajusté à nos coefficients piézorésistifs.

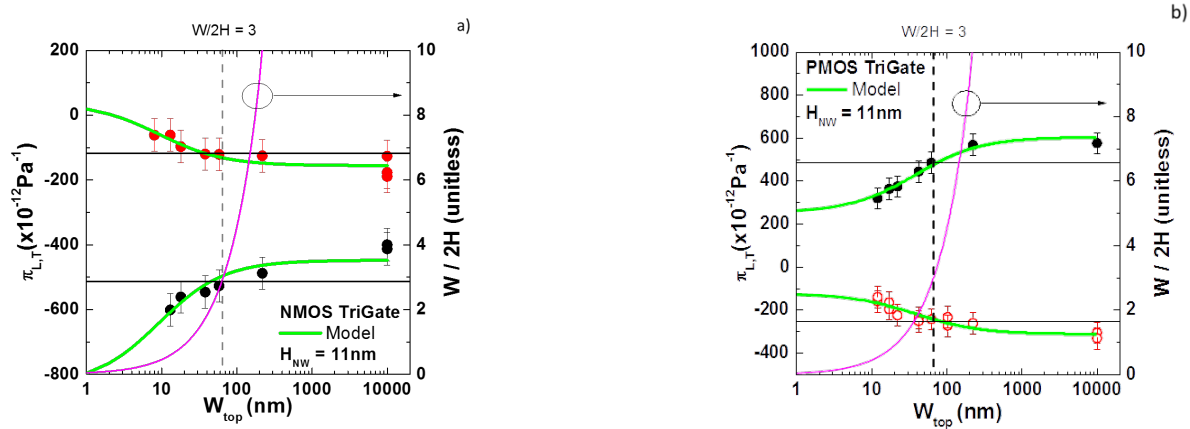


Figure 4.22.: Coefficients piézorésistifs mesurés en fonction de la largeur du canal W_{top} pour des dispositifs NMOS (a) et PMOS (b) avec une épaisseur de $H=24 \text{ nm}$ représentés avec le ratio du profil du canal $W_{top}/2H_{NW}$ (axe Y de droite). La ligne grise pointillée verticale représente la valeur critique de la largeur $W_{top} = 6H_{NW}$ (voir texte)

la valeur critique extraite est $W_{crit} \approx 6H$, *i.e.* $W_{crit} \approx 66 \text{ nm}$ pour les dispositifs avec $H=11 \text{ nm}$ et $W_{crit} \approx 144 \text{ nm}$ pour les dispositifs avec $H=24 \text{ nm}$.

Table 4.6.: Résumé des coefficients piézorésistifs de surface pour les nanofils NMOS et PMOS (Unités : 10^{-12}Pa^{-1}).

NMOS	H=11nm	H=24nm	PMOS	H=11nm	H=24nm
π_L^{top}	-448	-428	π_L^{top}	603	522
π_T^{top}	-156	-172	π_T^{top}	-314	-412
π_L^{side}	-835	-526	π_L^{side}	254	94.4
π_T^{side}	37.9	-28	π_T^{side}	-124	-169

Nos résultats mettent en évidence une différence nette pour les coefficients longitudinaux π_L^{side} entre les dispositifs avec un canal *épais* ($H_{NW} = 24\text{nm}$) et ceux avec un canal plus *mince* ($H_{NW} = 11\text{nm}$), alors que les coefficients de la surface supérieure π_L^{top} sont relativement similaires. Pour les nanofils épais ($H_{NW} = 24\text{nm}$), les coefficients π_L suivent globalement la tendance donnée par l'équation 4.23 avec des valeurs limites de π_L^{side} en accord avec les données reportées dans la littérature pour des MOSFETs silicium avec des surfaces d'inversion (110) [30]. Les nanofils minces quant à eux dévient fortement de cette tendance avec des valeurs bien plus élevées en valeur absolue pour les nanofils ($\pi_L^{side} = -835 \times 10^{-12}\text{Pa}^{-1}$ pour $H_{NW} = 11\text{nm}$ vs. $-526 \times 10^{-12}\text{Pa}^{-1}$ pour $H_{NW} = 24\text{nm}$). Ce résultat souligne une fois de plus les propriétés spécifiques du transport dans les dispositifs triple-grilles mince en lien très probablement avec l'inhomogénéité de la densité de porteurs sur les faces verticales notamment. Ceux-ci montrent une plus grande sensibilité aux contraintes mécaniques que les dispositifs nanofils épais.

Pour les NMOS, cela renforce encore l'intérêt d'introduire une contrainte uniaxiale en tension afin de contrecarrer la dégradation de mobilité inhérente à l'architecture nanofils : l'effet produit est supérieur à celui attendu en considérant le coefficient π_L mesuré pour des transistors planaires.

Pour les PMOS TriGate, ce bénéfice supplémentaire par rapport aux FinFETs permet, pour une contrainte compressive en compression suffisamment élevée, de contrebalancer la part moins importante des flancs verticaux favorable à la mobilité des trous. Cette propriété est illustrée dans la Fig. 4.23 qui compare les performances $I_{on} - I_{off}$ mesurées sur des transistors PMOS avec deux épaisseurs différentes ($H_{NW} = 11\text{nm}$ et 24nm) avec une forte contrainte uniaxiale compressive apportée par les source/drain SiGe aux faibles longueurs de grille [49]. On voit que le gain en performance amené par la forte contrainte uniaxiale (de l'ordre du GPa pour des longueurs inférieures à 100nm) est plus important pour les dispositifs les moins épais. Au final la valeur de I_{on} atteinte à $I_{off} \approx 20\text{nA}/\mu\text{m}$ est identique pour les TriGate et les FinFETs ($I_{on} \approx 660\mu\text{A}/\mu\text{m}$ à $V_G = V_D = 0.9\text{V}$). Ce résultat souligne l'intérêt d'une architecture TriGate par rapport à l'architecture FinFET

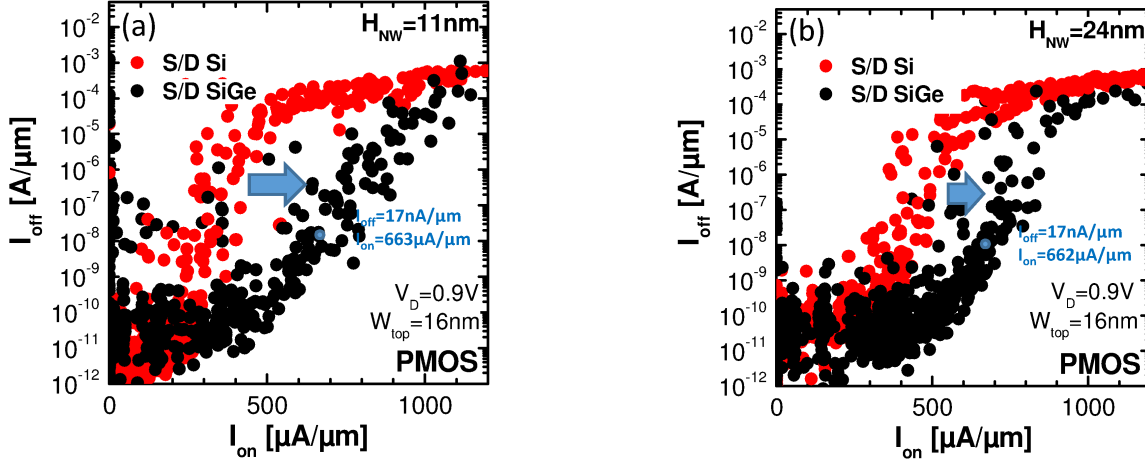


Figure 4.23.: Caractéristiques I_{on}/I_{off} pour des dispositifs PMOS étroits ($W_{top}=16nm$) avec des source/drain Si (symboles rouges) et SiGe (symboles noirs). Deux épaisseurs sont comparées : (a) $H_{NW} = 11nm$, et (b) $H_{NW} = 24nm$. Mesures à $V_G = V_D=0.9V$.

dans l'ingénierie des contraintes. On peut ainsi supposer que des dispositifs nanofils contraints, de faible épaisseur ($H=12nm$), empilés les uns sur les autres, fourniraient des performances bien supérieures à un seul dispositif FinFET d'une hauteur équivalente à l'empilement.

4.5. Étude du comportement piézorésistif pour les faibles longueurs de grille

Pour étudier le comportement piézorésistif des transistors à longueur de grille courte ($L < 200nm$) il est nécessaire de corriger le courant de drain des résistances d'accès R_{SD} non négligeables pour de telles dimensions, afin d'isoler l'effet d'une contrainte sur le transport dans le canal. Pour ce faire plusieurs méthodes ont été étudiées et discutées dans cette section.

4.5.1. Fonction Y

Comme présenté au chapitre précédent, la fonction Y est une expression analytique du courant qui permet d'obtenir des valeurs de certains paramètres physiques du transistor.

On peut notamment extraire la mobilité effective à partir des mesures de courant $I_d(V_G)$. Cependant, cette méthode a une incertitude élevée due aux nombreux calculs et ajustements nécessaires à sa mise en place. L'erreur commise sur l'extraction de la mobilité ($> 10\%$) est trop grande par rapport à la variation de mobilité que nous voulons mesurer : $\approx 1\%$ par pas de 25MPa. La mobilité mesurée par la fonction Y est la mobilité *extrapolée* à champ nul μ_0 qui n'a pas de réalité physique. Il est nécessaire de reconstruire la mobilité effective à partir des trois paramètres extraits par la fonction Y, tout en prenant garde de déduire l'effet de la résistance d'accès du paramètre θ_1 :

$$\theta_1^* = \theta_{1,0} + \beta R_{SD} \quad (4.24)$$

$$\mu_0 = \frac{\beta \times L_{eff}}{W_{eff} \times C_{ox}} \quad (4.25)$$

$$\mu_{eff} = \frac{\mu_0}{1 + \theta_{1,0} V_{GT} + \theta_2 V_{GT}^2} \quad (4.26)$$

pour ensuite calculer la variation de mobilité avec la contrainte $\Delta\mu_{eff}/\mu_{eff,0}$.

4.5.2. Méthode différentielle

La méthode décrite par Roux dit Buisson et al. [96] et reprise par C. Gallon et al. [50] permet d'extraire les coefficients piézorésistifs pour de faibles longueurs de grille. Nous l'avons appliquée à nos mesures en fonction de la longueur de grille. Cette méthode est basée sur la correspondance entre variation de courant I_D corrigé des R_{SD} et variation de tension V_G via l'équation ci-dessous :

$$\Delta V_G = \frac{\Delta I_D}{g_m} = -\Delta V_t + \frac{I_{d,0}}{g_m} \times \frac{\Delta\mu}{\mu} \quad (4.27)$$

où ΔI_D est la variation de courant de drain avec la contrainte ($\Delta I_D = I_{D, stress} - I_{D,0}$), $I_{D,0}$ le courant de drain sans contrainte, g_m la transconductance, ΔV_t la variation de tension de seuil avec la contrainte, et $\Delta\mu/\mu$ la variation relative de mobilité.

Cette équation nous permet d'accéder à la variation relative de mobilité avec la contrainte en traçant la courbe de ΔV_G en fonction de $I_{d,0}/g_m$. Un exemple est donné ci-dessous (Fig 4.24) : Cette méthode permet de réduire fortement les étapes nécessaires à l'obtention du coefficient piézorésistif puisque seule la valeur de la résistance d'accès (obtenue à partir de la fonction Y) est utilisée pour corriger le courant I_D . Elle est également sensible aux faibles variations de mobilité avec le stress car le terme $\Delta\mu/\mu$ est amplifié par le terme $I_{d,0}/g_m$ qui devient grand en forte inversion. Les valeurs de R_{SD} utilisées ici (issues de

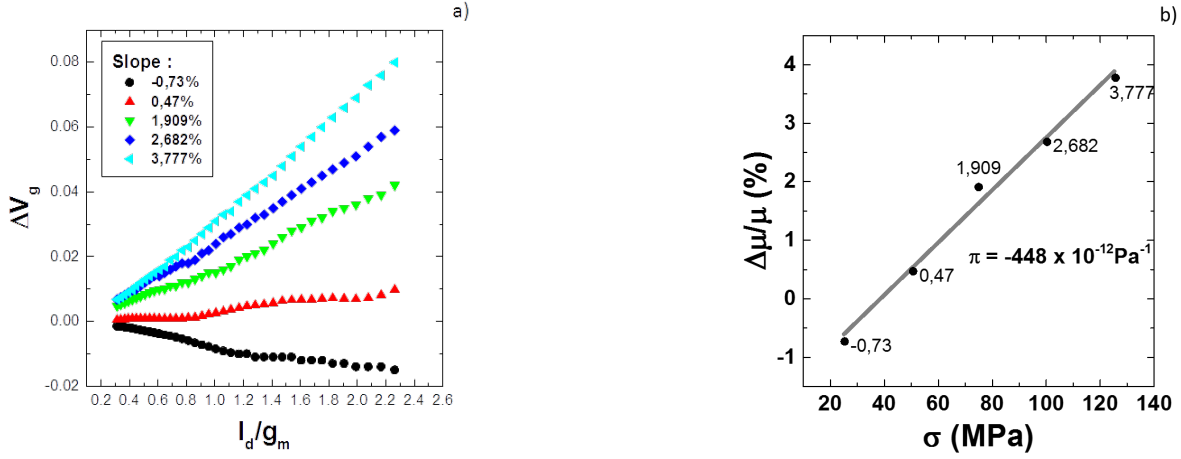


Figure 4.24.: a) Représentation du calcul des valeurs de ΔV_g et I_d/g_m en fonction de la contrainte appliquée (0 en noir à 125 MPa en cyan). b) Calcul du coefficient piézorésistif à partir des résultats obtenus dans la figure a).

la fonction Y en faisant l'hypothèse de $R_{SD}=\text{cte}$) sont plutôt sous-estimées par rapport aux valeurs théoriques attendues (cf. chapitre précédent). L'erreur commise sur la valeur de la résistance d'accès va dans ce cas conduire à sous-estimer également la valeur du coefficient piézorésistif. L'hypothèse ici est que la variation de R_{SD} avec la contrainte appliquée est négligeable, et l'ensemble de la variation observée avec la contrainte est attribuée au canal.

4.5.3. Résultats expérimentaux

Faibles longueurs de grille

Les mesures des coefficients piézorésistifs en fonction de la longueur de grille ont été réalisées pour nos dispositifs planaires et nanofils. Les coefficients ont été extraits à l'aide de la méthode différentielle décrite dans la partie précédente. La Figure 4.25 montre l'évolution des coefficients piézorésistifs π_L (Fig. 4.25a) et π_T (Fig. 4.25b) avec la longueur de grille pour des dispositifs NMOS planaires ($W_{top} = 10\mu m$) et des dispositifs nanofils ($W_{top} \approx 20nm$). Pour les dispositifs planaires, les deux coefficients diminuent fortement avec la longueur de grille, en particulier en dessous de $L_G = 100nm$ (π_L est ainsi divisé par pratiquement 4), réduisant d'autant l'efficacité d'une contrainte uniaxiale. Il faut noter cependant que cette réduction est peut être surestimée compte-tenu des corrections de R_{SD} à effectuer. Pour les dispositifs nanofils, la réduction des coefficients avec L_G est

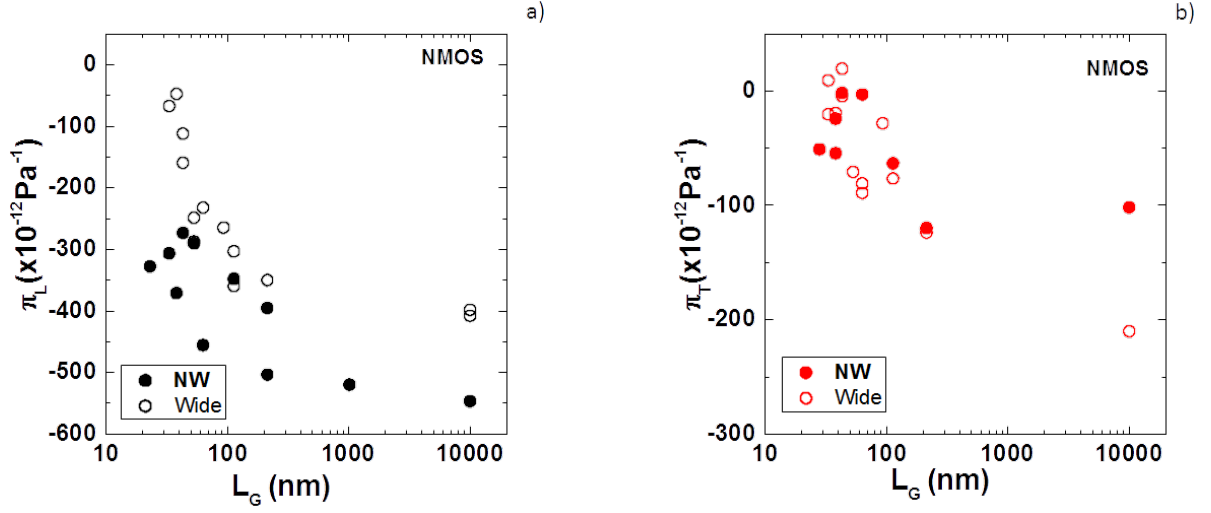


Figure 4.25.: Coefficients piézorésistifs π_L (a) et π_T (b) pour des dispositifs NMOS planaires (symboles vides, $W_{top}=10\mu m$) et nanofils (symboles pleins, $W_{top}=38nm$) extrait en fonction de la longueur de grille L_G

moindre. On conservera donc un plus fort effet de la contrainte tensile longitudinale sur de tels dispositifs ($\pi_L = -300 \times 10^{-12} Pa^{-1}$ pour $W_{top} = 23nm$).

La Figure 4.26 montre l'évolution des coefficients piézorésistifs π_L (Fig. 4.26a) et π_T

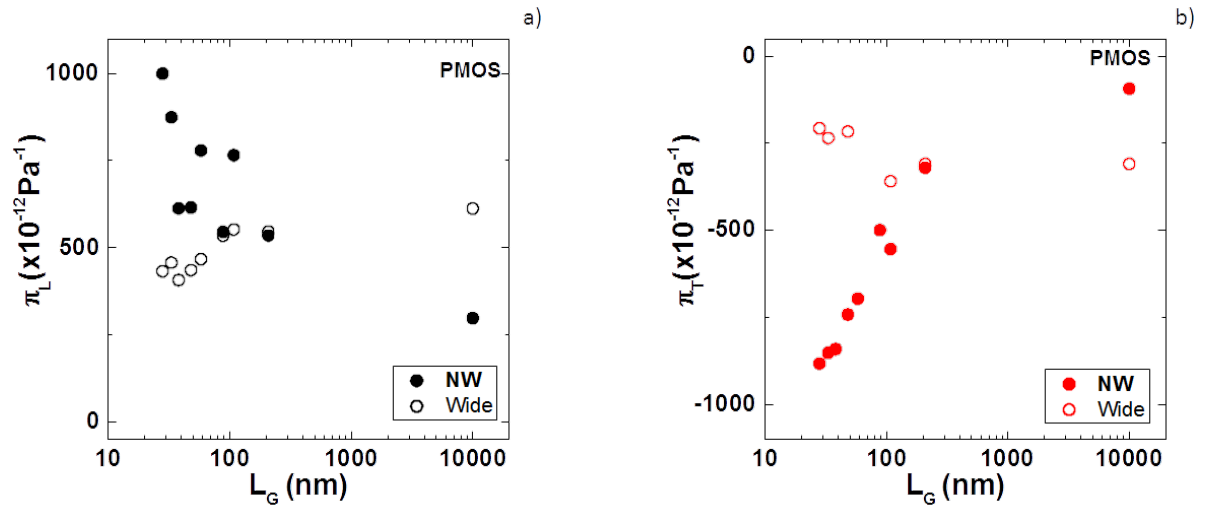


Figure 4.26.: Coefficients piézorésistifs π_L (a) et π_T (b) pour des dispositifs PMOS planaires (symboles vides, $W_{top}=10\mu m$) et nanofils (symboles pleins, $W_{top}=12nm$) en fonction de la longueur de grille L_G

(Fig. 4.26b) avec la longueur de grille pour des dispositifs PMOS planaires et des dispositifs nanofils. Contrairement aux NMOS, les deux coefficients π_L et π_T diminuent faiblement

avec L_G pour les dispositifs planaires. Ils permettent de conserver une forte amélioration de la mobilité pour des dispositifs avec des dimensions agressives *via* les contraintes compressives. Pour les dispositifs nanofils, la tendance est inversée. Les deux coefficients π_L et π_T augmentent fortement avec la diminution de longueur de grille L_G . On mesure une valeur record de $p_L \approx 1000 \times 10^{-12} \text{Pa}^{-1}$ pour les grilles les plus courtes, ce qui montre le fort potentiel des contraintes compressives uniaxiales pour des dispositifs PMOS nanofils.

Ces variations importantes de coefficients piézorésistifs avec L_G pour les nanofils ne sont pour l'instant pas expliquées théoriquement, et suggèrent un effet non négligeable des contraintes mécaniques sur les zones à proximité des source/drain qui régissent en grande partie le transport dans les dispositifs courts [16, 53] en lien avec l'architecture 3D des nanofils.

Fortes contraintes

Nous avons étudié ce comportement piézorésistif particulier des PMOS pour les fortes contraintes compressives avec des dispositifs à grille courte. Ces fortes contraintes sont générées soit par le canal SiGe soit par les source/drain SiGe.

Pour les dispositifs planaires, nous avons vu que le canal SiGe induit un plus grand

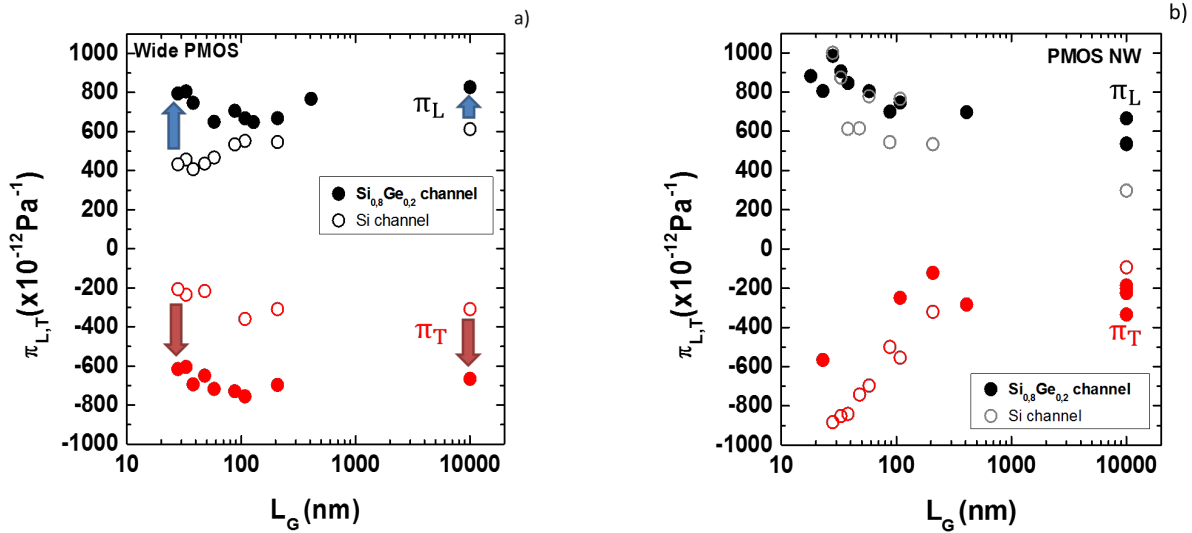


Figure 4.27.: Coefficients piézorésistifs π_L (noir) et π_T (rouge) en fonction de la longueur de grille L_G pour des dispositifs PMOS planaires ($W_{top} = 10\mu\text{m}$, figure a) et nanofils ($W_{top} = 42\text{nm}$ pour les canaux SiGe et $W_{top} = 12\text{nm}$ les canaux Si, figure b). Les résultats pour les transistors avec un canal Si (symboles vides) et un canal $\text{Si}_{0.8}\text{Ge}_{0.2}$ (symboles pleins) sont comparés.

effet piézorésistif, à la fois pour π_L et π_T , comparé aux coefficients pour des dispositifs Si. La Figure 4.27a montre que cet effet est conservé pour les faibles longueurs de grille. Comme pour les dispositifs longs, cette différence disparaît pour les nanofils ($\pi_L = 1000 \times 10^{-12} \text{Pa}^{-1}$ pour les nanofils Si et SiGe, Fig. 4.27b). On retrouve la même forte augmentation de π_L et π_T aux faibles longueurs de grille.

Les S/D SiGe créent une contrainte compressive qui augmente avec la diminution de la

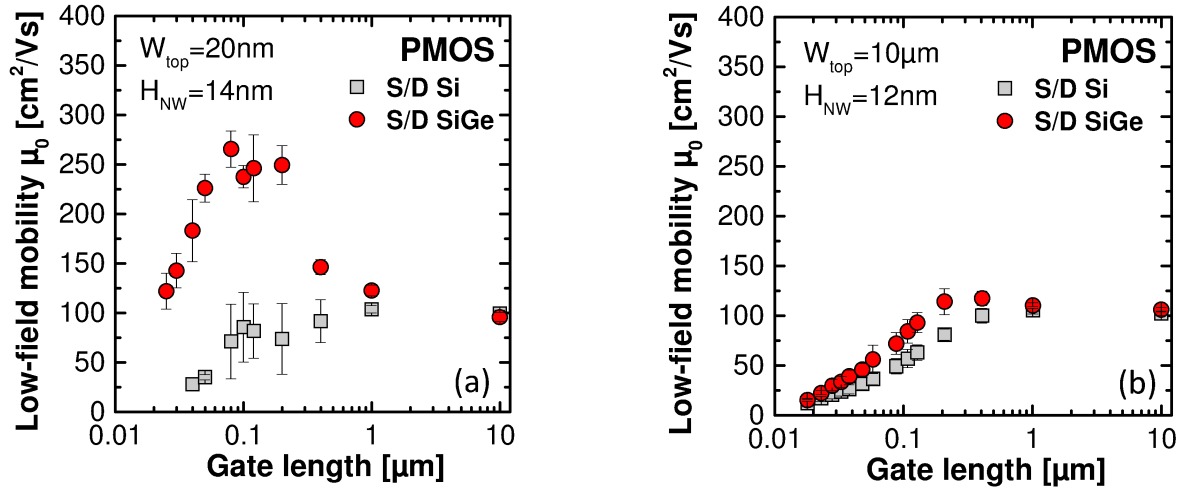


Figure 4.28.: a) Mobilité des trous à champ faible μ_0 extraite par la méthode de la fonction Y en fonction de la longueur de grille pour des dispositifs avec des S/D Si (symboles gris) et des S/D SiGe (symboles rouges) : (a) transistors nanofils ($W_{\text{top}}=20\text{nm}$), et (b) transistors planaires larges ($W_{\text{top}}=10\mu\text{m}$).

longueur de grille. Cette contrainte apparaît pour des longueurs de grille inférieures à environ 500nm, et peut atteindre une valeur de l'ordre du GPa pour les longueurs de grilles les plus faibles [104,113] (voir chapitre 2). En conséquence, la mobilité des porteurs augmente fortement pour les longueurs de grille faibles, comme illustré sur la Figure 4.28. On observe même un gain en mobilité, dû à cette contrainte uniaxiale compressive, plus grand pour les transistors nanofils que pour les transistors planaires, en accord avec les coefficients π_L à une longueur donnée mentionnés plus haut. La Figure 4.29 compare les valeurs des coefficients π_L et π_T extrait en fonction de la longueur de grille pour des transistors planaires et nanofils avec ou sans S/D SiGe. Pour les transistors FDSOI larges, les coefficients suivent la même tendance entre S/D Si (donc sans contrainte) et S/D SiGe (donc avec une contrainte uniaxiale) quelle que soit la longueur de grille $L_G < 100\text{nm}$. Ce résultat démontre que le gain en mobilité des trous dû à une contrainte uniaxiale compressive continue de croître même aux fortes déformations, soulignant encore l'intérêt de cette contrainte pour améliorer les performances des PMOS [42, 83, 117]. Pour les

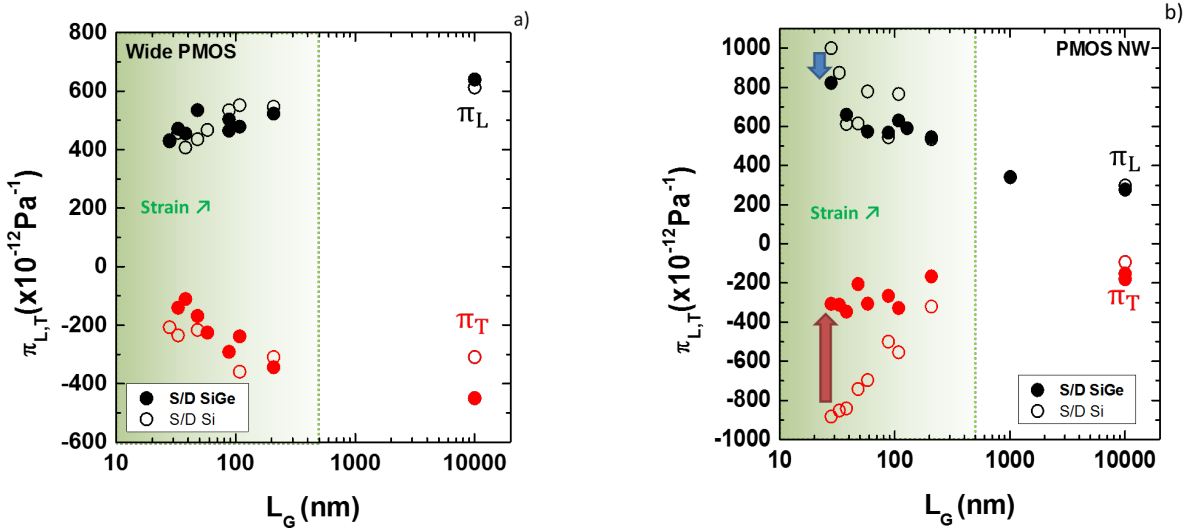


Figure 4.29.: Coefficients piézorésistifs π_L (noir) et π_T (rouge) en fonction de la longueur de grille L_G pour des dispositifs PMOS planaires ($W_{top} = 10\mu m$, figure a) et nanofils ($W_{top} = 12nm$, figure b). Les résultats pour les transistors avec un canal Si (symboles vides) et un canal $Si_{0.8}Ge_{0.2}$ (symboles pleins) sont comparés.

nanofils, π_L et π_T diminuent légèrement pour les fortes déformations (voir Fig. 4.29b, avec $L_G < 100nm$) en accord qualitatif avec les calculs théoriques pour de forts niveaux de contraintes (voir Fig. 4.13b).

On peut noter que la différence entre les deux cas de fortes contraintes compressives (canal SiGe et S/D SiGe) suggère que les propriétés piézorésistives des canaux SiGe en compression sont gouvernées par la composition en Ge (effet sur la masse effective de transport, structure de bande différente...) plutôt que par le niveau de contrainte apporté.

4.6. Effet piézorésistif en régime de saturation

En régime de saturation, le lien entre gain en mobilité des porteurs – mesurée à champ électrique latéral faible – et courant de drain à l'état ON est plus complexe. Plusieurs études ont montré que, bien que le champ latéral dans les MOSFETs de petites dimensions soit largement au-dessus du champ correspondant à la saturation de la vitesse des porteurs, la mobilité à faible champ μ_0 est toujours d'une importance cruciale pour l'amélioration du courant de drain en régime de saturation [51, 69, 70, 94].

Nous avons conduit une étude phénoménologique de l'effet d'une contrainte mécanique

sur un transistor en régime de saturation (*i.e.* à $V_d = 0.9V$). Cette étude permet d'évaluer l'utilisation des contraintes pour les transistors qui sont, en pratique, utilisés à fort champ (typiquement $V_g = V_d = 0.9V$ pour les noeuds technologiques 14nm). Un coefficient similaire au coefficient piézorésistif (π^*) peut être défini de manière à comparer les résultats de cette étude aux coefficients piézorésistifs mesurés avec une tension de drain faible ($V_d = 40mV$) par l'équation suivante :

$$\frac{I_{dsat}(\sigma) - I_{dsat}(\sigma = 0)}{I_{dsat}(\sigma = 0)} = -\pi^* \sigma \quad (4.28)$$

Les valeurs des coefficients ainsi extraits sont présentées dans les Figures 4.30a et b. Pour les dispositifs longs, on constate que les coefficients tracés en fonction de W_{top} sont identiques à ceux extraits en régime linéaire (Fig. 4.30). Pour ces longueurs, la corrélation entre la mobilité et le courant I_{ON} est de 100% car le champ électrique latéral est suffisamment faible pour que la vitesse des porteurs soit proportionnelle à la mobilité. Lorsque L diminue, ces coefficients diminuent très fortement à la fois pour les NMOS

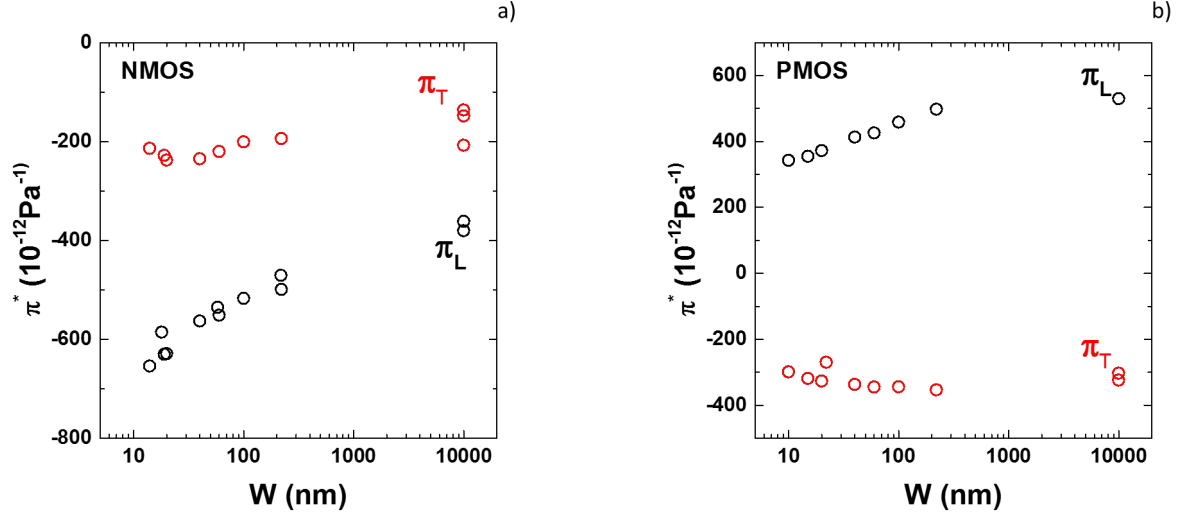


Figure 4.30.: Coefficients $\pi_{L,T}^*$ calculés à partir des mesures de courant de drain en saturation en fonction de la largeur de canal W_{top} pour des dispositifs longs ($L = 10\mu m$) NMOS (a) et PMOS (b).

et les PMOS, quelle que soit la largeur W_{top} du canal. L'origine de cette diminution est double. Tout d'abord en régime de saturation, le courant de drain est limité par les résistances d'accès S/D, limitant ainsi l'effet du gain en mobilité par la contrainte sur le courant total. Ensuite, l'effet d'une contrainte mécanique sur la vitesse limite des porteurs en régime de saturation – qui peut être la vitesse de saturation des porteurs dans le

silicium ou la vitesse thermique [48]– peut être très différent de l'effet des contraintes sur la mobilité. Néanmoins, les tendances observées en fonction de W_{top} et L reste identiques. De plus, un gain en courant de drain (I_{ON}) est conservé, même si celui-ci est amoindri par rapport au gain en mobilité. Nous avons tracé les variations du courant de drain avec la contrainte en régime de saturation et en régime linéaire pour les dispositifs NMOS (Fig. 4.31) et PMOS (Fig. 4.32) et pour deux longueurs de grilles (longues et courtes) [70]. On retrouve la corrélation de 100% entre le courant linéaire et le courant de saturation pour les grilles longues, cependant on voit cette corrélation diminuer à 75% pour les dispositifs NMOS à grilles courtes et jusqu'à 50% pour les dispositifs PMOS. Tous les résultats montrés à partir des coefficients piézorésistifs en régime linéaire se retrouvent sur les performances des transistors à grilles longues, et dans une mesure plus réduite sur les transistors à grilles courtes.

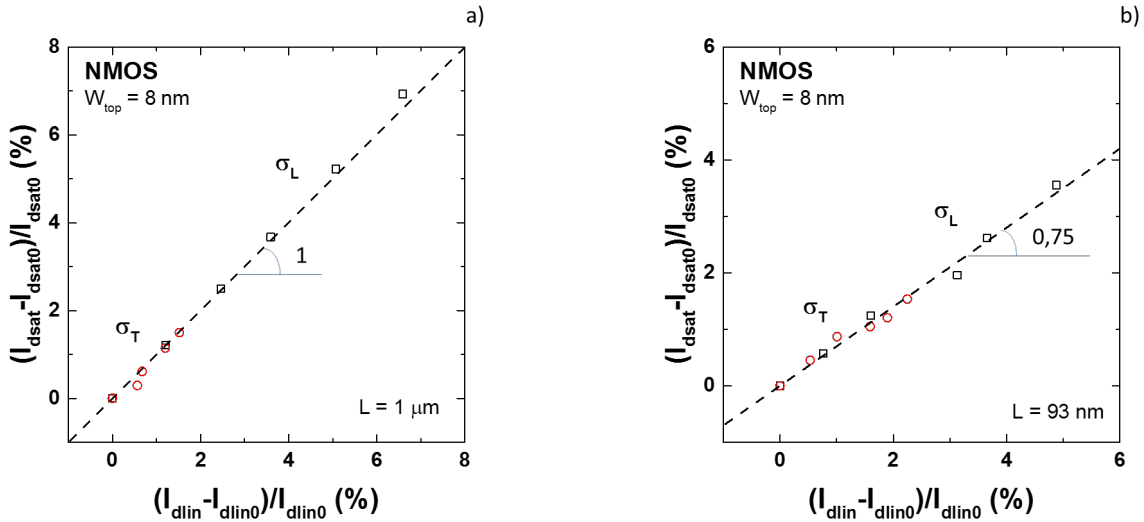


Figure 4.31.: Variation du courant de drain en régime de saturation en fonction de la variation du courant de drain en régime linéaire mesurées à $V_g = 1V$. Les mesures pour des contraintes parallèles au canal (carrés noirs) et perpendiculaires (ronds rouges) sont représentées pour des dispositifs NMOS nanofils à canaux longs (a) et courts (b).

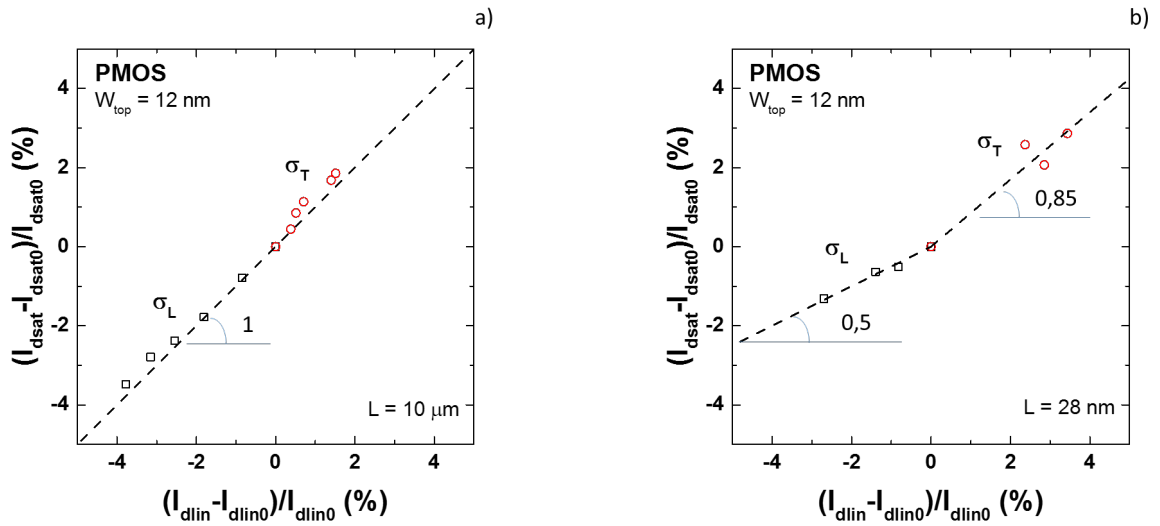


Figure 4.32.: Variation du courant de drain en régime de saturation en fonction de la variation du courant de drain en régime linéaire mesurées à $V_g = 1 \text{ V}$. Les mesures pour des contraintes parallèles au canal (carrés noirs) et perpendiculaires (ronds rouges) sont représentées pour des dispositifs PMOS nanofils à canaux longs (a) et courts (b).

Chapitre 5.

Conclusions et perspectives

Ces travaux de thèse ont permis de montrer un effet de la géométrie du transistor, notamment sur la distribution des porteurs dans le canal, qui affecte fortement la mobilité et les coefficients piézorésistifs. Les mesures avec de fortes contraintes compressives et tensiles montrent des axes d'améliorations possible des performances des transistors : par exemple avec des nanofils contraints empilés. Les modèles semi-analytiques de la mobilité et des coefficients piézorésistifs ont été confrontés aux résultats expérimentaux et permettent de représenter les résultats de manière satisfaisante jusqu'à des dimensions nanométriques. Néanmoins, la prise en compte de l'inhomogénéité de la densité de porteurs dans le canal les rendrait plus performants ([121], annexe B).

Nos mesures ont aussi permis au laboratoire de simulation de valider et d'améliorer leurs modèles en se basant sur les valeurs expérimentales qui ont été récoltées durant cette thèse, on peut citer notamment une publication par L. Bourdet *et al.* dans le Journal of Applied Physics sur la simulation des résistances de contact dans les nanofils [19]. Au delà des valorisations scientifiques, les simulations donnent aussi accès à un niveau de compréhension plus élevée des phénomènes physiques. Nous avons pu mettre à jour notamment l'effet de la concentration des porteurs dans la région proche des angles des dispositifs multi-grilles. Les variations de mobilités avec les dimensions du canal (notamment W) ne se retrouvent pas avec les simulations. La mobilité limitée par la rugosité de surface, qui est un paramètre de fit dans les simulations, et les différents potentiels (déformation hydrostatique a_c , déformation déviateur Ξ_u , déformation Ξ_d) ont un large panel de valeurs propres à chaque simulations (notamment Ξ_u peut varier de -10eV à $+10\text{eV}$ suivant les auteurs) et ne sont apparemment pas adaptés pour simuler une large gamme de géométrie.

Les modèles compacts et de TCAD incluent l'effet des contraintes sur le courant et la tension de seuil généralement de manière empirique [25]. Ils n'utilisent souvent que les coefficients piézorésistifs pour du silicium bulk. Nos données permettent de raffiner ces modèles en incluant des coefficients correspondants à la géométrie des dispositifs simulés. De plus, le modèle semi-analytique des coefficients piézorésistifs est raisonnablement prédictif et peut être utilisé pour extrapoler des valeurs à des géométries que nous n'avons pas mesurées.

Au cours de cette thèse, nous avons commencé à mettre en place un banc de contraintes permettant de mesurer l'effet d'une contrainte en continue plutôt que point par point. Nous avons utilisé pour réaliser ce banc des actuateurs piézoélectriques qui génèrent un déplacement proportionnel au courant qui leur est appliqué. Les actuateurs piézoélectriques ne permettent pas d'avoir une contrainte aussi élevée qu'un banc de contrainte classique, mais la symétrie de la contrainte (contrainte tensile et compressive) appliquée par un tel outil permet d'étendre son champ d'application. De plus, ce système réduit fortement l'encombrement du banc de contrainte sur les dispositifs de test, en effet, les actuateurs piézoélectriques sont collés sur le substrat, la contrainte appliquée est contrôlée par une jauge étalonnée qui elle-même collée sur l'actuateur (voir figure 5.1). Ce banc expérimental rend possible l'étude de l'effet des contraintes à faible température par exemple, en réduisant fortement l'encombrement et la masse thermique du système.

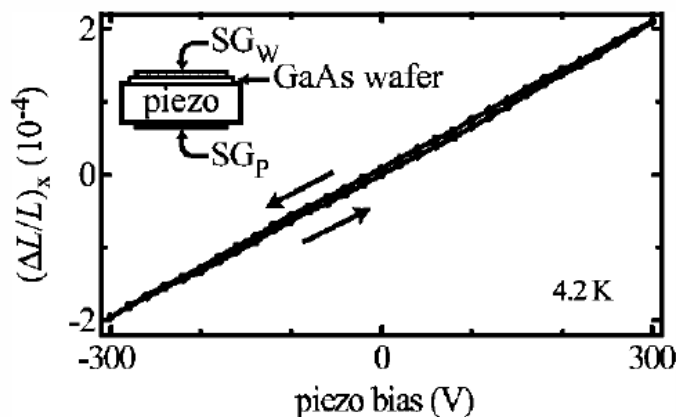


Figure 5.1.: Graphique tiré de Shayegan *et al.* [99]. Contrainte longitudinale *vs.* biais de l'actuateur (piezo sur l'encart) mesurée à 4.2 K. Une jauge de contrainte SG_W est collée sur le dessus du substrat GaAs de 0.1 mm d'épaisseur qui est lui-même collé à l'actuateur. Les données sont montrées pour une augmentation et une diminution du biais de l'actuateur.

Les travaux de Shayegan *et al.* [99] démontrent la faisabilité d'un tel système de contrainte. Cependant, il n'a pas été exploité pleinement dans l'étude des phénomènes physiques qui prennent place au sein des dispositifs MOSFETs à l'échelle nanométrique. Plusieurs axes intéressants pourraient ainsi être étudiés :

1. Extraction des coefficients piézorésistifs en fonction de la température.
2. Simplification de l'étude des dispositifs orientés à 45 degrés par rapport à l'axe du substrat. Pour tester ces dispositifs dans la direction $\langle 100 \rangle$ avec un banc de contrainte quatre points, il est obligatoire de recourir à un substrat tourné de 45 degrés pour des raisons mécaniques et cristallographiques. Les actuateurs peuvent être orientés dans une direction arbitraire du plan du substrat à condition de contrôler finement l'orientation relative de l'actuateur et du canal, *i.e.* on peut coller un actuateur orienté dans la direction $\langle 100 \rangle$.
3. Étude des phénomènes physiques responsables de l'effet piézorésistif, on peut décorréler l'effet des phonons et de la rugosité à faible température et ainsi confirmer que l'effet piézorésistif est dû à la mobilité limitée par les phonons pour des contraintes faibles.
4. Étude expérimentale de la symétrie de l'effet piézorésistif entre de faibles contraintes compressives et tensiles. Il faut changer le banc de contrainte 4 points pour changer le signe de la contrainte appliquée.

Un résumé des différents résultats marquants de ces travaux de thèse pour la mobilité et les coefficients piézorésistifs est présenté dans les tableaux 5.1 et 5.2. On peut souligner deux résultats principaux pour l'optimisation des performances :

- L'augmentation des coefficients piézorésistifs avec la diminution de la hauteur de canal permet de compenser la perte de mobilité avec des contraintes compressives. On a ainsi des dispositifs avec une densité de courant par unité de surface égale à des dispositifs deux fois plus épais, voir figure 4.23 pour les PMOS. On peut attendre un effet similaire pour les NMOS puisque leurs coefficients piézorésistifs varient de la même façon avec la hauteur de canal. De plus, on peut imaginer empiler plus de canaux PMOS que NMOS pour rendre symétrique le courant du dispositif CMOS.
- L'inversion du signe du coefficient piézorésistif longitudinal des dispositifs nanofils PMOS orientés dans la direction $\langle 100 \rangle$ laisse penser que des dispositifs NMOS et PMOS orientés dans la direction $\langle 100 \rangle$ avec de fortes contraintes tensiles uniaxiales peuvent montrer des performances intéressantes. De plus, les simulations de μ_{ph} pour cette orientation montrent (voir figures 4.8 et 4.13) que l'augmentation de la mobilité avec la contrainte

Table 5.1.: Résumé des résultats marquant pour les dispositifs PMOS du point de vue des coefficients piézorésistifs et de la mobilité.

Unités : π $10^{-12} Pa^{-1}$; μ $cm^2 \times (Vs)^{-1}$; N_{inv} $0.8 \times 10^{13} cm^{-2}$

		π		μ
W, H, L		L	T	N_{inv}
W	$10\mu m$	575	-315	80
(H $\approx$ 12nm, L = $10\mu m$)	$\approx 10nm$	350	-150	110
H	24nm	215	-195	130
(W $\approx$ 10nm, L = $10\mu m$)	6(12)nm	(350)	(-150)	60
L	$10\mu m$	300	-100	
(H $\approx$ 12nm, W $\approx$ 12nm)	$\approx 30nm$	800	-880	
Forte contrainte tensile	$10\mu m$	-20	-200	85
W (H $\approx$ 12nm, L = $10\mu m$)	$\approx 10nm$	100	-310	80
Forte contrainte compressive	$10\mu m$	900	-670	125
W (H $\approx$ 12nm, L = $10\mu m$)	$\approx 20nm$	450	-200	170
Orientation $\langle 100 \rangle$	$10\mu m$	-50	350	80
W (H $\approx$ 12nm, L = $10\mu m$)	$\approx 20(40)nm$	-150	(22)	65

est constante jusqu'à 1.5% de déformation (soit environ 2.8 GPa), on a donc une plage d'amélioration plus grande que pour les dispositifs $\langle 110 \rangle$ où le gain de mobilité s'effondre pour de fortes déformations tensiles pour les NMOS ($> 1\%$ selon les simulations).

Table 5.2.: Résumé des résultats marquant pour les dispositifs NMOS du point de vue des coefficients piézorésistifs et de la mobilité.Unités : π $10^{-12} Pa^{-1}$; μ $cm^2 \times (Vs)^{-1}$; N_{inv} $0.8 \times 10^{13} cm^{-2}$

		π		μ
W, H, L		L	T	N_{inv}
W	10 μ m	-400	-180	285
(H $\approx$ 12nm, L = 10 μ m)	$\approx$ 10nm	-600	-60	170
H	24nm	-430		235
(W $\approx$ 10nm, L = 10 μ m)	6(12)nm	(-600)	(-60)	125
L	10 μ m	-430	-100	
(H $\approx$ 12nm, W $\approx$ 38nm)	$\approx$ 20(30)nm	-325	-50	
Forte contrainte tensile	10 μ m	-250	30	485
W (H $\approx$ 12nm, L = 10 μ m)	$\approx$ 10nm	-280	-80	260
Orientation $\langle 100 \rangle$	10 μ m	-470	-130	280
W (H $\approx$ 12nm, L = 10 μ m)	$\approx$ 15nm	-340	-60	180

Publications de l'auteur

Articles :

- *Strain Effect on Mobility in Nanowire MOSFETs down to 10nm Width : Geometrical Effects and Piezoresistive Model*, **J. Pelloux-Prayer**, M. Cassé, F. Triozon, S. Barraud, Y.-M. Niquet, J.-L. Rouvière, O. Faynot, G. Reimbold, vol 125, pages 175-181, Solid-State Electronics Special issue 2016 [89]
- *Contact Resistances in Trigate and FinFET Devices in a Non-Equilibrium Green's Functions Approach*, L. Bourdet, J. Li, **J. Pelloux-Prayer**, F. Triozon, M. Cassé, S. Barraud, S. Martinie, D. Rideau, and Y.-M. Niquet, Journal of Applied Physics 119 (2016), no. 8, pages 084503 [19]

Publications dans des conférences internationales :

- *Study of the Piezoresistive Properties of NMOS and PMOS Omega-Gate SOI Nanowire Transistors : Scalability Effects and High Stress Level*, **J. Pelloux-Prayer**, M. Cassé, S. Barraud, P. Nguyen, M. Koyama, Y.-M. Niquet, F. Triozon, *et al.*, pages

20.5.1–20.5.4., IEDM 2014 [85]

- *Characterization of Piezoresistive Coefficients in Silicon Nanowire Transistors*, **J. Pelloux-Prayer**, M. Cassé, S. Barraud, J.-L. Rouvière, and G. Reimbold., pages 49–52. IEEE, ULIS 2014. [86]
- *Strain Effect on Mobility in Nanowire MOSFETs down to 10nm Width : Geometrical Effects and Piezoresistive Model*, **J. Pelloux-Prayer**, M. Cassé, F. Triozon, S. Barraud, Y.-M. Niquet, J.-L. Rouvière, O. Faynot, and G. Reimbold, pages 210–213, ESSDERC 2015 [88]
- *Transport in TriGate Nanowire FET : Cross-section effect at the nanometer scale*, **J. Pelloux-Prayer**, M. Cassé, S. Barraud, F. Triozon, Z. Zeng, Y.-M. Niquet, J.-L. Rouvière, G. Reimbold, pages 1-2, S3S 2016 [87]
- *Mechanical Simulation of Stress Engineering Solutions in Highly Strained P-Type FDSOI MOSFETs for 14-Nm Node and beyond*, A. Idrissi-El Oudrhiri, S. Martinie, J.-C. Barbe, O. Rozeau, C. Le Royer, M.-A. Jaud, J. Lacord, N. Bernier, L. Grenouillet, P. Rivallin, **J. Pelloux-Prayer**, M. Cassé and M. Mouis, pages 206–209, SISPAD 2015 [82]

Autres Communications :

- Poster : Workshop GDRi CNRS Mecano : Mechanical Issues for Advanced Electron Devices, 2015.

Annexe A.

Procédure split-CV

A.1. Mesures

La procédure de mesure indirecte de la mobilité par la méthode dites de split-CV repose sur l'équation du courant de drain dans un transistor en régime linéaire :

$$I_{ds} = \frac{W}{L} \cdot \mu \cdot C_{ox} \cdot (V_G - V_{th} - \frac{V_{ds}}{2}) \cdot V_{ds} \quad (\text{A.1})$$

Cette équation peut être réécrite de la manière suivante :

$$\mu = \frac{L \cdot I_{ds}}{W \cdot C_{ox} \cdot V_{GT} \cdot V_{ds}} \quad (\text{A.2})$$

Avec $V_{GT} = V_G - V_{th} - \frac{V_{ds}}{2}$). Le courant de drain et la capacité peuvent être aisément mesurées par des tests électrique standards :

- Mesure de $I_d(V_g)$ à V_d faible et $-V_d$ faible : $\pm 40mV$. Fig. A.1
- Mesure de $C_{gc}(V_g)$ à $\approx 100kHz$. Fig. A.2

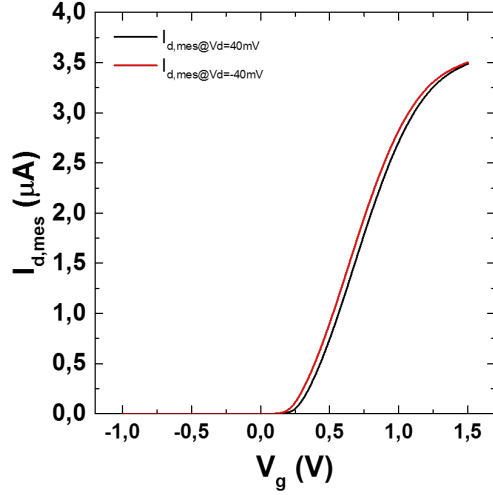


Figure A.1.: Courant de drain en fonction de la tension de grille pour deux V_d symétrique $\pm 40mV$

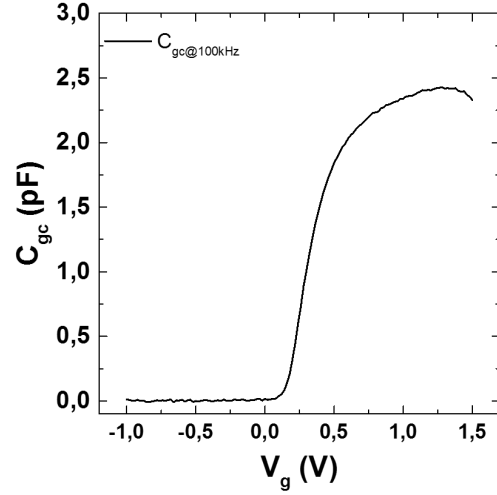


Figure A.2.: Capacité grille-canal en fonction de la tension de grille

A.2. Traitement des données

A.2.1. Calcul de la charge d'inversion

La charge d'une capacité est définie par les équations classique de l'électronique. Pour deux plaques conductrices parallèles de surface S , et séparées par un diélectrique d'épaisseur e et de constante diélectrique ϵ_r , on a l'équation suivante :

$$C = \frac{\epsilon_r \cdot S}{e} \quad (\text{A.3})$$

En pratique, on calculera la capacité surfacique des transistors ($\frac{C}{S}$), corrigé de la capacité parasite du transistor $C_{gc}(V_{g,min})$ qui est mesurée en régime d'accumulation :

$$C_{inv}(Vg) = \frac{C_{gc}(Vg) - C_{gc}(V_{g,min})}{S_{eff}} \quad (\text{A.4})$$

Avec S_{eff} la surface efficace de la grille du transistor :

$$S_{eff} = W_{gate} \cdot L_{gate} \quad (A.5)$$

Avec W_{gate} et L_{gate} respectivement la largeur et la longueur de la grille considérée. Pour un transistor à grille multiple, W_{gate} est la somme des dimensions des grilles.

$$Q_{inv} = \int_{V_{g,min}}^{V_{g,max}} C_{inv}(V_g) dV_g \quad (A.6)$$

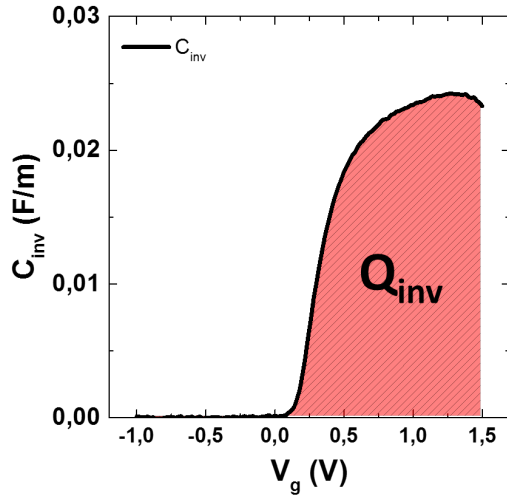


Figure A.3.

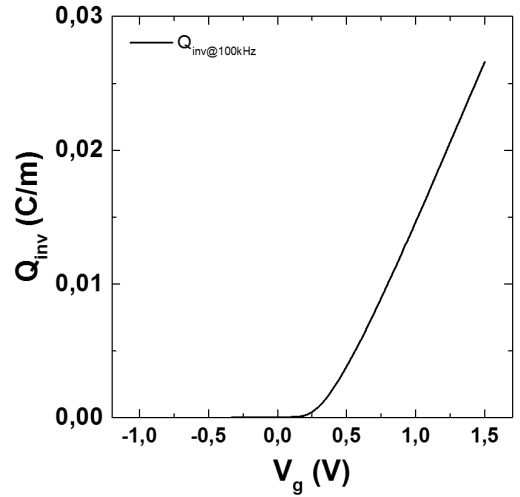


Figure A.4.

A.2.2. Traitement du courant mesuré

Certain transistor de test électriques ont des dimensions (grille/canal/oxyde...) qui ne limitent pas suffisamment les fuites par la grille lorsque la tension de grille est forte (*i.e.* $V_g > 1.3V$). Les mesures effectuées sur de telle transistor ne sont pas représentative telle quelle d'un fonctionnement normal. Il est cependant possible de corriger cet effet parasite en mesurant le courant de source simultanément avec le courant de drain. Dans le cas idéal où le courant de grille est nul, le courant de drain est égal à l'inverse du courant de source :

$$I_s = -I_d \quad (\text{A.7})$$

Si des fuites de grilles sont présentes, on mesure un courant de grille parasite ajouté aux mesures de courant de source et de drain :

$$I_{(s,mes)} = I_s - \frac{I_{g,mes}}{2} \quad (\text{A.8})$$

$$I_{(d,mes)} = I_d - \frac{I_{g,mes}}{2} \quad (\text{A.9})$$

$$|I_{s,mes}| = \begin{cases} -I_s + \frac{I_{g,mes}}{2} & \text{si NMOS} \Leftrightarrow I_{(s,mes)} < 0 \\ I_s - \frac{I_{g,mes}}{2} & \text{si PMOS} \Leftrightarrow I_{(s,mes)} > 0 \end{cases} \quad (\text{A.10})$$

$$|I_{d,mes}| = \begin{cases} I_d - \frac{I_{g,mes}}{2} & \text{si NMOS} \Leftrightarrow I_{(d,mes)} > 0 \\ -I_d + \frac{I_{g,mes}}{2} & \text{si PMOS} \Leftrightarrow I_{(d,mes)} < 0 \end{cases} \quad (\text{A.11})$$

$$\begin{cases} \frac{|I_{s,mes}| + |I_{d,mes}|}{2} = \frac{-I_s + I_f + I_d - I_f}{2} = \frac{I_d - I_s}{2} = I_d & \text{si NMOS} \\ \frac{|I_{s,mes}| + |I_{d,mes}|}{2} = \frac{I_s - I_f - I_d + I_f}{2} = \frac{-I_d + I_s}{2} = -I_d & \text{si PMOS} \end{cases} \quad (\text{A.12})$$

Avec $I_f = \frac{I_{g,mes}}{2}$

A.3. Extraction de la mobilité

La mobilité effective est calculée à l'aide de la relation suivante :

$$\mu_{eff} = \frac{L}{W_{eff}} \frac{I_d}{Q_{inv} V_d} \quad (\text{A.13})$$

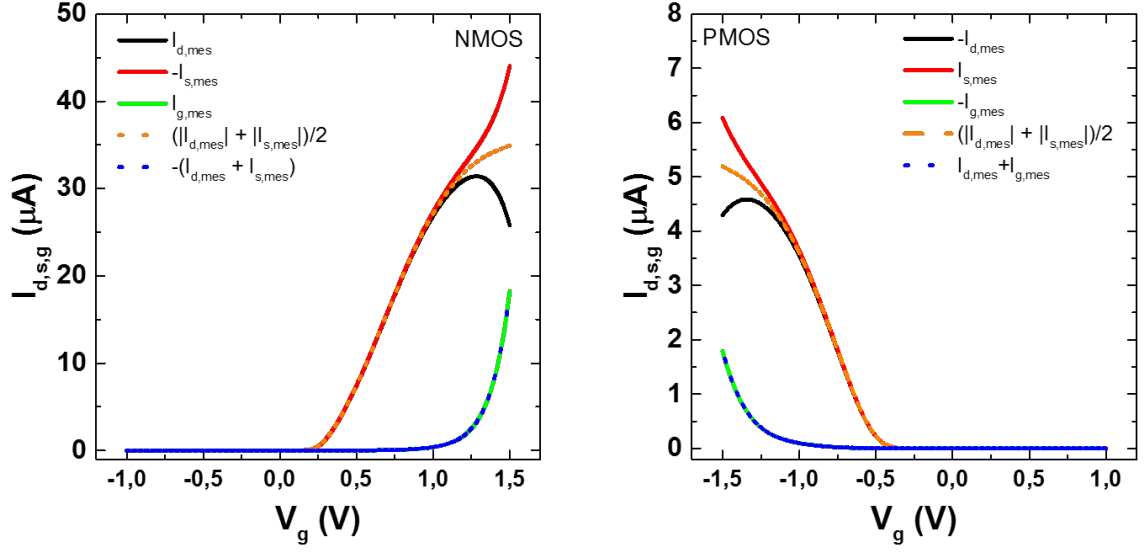


Figure A.5.: Correction des fuites par la grille pour des transistors NMOS (à gauche) et PMOS (à droite)

De plus, on calcule la moyenne des mobilités effective pour les courants de drain mesurés à $\pm V_d$ (*i.e.* $V_d = \pm 40mV$). Ces résultats sont présentés en fonction de N_{inv} calculée à $V_d + 40mV$ pour les NMOS et $-40mV$ pour les PMOS.

Annexe B.

Modèle de mobilité multi-grilles (soumis à S3S 2017)

An improved mobility model for FDSOI TriGate and other Multi-Gate Nanowire MOSFETs down to nm-scaled dimensions

M. Cassé¹, J. Pelloux-Prayer¹, Z. Zeng², Y.-M. Niquet², F. Triozon¹, S. Barraud¹, G. Reimbold¹

¹CEA, LETI, MINATEC Campus 17 rue des martyrs 38054 Grenoble Cedex 9, France

²INAC-MEM, LSIM, 38054 Grenoble Cedex 9, France

e-mail: mikael.casse@cea.fr

Abstract– We hereby present the experimental validation of a semi-analytical model for the size-dependent carrier mobility in FDSOI TriGate Nanowire transistors. The model is based on simple interpolation between a square narrow Si NW and wide FDSOI or vertical Double Gate (DG) limiting cases. We demonstrate its suitability to NMOS and PMOS devices with various H and W dimensions, as well as for different channel orientations. This model brings significant improvement to the simpler facets model, and evidences the contribution of corner areas.

INTRODUCTION

Multi-Gate (MG) transistors are being highly investigated as the classical CMOS transistor has reached its scaling limits [1,2]. SOI based Tri-Gate Nanowire (TGNW) transistors or FinFETs have demonstrated improved electrostatics and overall performances [3,4]. The carrier mobility in these 3D devices has been widely investigated, and many theoretical [5-8] and experimental [9-15] works have been published so far. A facet model in which the total mobility is separated between the top and the sidewall conduction surfaces gave an acceptable description of the transport in MG transistors [1,9,10,16]. However, as NW dimensions reach 10nm and below this model evidences some limitations attributed to the formation of corner channels [16-19]. An interpolation model has been recently proposed to take into account this *corner effect* [20] with minimal theoretical calculations. We give here a validation of this model on a wide range of TGNW dimensions and two crystallographic channel orientations.

EXPERIMENTAL DEVICES AND SET-UP

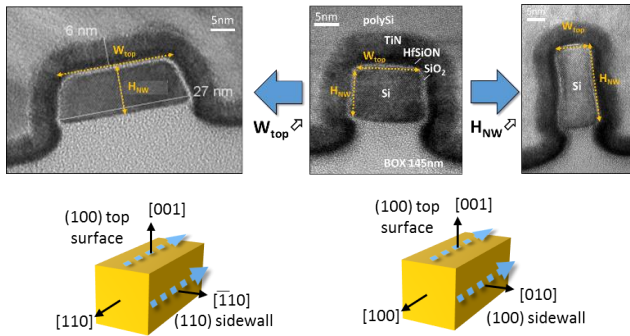


Fig.1: TEM pictures of the cross-section of TGNWs and schematics of the FDSOI TG devices studied here. The NW dimensions W_{top} and H_{NW} have been screened in the [10nm-10 μ m] and [10nm-24nm] range respectively. For the devices with H_{NW} =11nm, both [110]- or [100]-oriented channels have also been measured and studied.

We have measured electron and hole mobility in FDSOI TGNW transistors with high-k/metal gate stack (EOT~1.2nm). Details of the device fabrication can be found elsewhere [3,9]. NMOS and PMOS devices with various NW dimensions have been characterized (Fig.1): NW height (H_{NW}) ranging from 24nm down to 10nm, and width (W_{top}) ranging from 10 μ m down to

10nm respectively. Two channel directions ([110] and [100]) have also been investigated. The carrier mobility have been extracted using conventional CV-split technique on long devices (L=10 μ m) with 50 NWs in parallel in order to allow accurate measurement of the inversion capacitance [15,21]. Statistical results have been obtained on 20 devices.

INTERPOLATION MODEL

The analytical model is based on the simple interpolation between the mobility of a square TGNW (SQ-TG) transistor and the mobility of either a wide FDSOI or a tall vertical DG FDSOI transistor (Fig.2). The mobility in a TGNW transistor as a function of W (resp. H) at a given thin $H \lesssim W$ (resp. narrow $W \lesssim H$) is then simply given by [20]:

$$\mu_{TGNW}(W) = \frac{W - H}{W + 2H} \mu_{FDSOI} + \frac{3H}{W + 2H} \mu_{SQ-TG} \quad (1a)$$

$$\mu_{TGNW}(H) = \frac{2(H - W)}{W + 2H} \mu_{DGSOI} + \frac{3W}{W + 2H} \mu_{SQ-TG} \quad (1b)$$

The carrier mobility in the limiting cases has been computed using non equilibrium Green's functions, taking into account scattering by phonons (μ_{ph}), surface roughness (μ_{SR}) and remote Coulomb scattering (μ_{RCS}). An analytical expression has been provided for each contribution in Ref.[20], for NMOS, PMOS and both channel directions.

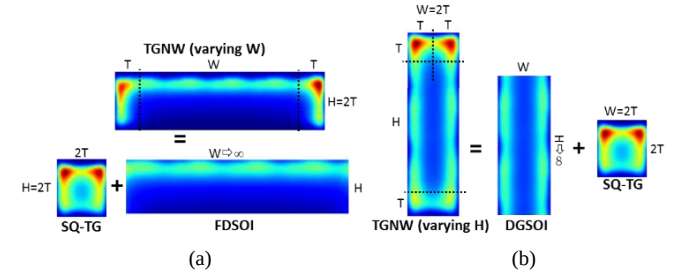


Fig.2: Map of the electron density calculated at $N_{inv} \approx 10^{13} \text{ cm}^{-2}$ in a rectangular TGNW (a) with a wide $W > H$ ($W=35\text{nm} \times H=7\text{nm}$), and (b) with a tall $H > W$ ($W=7\text{nm} \times H=35\text{nm}$). Schematics of the interpolation model used to calculate the effective mobility in a TGNW transistor: for (a) W_{top} variation, and (b) H_{NW} variation. Both cases are equivalent to the addition of a square TG NW (SQ-TG) and of either a wide FDSOI (case a) or a tall vertical DG FDSOI (case b).

For the two latter mechanisms, the mean roughness (Δ) and the density of remote charges due to the high-k dielectric (N_{RCS}) are fitting parameters. In this work, we used the mobility extracted at low temperature ($T=20\text{K}$) in wide and narrow devices to fit these parameters in the limiting cases SQ-TG and FDSOI (Fig.3). At this low temperature phonon scattering is indeed suppressed, and carrier mobility is only limited by surface roughness and Coulomb scattering, thus allowing independent adjustment of N_{RCS} and Δ (Fig.3). We found values for N_{RCS} in the 10^{13} cm^{-2} range, in agreement with previous findings for devices integrating high-k/metal gate [8,22,23]. Additionally we

need to introduce an enhanced roughness in the SQ-NW case as compared to the wide FDSOI or vertical DGSOI cases. However the values obtained for Δ remain typical of a Si/SiO₂ interface [11,22,24-26].

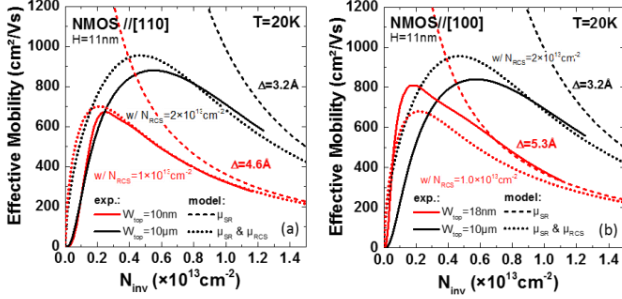


Fig.3: NMOS mobility measured as a function of inversion carrier density N_{inv} at $T=20K$ for (a) a [110]-, and (b) a [100]-oriented channel. Both wide FDSOI ($W_{top}=10\mu m$) and narrow TGNW ($W_{top}<20nm$) transistors have been measured ($H_{NW}=11nm$). The theoretical calculations of the surface roughness limited mobility (μ_{SR}) with and without RCS contribution are shown for each cases (dotted and dashed lines resp.). The corresponding values of the two fitting parameters N_{RCS} (remote charge density) and mean roughness (Δ) are indicated.

APPLICABILITY TO EXPERIMENTAL DATA

Figs.4-6 show the comparison of this model with our TGNW devices at room temperature. For devices with NW height $H_{NW}=11nm$, both calculated NMOS and PMOS mobility are in very good agreement with experimental data on the whole range of inversion carrier density (Fig.4), from the widest to the narrowest dimensions (Fig.5). The dependence with channel direction is also well reproduced. In particular for NMOS NWs,

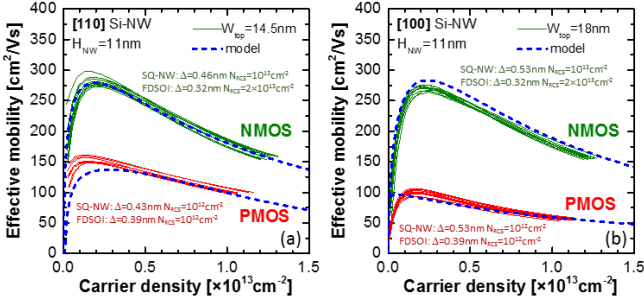


Fig.4: Experimental and calculated NMOS & PMOS mobility as a function of the carrier density N_{inv} for narrow TGNWs ($H_{NW}=11nm$): (a) [110] channel, and (b) [100] channel. The values Δ and N_{RCS} determined at low T and used in the model are indicated.

the results explain the same mobility observed for [110] and [100] channel direction in apparent contradiction with the

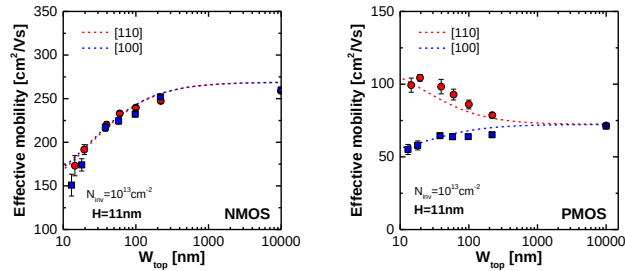


Fig.5: Plot of experimental (symbols) and modeled (dotted line) NMOS (left) & PMOS (right) mobility as a function of the top width W_{top} for [100] & [100] oriented channel ($H_{NW}=11nm$, extraction at $N_{inv}=10^{13}cm^{-2}$).

sidewall conduction model [3,13,27]. In narrow devices the electron mobility is actually driven by the surface roughness contribution and corner effects which overcome the (100) or (110) facet mobility.

The height dependence is also well caught by the model keeping the same fitting parameter values (Fig.6). For NMOS we observe an increase of mobility with H_{NW} , again in contradiction with the simple facet conduction model: it confirms that the thin and narrow devices mobility is strongly limited by corner effects.

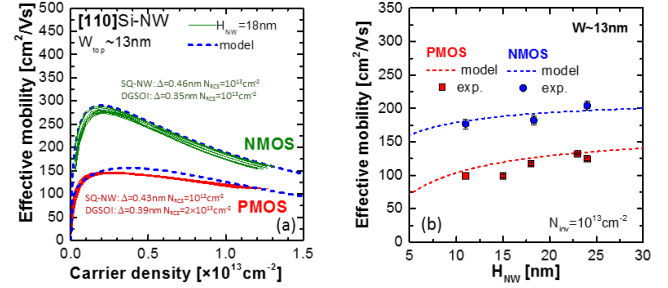


Fig.6: (a) Experimental and calculated NMOS & PMOS mobility as a function of the carrier density N_{inv} for $H_{NW}=18nm$ ($W_{top}\sim 13nm$). (b) Plot of experimental and modeled NMOS & PMOS mobility as a function of H_{NW} ($W_{top}\sim 10nm$, extraction at $N_{inv}=10^{13}cm^{-2}$).

CONCLUSION

The transport properties of TGNW transistors can be very well reproduced by an interpolation analytical model, which takes into account the effects of the peaked carrier density at the corner. The analytical expressions used are suitable for implementation in compact models. The strong influence of the specific corner areas on the effective mobility, evidenced here and inherent to narrow MG devices, is also suspected to have a significant impact on the piezoresistive properties as stated in earlier works [4,17].

ACKNOWLEDGEMENTS

This work was partially carried out in the frame of the French National Research Agency project Noodles, the European project SUPERAID7 (grant n° 688101), and by the French Public Authorities through NANO 2017 program.

REFERENCES

- [1] J.-P. Colinge, *FinFETs and other Multi-Gate transistors*, Springer, 2008
- [2] I. Ferain *et al.*, Nature, **479**, pp.310–316, 2011
- [3] S. Barraud *et al.*, Symp. VLSI Tech., pp.230–231 2013
- [4] A. Veloso *et al.*, Symp. VLSI Tech., pp.138–139, 2015
- [5] M. Baykan *et al.*, Appl. Phys. Lett., **100**, 123502, 2012
- [6] Y.-M. Niquet *et al.*, Nano Lett., **12**, pp.3545–3550, 2012
- [7] N. Neophytou *et al.*, Phys. Rev. B, **84**, 085313, 2011
- [8] V. Nguyen *et al.*, IEEE TED, **61**(9), pp.3096–3102, 2014
- [9] R. Coquand *et al.*, Proc. ULIS, pp.37–40, 2012
- [10] M. Koyama *et al.*, Proc. ESSDERC, pp.73–76, 2012
- [11] J.-W. Lee *et al.*, Solid-State Electron., **62**, pp.195–201, 2011
- [12] P. Hashemi *et al.*, IEDM Tech. Dig., pp.788–791, 2010
- [13] C. Young *et al.*, Solid-State Electron., **78**, pp.2–10, 2012
- [14] J. Chen *et al.*, Jap. J. Appl. Phys., **48**, 011205, 2009
- [15] K. Mao *et al.*, Jap. J. Appl. Phys., **52**, 04CC11, 2013
- [16] J. Pelloux-Prayer *et al.*, Solid-State Electron., **125**, pp.175–181, 2016
- [17] L. Sekaric *et al.*, Appl. Phys. Lett., **95**, 023113, 2009
- [18] T. Rudenko *et al.*, IEEE TED, **55**(12), pp.3532–3541, 2008
- [19] A. García Ruiz *et al.*, IEEE TED, **54**(12), pp.3369–3377, 2007
- [20] Z. Zheng *et al.*, IEEE TED, **64**(6), pp.2485–2491, 2017
- [21] O. Gunawan *et al.*, Nano Lett., **8**(6), pp.1566–1571, 2008
- [22] L. Bourdet *et al.*, J. Appl. Phys., **119**, 084503, 2016
- [23] M. Cassé *et al.*, IEEE TED, **53**(4), pp.759–768, 2006
- [24] L. Thevenod *et al.*, Microelectr. Eng., **80**, pp.11–14, 2005
- [25] J. Pelloux-Prayer *et al.*, Proc. S3S, 2016
- [26] I. Tienda-Luna *et al.*, J. Appl. Phys., **110**, 084514, 2011
- [27] J. Chen *et al.*, Symp. VLSI Tech., pp.32–33, 2008

Bibliographie

- [1] ITRS 2.0, Tech. report, 2015.
- [2] S. Adachi, *Properties of Semiconductor Alloys : Group-IV, III-V and II-VI Semiconductors*, Wiley, 2009.
- [3] K. Ahmed and K. Schuegraf, *Transistors wars*, IEEE Spectrum (2011), no. november, 50–66.
- [4] T. Ando, A. B. Fowler, and F. Stern, *Electronic properties of two-dimensional systems*, Rev. Mod. Phys. **54** (1982), 437.
- [5] Kah-Wee Ang, King-Jien Chui, Vladimir Bliznetsov, Chih-Hang Tung, Anyan Du, Narayanan Balasubramanian, Ganesh Samudra, Ming Fu Li, and Yee-Chia Yeo, *Lattice strain analysis of transistor structures with silicon germanium and silicon carbon source drain stressors*, Applied Physics Letters **86** (2005), no. 9, 093102 (en).
- [6] S. Bangsaruntip, A. Majumdar, G. M. Cohen, S. U. Engelmann, Y. Zhang, M. Guillorn, L. M. Gignac, S. Mittal, W. S. Graham, E. A. Joseph, D. P. Klaus, J. Chang, E. A. Cartier, and J. W. Sleight, *Gate-all-around Silicon Nanowire 25-Stage CMOS Ring Oscillators with Diameter Down to 3 nm*, Symp. on VLSI Technol. Dig. of Technical Papers, 2010, pp. 21–22.
- [7] S. Barraud, R. Coquand, V. Maffini-Alvaro, M.-P. Samson, J.-M. Hartmann, L. Tosti, M. Cassé, P. Nguyen, F. Triozon, Y.-M. Niquet, C. Tabone, P. Perreau, F. Allain, C. Vizioz, C. Comboroure, F. Aussenac, S. Monfray, G. Ghibaudo, F. Boeuf, B. De Salvo, and O. Faynot, *Scaling of Ω -Gate SOI Nanowire N- and P-FET down to 10nm Gate Length : Size- and Orientation-Dependent Strain Effects*, Symp. on VLSI Technol. Dig. of Technical Papers, 2013, pp. T–230.
- [8] S. Barraud, R. Coquand, V. Maffini-Alvaro, M.-P. Samson, J.-M. Hartmann, L. Tosti, M. Casse, V.-H. Nguyen, F. Triozon, Y.-M. Niquet, C. Tabone, P. Perreau, F. Allain, C. Vizioz, C. Comboroure, F. Aussenac, S. Monfray, G. Ghibaudo, F. Boeuf, B. De Salvo, and O. Faynot, *Scaling of Ω -gate SOI nanowire N- and P-FET down to 10nm gate length : Size- and orientation-dependent strain effects*, IEEE, 2013, pp. T230–T231.
- [9] S. Barraud, R. Lavieville, C. Tabone, F. Allain, M. Casse, M.-P. Samson, V. Maffini-Alvarro, and M. Vinet, *Strained Silicon Directly on Insulator N- and P-FET nanowire transistors*, April 2014, pp. 65–68.
- [10] S. Barraud, E. Sarrazin, and A. Bournel, *Temperature and size dependences of electrostatics and mobility in gate-all-around MOSFET devices*, Semicond. Sci. Technol. **26** (2011), 025001.

- [11] M. Baykan, S. Thompson, and T. Nishida, *Strain effects on three-dimensional, two-dimensional, and one-dimensional silicon logic devices : Predicting the future of strained silicon*, J. Appl. Phys. **108** (2010), no. 9, 93716.
- [12] Mehmet O. Baykan, Scott E. Thompson, and Toshikazu Nishida, *Strain effects on three-dimensional, two-dimensional, and one-dimensional silicon logic devices : Predicting the future of strained silicon*, Journal of Applied Physics **108** (2010), no. 9, 093716 (en).
- [13] R. E. Beaty, R. C. Jaeger, J. C. Suhling, R. W. Johnson, and R. D. Butler, *Evaluation of piezoresistive coefficient variation in Silicon stress sensors using a four-point bending test fixture*, IEEE Trans. Components, Hybrids and Manuf. Technol. **15** (1992), no. 5, 904–914.
- [14] Stefan Bengtsson, *Wafer bonding and smartcut for formation of silicon-on-insulator materials*, Solid-State and Integrated Circuit Technology, 1998. Proceedings. 1998 5th International Conference on, IEEE, 1998, pp. 745–748.
- [15] R. Berthelon, F. Andrieu, E. Josse, R. Bingert, O. Weber, E. Serret, A. Aurand, S. Delmedico, V. Farys, C. Bernicot, E. Bechet, E. Bernard, T. Poiroux, D. Rideau, P. Scheer, E. Baylac, P. Perreau, M.-A. Jaud, J. Lacord, E. Petitprez, A. Pofelski, S. Ortolland, P. Sardin, D. Dutartre, A. Claverie, M. Vinet, J.-C. Marin, and M. Haond, *Design/technology co-optimization of strain-induced layout effects in 14nm UTBB-FDSOI CMOS : enablement and assessment of continuous-RX designs*, Symp. on VLSI Technol. Dig. of Technical Papers, 2016, pp. 178–179.
- [16] R. Berthelon, F. Andrieu, F. Triozon, M. Cassé, L. Bourdet, G. Ghibaudo, D. Rideau, Y.-M. Niquet, and S. Barraud, *Impact of Strain on Access Resistance in Planar and Nanowire CMOS Devices*, Symp. on VLSI Technol. Dig. of Technical Papers, 2017.
- [17] R. Berthelon, M. Cassé, D. Rideau, O. Nier, F. Andrieu, E. Vincent, and G. Reimbold, *Piezoresistivity in unstrained and strained SOI MOSFETs*, SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), 2014, pp. 1–2.
- [18] M. Bohr, R. Chau, T. Ghani, and K. Mistry, *The High-k solution*, IEEE Spectrum (2007), 29–35.
- [19] Leo Bourdet, Jing Li, Johan Pelloux-Prayer, François Triozon, Mikaël Casse, Sylvain Barraud, Sebastien Martinie, Denis Rideau, and Yann-Michel Niquet, *Contact resistances in trigate and FinFET devices in a non-equilibrium Greens functions approach*, Journal of Applied Physics **119** (2016), no. 8, 084503 (en).
- [20] Tung Thanh Bui, Dzung Viet Dao, K. Nakamura, Toshiyuki Toriyama, and S. Sugiyama, *Characterization of the piezoresistive effect and temperature coefficient of resistance in single crystalline silicon nanowires*, Micro-NanoMechatronics and Human Science, 2009. MHS 2009. International Symposium on, IEEE, 2009, pp. 462–466.
- [21] M. Casse, S. Barraud, C. Le Royer, M. Koyama, R. Coquand, D. Blachier, F. Andrieu, G. Ghibaudo, O. Faynot, T. Poiroux, and others, *Study of piezoresistive*

- properties of advanced CMOS transistors : thin film SOI, SiGe/SOI, unstrained and strained Tri-Gate Nanowires*, Electron Devices Meeting (IEDM), 2012 IEEE International, IEEE, 2012, pp. 28–1.
- [22] M. Cassé, L. Thevenod, B. Guillaumot, L. Tosti, F. Martin, J. Mitard, O. Weber, F. Andrieu, T. Ernst, G. Reimbold, T. Billon, M. Mouis, and F. Boulanger, *Carrier transport in HfO₂/metal gate MOSFETs : physical insight into critical parameters*, IEEE Trans. Electron Dev. **53** (2006), no. 4, 759–768.
 - [23] Mikaël Casse, L. Hutin, Cyrille Le Royer, D. Cooper, Jean-Michel Hartmann, and Gilles Reimbold, *Experimental Investigation of Hole Transport in Strained Si(1 - x)Ge(x)/SOI pMOSFET- Part I : Scattering Mechanisms in Long-Channel Devices*, IEEE Transactions on Electron Devices **59** (2012), no. 2, 316–325.
 - [24] L. Chang, M. Jeong, and M. Yang, *CMOS Circuit Performance Enhancement by Surface Orientation Optimization*, IEEE Trans. Electron Dev. **51** (2004), no. 10, 1621–1627.
 - [25] A. Chaudhry, J. N. Roy, and G. Joshi, *Nanoscale strained-si mosfet physics and modeling approaches : a review*, Journal of Semiconductors **31** (2010), no. 10, 104001.
 - [26] K. Cheng, A. Khakifirooz, P. Kulkarni, S. Ponoth, J. Kuss, D. Shahrjerdi, L. F. Edge, A. Kimball, S. Kanakasabapathy, K. Xiu, S. Schmitz, A. Reznicek, T. Adam, H. He, N. Loubet, S. Holmes, S. Mehta, D. Yang, A. Upham, S. Seo, J. L. Herman, R. Johnson, Y. Zhu, P. Jamison, B. S. Haran, Z. Zhu, L. H. Vanamurth, S. Fan, D. Horak, H. Bu, P. J. Oldiges, D. K. Sadana, P. Kozlowski, D. Mcherron, J. O. Neill, and B. Doris, *Extremely Thin SOI (ETSOI) CMOS with Record Low Variability for Low Power System-on-Chip Applications*, IEDM Tech. Dig., 2009, pp. 49–52.
 - [27] S.-Y. Cheng, M.H. Lee, S.T. Chang, C.-Y. Lin, K.-T. Chen, and B.-F. Hsieh, *Uniaxial stress effect and hole mobility in high-Ge content strained SiGe (110) P-channel metal oxide semiconductor field effect transistors*, Thin Solid Films **544** (2013), 487–490 (en).
 - [28] W. T. Chiang, J. W. Pan, P. W. Liu, C. H. Tsai, C. T. Tsai, and G. H. Ma, *Strain Effects of Si and SiGe Channel on (100) and (110) Si Surfaces for Advanced CMOS Applications*, IEEE, 2007, pp. 1–2.
 - [29] C.N. Chleirigh, N.D. Theodore, H. Fukuyama, S. Mure, H.-U. Ehrke, A. Domenicucci, and J.L. Hoyt, *Thickness Dependence of Hole Mobility in Ultrathin SiGe-Channel p-MOSFETs*, IEEE Transactions on Electron Devices **55** (2008), no. 10, 2687–2694.
 - [30] Min Chu, Toshikazu Nishida, Xiaoliang Lv, Nidhi Mohta, and Scott E. Thompson, *Comparison between high-field piezoresistance coefficients of Si metal-oxide-semiconductor field-effect transistors and bulk Si under uniaxial and biaxial stress*, Journal of Applied Physics **103** (2008), no. 11, 113704.
 - [31] J.-P. Colinge, A. J. Quinn, L. Floyd, G. Redmond, J. C. Alderman, W. Xiong, C. R. Cleavelin, T. Schulz, K. Schrüfer, G. Knoblinger, and P. Patruno, *Low-Temperature Electron Mobility in Trigate SOI MOSFETs*, IEEE Electron Dev. Lett. **27** (2006), no. 2, 120–122.

- [32] Jean-Pierre Colinge, *FinFETs and other multi-gate transistors*, Springer, New York ; London, 2007 (English).
- [33] D. Cooper, T. Denneulin, J.-P. Barnes, J.-M. Hartmann, L. Hutin, C. Le Royer, A. Béché, and J.-L. Rouvière, *Strain mapping with nm-scale resolution for the silicon-on-insulator generation of semiconductor devices by advanced electron microscopy* *Strain mapping with nm-scale resolution for the silicon-on-insulator generation of semiconductor devices by advanced e*, J. Appl. Phys. **112** (2012), 124505.
- [34] R. Coquand, S. Barraud, M. Cassé, M. Koyama, M.-P. Samson, L. Tosti, X. Mescot, G. Ghibaudo, S. Monfray, F. Boeuf, O. Faynot, and B. De Salvo, *Low-Temperature Transport Characteristics in SOI and sSOI Nanowires Down to 8nm Width : Evidence of I DS and Mobility Oscillations*, Proceedings of European Solid-State Device Research Conference, 2013, pp. 198–201.
- [35] R. Coquand, S. Barraud, M. Casse, P. Leroux, C. Vizioz, C. Comboroure, P. Perreau, E. Ernst, M.-P. Samson, V. Maffini-Alvaro, C. Tabone, S. Barnola, D. Munteanu, G. Ghibaudo, S. Monfray, F. Boeuf, and T. Poiroux, *Scaling of high-k/metal-gate Trigate SOI nanowire transistors down to 10nm width*, Proceedings ULIS, 2012, pp. 37–40.
- [36] Remi Coquand, Mikaël Casse, Sylvain Barraud, David Cooper, Virginie Maffini-Alvaro, Marie-Pierre Samson, Stephane Monfray, Frederic Boeuf, Gerard Ghibaudo, Olivier Faynot, and Thierry Poiroux, *Strain-Induced Performance Enhancement of Trigate and Omega-Gate Nanowire FETs Scaled Down to 10-nm Width*, IEEE Transactions on Electron Devices **60** (2013), no. 2, 727–732.
- [37] Rémi Coquand, *Démonstration de l'intérêt des dispositifs multi-grilles auto-alignées pour les nœuds sub-10nm*, Ph.D. thesis, Université de Grenoble Alpes, 2013.
- [38] R. Courtland, *3D transistors for all*, IEEE Spectrum (2014), 11–12.
- [39] ———, *Transistors could Stop Shrinking in 2021*, IEEE S **53** (2016), no. 9, 9–11.
- [40] S. Datta, *Recent Advances in High Performance CMOS Transistors : From Planar to Non-Planar*, The Electrochemical Society Interface **22** (2013), no. 1, 41–46.
- [41] E. de Haro, *Moore ' s Law ' s Next Step :*, IEEE Spectrum (2017), 52–53.
- [42] B. DeSalvo, P. Morin, M. Pala, G. Ghibaudo, O. Rozeau, Q. Liu, A. Pofelski, S. Martini, M. Casse, S. Pilorget, F. Allibert, F. Chafik, T. Poiroux, P. Scheer, R.G. Southwick, D. Chanemougame, L. Grenouillet, K. Cheng, F. Andrieu, S. Barraud, S. Maitrejean, E. Augendre, H. Kothari, N. Loubet, W. Kleemeier, M. Celik, O. Faynot, M. Vinet, R. Sampson, and B. Doris, *A mobility enhancement strategy for sub-14nm power-efficient FDSOI technologies*, Electron Devices Meeting (IEDM), 2014 IEEE International, December 2014, pp. 7.2.1–7.2.4.
- [43] L. Donetti, F. Gamiz, S. Thomas, T. E. Whall, D. R. Leadley, P.-E. Hellström, G. Malm, and M. Ostling, *Hole effective mass in silicon inversion layers with different substrate orientations and channel directions*, J. Appl. Phys. **110** (2011), 063711.
- [44] C. Dupré, A. Hubert, M. Jublot, C. Vizioz, F. Aussenac, C. Arvet, S. Barnola, G. Garnier, F. Allain, M. Rivoire, L. Baud, S. Pauliac, V. Loup, T. Chevolleau,

- P. Rivallin, B. Guillaumot, G. Ghibaudo, O. Faynot, T. Ernst, and S. Deleonibus, *15nm-diameter 3D stacked Nanowires with Independent Gates Operation : Φ FET*, IEDM Tech. Dig., 2008, pp. 749–752.
- [45] I. Ferain, C. Colinge, and J.-P. Colinge, *Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors.*, Nature **479** (2011), no. 7373, 310–6.
- [46] F. Ferdousi, R. Rios, and K. J. Kuhn, *Improved MOSFET characterization technique for single channel length, scaled transistors*, Solid-State Electron. **104** (2015), 44–46.
- [47] M. V. Fischetti and S. E. Laux, *Band structure, deformation potentials, and carrier mobility in strained Si, Ge, and SiGe alloys*, Journal of Applied Physics **80** (1996), no. 4, 2234 (en).
- [48] D. Fleury, G. Bidal, A. Cros, F. Boeuf, T. Skotnicki, and G. Ghibaudo, *New experimental insight into ballisticity of transport in strained bulk MOSFETs*, Symp. on VLSI Technol. Dig. of Technical Papers, 2009, pp. 16–17.
- [49] L. Gaben, S. Barraud, C. Vizioz, F. Aussenac, F. Allain, S. Monfray, F. Boeuf, T. Skotnicki, F. Balestra, and M. Vinet, *P-type Trigate Nanowires : Impact of Nanowire*, Proc. EUROSIO-ULIS, 2015, pp. 13–16.
- [50] C. Gallon, G. Reimbold, G. Ghibaudo, R.A. Bianchi, R. Gwoziecki, S. Orain, E. Robilliart, C. Raynaud, and H. Dansas, *Electrical Analysis of Mechanical Stress Induced by STI in Short MOSFETs Using Externally Applied Stress*, IEEE Transactions on Electron Devices **51** (2004), no. 8, 1254–1261 (en).
- [51] T. Ghani, M. Armstrong, C. Auth, M. Bost, P. Charvat, G. Glass, T. Hoffmann, K. Johnson, C. Kenyon, J. Klaus, K. Mistry, A. Murthy, J. Sandford, M. Silberstein, S. Sivakumar, P. Smith, K. Zawadzki, S. Thompson, and M. Bohr, *A 90nm High Volume Manufacturing Logic Technology Featuring Novel 45nm Gate Length Strained Silicon CMOS Transistors SiGe SiGe*, IEDM Tech. Dig., 2003, p. 11.6.1.
- [52] G. Ghibaudo, *New method for the extraction of MOSFET parameters*, Electron. Lett. **24** (1988), no. 9, 543–545.
- [53] G. Ghibaudo, M. Mouis, L. Pham-Nguyen, K. Bennamane, I. Pappas, A. Cros, G. Bidal, D. Fleury, A. Claverie, G. Benassayag, P.-F. Fazzini, C. Fenouillet-Béranger, S. Monfray, F. Boeuf, S. Cristoloveanu, T. Skotnicki, and N. Collaert, *Electrical transport characterization of nano CMOS devices with ultra-thin silicon film*, International Workshop on Junction Technology, 2009, pp. 58–63.
- [54] F. Glowacki, C. Le Royer, Y. Morand, J.-M. Pédini, T. Denneulin, D. Cooper, J.-P. Barnes, P. Nguyen, D. Rouchon, J.-M. Hartmann, O. Gourhant, E. Baylac, Y. Campidelli, D. Barge, O. Bonin, and W. Schwarzenbach, *Fabrication and Characterization of with High Compressive Strain (-2GPa)*, Proc. EUROSIO-ULIS, 2013.
- [55] M. Guarnieri, *The Unreasonable Accuracy of Moore’s Law*, IEEE Industrial Electronics Magazine (2016), no. March, 40–43.
- [56] O. Gunawan, L. Sekaric, A. Majumdar, M. Rooks, J. Appenzeller, J. W. Sleight, S. Guha, and W. Haensch, *Measurement of carrier mobility in silicon nanowires.*, Nano letters **8** (2008), no. 6, 1566–71.

- [57] H.R. Huff and D.C. Gilmer (eds.), *High dielectric constant materials*, Springer, 2005.
- [58] L. Hutin, C. Le Royer, F. Andrieu, O. Weber, M. Cassé, J.-M. Hartmann, D. Cooper, A. Béché, L. Brévard, L. Brunet, J. Cluzel, P. Batude, M. Vinet, and O. Faynot, *Dual Strained Channel co-integration into CMOS, RO and SRAM cells on FDSOI down to 17nm gate length*, IEDM Tech. Dig., 2010, pp. 253–256.
- [59] Anouar Idrissi-El Oudrhiri, *Compréhension de l'apport des contraintes mécaniques sur les performances électriques des transistors avancés sur soi.*, Ph.D. thesis, Université Grenoble Alpes, 2016.
- [60] M. Jeong, B. Doris, J. Kedzierski, K. Rim, and M. Yang, *Silicon device scaling to the sub-10-nm regime*, Science **306** (2004), 2057–2060.
- [61] Takamitsu Ishihara, Kazuya Matsuzawa, Mariko Takayanagi, and Shin-ichi Takagi, *Comprehensive Understanding of Electron and Hole Mobility Limited by Surface Roughness Scattering in Pure Oxides and Oxynitrides Based on Correlation Function of Surface Roughness*, Japanese Journal of Applied Physics **41** (2002), no. Part 1, No. 4B, 2353–2358 (en).
- [62] YeonJoo Jeong, Jiezhi Chen, Takuya Saraya, and Toshiro Hiramoto, *Uniaxial strain effects on silicon nanowire pMOSFET and single-hole transistor at room temperature*, IEEE, December 2008, pp. 1–4.
- [63] Yozo Kanda, *A graphical representation of the piezoresistance coefficients in silicon*, IEEE Transactions on electron devices **29** (1982), no. 1, 64–70.
- [64] T. A. Karatsori, C. G. Theodorou, E. G. Ioannidis, S. Haendler, E. Josse, C. A. Dimitriadis, and G. Ghibaudo, *Solid-State Electronics Full gate voltage range Lambert-function based methodology for FDSOI MOSFET parameter extraction*, Solid State Electronics **111** (2015), 123–128.
- [65] M. Koyama, M. Casse, R. Coquand, S. Barraud, C. Vizioz, C. Comboroure, P. Perreau, V. Maffini-Alvaro, C. Tabone, L. Tosti, S. Barnola, V. Delaye, F. Aussenac, G. Ghibaudo, H. Iwai, and G. Reimbold, *Study of carrier transport in strained and unstrained SOI tri-gate and omega-gate silicon nanowire MOSFETs*, Solid-State Electron. **84** (2013), 46–52.
- [66] K. J. Kuhn, *Considerations for Ultimate CMOS Scaling*, IEEE Trans. Electron Dev. **59** (2012), no. 7, 1813–1828.
- [67] C. Le Royer, A. Villalon, M. Cassé, D. Cooper, J. Mazurier, B. Prévitali, C. Tabone, P. Perreau, J.-M. Hartmann, P. Scheiblin, F. Allain, F. Andrieu, O. Weber, P. Batude, O. Faynot, and T. Poiroux, *First Demonstration of Ultrathin Body c-SiGe Channel FDSOI pMOSFETs combined with SiGe(:B) RSD : Drastic Improvement of Electrostatics ($V_{th,p}$ tuning, DIBL) and Transport (μ_0 , I_{sat}) Properties down to 23nm Gate Length*, IEDM Tech. Dig., 2011, pp. 394–397.
- [68] C. W. Liu, S. Maikap, and C.-Y. Yu, *Mobility enhancement technologies*, IEEE Circuits and Devices Magazine **21** (2005), no. 3, 21–36.
- [69] A. Lochtefeld and D. A. Antoniadis, *Investigating the relationship between electron mobility and velocity in deeply scaled NMOS via mechanical stress*, IEEE Electron Dev. Lett. **22** (2001), no. 12, 591–593.

- [70] A. Lochtefeld, I. J. Djomehri, G. Samudra, and D. A. Antoniadis, *New insights into carrier transport in n-MOSFETs*, IBM Journal of Research and Development **46** (2002), no. 2, 347–357.
- [71] M. Lundstrom, *Fundamentals of carrier transport*, second ed., Cambridge University Press, 2000.
- [72] ———, *Device Physics at the Scaling Limit : What Matters ?*, **00** (2003), 789–792.
- [73] Mark Lundstrom, *Fundamentals of carrier transport*, 2nd ed ed., Cambridge University Press, Cambridge [u.a.], 2000 (eng).
- [74] C. Mack, *Fifty Years of Moore ' s Law*, IEEE Trans. on Semiconductor Manufacturing **24** (2011), no. 2, 202–207.
- [75] A. Matthiessen and C. Vogt, *On the Influence of Temperature on the Electric Conducting-Power of Alloys*, Philosophical Transactions of the Royal Society of London **154** (1864), no. 0, 167–200 (en).
- [76] M. Mouis and G. Ghibaudo, *No Title*, Nanoscale CMOS : Innovative Materials, Modeling and Characterization, wiley ed., 2010, pp. 475–544.
- [77] Shu Nakaharai, Tsutomu Tezuka, Naoharu Sugiyama, Yoshihiko Moriyama, and Shin-ichi Takagi, *Characterization of 7-nm-thick strained Ge-on-insulator layer fabricated by Ge-condensation technique*, Applied Physics Letters **83** (2003), no. 17, 3516–3518 (en).
- [78] P. Nguyen, S. Barraud, M. Koyama, M. Cassé, F. Andrieu, C. Tabone, F. Glowacki, J.-M. Hartmann, and D. Rouchon, *High Mobility Ω -Gate Nanowire P-FET on cSGOI Substrates Obtained by Ge Enrichment Technique*, Proc. S3S, 2014.
- [79] P. Nguyen, S. Barraud, C. Tabone, L. Gaben, M. Cassé, F. Glowacki, J.-M. Hartmann, C. Vizioz, N. Bernier, C. Guedj, C. Mounet, O. Rozeau, A. Toffoli, D. Delprat, B. Nguyen, C. Mazuré, O. Faynot, and M. Vinet, *Dual-Channel CMOS Co-Integration with Si NFET and Strained-SiGe PFET in Nanowire Device Architecture Featuring Sub-15nm Gate Length*, IEDM Tech. Dig., 2014, pp. 406–409.
- [80] Viet-Hung Nguyen, Francois Triozon, Frederic D. R. Bonnet, and Yann-Michel Niquet, *Performances of Strained Nanowire Devices : Ballistic Versus Scattering-Limited Currents*, IEEE Transactions on Electron Devices **60** (2013), no. 5, 1506–1513.
- [81] Y.-M. Niquet, C. Delerue, and C. Krzeminski, *Effects of Strain on the Carrier Mobility in Silicon Nanowires*, Nano letters **12** (2012), 3545–3550.
- [82] A. Idrissi-El Oudrhiri, S. Martinie, J-C. Barbe, O. Rozeau, C. Le Royer, M-A. Jaud, J. Lacord, N. Bernier, L. Grenouillet, P. Rivallin, J. Pelloux-Prayer, M. Casse, and M. Mouis, *Mechanical simulation of stress engineering solutions in highly strained p-type FDSOI MOSFETs for 14-nm node and beyond*, IEEE, September 2015, pp. 206–209.
- [83] P. Packan, S. Cea, H. Deshpande, T. Ghani, M. D. Giles, O. Golonzka, M. Hattendorf, R. Kotlyar, K. J. Kuhn, A. Murthy, P. Ranade, L. Shifren, C. Weber, and K. Zawadzki, *High Performance Hi-K + Metal Gate Strain Enhanced Transistors on (110) Silicon*, IEDM Tech. Dig., 2008.

- [84] J. W. Pan, P. W. Liu, T. Y. Chang, W. T. Chiang, C. H. Tsai, Y. H. Lin, C. T. Tsai, G. H. Ma, S. C. Chien, and S. W. Sun, *Mobility and Strain Effects on $\langle 110 \rangle / (110)$ SiGe channel pMOSFETs for High Current Enhancement*, IEDM Tech. Dig. (2006).
- [85] J. Pelloux-Prayer, M. Casse, S. Barraud, P. Nguyen, M. Koyama, Y.-M. Niquet, F. Triozon, I. Duchemin, A. Abisset, A. Idrissi-Eloudrhiri, S. Martinie, J.-L. Rouviere, H. Iwai, and G. Reimbold, *Study of the piezoresistive properties of NMOS and PMOS Omega-gate SOI nanowire transistors : Scalability effects and high stress level*, IEEE, December 2014, pp. 20.5.1–20.5.4.
- [86] J. Pelloux-Prayer, M. Casse, S. Barraud, J.-L. Rouviere, and G. Reimbold, *Characterization of piezoresistive coefficients in silicon nanowire transistors*, IEEE, April 2014, pp. 49–52.
- [87] J. Pelloux-Prayer, M. Casse, S. Barraud, F. Triozon, Z. Zeng, Y.-M. Niquet, J.-L. Rouviere, and G. Reimbold, *Transport in TriGate nanowire FET : Cross-section effect at the nanometer scale*, IEEE, October 2016, pp. 1–2.
- [88] J. Pelloux-Prayer, M. Casse, F. Triozon, S. Barraud, Y.-M. Niquet, J.-L. Rouviere, O. Faynot, and G. Reimbold, *Strain effect on mobility in nanowire MOSFETs down to 10nm width : Geometrical effects and piezoresistive model*, IEEE, September 2015, pp. 210–213.
- [89] ———, *Strain Effect on Mobility in Nanowire MOSFETs down to 10nm Width : Geometrical Effects and Piezoresistive Model*, Solid-State Electronics (2016) (en).
- [90] J.D. Plummer and P.B. Griffin, *Material and process limits in silicon VLSI technology*, Proceedings of the IEEE **89** (2001), no. 3, 240–258.
- [91] Manfred Reiche, C. Himcinschi, U. Gösele, S. Christiansen, S. Mantl, D. Buca, Q.T. Zhao, S. Feste, R. Loo, D. Nguyen, W. Buchholtz, A. Wei, M. Horstmann, D. Feijoo, and P. Storck, *Strained Silicon On Insulator Fabrication and Characterization*, vol. 6, ECS, 2007, pp. 339–344 (en).
- [92] Soline Richard, Frederic Aniel, Guy Fishman, and Nicolas Cavassilas, *Energy-band structure in strained silicon : A 20-band $k \cdot p$ and Bir-Pikus Hamiltonian model*, Journal of Applied Physics **94** (2003), no. 3, 1795 (en).
- [93] F. Rochette, *Etude et caractérisation de l'influence des contraintes mécaniques sur les propriétés de transport électronique dans les architectures MOS avancées*, Ph.D. thesis, INPG, 2008.
- [94] F. Rochette, M. Cassé, M. Mouis, D. Blachier, C. Leroux, B. Guillaumot, G. Reimbold, and F. Boulanger, *Electron mobility enhancement in uniaxially strained MOSFETs : Extraction of the effective mass variation*, Proceedings of European Solid-State Device Research Conference, 2006, pp. 93–96.
- [95] F. Rochette, M. Casse, M. Mouis, A. Haziot, T. Pioger, G. Ghibaudo, and F. Boulanger, *Piezoresistance effect of strained and unstrained fully-depleted silicon-on-insulator MOSFETs integrating a HfO₂/TiN gate stack*, Solid-State Electronics **53** (2009), no. 3, 392–396 (en).
- [96] O. Roux-dit Buisson, G. Ghibaudo, and J. Brini, *Sensitive differential method for the extraction of the mobility variation in uniformly degraded MOS transistors*, IEE Proceedings G (Circuits, Devices and Systems) **140** (1993), no. 2, 123–126.

- [97] Tamara Rudenko, Valeriya Kilchytska, Nadine Collaert, Malgorzata Jurczak, Alexey Nazarov, and Denis Flandre, *Carrier Mobility in Undoped Triple-Gate FinFET Structures and Limitations of Its Description in Terms of Top and Sidewall Channel Mobilities*, IEEE Transactions on Electron Devices **55** (2008), no. 12, 3532–3541.
- [98] Masumi Saitoh, Yukio Nakabayashi, Kensuke Ota, Ken Uchida, and Toshinori Numata, *Understanding of short-channel mobility in tri-gate nanowire MOSFETs and enhanced stress memorization technique for performance improvement*, Electron Devices Meeting (IEDM), 2010 IEEE International, IEEE, 2010, pp. 34–3.
- [99] M. Shayegan, K. Karrai, Y. P. Shkolnikov, K. Vakili, E. P. De Poortere, and S. Manus, *Low-temperature, in situ tunable, uniaxial stress measurements in semiconductors using a piezoelectric actuator*, Applied Physics Letters **83** (2003), no. 25, 5235 (en).
- [100] K. Shin, W. Xiong, C. Y. Cho, C. R. Cleavelin, T. Schulz, K. Schröder, P. Patruno, L. Smith, and T.-J. K. Liu, *Study of Bending-Induced Strain Effects on MuGFET Performance*, IEEE Electron Dev. Lett. **27** (2006), no. 8, 671–673.
- [101] T. Signamarcheix, F. Andrieu, B. Biasse, M. Cassé, A.-M. Papon, E. Nolot, B. Ghyselen, O. Faynot, and L. Clavelier, *Solid-State Electronics Fully depleted silicon on insulator MOSFETs on (110) surface for hybrid orientation technologies*, Solid State Electronics **59** (2011), no. 1, 8–12.
- [102] T. Skotnicki, J. A. Hutchby, T.-J. King, H. S. Wong, and F. Boeuf, *The End of CMOS scaling : Toward the Introduction of New Materials and Structural Changes to Improve MOSFET Performance*, IEEE Circuits and Devices Magazine (2005), no. February, 16–26.
- [103] Thomas Skotnicki, *Transistor MOS et sa technologie de fabrication*, Ed. Techniques Ingénieur, 2000.
- [104] Charles S. Smith, *Piezoresistance effect in germanium and silicon*, Physical review **94** (1954), no. 1, 42.
- [105] Y. Sun, S. Thompson, and T. Nishida, *Strain Effect in Semiconductors*, Springer, 2010.
- [106] S.M. Sze and K. N. Kwok, *Physics of semiconductor devices*, John Wiley & Sons, 2006.
- [107] S. Takagi, A. Toriumi, M. Iwase, and H. Tango, *On the universality of inversion layer mobility in Si MOSFETs : Part I-effects of substrate impurity concentration*, IEEE Transactions on Electron Devices **41** (1994), no. 12, 2357–2362.
- [108] Shin-ichi Takagi, Judy L. Hoyt, Jeffrey J. Welser, and James F. Gibbons, *Comparative study of phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal-oxide-semiconductor field-effect transistors*, Journal of Applied Physics **80** (1996), no. 3, 1567 (en).
- [109] Shin-ichi Takagi, Junji Koga, and Akira Toriumi, *Mobility Enhancement of SOI MOSFETs due to Subband Modulation in Ultrathin SOI Films*, Japanese Journal of Applied Physics **37** (1998), no. 3B, 1289–1294.

- [110] Shin-ichi Takagi, Akira Toriumi, Masao Iwase, and Hiroyuki Tango, *On the universality of inversion layer mobility in Si MOSFETs : Part II-effects of surface orientation*, Electron Devices, IEEE Transactions on **41** (1994), no. 12, 2363–2368.
- [111] L. Thevenod, M. Cassé, M. Mouis, G. Reimbold, F. Fillot, B. Guillaumot, and F. Boulanger, *Influence of TiN metal gate on Si/SiO₂ surface roughness in N and PMOSFETs*, Microelectron. Eng. **80** (2005), 11–14.
- [112] S. Thompson, N. Anand, M. Armstrong, C. Auth, B. Arcot, M. Alavi, P. Bai, J. Bielefeld, R. Bigwood, J. Brandenburg, M. Buehler, S. Cea, V. Chikarmane, C. Choi, R. Frankovic, T. Ghani, G. Glass, W. Han, T. Hoffmann, M. Hussein, P. Jacob, A. Jain, C. Jan, S. Joshi, C. Kenyon, J. Klaus, S. Klopčic, J. Luce, Z. Ma, B. McIntyre, K. Mistry, A. Murthy, P. Nguyen, H. Pearson, T. Sandford, R. Schweinfurth, R. Shaheed, S. Sivakumar, M. Taylor, B. Tufts, C. Wallace, P. Wang, C. Weber, and M. Bohr, *A 90 nm logic technology featuring 50 nm strained silicon channel transistors, 7 layers of Cu interconnects, low k ILD, and 1 μm^2 SRAM cell*, IEDM Tech. Dig., 2002, pp. 61–64.
- [113] S.E. Thompson, M. Armstrong, C. Auth, M. Alavi, M. Buehler, R. Chau, S. Cea, T. Ghani, G. Glass, T. Hoffman, C.-H. Jan, C. Kenyon, J. Klaus, K. Kuhn, Z. Ma, B. McIntyre, K. Mistry, A. Murthy, B. Obradovic, R. Nagisetty, P. Nguyen, S. Sivakumar, R. Shaheed, L. Shifren, B. Tufts, S. Tyagi, M. Bohr, and Y. El-Mansy, *A 90-nm Logic Technology Featuring Strained-Silicon*, IEEE Transactions on Electron Devices **51** (2004), no. 11, 1790–1797 (en).
- [114] E. X. Wang, P. Matagne, L. Shifren, B. Obradovic, R. Kotlyar, S. Cea, M. Stettler, and M. D. Giles, *Physics of Hole Transport in Strained Silicon MOSFET Inversion Layers*, IEEE Trans. Electron Dev. **53** (2006), no. 8, 1840–1851.
- [115] O. Weber, T. Irisawa, T. Numata, M. Harada, N. Taoka, Y. Yamashita, T. Yamamoto, N. Sugiyama, M. Takenaka, and S. Takagi, *Examination of additive mobility enhancements for uniaxial stress combined with biaxially strained Si, biaxially strained SiGe and Ge channel MOSFETs*, Electron Devices Meeting, 2007. IEDM 2007. IEEE International, IEEE, 2007, pp. 719–722.
- [116] M.-Y. Wu and M.-H. Chiang, *Performance evaluation of stacked gate-all-around MOSFETs at 7 and 10 nm technology nodes*, IEEE, March 2016, pp. 169–172.
- [117] N. Xu, *Effectiveness of Strain Solutions for Next-Generation MOSFETs*, Ph.D. thesis, University of California, Berkeley, 2012.
- [118] K. S. Yi, K. Trivedi, H. C. Floresca, H. Yuk, W. Hu, and M. J. Kim, *Room-temperature quantum confinement effects in transport properties of ultrathin Si nanowire field-effect transistors*, Nano letters **11** (2011), no. 12, 5465–70.
- [119] C. Young, K. Akarvardar, M. O. Baykan, K. Matthews, I. Ok, T. Ngai, K. Ang, J. Pater, C. E. Smith, M.M. Hussain, P. Majhi, and C. Hobbs, *(110) and (100) sidewall-oriented FinFETs : A performance and reliability investigation*, Solid State Electronics **78** (2012), 2–10.
- [120] C. D. Young, M. O. Baykan, A. Agrawal, H. Madan, K. Akarvardar, C. Hobbs, I. Ok, W. Taylor, C. E. Smith, M. M. Hussain, and others, *Critical discussion on*

- (100) and (110) orientation dependent transport : nmos planar and finfet*, IEEE TED **57** (2011), 1567.
- [121] Z. Zeng, F. Triozon, S. Barraud, and Y. M. Niquet, *A simple interpolation model for the carrier mobility in trigate and gate-all-around silicon nwfets*, IEEE Transactions on Electron Devices **64** (2017), no. 6, 2485–2491.