
Table des matières

<u>GLOSSAIRE.....</u>	<u>XV</u>
<u>INTRODUCTION GENERALE</u>	<u>1</u>
<u>STRUCTURE DU MANUSCRIT</u>	<u>2</u>
<u>CHAPITRE 1 : CONTEXTE GENERAL DE L'ETUDE.....</u>	<u>3</u>
INTRODUCTION	4
I- L'INDUSTRIE DE LA MICROELECTRONIQUE ET SON EVOLUTION	4
I-1 LA MINIATURISATION ET LA DIVERSIFICATION	4
I-2 L'INTEGRATION 3D	7
I-2.1 Structure d'un circuit intégré.....	7
I-2.2 Intégration 3D par collage de circuits intégrés complets.....	9
I-2.3 Autres façons d'augmenter la densité d'intégration	11
I-3 BILAN DE L'EVOLUTION DE LA MICROELECTRONIQUE ET OPPORTUNITE DES NOUVEAUX MATERIAUX.....	12
II- LES MATERIAUX NANOSTRUCTURES	13
II-1 INTRODUCTION	13
II-2 LES DIFFERENTS MODES D'ELABORATION DES NANOFILS.....	13
II-2.1 Elaboration de nanofils par gravure, approche « top-down »	13
II-2.1.a Obtention de nanofils verticaux.....	13
II-2.1.b Obtention de nanofils horizontaux.....	15
II-2.2 Elaboration de nanofils par croissance, approche « bottom up »	16
II-2.2.a La croissance par MBE	16
II-2.2.b La croissance par CVD.....	17
II-2.2.c L'ablation laser.....	18
II-2.2.d La croissance assistée par un oxyde	19
II-3 LES MATERIAUX CONSTITUTIFS DES NANOFILS	20
II-3.1 Nanofils d'oxyde métallique.....	20
II-3.2 Nanofils de la famille des matériaux III-V	21
II-3.3 Nanofils de siliciure.....	22
III- L'INTEGRATION DES NANOFILS DE SILICIUM DANS DES DISPOSITIFS	23
III-1 INTRODUCTION	23
III-2 LES PROPRIETES DES NANOFILS DE SILICIUM OBTENUS PAR CROISSANCE	23

III-3 DEMONSTRATEURS INTEGRANT DES NANOFILS DE SILICIUM.....	24
III-3.1 Les transistors à nanofils.....	24
III-3.2 Les capteurs à nanofils.....	25
III-3.3 Les systèmes de conversion et de stockage d'énergie à base de nanofils ..	26
CONCLUSION.....	28
<u>CHAPITRE 2 : MECANISMES DE CROISSANCE, FONCTIONNEMENT DES DISPOSITIFS ET METHODES DE CARACTERISATION.....</u>	29
INTRODUCTION	30
I- ELABORATION DE NANOFILS	30
I-1 INTRODUCTION.....	30
I-2 LA CROISSANCE CVD	30
I-2.1 Mécanisme de croissance	30
I-2.2 Morphologie des nanofils.....	31
I-2.3 Direction de croissance	33
I-3 LA CROISSANCE PAR EPITAXIE SELECTIVE	33
II- PRINCIPAUX PROCEDES DE FABRICATION DE DISPOSITIFS	34
II-1 INTRODUCTION	34
II-2 LE DEPOT PHYSIQUE EN PHASE VAPEUR.....	34
II-2.1 La Pulvérisation	34
II-2.2 L'évaporation thermique	34
II-3 LE DEPOT CHIMIQUE EN PHASE VAPEUR	35
II-3.1 Le dépôt du TiN par CVD	35
II-3.2 Le dépôt d'Al ₂ O ₃ par ALD	36
III- PRINCIPE DE FONCTIONNEMENT DES DISPOSITIFS.....	38
III-1 LA CAPACITE MOS	38
III-1.1 Introduction.....	38
III-1.2 Régimes de fonctionnement.....	38
III-1.3 Paramètres caractéristiques de la capacité MOS	40
III-1.3.a La tension de bandes plates	40
III-1.3.b La capacité de l'oxyde.....	41
III-1.3.d La tension et le champ de claquage.....	42
III-1.3.e Le courant de fuite.....	42
III-2 LA CAPACITE MIM	45
III-2.1 Introduction	45
III-2.3 Paramètres caractéristiques de la capacité MIM	46
III-2.3.a La résistance série et le facteur de qualité.....	46
III-2.3.b La linéarité en tension	46
IV- METHODES DE CARACTERISATION	47
IV-1 INTRODUCTION.....	47

IV-2 METHODES DE CARACTERISATION MORPHOLOGIQUE.....	47
IV-2.1 La tomographie électronique.....	47
IV-2.2 L'émission lumineuse.....	48
IV-3 METHODES DE CARACTERISATION ELECTRIQUES.....	48
IV-3.1 Principe de la mesure C(V).....	48
IV-3.1.a Introduction.....	48
IV-3.1.b Mesure de capacité en mode dynamique.....	50
IV-3.2 Principe de la mesure I(V).....	52
IV-4 METHODES D'EXTRACTION DES PARAMETRES CARACTERISTIQUES.....	53
IV-4.1 Introduction.....	53
IV-4.2 Extraction de la surface effective.....	53
IV-4.3 Extraction du dopage.....	53
IV-4.4 Extraction de la tension de bandes plates.....	54
IV-4.5 Extraction de la densité d'états d'interface.....	54
IV-4.6 Extraction de la densité de charges dans le diélectrique.....	55
CONCLUSION.....	57
CHAPITRE 3 : CONCEPTION DE CAPACITES A BASE DE NANOFILS	59
INTRODUCTION.....	60
I- ETAT DE L'ART DES CAPACITES DE FORTE VALEUR.....	60
I-1 INTRODUCTION ET CRITERES DE COMPATIBILITE AVEC UNE TECHNOLOGIE A BASE DE NANOFILS.....	60
I-2 QUELLES APPLICATIONS NECESSITENT DES CAPACITES DE FORTE VALEURS ?.....	61
I-2.1 La capacité de DRAM (<i>Dynamic Random Access Memory</i>).....	61
I-2.2 Les capacités commutées.....	62
I-2.3 Le convertisseur DC / DC.....	63
I-2.4 Les capacités de découplage.....	64
I-3 ETAT DE L'ART DES CAPACITES DE HAUTE DENSITE ET OPPORTUNITE DES NANOFILS.....	65
I-3.1 Deux stratégies d'intégration.....	65
I-3.2 Etat de l'art des capacités de haute densité.....	67
I-3.3 Opportunité des nanofils.....	68
II- MATERIAUX ET CRITERES DE CHOIX.....	69
II-1 MATERIAUX POUR LES ELECTRODES.....	69
II-1.1 Cas des capacités MOS.....	69
II-1.2 Cas des capacités MIM.....	70
II-2 LES MATERIAUX DIELECTRIQUES.....	72
II-2.1 Critères de choix.....	72
II-2.2 Les compromis.....	72
II-2.3 Les diélectriques potentiels et leurs caractéristiques.....	73
III- FABRICATION ET DIMENSIONNEMENT DE CAPACITE A BASE DE NANOFILS.....	74

III-1 PROCÉDES DE FABRICATIONS DES CAPACITÉS MIM ET MOS POUR LES INTERCONNEXIONS	74
III-2 DIMENSIONNEMENT DE LA CAPACITÉ	78
III-2.1 Dimensionnement de la structure pour optimiser la valeur de la capacité... 78	
III-2.1.a Description de la structure et hypothèses	78
III-2.1.b Discussion sur la modélisation de la capacité des nanofils	79
III-2.1.c Expression de la capacité en fonction de la géométrie	80
III-2.1.d Expression du gain en capacité apporté par les nanofils.....	81
III-2.2 Dimensionnement de la structure pour optimiser la résistance série.....	82
III-2.2.a Introduction	82
III-2.2.b Description de la structure et hypothèses	82
III-2.2.c Modélisation de l'impédance d'un seul nanofil	84
III-2.2.d Effet du rayon et de la longueur du nanofil sur la résistance série	87
III-2.2.e Modélisation de l'impédance d'un dispositif à plusieurs nanofils	88
III-2.2.f Résistance série sur les capacités MOS	88
III-2.3 Effet de la résistance série sur la gamme de fréquence d'utilisation de la capacité.....	90
CONCLUSION.....	93

CHAPITRE 4 : FABRICATION ET CARACTÉRISATION MORPHOLOGIQUE DES CAPACITÉS DE HAUTE DENSITÉ 95

INTRODUCTION	96
I- LA CROISSANCE DE NANOFILS	96
I-1 PRÉSENTATION DE LA MISE EN ŒUVRE DE LA CROISSANCE.....	96
I-1.1 L'équipement de croissance.....	96
I-1.2 Présentation des structures.....	97
I-2 PRÉSENTATION DES RESULTATS DE CROISSANCE DANS LES STRUCTURES	100
I-2.1 Introduction	100
I-2.2 Morphologie des nanofils.....	100
I-2.3 Effet de l'oxydation avant croissance – Etude sur échantillons	102
I-2.4 Densité en fonction de la position sur la plaque.....	103
I-2.5 Recette et épaisseur de cuivre retenue.....	105
II- FABRICATION DES CAPACITÉS ET CARACTÉRISATION MORPHOLOGIQUE.....	106
II-1 SCHEMA D'INTEGRATION ET CHOIX DES MATERIAUX UTILISES	106
II-1.1 Rappel des contraintes de choix	106
II-1.2 Les matériaux d'électrode	106
II-1.3 Le diélectrique	107
II-1.4 Schéma d'intégration complet retenu.....	107
II-2 CARACTÉRISATION DES CAPACITÉS	109
II-2.1 Caractérisations en Microscopie Electronique à Balayage (MEB).....	109

II-2.1.a A l'échelle des structures de test complètes	109
II-2.1.b A l'échelle des nanofils	110
II-2.1.c Zones denses en nanofils	111
II-2.1.d Sommet des nanofils	112
II-2.2 Caractérisations en Microscopie Electronique en Transmission.....	114
II-2.1.a Caractérisation d'un nanofil complet	114
II-2.1.b Caractérisation d'un nanofil en coupe transversale	117
II-2.3 Caractérisation en tomographie électronique.....	119
CONCLUSION.....	121

CHAPITRE 5 : ANALYSE ELECTRIQUE DES CAPACITES DE HAUTE DENSITE 123

INTRODUCTION	124
I- CARACTERISATION PAR LA MESURE DE LA CAPACITE EN FONCTION DE LA TENSION	124
I-1 LES CAPACITES MOS	124
I-1.1 Remarque sur la capacité parasite du contact	124
I-1.2 Meilleure capacité obtenue et présentation générale des études réalisées	125
I-1.3 Capacité en fonction de l'épaisseur d'alumine	127
I-1.4 Effet d'un nettoyage des nanofils avant le dépôt d'alumine	128
I-1.5 Analyse de la chute de la capacité avec la fréquence	129
I-1.6 Evaluation de la résistance série	132
I-1.7 Explication de l'écart bord / centre et origines des résistances séries.....	133
I-1.8 Effet de la densification du nitrure de titane de l'électrode supérieure.....	134
I-1.9 Extraction des densités d'états d'interface et des charges piégées dans le diélectrique.....	135
I-1.10 Effet d'un recuit après dépôt d'alumine	140
I-1.11 Effet de la taille du motif	140
I-2 LES CAPACITES MIM	143
I-2.1 Meilleure capacité obtenue et présentation générale des études réalisées	143
I-2.2 Explication de la résistance série et voies d'amélioration	144
I-2.3 Linéarité en tension	146
II- CARACTERISATION PAR LA MESURE DES COURANTS DE FUITE	147
II-1 LES CAPACITES MOS	147
II-1.1 Etude de la conduction dans le diélectrique.....	147
II-1.1.a Tracé de la densité de fuite en fonction de la tension pour 10 nm d'alumine.....	147
II-1.1.b Mécanismes de conduction mis en jeu avec 10 nm d'alumine	149
II-1.1.c Mécanismes de conduction mis en jeu avec 15 nm d'alumine	150
II-1.1.d Effet du pré-traitement avant le dépôt d'alumine sur le courant de fuite	151
II-1.2 Etude des fuites par émission lumineuse.....	152

II-2 LES CAPACITES MIM	154
II-3 BILAN DES VALEURS DE COURANT DE FUITE SUR LES CAPACITES MOS ET COMPARAISON A L'ETAT DE L'ART.....	155
CONCLUSION.....	158
<u>CHAPITRE 6 : ETUDE DE L'INTEGRATION DES NANOFILS POUR LA FABRICATION DE TRANSISTORS DANS LES INTERCONNEXIONS</u>	161
INTRODUCTION	162
I- CONCEPTION DE TRANSISTORS A BASE DE NANOFILS POUR LES INTERCONNEXIONS.....	162
I-1 LE TRANSISTOR A NANOFILS DANS LES INTERCONNEXIONS.....	162
I-2 APPLICATIONS.....	163
I-2.1 Pour les mémoires embarquées.....	163
I-2.2 Pour les circuits logiques reconfigurables (FPGA).....	164
I-3 PROCEDES DE FABRICATION DE TRANSISTORS VERTICAUX A BASE DE NANOFILS	164
I-3.1 Etat de l'art des transistors verticaux à base de nanofils.....	164
I-3.2 Proposition de fabrication de transistors verticaux pour les interconnexions	166
I-3.2.a Procédés de fabrication.....	166
I-3.2.b Principales difficultés d'intégration et opportunité du transistor sans jonction.....	168
I-3.2.c Etudes réalisées dans le cadre de cette thèse.....	168
II- ETUDE DES PROCEDES DE LOCALISATION DU CATALYSEUR EN FOND DE CAVITE.....	170
II-1 ENJEUX DE CETTE LOCALISATION	170
II-2 METHODES DE LOCALISATION DU CATALYSEUR EN FOND DE CAVITE.....	171
II-2.1 Méthodes électrochimiques.....	171
II-2.1.a Mise en œuvre.....	171
II-2.1.b Dépôt d'or sur silicium	171
II-2.1.c Dépôt d'or sur nitrure de titane	172
II-2.1.d Dépôt d'or sur cuivre	173
II-2.2 Méthode par évaporation thermique.....	174
III- ETUDE DE LA CROISSANCE GUIDEE	176
III-1 CROISSANCE SUR NITRURE DE TITANE	176
III-2 CROISSANCE SUR SILICIUM	179
III-2.1 Croissance catalysée	179
III-2.2 Croissance non catalysée	182
IV- PRESENTATION DES CAPACITES MOS REALISEES	184
IV-1 CHOIX DES MATERIAUX ET DES PROCEDES DE FABRICATION	184
IV-2 DESCRIPTION DES DISPOSITIFS ET CARACTERISATION DE L'EMPILEMENT SUR LES NANOFILS	185
IV-3 LES CAPACITES PARASITES ET LA CAPACITE MESUREE ATTENDUE	186
V- CARACTERISATIONS ELECTRIQUES DES DISPOSITIFS	187

V-1 RESULTAT DES MESURES DE CAPACITE	187
V-2 COMMENTAIRES SUR LA CHUTE EN FREQUENCE COTE NANOFILS CATALYSES ET DIFFERENCES AVEC LES CAPACITES DE HAUTE DENSITE	190
CONCLUSION.....	192
<u>CONCLUSION GENERALE ET PERSPECTIVES</u>	193
<u>BIBLIOGRAPHIE</u>	195
<u>Liste des communications scientifiques.....</u>	205

Rapport-Gratuit.com

Glossaire

ALD : Atomic Layer Deposition : Technique de dépôt par couches atomiques

CI : Circuit intégré

CVD : Chemical Vapor Deposition : technique de dépôt chimique en phase vapeur

DRAM : Dynamic Random Access Memory

MEB : Microscope Electronique à Balayage

MIM : Métal Isolant Métal : structure de certaines capacités étudiées dans cette thèse

MOS : Métal Oxyde Semi-conducteur : Structure classique des dispositifs intégrés en microélectronique, c'est également la structure de capacité la plus étudiée dans cette thèse

PECVD : Plasma Enhanced Chemical Vapor Deposition : technique de dépôt chimique en phase vapeur avec un plasma

PVD : Physical Vapor Deposition : dépôt physique en phase vapeur

RF : Radio Fréquence : Gamme de fréquences généralement comprises entre 10^8 Hz et 10^{10} Hz

TEM : Transmission Electron Microscopy : Microscope électronique en transmission

Introduction Générale

L'évolution de la microélectronique est marquée par le développement des technologies pour la miniaturisation des transistors. Cette évolution suit depuis les années 70 la loi prédictive de Moore où le nombre de transistors intégrés double tous les 2 ans. Cependant cette miniaturisation extrême met en évidence 2 difficultés de plus en plus incontournables : d'une part l'importance grandissante des phénomènes parasites dans les transistors (fuites, effets de canaux courts, consommation statique...) et d'autre part l'augmentation des coûts de développement de ces technologies.

Le développement des nanotechnologies et plus précisément des matériaux nanostructurés obtenus par croissance (nanotubes de carbone, nanofils de silicium) offre des solutions à priori peu coûteuses à la miniaturisation des dispositifs. En effet, la croissance catalysée de nanofils par CVD permet d'obtenir des structures cristallines en silicium, sans relation d'épitaxie et de dimensions nanométriques sans photolithographie agressive. Ces nanostructures pourraient être intégrées dans des dispositifs selon 2 approches :

- Soit l'approche traditionnelle où les nanostructures sont chacune individuellement localisées et de dimensions contrôlées grâce à la photolithographie.
- Soit selon une nouvelle approche où les nanostructures s'auto-organisent lors de leur croissance. Pour s'affranchir de l'éventuelle dispersion de dimensions géométriques, on mettrait alors en jeu une population de nanostructures suffisamment importante pour obtenir la reproductibilité souhaitée à partir de la moyenne des dimensions.

C'est selon ces deux approches qu'on se propose dans cette thèse de dimensionner et de fabriquer des dispositifs à base de nanofils de silicium obtenus par croissance. Ainsi nous nous intéresserons au dimensionnement et à la fabrication de capacités de haute densité utilisant une population de nanostructures denses déployant une importante surface. Nous nous intéresserons ensuite à l'opportunité des nanofils pour la fabrication de transistors dans les niveaux d'interconnexion des circuits intégrés.

La croissance de ces nanostructures nécessitant l'utilisation de catalyseurs considérés par le monde de la microélectronique comme contaminants, nous avons choisi de développer ces dispositifs pour les niveaux d'interconnexions des circuits intégrés. En effet, à cet endroit, des matériaux contaminants comme le cuivre sont déjà utilisés. Ce choix implique un défi technologique : celui de fabriquer des dispositifs performants en utilisant uniquement des procédés compatibles avec les contraintes des niveaux d'interconnexions.

Structure du manuscrit

Dans le **chapitre 1**, nous présentons le contexte général de la microélectronique en mettant en avant 2 tendances : la miniaturisation des transistors et la diversification des fonctions intégrées. L'intégration des nanofils de silicium obtenus par croissance devrait s'inscrire dans cette dernière stratégie qui ouvre plus de possibilités aux nouveaux matériaux et notamment ceux qui mettent en jeu une contamination inhabituelle.

Le **chapitre 2** présente l'ensemble des outils théoriques mis en œuvre dans cette thèse. Depuis les mécanismes de la croissance jusqu'aux techniques d'extraction des paramètres électriques, ce chapitre peut être vu comme une « boîte à outils » qui contient l'ensemble des connaissances nécessaires à la compréhension du manuscrit.

Le **chapitre 3** commence par une présentation des applications nécessitant des capacités de hautes valeurs. Un état de l'art des technologies de fabrication de capacités les plus denses est présenté pour montrer l'opportunité d'une technologie compatible avec les niveaux d'interconnexions pour la fabrication de capacités de haute densité. Il présente ensuite les équations permettant le dimensionnement de capacités de haute densité à électrodes filaires. Les compromis entre forte capacité et faible résistance série sont mis en évidence.

Le **chapitre 4** présente la fabrication et la caractérisation morphologique des structures réalisées pour démontrer le concept de fabrication de capacités de haute densité à base de nanofils en utilisant une filière entièrement compatible avec les niveaux d'interconnexion.

Le **chapitre 5** porte sur la caractérisation électrique et l'extraction des caractéristiques des capacités fabriquées. Il met en évidence les liens entre les choix de procédés effectués et les performances électriques. Cette analyse permet de mettre en évidence les points d'amélioration pour fabriquer à l'avenir des dispositifs encore plus performants et pouvant mieux répondre aux spécifications des applications.

Le **chapitre 6** porte sur l'opportunité des nanofils pour la fabrication de transistors verticaux dans les niveaux d'interconnexion. Ce chapitre met en évidence les applications de ce type de dispositifs ainsi que les défis technologiques associés. Après un état de l'art sur les technologies existantes, nous proposons une filière de fabrication compatible avec les niveaux d'interconnexion. Nous étudions dans ce chapitre une partie de cette filière : celle qui concerne l'empilement de la grille. Nous évaluons la qualité des interfaces d'un empilement déposé à basse température sur des nanofils. La caractérisation se base sur des mesures électriques où les nanofils sont comparés à des structures de référence obtenues par épitaxie sélective.

Chapitre 1 : Contexte général de l'étude

Introduction

Ce chapitre a pour objet de situer le contexte général de cette thèse, d'expliquer comment les thématiques abordées sont nées de l'industrie de la microélectronique et enfin de mettre en évidence les principaux objectifs de cette thèse. Ce chapitre est également l'occasion de définir l'ensemble du vocabulaire qui sera ensuite utilisé. Dans un premier temps, nous présenterons l'industrie de la microélectronique, son importance, son évolution et les défis mis en jeu. A partir de son évolution, nous présenterons deux thématiques qui lui sont associées : l'intégration tridimensionnelle et l'émergence des matériaux nanostructurés. Nous terminons ce chapitre par les enjeux et les objectifs de cette thèse.

I- L'industrie de la microélectronique et son évolution

I-1 La miniaturisation et la diversification

L'histoire de la microélectronique commence en 1971 avec la commercialisation par Intel du premier microprocesseur. Il s'agissait du 4004 avec 2300 transistors occupant une surface de 12 mm². Ensuite toute l'évolution de la microélectronique depuis 1971 jusqu'à aujourd'hui est marquée par la miniaturisation des transistors et l'augmentation de leur nombre dans les microprocesseurs commercialisés. La loi prédictive de Moore, vérifiée depuis près de 50 ans indique un nombre de transistors intégrés par circuit doublé tous les 2 ans. Ainsi en 2011, les derniers processeurs fabriqués par Intel comprenaient plus de 2 milliards de transistors sur une surface d'environ 500 mm². Pour assurer cette évolution les technologies de la microélectronique ont été développées avec pour objectif constant de toujours réaliser des dispositifs plus petits.

Microprocessor Transistor Counts 1971-2011 & Moore's Law

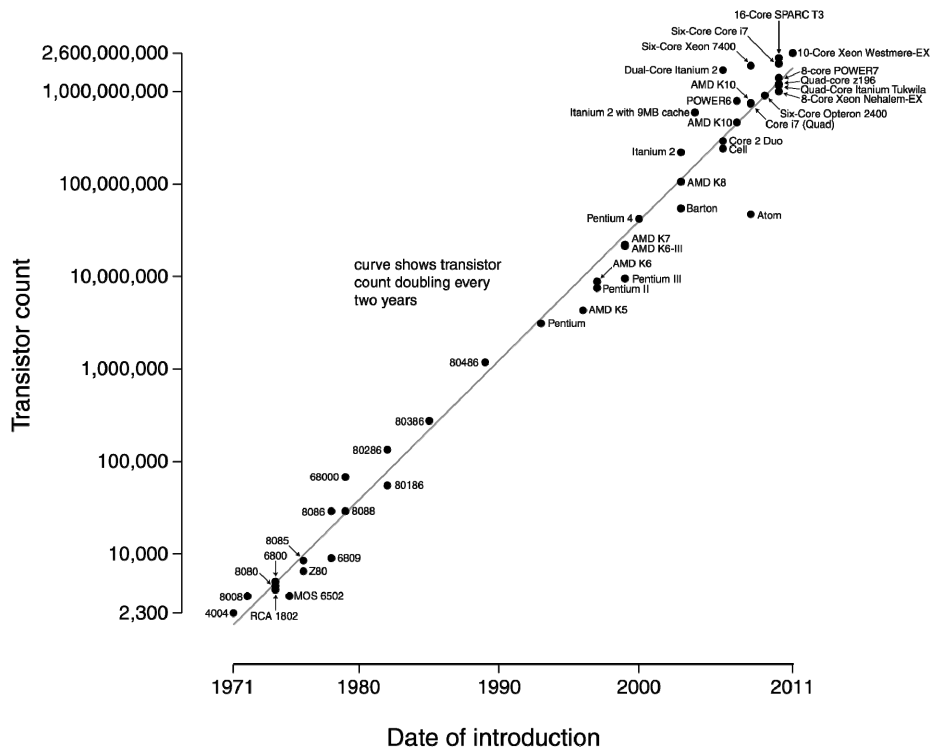


Figure 1.1 : Nombre de transistors intégrés dans les microprocesseurs en fonction de l'année de fabrication. L'évolution suit la loi de Moore. [Intel]

Les technologies mises au point pour la miniaturisation des transistors sont également utilisées pour miniaturiser d'autres systèmes intégrant d'autres fonctions que la logique comme les capteurs et les actionneurs. Il s'agit du monde des microsystèmes où les dispositifs sont en général fabriqués avec les mêmes procédés que les circuits logiques avec des contraintes de dimensions plus relâchées. Ils sont ensuite assemblés à l'échelle de la carte électronique avec les circuits intégrés gérant la logique.

Ces deux univers, celui des circuits logiques et celui des microsystèmes sont destinés à se rejoindre pour obtenir des circuits de plus en plus complexes intégrant des fonctions variées au sein du même boîtier occupant, sur le circuit électronique, la plus petite place possible. La Figure 1.2 schématise la convergence de ces 2 univers où le More Moore représente la miniaturisation des dispositifs et le More Than More la diversification des fonctions intégrées grâce aux microsystèmes.

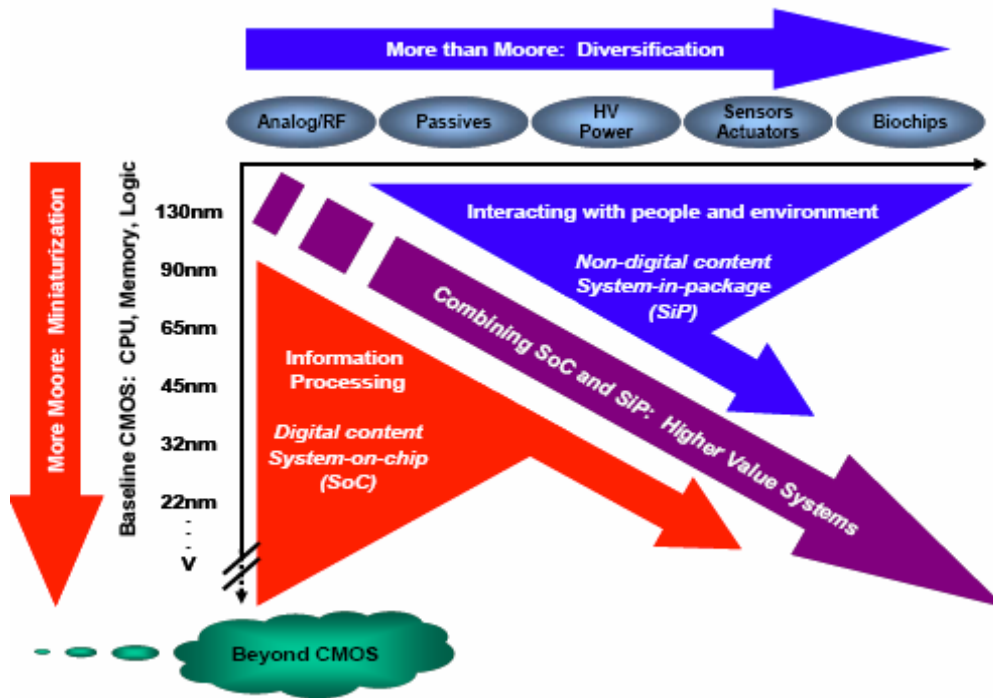


Figure 1.2 : Schématisation des 2 tendances du More Moore (miniaturisation de l'électronique) et du More Than Moore (diversification des fonctions intégrées) selon l'ITRS. [ITRSWhitePaper]

Ces 2 tendances visent à augmenter la densité d'intégration de dispositifs pour diminuer à la fois les coûts de fabrication et augmenter la diversité des fonctions accomplies par ces circuits de faibles dimensions. Sur la Figure 1.2, le « Beyond CMOS » représenté par un brouillard désigne les technologies à trouver pour poursuivre la loi de Moore, lorsque les dimensions des dispositifs ne pourront plus être diminuées de la même façon qu'elles l'ont été depuis 1972.

Ainsi les technologies développées pour l'intégration de circuits Analogiques et Radio Fréquence, de composants passifs (capacités, inductances), d'électronique de puissance, de détecteurs et d'actionneurs et enfin de bio-puces devraient permettre la fabrication de circuits comprenant dans le même boîtier toutes ces fonctions. Pour y parvenir différentes stratégies sont envisagées, notamment sous l'appellation d'intégration tridimensionnelle où les différentes fonctions sont empilées. C'est la façon de réaliser cet empilement qui diffère suivant les stratégies. Nous allons dans la suite de ce chapitre présenter les différentes possibilités pour réaliser cet empilement tridimensionnel. Cela nous permettra ensuite d'introduire l'opportunité représentée par les matériaux nanostructurés pour l'intégration de ces différentes fonctions.

I-2 L'intégration 3D

I-2.1 Structure d'un circuit intégré

Afin de bien comprendre l'intégration tridimensionnelle, il est important de bien comprendre chaque constituant d'un circuit. Le circuit intégré correspond au morceau de silicium contenu dans un boîtier (en général noir) qui comporte plusieurs pattes de connexion électrique vers le circuit électronique. Le circuit électronique qui va contenir plusieurs composants connectés par des pistes métalliques est souvent appelé circuit imprimé. La Figure 1.3 permet de repreciser ce vocabulaire.

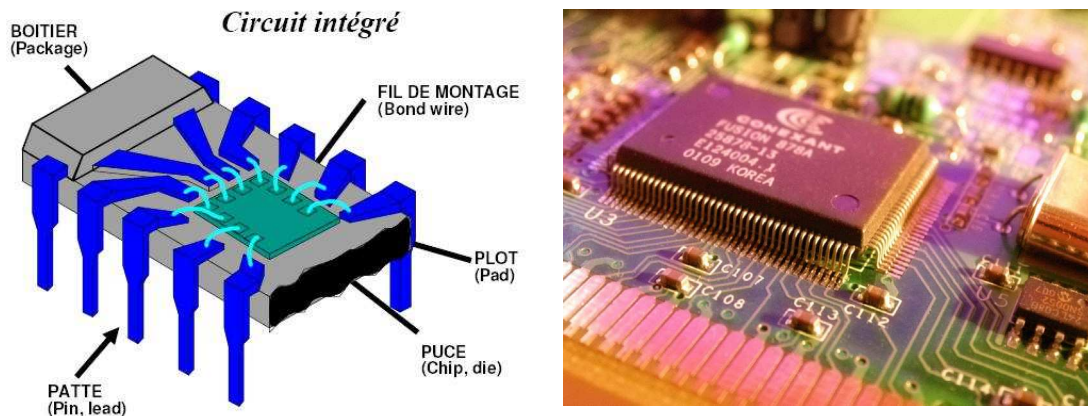


Figure 1.3 : A gauche : schématisation d'un circuit intégré dans son boîtier. A droite : photo d'un circuit intégré au sein d'un circuit électronique, [SVie]

Le circuit intégré correspond à ce qui est fabriqué en salle blanche par l'industrie de la microélectronique sur plaques de silicium. Le circuit intégré peut ensuite être décrit en 2 parties : l'une appelée Front End qui contient les transistors fabriqués sur la plaque de silicium en premier, l'autre appelée Back End qui correspond aux lignes d'interconnexion fabriquées après les transistors et qui servent à les connecter entre eux. Ces 2 parties sont schématisées sur la Figure 1.4. Au sein du Back End, les parties métalliques horizontales sont appelées « lignes » et les parties verticales « vias ».

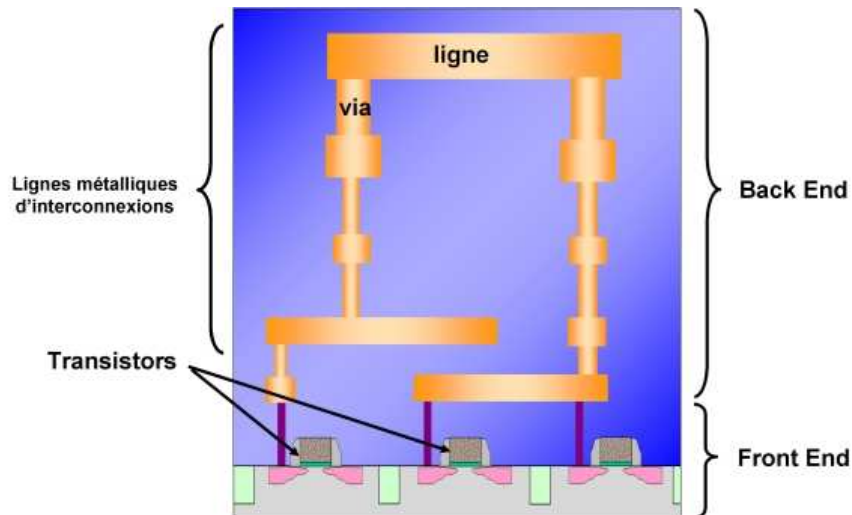


Figure 1.4 : Schéma en coupe d'un circuit intégré montrant le Front End et le Back End.

Le Front End et le Back End correspondent à deux phases distinctes dans la fabrication des circuits intégrés. En effet l'ensemble des étapes et des équipements servant à la fabrication des transistors répondent à des contraintes de température plus relâchées pouvant aller au-delà de 1000°C. En revanche, les matériaux contaminants pouvant entraîner des pièges dans la bande interdite du silicium sont interdits à ce stade de la fabrication. Les équipements utilisés pour la fabrication des transistors, ne doivent en aucun cas pouvoir être contaminés par ces matériaux comme par exemple le cuivre car ils pourraient à leur tour contaminer les plaques de silicium et détériorer le fonctionnement des dispositifs.

Lorsque la fabrication des transistors est terminée, et que commence la fabrication des lignes d'interconnexion, on passe alors à la phase du Back End. Dans cette phase, on utilise des métaux pour réaliser les connexions entre les transistors. Aujourd'hui le métal le plus couramment utilisé est le cuivre pour sa faible résistivité. En revanche, il présente une dilatation thermique qui peut devenir importante au-delà de 450°C. Pour cette raison, à la phase de fabrication correspondant au Back End, la contamination au cuivre est autorisée. En revanche les températures des procédés de fabrication doivent respecter la contrainte en température de 450°C. En réalité, il y a maintenant plusieurs raisons à cette contrainte en température, notamment la dégradation des performances des transistors déjà présents sur la plaque. Ainsi selon les applications, la contrainte en température pour le Back End, peut être plus basse que 450°C pour ne pas dégrader les transistors.

Ainsi les nouveaux matériaux qu'on souhaite introduire dans les circuits intégrés doivent respecter ces différentes contraintes en fonction de la phase de fabrication Front End ou Back End.

I-2.2 Intégration 3D par collage de circuits intégrés complets

Durant l'évolution de la microélectronique, la miniaturisation des composants a permis d'augmenter la complexité des circuits intégrés. En revanche, jusqu'à nos jours, chaque circuit intégré avait sa propre fonction : circuit logique, mémoire, circuit analogique et radio fréquence... Chaque circuit était ainsi intégré dans un boîtier et les boîtiers connectés entre eux au niveau du circuit imprimé.

Pour miniaturiser davantage les circuits, deux approches appelées System On Chip (SoC) et System in Package (SiP) se sont développées. La première consiste à intégrer sur une seule puce plusieurs fonctions différentes, la seconde consiste à intégrer plusieurs puces dans le même boîtier. Ces puces placées les unes à côté des autres sont connectées entre elles à l'intérieur du boîtier.

L'intégration 3D consiste à empiler les circuits intégrés comme le montre la Figure 1.5. Soit on empile des System on Chip, soit des circuits remplissant chacun une fonction. Les circuits empilés peuvent être associés à des circuits disposés à côté et connectés entre eux par une plateforme : l'interposer. Il s'agit d'une plateforme qui a priori ne contient que des lignes de connexion et des TSV (Through Silicon Vias) qui sont des vias traversant l'épaisseur de la plateforme pour connecter les puces aux contacts métalliques du boîtier à destination du circuit imprimé.

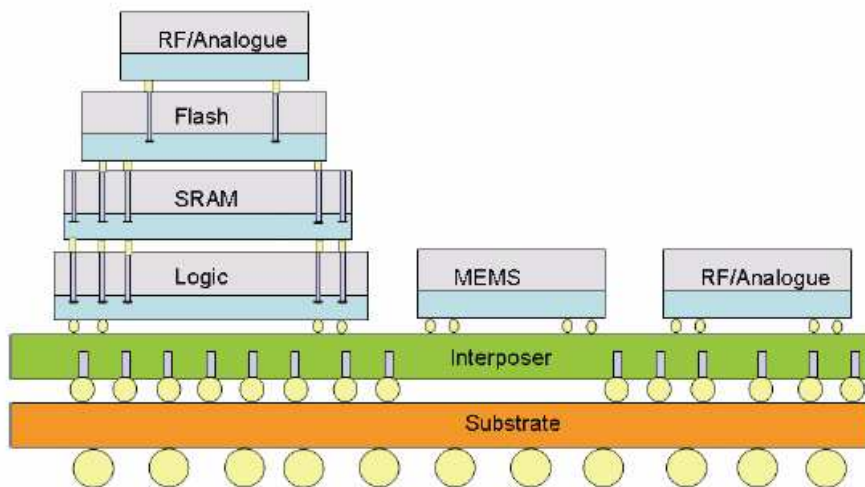


Figure 1.5 : Schéma en coupe d'une intégration 3D avec collage de plusieurs circuits connectés par des TSV sur une plateforme de type Interposer.

L'interposer permet de cette façon d'intégrer dans le même boîtier, différentes fonctions. L'empilement de circuits permet d'augmenter la densité de fonction et du composant par unité de surface à l'échelle du boîtier.

En revanche, ce type d'intégration reste très coûteux. En effet chaque circuit intégré doit être fabriqué séparément puis assemblé dans le boîtier. D'autre part, les TSV sont des vias de plusieurs micromètres de diamètre étant donné l'épaisseur de substrat qu'ils doivent traverser de plus d'une centaine de micromètres. Ainsi la densité de TSV limite la densité de connexions entre ces circuits intégrés, ce qui limite également la densité de composants sur

chacun des circuits. En fait les circuits communiquent entre eux par un nombre limité de TSV. Ce qui change par rapport à des connexions latérales (lorsque les puces sont disposées les unes à côté des autres dans le même boîtier) c'est la proximité des circuits entre eux et la diminution des temps de transmission. Par contre chaque fonction est réalisée comme auparavant indépendamment les unes des autres.

C'est selon cette stratégie que l'ensemble de l'industrie des semi-conducteurs s'est positionnée pour continuer à augmenter la densité d'intégration de circuits dans les années à venir. Des solutions conduisant à amincir les substrats sont envisagées pour diminuer la taille des TSV. Cette approche permet également d'envisager l'intégration dans le même boîtier, d'autres composants volumineux aujourd'hui fabriqués en dehors du boîtier et connectés aux circuits intégrés par le circuit imprimé. Ainsi, A. Shibuya et al. [Shibuya10] proposent de fabriquer des capacités de fortes valeurs en intégrant un diélectrique de haute permittivité sur l'interposer comme le montre la Figure 1.6.

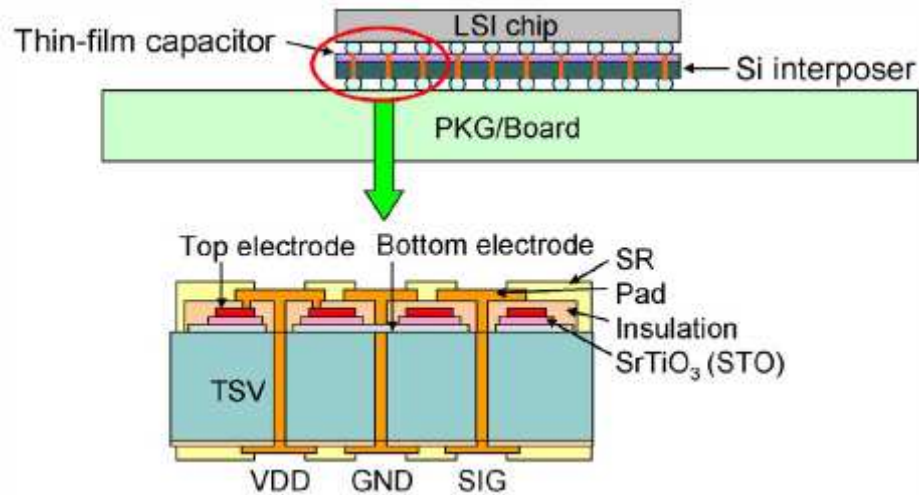


Figure 1.6 : Intégration d'une capacité de forte valeur à base de SrTiO₃ sur un interposer, [Shibuya10]

F. Roozeboom et al [Roozeboom06] proposent quant à eux d'utiliser une puce de silicium sur laquelle sont fabriqués les fortes capacités et les inductances en laissant un emplacement pour coller la puce du circuit intégré contenant la logique associée pour réaliser un circuit RF.

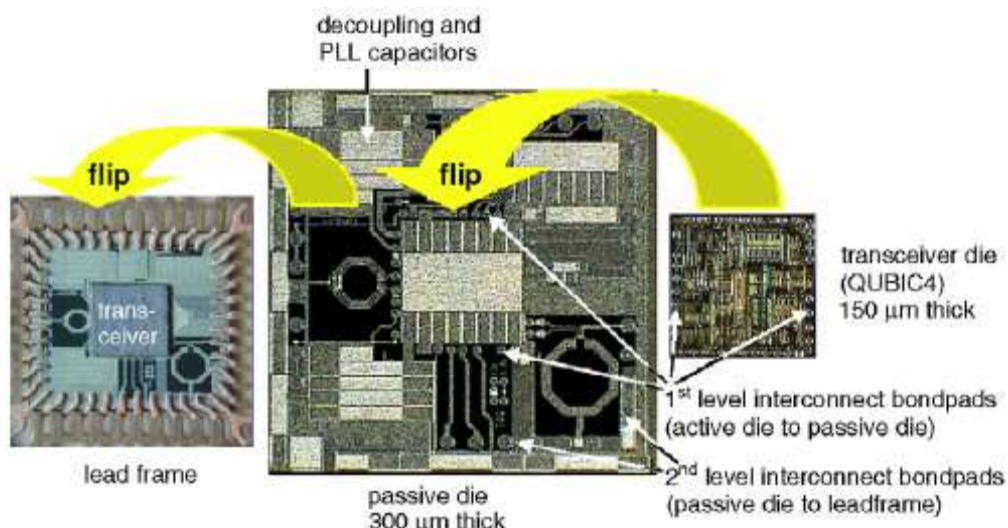


Figure 1.7 : Intégration d'un module Radio Fréquence avec composants passifs intégrés sur une puce et la logique sur une autre puce reportée par collage au centre de la puce contenant les composants passifs, [Roozeboom06]

Ces différentes stratégies ouvrent la voie de l'intégration de fonctions variées dans les circuits intégrés.

I-2.3 Autres façons d'augmenter la densité d'intégration

Une autre façon d'intégrer davantage de dispositifs consiste à réaliser des empilements 3D de fonctions, à l'échelle de la puce. Dans cette approche, au lieu d'empiler des circuits indépendants et connectés par des TSV, il s'agit de réaliser des circuits entièrement 3D dont les fonctions elles mêmes se répartissent sur plusieurs niveaux. Les différents niveaux communiquent entre eux par des TSV pour remplir les différentes fonctions. Cela suppose une plus grande proximité entre eux des transistors et autres composants des différents niveaux empilés. Cela nécessite également de retravailler le dessin des circuits afin d'optimiser le positionnement des composants les uns par rapport aux autres.

Ce type d'intégration est déjà très étudié et peut être réalisé suivant différentes stratégies. P. Batude et al. [Batude09] proposent sous le nom d'intégration 3D monolithique de coller une plaque de silicium sur une autre plaque après la fabrication des transistors. Sur la plaque du dessus, il faut alors fabriquer d'autres transistors et les connecter aux transistors du niveau inférieur. Cette stratégie permet d'aligner plus facilement les deux niveaux de composants mais également de les faire fonctionner ensemble grâce à des connexions verticales entre les 2 plaques.

De même les mémoires embarquées où les points mémoires de stockage sont déportés en Back End au dessus des transistors, sont également une stratégie d'intégration 3D dense. C'est le cas dans les DRAM que nous présenterons au chapitre 3, où la capacité de stockage peut être en Back End. On peut citer également l'équipe de K.N. Chen [Chen08] qui propose la

fabrication de transistors verticaux entre 2 lignes métalliques d'interconnexion grâce à une conduction modulée par un matériau à changement de phase.

Ce type d'intégration 3D en déportant des fonctions en Back End présente un grand intérêt en termes de densité d'intégration. En effet, la densité qu'on peut obtenir correspond à la densité de composant du circuit intégré en utilisant les technologies de la microélectronique développées depuis 1970. Il n'y a plus les limitations liées à l'alignement des plaques pour le collage, ni l'encombrement de TSV. En revanche, les contraintes de fabrications sont plus importantes car les dispositifs fabriqués les uns après les autres doivent utiliser des procédés qui ne dégradent pas ou peu les propriétés des dispositifs déjà réalisés. Cette stratégie demande également un important travail de dessin des circuits pour déterminer comment doivent être connectés entre eux les différents dispositifs.

I-3 Bilan de l'évolution de la microélectronique et opportunité des nouveaux matériaux

Nous venons de voir que l'évolution de la microélectronique pouvait se décliner en 2 directions : d'un côté la miniaturisation qui conduit à faire des transistors de plus en plus petits et à augmenter le nombre de transistors intégrés par circuit et d'un autre côté le développement de techniques pour intégrer de plus en plus de fonctions différentes sur silicium.

L'intégration 3D qui consiste à rapprocher différents circuits représente une opportunité pour l'intégration dans un même boîtier avec les circuits de logique des composants passifs comme les fortes capacités et les inductances. Une autre stratégie d'intégration 3D consistant à fabriquer sur la même puce les différentes fonctions devrait permettre d'atteindre des densités de composants encore plus importantes.

L'intégration de nouveaux matériaux a été nécessaire dans toute l'évolution de la microélectronique pour la miniaturisation des composants. En revanche, peu de matériaux ne sont en réalité compatibles avec la fabrication de circuits intégrés comme nous l'avons vu en fonction de la phase de fabrication Front End ou Back End. Avec l'intégration 3D où les fonctions sont fabriquées sur différents supports assemblés ensuite dans le même boîtier, on peut imaginer qu'à l'avenir ces supports soient fabriqués dans différentes salles blanches. Cela devrait permettre d'étendre le choix de matériaux et de procédés utilisés pour l'intégration de différentes fonctions. Dans ce contexte, nous allons présenter dans la partie suivante les matériaux nanostructurés et identifier leur opportunité pour la réalisation de nouvelles fonctions intégrées.

II- Les matériaux nanostructurés

II-1 Introduction

Les matériaux nanostructurés comme les nanofils et les nanotubes ont été très étudiés durant ces 10 dernières années principalement pour leurs dimensions et leurs procédés d'obtention souvent à coût réduit. En effet, la miniaturisation des composants en microélectronique coûte de plus en plus cher, c'est pourquoi la fabrication de structures possédant dès leur formation des dimensions réduites présente un intérêt important pour les applications microélectroniques. Leur fabrication et leur intégration ont permis également de mettre en évidence de nouvelles propriétés pouvant être mises à profit pour la fabrication de nouvelles fonctions intégrées. Dans cette partie nous nous intéressons principalement aux nanofils de silicium. Dans une première partie nous présenterons les différents modes d'élaboration des nanofils selon deux approches : par gravure et par croissance. Nous présenterons ensuite quelques matériaux autres que le silicium pouvant être sous forme de nanofils. Nous terminerons cette partie par la présentation de différentes applications envisagées dans la littérature utilisant les nanofils de silicium. Notons qu'on peut trouver dans la littérature des reviews détaillées sur les nanofils de silicium et les techniques de croissance : [Schmidt09, 10], [Bandaru10].

II-2 Les différents modes d'élaboration des nanofils

II-2.1 Elaboration de nanofils par gravure, approche « top-down »

II-2.1.a Obtention de nanofils verticaux

Une première façon d'élaborer les nanofils consiste à graver le matériau du futur nanofil à partir d'une photolithographie définissant des motifs en forme de nanofils suivie d'une gravure pour les mettre en forme. On peut ainsi former des nanofils de tout type de matériau à condition de savoir graver le matériau choisi.

Lorsqu'on utilise une photolithographie standard, le nombre de nanofils, leur position ainsi que leur diamètre peut être maîtrisé de la même façon qu'on maîtrise aujourd'hui ces procédés en microélectronique. La densité de nanofils, ainsi que leur diamètre dépendent du type de photolithographie utilisé et de la maîtrise de la gravure. Ainsi plusieurs combinaisons de procédés de photolithographie et de gravure sont possibles en fonction de la densité et des dimensions des structures qu'on souhaite obtenir. La Figure 1.8 montre des exemples de nanofils de silicium verticaux obtenus par gravure de plaques de silicium.

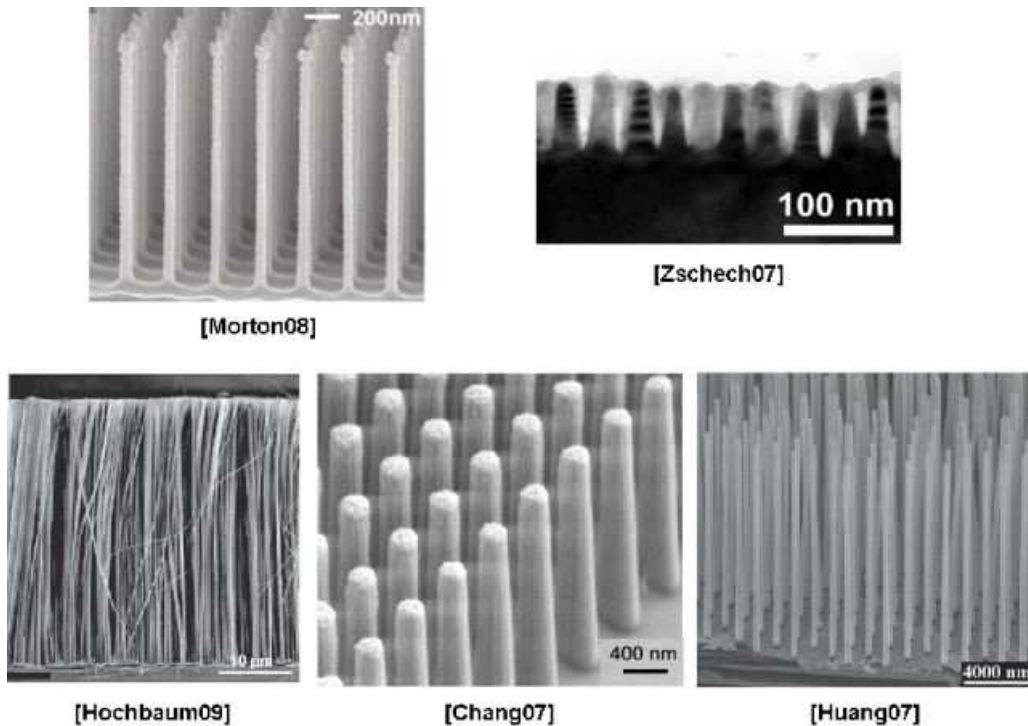


Figure 1.8 : Différents exemples de nanofils verticaux obtenus par gravure du substrat de silicium. [Morton08] utilise une lithographie par nano-imprint et Deep RIE, [Zschech07] une gravure RIE à partir d'une résine nanostructurée par des copolymères, [Hochbaum09] une gravure assistée par des ions argent, [Chang07] une gravure RIE avec lithographie standard et [Huang07] utilise une gravure assistée par de l'argent et un masquage par des billes de polystyrène

Parmi les techniques de photolithographie pour former des nanofils verticaux, on peut citer la photolithographie standard utilisant un masque et une résine comme l'ont utilisé Y.F. Chang et al. [Chang07] pour fabriquer des nanofils verticaux de silicium. Pour obtenir une densité plus importante de nanofils, on peut utiliser un masque à base de copolymères comme l'ont montré notamment G. Gay et al. [Gay10] et D. Zschech et al. [Zschech07]. On peut également utiliser des nano-sphères de styrène comme l'ont fait X. Wang et al. [Wang09] et Z.P. Huang [Huang07] ou une lithographie par « nano-imprint » comme réalisée par K.J. Morton et al. [Morton08].

Pour les techniques de gravure du silicium pour former des nanofils verticaux, citons tout d'abord la gravure RIE (Reactive Ion Etching) qui est la technique de gravure anisotrope la plus répandue en microélectronique et qui a été utilisée notamment par Y.F. Chang et al. [Chang07] pour obtenir des nanofils de silicium de quelques micromètres de hauteur. On peut ensuite trouver des techniques issues des technologies de fabrication de silicium poreux dont G. Korotcenkov et B.K. Cho ont fait une review dans [Korotcenkov10]. Parmi ces techniques, on peut citer notamment la gravure assistée par un métal qui s'utilise soit avec un métal déposé sur le silicium comme utilisé par V.A. Sivakov et al. [Sivakov10] avec de l'argent, soit en utilisant le métal sous forme ionique comme l'ont fait notamment C. Chartier et al. [Chartier08], J. Le Rouzo et al. [LeRouzo09] et dont Z. Huang et al. [Huang11] présentent une review. Cette

dernière technique de gravure a été très étudiée durant ces 3 dernières années pour les applications photovoltaïques.

II-2.1.b Obtention de nanofils horizontaux

Pour obtenir des nanofils horizontaux, les possibilités sont plus restreintes. Les techniques qu'on peut trouver dans la littérature utilisent une photolithographie soit standard, soit e-beam (par faisceau d'électrons). Pour obtenir plusieurs nanofils empilés, les procédés commencent en général par l'épitaxie de plusieurs couches empilées de silicium pur et d'un alliage de silicium avec du germanium. En effet, on peut faire croître ce type d'empilement par épitaxie puis graver des tranchées à travers ce multicouche et enfin graver de façon isotrope les couches de Si ou celles de SiGe pour laisser des nanofils empilés. C'est cette technique qui a été utilisée par T. Ernst et al. [Ernst11] et par W. Fang et al. [Fang07] pour la fabrication de transistors dont le canal est composé de plusieurs nanofils empilés. Une autre technique pour obtenir des nanofils horizontaux consiste à utiliser un des défauts de la gravure par deep-RIE. Cette gravure se fait selon une séquence composée de gravure RIE suivie d'un dépôt de polymères pour stabiliser les flancs. Cependant cette séquence produit des structures qui présentent sur les flancs une rugosité régulière comme le montre le schéma de gauche de la Figure 1.9. R.M.Y. Ng et al. [Ng09] ont utilisé cette technique pour fabriquer les nanofils du canal d'un transistor à nanofils. Ils ont ainsi gravé des tranchées de silicium par Deep-RIE, puis ont obtenus des nanofils à partir des rugosités des flancs après oxydation et gravure. La Figure 1.9 montre plusieurs exemples de réalisation de nanofils horizontaux obtenus par gravure.

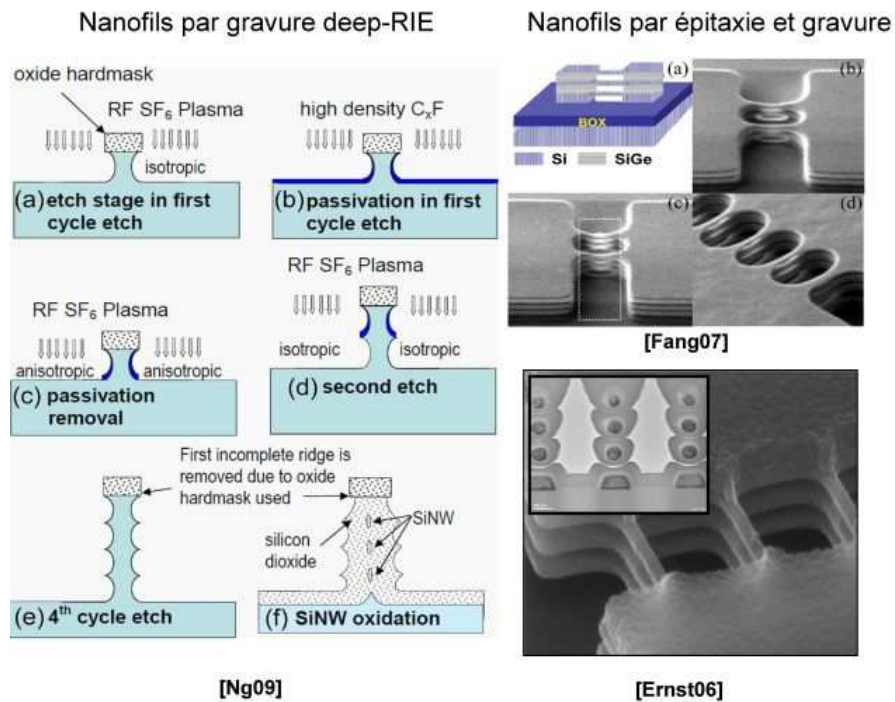


Figure 1.9 : Obtention de nanofils horizontaux dans l'approche « top down », à gauche par gravure Deep-RIE, à droite à partir d'une épitaxie Si/SiGe et de gravures anisotropes et isotropes.

II-2.2 Elaboration de nanofils par croissance, approche « bottom up »

II-2.2.a La croissance par MBE

Au lieu de graver le substrat de silicium pour obtenir des nanofils, on peut également apporter le matériau constitutif du nanofil par voie gazeuse et le faire croître. La croissance par MBE pour Molecular Beam Epitaxie (Epitaxie par jet moléculaire) est avec la croissance CVD (Chemical Vapor Deposition) une des techniques de croissance des nanofils de silicium les plus utilisées. Elle met en jeu un réacteur sous ultravide à une pression de l'ordre de 10^{-10} mbar. Elle consiste à évaporer par faisceau d'ion les matériaux dans la chambre de dépôt, comme le montre la Figure 1.10. Par exemple pour la croissance de nanofils de silicium catalysée à l'or, on commence par évaporer une fine couche d'or pour la déposer sur un substrat avant d'évaporer du silicium. Le silicium se dépose alors sur l'ensemble de l'échantillon et la cinétique de croissance est plus importante au niveau des catalyseurs. On a ainsi une croissance bidimensionnelle autour des particules d'or catalytiques en compétition avec la croissance de nanofils au niveau des particules d'or. La croissance au niveau des particules se faisant plus vite, on obtient en fin de croissance des nanofils qui émergent d'une couche de silicium qui s'est formée pendant la croissance.

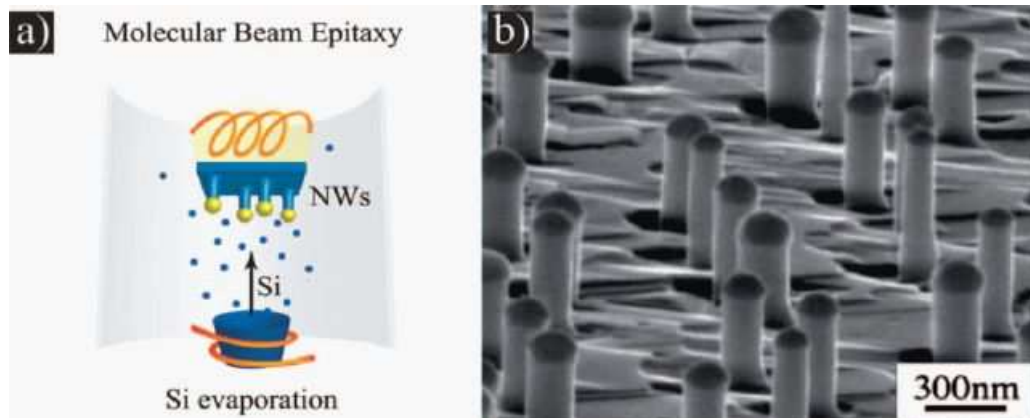


Figure 1.10 : A gauche : schéma de principe de la croissance par MBE et à droite : exemple de croissance de nanofils catalysés à l'or, [Schmidt10], [Zakharov06].

La principale différence de cette technique avec la CVD qu'on présente dans la partie suivante réside dans les pressions utilisées (ici l'ultravide) et dans la sélectivité de la croissance, ici plus faible qu'en croissance par CVD. En revanche, les bâtis de croissance MBE sont souvent dotés d'outils permettant de mieux contrôler les quantités de matières en jeu dans la croissance et sont souvent plus pratiques pour étudier les mécanismes de croissance. D'autre part, selon Schubert et al. [Schubert04] et P. Werner et al. [Werner06], la croissance par MBE ne permettrait pas d'obtenir des nanofils de moins de 40 nm de diamètre à cause de l'effet Gibbs-Thomson concernant l'influence du diamètre sur la cinétique de croissance.

II-2.2.b La croissance par CVD

C'est la technique de croissance que nous avons utilisé dans cette thèse pour la fabrication de la majorité des nanostructures que nous avons intégré. La formation de nanofils à partir de cette technique a été décrite pour la première fois par Ellis et Wagner en 1964 [Wagner64] qui ont appelé le mécanisme de croissance : « VLS » pour vapeur liquide solide. Ce procédé consiste à amener le silicium du nanofil sous forme gazeuse à partir de silane (SiH_4) ou de dichlorosilane (SiCl_2) comme le montre la Figure 1.11. Ce gaz réagit à la surface d'un catalyseur métallique mis en goutte et forme des nanofils entre le catalyseur et le substrat. Le catalyseur se retrouve en fin de croissance au sommet des nanofils. Nous décrirons précisément le mécanisme de cette croissance au chapitre 2.

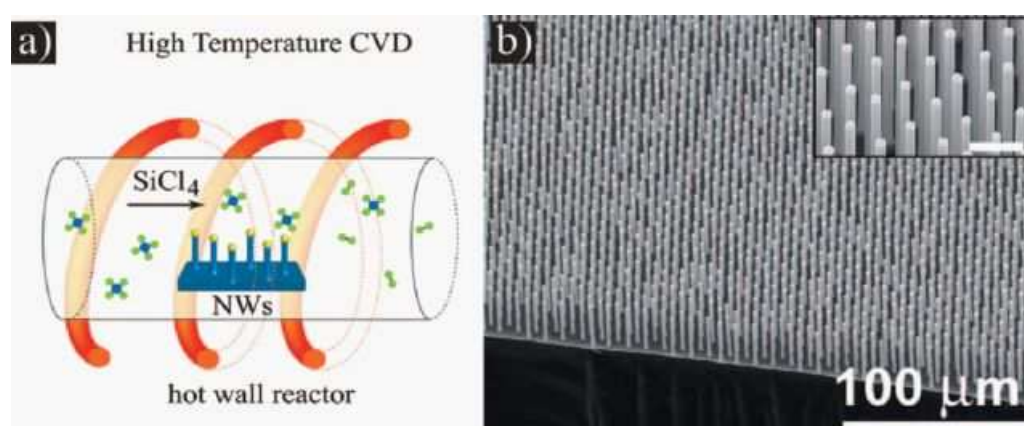


Figure 1.11 : La croissance par CVD, à gauche le schéma de principe pour un réacteur à murs chaud et à droite un exemple de réalisation, [Schmidt10], [Kayes07].

Un des principaux avantages de cette technique réside dans la sélectivité de la croissance. En effet il n'y a de croissance de nanofils qu'au niveau des catalyseurs et pas ou peu de croissance bidimensionnelle parasite. Les principales équipes travaillant sur la croissance CVD des nanofils dans le monde sont : l'équipe de C.M. Lieber (Harvard, [Lieber01, 03, 07], de P. Yang (Berkeley, [Yang08, 10]), de L. Samuelson (Lund, [Samuelson04]), de A. Atwater (Caltech, [Atwater07, 10]) et de U. Gosele (Max Planck Institute, [Gosele06], [Schmidt06, 09]).

Le catalyseur qui permet de contrôler au mieux la croissance est aujourd'hui l'or qui pourtant est un contaminant interdit dans les salles blanches produisant des dispositifs électroniques en raison des pièges profonds qu'il introduit dans la bande de valence du silicium. Ces pièges sont des zones de recombinaison des porteurs et ont pour effet de diminuer le courant circulant dans les transistors. Pour cette raison, de nombreuses équipes ont cherché à produire des nanofils à partir d'autres catalyseurs que l'or, en utilisant notamment soit des matériaux déjà utilisés dans les salles blanches de microélectronique comme le cuivre ou le nickel, soit des matériaux n'introduisant pas de pièges à des niveaux profonds dans la bande du silicium comme le titane ou l'indium. La Figure 1.12 montre l'ensemble des matériaux

catalyseurs de croissance qui ont été publiés dans la littérature. La review de Schmidt et al. [Schmidt10] contient les références de l'ensemble de ces travaux.

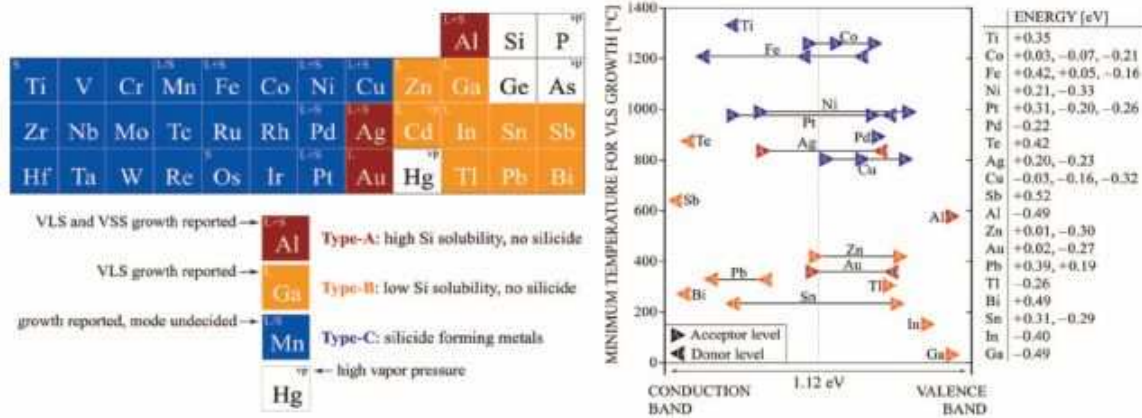


Figure 1.12 : Les catalyseurs de croissance CVD et les niveaux d'énergie des pièges qu'ils créent dans la bande de valence du silicium, [Schmidt04,10], [Sze81]

La partie de droite de la Figure 1.12 donne la position dans la bande de valence du silicium des niveaux des pièges introduits par des impuretés provenant des différents catalyseurs de croissance étudiés. Plus les niveaux d'énergie des impuretés sont proches du centre de la bande de valence, et plus leur effet recombinant est important, donc négatif. Un niveau profond est un niveau proche du centre de la bande interdite.

Ces catalyseurs sont répartis en 3 groupes, le groupe A contient les catalyseurs dont le comportement est proche de celui de l'or avec un diagramme de phase avec le silicium très proche, et une forte solubilité du silicium dans le métal catalyseur sans former de siliciure. Le groupe B contient les catalyseurs dont la solubilité du silicium est faible et qui ne forment pas non plus de siliciure. Enfin le groupe C contient les matériaux avec lesquels le silicium peut former un siliciure.

La Figure 1.12 montre également les températures minimales pour lesquelles la croissance peut se faire selon le mécanisme VLS. Ce mécanisme est préférable car c'est avec ce mécanisme que les nanofils présentent le moins de défauts cristallins. En revanche ce mécanisme n'a lieu que si le catalyseur est en phase liquide pendant la croissance, ce qui correspond à des températures élevées. Si l'application impose de faibles températures de croissance, c'est alors plutôt un mécanisme VSS (Vapor Solid Solid) où le catalyseur reste sous forme solide, qui sera mis en jeu.

II-2.2.c L'ablation laser

L'ablation laser consiste à focaliser un laser sur une cible contenant du silicium, par exemple 90 % de Si et 10 % de Fe comme utilisée par Liber et al. [Morales98]. Le silicium et le fer sont mis sous forme gazeuse et dilué dans de l'argon dans une chambre à haute température, de l'ordre de 1200°C. Dans ces conditions, le silicium et le fer se condensent pour

former des gouttelettes composées du mélange de silicium et de fer. Ces gouttelettes deviennent les sites de croissance de nanofils. Ainsi la croissance commence dans la phase gazeuse avant que les nanofils se déposent sur un substrat où la croissance se poursuit. La Figure 1.13 illustre ce procédé et montre un exemple de nanofils de silicium obtenus avec cette technique.

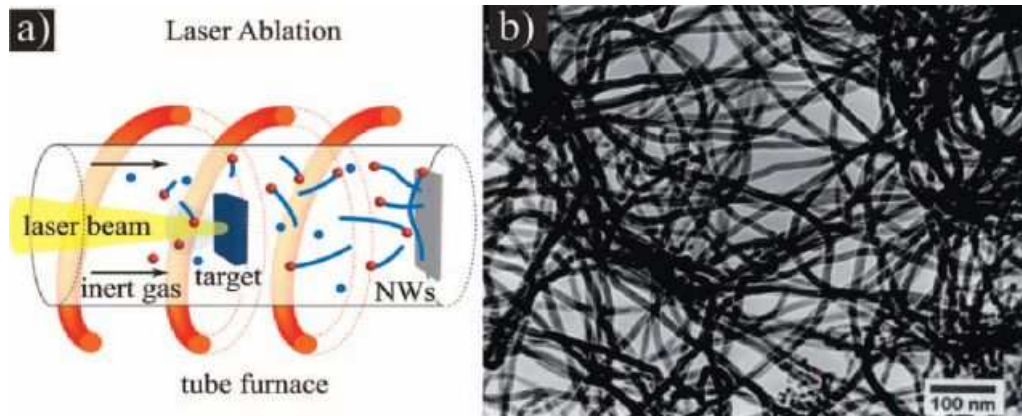


Figure 1.13 : La croissance par ablation laser, à gauche le schéma de principe, à droite un exemple de réalisation, [Schmidt10], [Tang99]

Les nanofils obtenus par cette technique ont une structure cœur-coquille (core-shell) avec un cœur monocristallin et une coquille amorphe. Différents matériaux autre que le fer accompagnant le silicium ont été étudiés comme le nickel par N. Wang et al. [Wang98] et le ruthénium par Y.H. Yang [Yang04]. L'ajout de dioxyde de silicium sur la cible met en jeu une croissance assistée par l'oxyde et permet d'obtenir un meilleur rendement de croissance de nanofils, comme l'ont étudié également N. Wang et al. [Wang98].

Cette technique permet de produire en continu des nanofils, en revanche les nanofils obtenus se déposent sur un substrat permettant de les recueillir mais n'ont avec ce substrat ni de relation d'épitaxie ni contact électrique. Ces nanofils sont destinés à être retraités (séparés, isolés) pour être utilisés dans un dispositif. Cette technique à ce stade de développement n'est pas compatible avec la fabrication de dispositifs en microélectronique.

II-2.2.d La croissance assistée par un oxyde

Pour mettre en œuvre cette technique, on procède à l'évaporation d'oxyde de silicium contenu dans un creuset sous forme de poudre. Un flux de gaz inerte qui se déplace de la source vers le substrat dans un four en forme de tube permet de déplacer l'oxyde de silicium évaporé vers le substrat sur lequel on souhaite faire croître les nanofils. Le gaz doit se déplacer dans le sens de la température décroissante comme le montre la Figure 1.14.

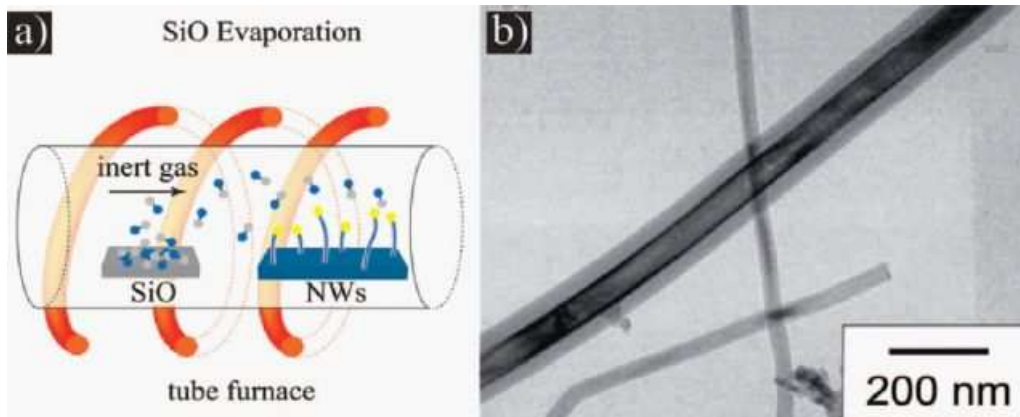


Figure 1.14 : La croissance par évaporation d'oxyde de silicium. A gauche le schéma de principe et à droite un exemple de réalisation montrant la structure cœur-coquille avec le silicium cristallin au cœur et l'oxyde de silicium en coquille, [Schmidt10], [Kolb04].

Ce type de croissance peut se faire avec ou sans catalyseur. Sans catalyseur, c'est une phase liquide à base de SiO_x qui semble être en jeu au sommet des nanofils et qui permet leur croissance [Pan01], [Shi00], [Gole00]. Avec un catalyseur, la croissance a lieu selon le mécanisme VLS [Kolb04,05] comme pour la CVD ou la MBE. Dans tous les cas, les nanofils obtenus présentent une structure cœur-coquille avec un cœur en silicium monocristallin et une coquille en oxyde de silicium.

II-3 Les matériaux constitutifs des nanofils

II-3.1 Nanofils d'oxyde métallique

On peut trouver les nanofils sous forme de différents matériaux, notamment à base d'oxydes métalliques. Les plus répandus sont les nanofils de ZnO qui présentent notamment des propriétés semi-conductrices avec une large bande interdite (3,37 eV, proche de celle de GaN) qui sont intéressantes pour réaliser des diodes électroluminescentes émettant jusque dans l'ultraviolet à température ambiante, [Ozgur05], [Rozina09].

On peut également trouver une grande variété d'autres nanofils d'oxyde métallique comme les nanofils de CuO [Liao09] qui est un semi-conducteur de type p avec une bande interdite de 1,36 eV [Guo08], ceux de WO [Rao11], de In_2O_3 ou encore de SnO_2 [Wan09], [Fan05]. La Figure 1.15 montre des exemples de ces nanofils d'oxyde métallique.

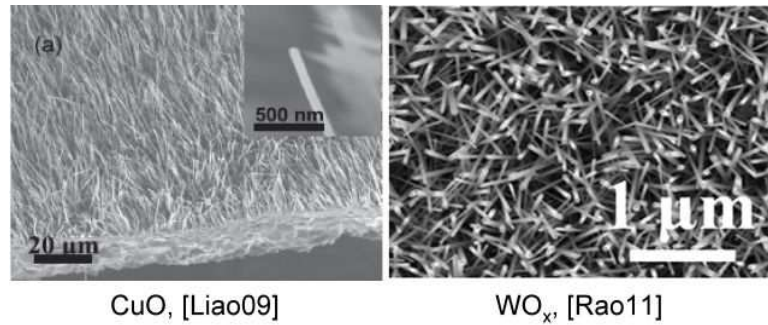


Figure 1.15 : Photos MEB de nanofils de CuO et de WO_x d'après [Liao09] et [Rao11].

II-3.2 Nanofils de la famille des matériaux III-V

Les matériaux III-V sont des matériaux qui connaissent ces dernières années également un regain d'intérêt pour les applications optoélectroniques. En effet certains (GaAs, InAs, InP) de ces matériaux possèdent un gap direct. Ils sont également intéressants pour les applications d'électronique de puissance et de haute fréquence en raison de l'importante mobilité des électrons dans ces matériaux comparée au silicium.

	Si	Ge	GaAs	InSb	InP
Largeur de bande interdite E _g (eV)	1.12	0.66	1.42	0.17	1.35
Affinité électronique χ (eV)	4.0	4.05	4.07	4.59	4.38
Mobilité des trous μ _t (cm ² /Vs)	450	1900	400	1250	150
Mobilité des électrons μ _e (cm ² /Vs)	1500	3900	8500	80000	4600

Tableau 1.1 : Caractéristiques électroniques de 3 matériaux III-V massifs comparés au silicium et au germanium, [Kamata08].

On trouve également ces matériaux sous forme de nanofils, on peut notamment citer : InP [Martensson03], InAs [Dayeh07], GaAs [Kang10]. Voir Figure 1.16 pour quelques exemples.

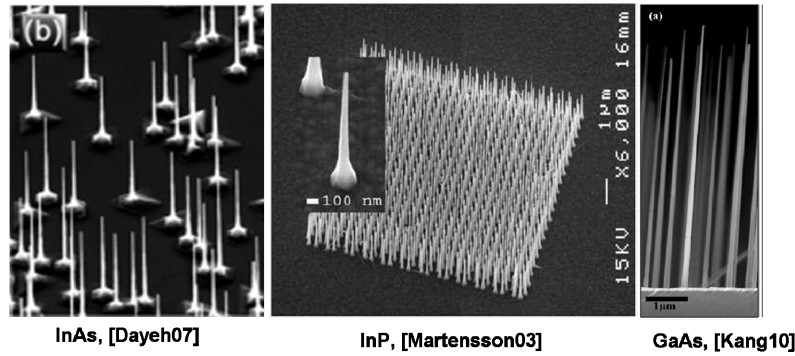


Figure 1.16 : Exemples de nanofils de type III-V obtenus par croissance.

II-3.3 Nanofils de siliciure

Les nanofils de siliciure sont eux intéressants pour leur faible résistivité. Comme précédemment, on trouve dans la littérature un grand nombre de nanofils de différents matériaux dont on donne ici quelques exemples, voir Figure 1.17 pour les photos MEB de ces nanofils. Pour les nanofils de siliciure, on peut les classer en 4 catégories :

- ceux qu'on obtient par siliciuration d'un nanofil de silicium après sa croissance : NiSi [Luo07], PtSi [Liu07b]
- ceux qu'on obtient directement par croissance : NiSi [Kim07b], Ni₂Si [Liu08], Ni₃Si₂ [Kim07c], NiSi₂ [Lee09], Ni₃₁Si₁₂ [Lee08]
- ceux qu'on obtient par réaction entre un substrat de silicium et un métal apporté par voie gazeuse : FeSi [Ouyang06], CoSi [Seo07], Fe_{1-x}Co_xSi [In08], Mn₄Si₇ [Ham09], CrSi₂ [Seo07b], TaSi₂ [Chueh06], Ti₅Si₃ [Lin08b]
- ceux qu'on obtient par réaction entre 2 précurseurs gazeux : l'un qui apporte le métal, l'autre le silicium : FeSi [Schmitt06], CoSi [Schmitt06b], Fe_{1-x}Co_xSi [Schmitt08], CrSi₂ [Szczec07], TiSi₂ [Zhou08], Ni₂Si [Song07], Ni₃Si [Song07b]

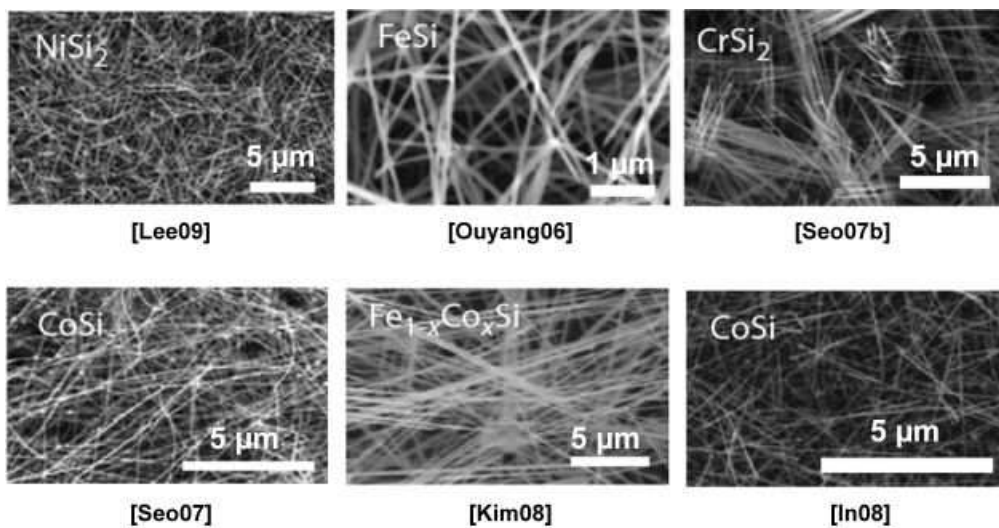


Figure 1.17 : Photos MEB en vues de dessus de différents types de nanofils à base de siliciure.

Nous nous sommes intéressés plus précisément à ces nanofils sous forme de siliciure étant donné l'intérêt qu'ils peuvent représenter pour la fabrication d'électrodes peu résistives pour la fabrication de capacités à base de nanofils.

III- L'intégration des nanofils de silicium dans des dispositifs

III-1 Introduction

Cette thèse s'inscrit dans le contexte de la microélectronique et de la fabrication de dispositifs. Les nanofils constituent un nouveau matériau, dont l'intégration dans des dispositifs microélectroniques demandera des développements importants. Pour cette raison, l'introduction d'une nouvelle technologie doit s'appuyer sur les technologies existantes pour amoindrir les surcoûts liés au développement. Le silicium étant le matériau traditionnel utilisé depuis longtemps en microélectronique, nous avons pensé que les nanofils de silicium pouvaient constituer un point de départ pour l'intégration de ces matériaux nanostructurés en microélectronique. Ainsi dans cette partie, nous allons présenter les réalisations de démonstrateurs à base de nanofils de silicium obtenus par croissance pour les différentes applications qui ont été envisagées. Cet état de l'art des technologies proposées intégrant des nanofils de silicium obtenus par croissance permettra de mettre en évidence les difficultés et les enjeux de leur intégration dans les dispositifs microélectroniques.

III-2 Les propriétés des nanofils de silicium obtenus par croissance

La méthode de croissance qui nous a intéressés dans cette thèse est la croissance catalysée par CVD qu'on a présenté précédemment au paragraphe II-2.2.b. Cette méthode de croissance présente en effet plusieurs avantages :

- elle met en jeu le procédé de CVD déjà connu et couramment utilisé en microélectronique
- par rapport aux autres techniques, on peut faire croître les nanofils à des endroits précis en localisant le catalyseur. Cette approche consiste à combiner les technologies de la microélectronique pour localiser les catalyseurs avec le procédé de croissance
- les nanofils obtenus peuvent être monocristallins sans relation d'épitaxie avec la couche sur laquelle on les fait croître, [Lew03] et [Chan08]

- leur diamètre n'est déterminé que par la taille du catalyseur [Mohammad09] et leur longueur par la durée de la croissance. On peut ainsi obtenir à moindre coût des structures à fort facteur de forme.

Parmi ces caractéristiques, c'est principalement la possibilité d'obtenir des nanofils de faibles diamètres à faible coût qui a intéressé la communauté ces dernières années. En effet, comme nous l'avons vu dans la première partie, l'histoire de la microélectronique est rythmée par la miniaturisation des dispositifs. Cette miniaturisation a été possible notamment en améliorant les performances des équipements de photolithographie. Ce sont également ces équipements qui sont à la fois parmi les plus coûteux dans la fabrication des circuits intégrés et ceux qui limitent aujourd'hui la miniaturisation. Pour cette raison, les nanofils obtenus par croissance CVD, dont les dimensions sont indépendantes de la photolithographie, ont connus ces dernières années un important intérêt pour la fabrication de transistors.

Cette propriété dimensionnelle présente également un intérêt pour les dispositifs nécessitant une importante surface déployée comme les capteurs et les dispositifs de stockage et de conversion d'énergie.

III-3 Démonstrateurs intégrant des nanofils de silicium

III-3.1 Les transistors à nanofils

La première question qu'on peut se poser sur le fonctionnement de tels dispositifs à partir de nanofils dont la croissance s'est faite avec un catalyseur métallique est l'impact de cette contamination sur les propriétés électriques. Plusieurs auteurs ont montré que cette contamination ne compromettrait pas le fonctionnement des dispositifs et que sur les nanofils CVD, ce qui était prépondérant dans les phénomènes de recombinaison de porteurs était la qualité de la passivation de surface des nanofils. Cela a en effet été démontré par photoluminescence par O. Demichel et al. [Demichel09] sur des nanofils catalysés au cuivre et par mesures électriques sur des dispositifs à base de nanofils catalysés à l'or par J.E Allen et al. [Allen08].

De nombreuses équipes ont publié la fabrication de transistors horizontaux à partir de nanofils redéposés sur un substrat après leur croissance. Cette technique en 2 parties n'est pas industrialisable puisqu'on ne fabrique dans ces conditions qu'un seul transistor. En revanche, cette technique permet de réaliser des dispositifs destinés à étudier les propriétés électriques des nanofils de silicium pour prévoir leur fonctionnement dans des dispositifs intégrés. C'est ce type de dispositif qui a été utilisé par J.E Allen et al. [Allen08] pour étudier l'impact de l'or sur les propriétés électriques. Egalement M.T. Björk et al. [Björk09] et E.C Garnett et al. [Garnett09] ont réalisé ce type d'intégration pour étudier le dopage des nanofils.

En revanche une approche plus industrialisable en termes de quantités fabriquées, consiste à faire croître les nanofils entre 2 plots métalliques et en utilisant le métal du plat comme catalyseur. C'est ce qu'on fait B. Salem et al. [Salem09] avec des plots en or. En revanche l'utilisation de plots d'or n'est à ce jour pas compatible avec une industrialisation, mais

l'approche peut être envisagée avec d'autres matériaux catalyseurs parmi ceux cités précédemment, comme le NiSi [Baron06] par exemple. Une autre stratégie de fabrication consiste à fabriquer le transistor directement à partir des nanofils après croissance. La Figure 1.18 montre des exemples de fabrication de transistors horizontaux et verticaux.

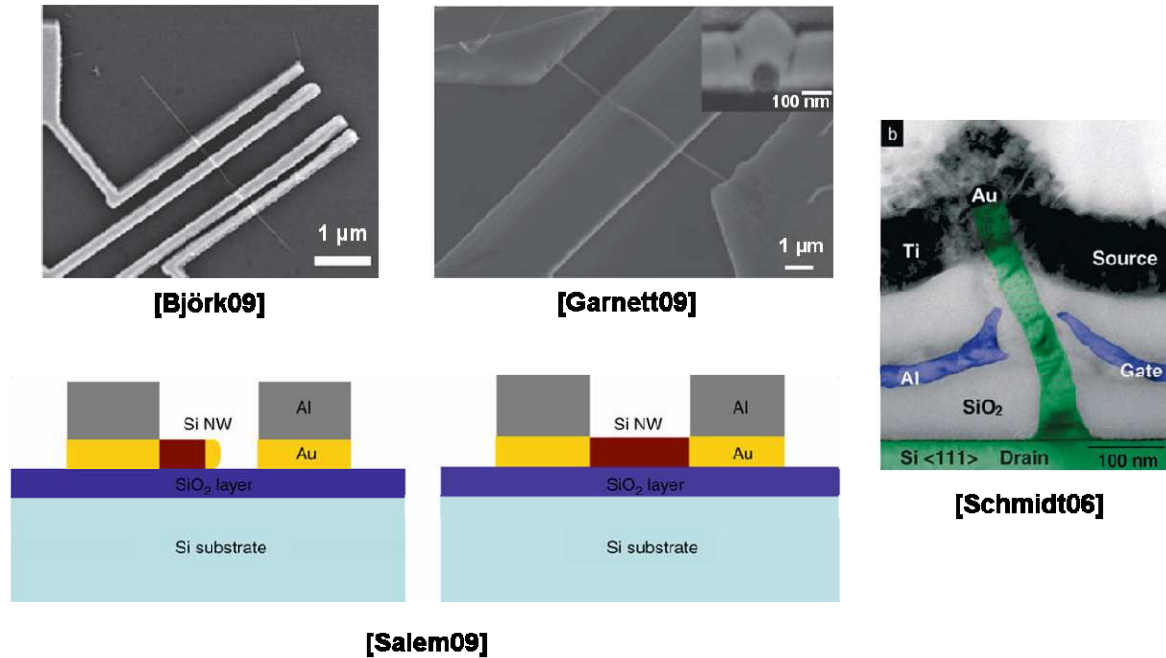


Figure 1.18 : Exemples de réalisation de transistors horizontaux et verticaux à base de nanofils obtenus par croissance CVD et les références correspondantes.

Par ailleurs, nous dresserons au chapitre 6 un état de l'art des transistors verticaux intégrant des nanofils de silicium obtenus par croissance CVD.

III-3.2 Les capteurs à nanofils

L'équipe de C. Lieber de Harvard s'est beaucoup intéressée aux capteurs à base de nanofils de silicium pour les applications du domaine de la biologie. En revanche les dispositifs qu'il a fabriqués sont purement des dispositifs d'étude fabriqués à partir de nanofils redéposés comme pour les transistors horizontaux présentés précédemment.

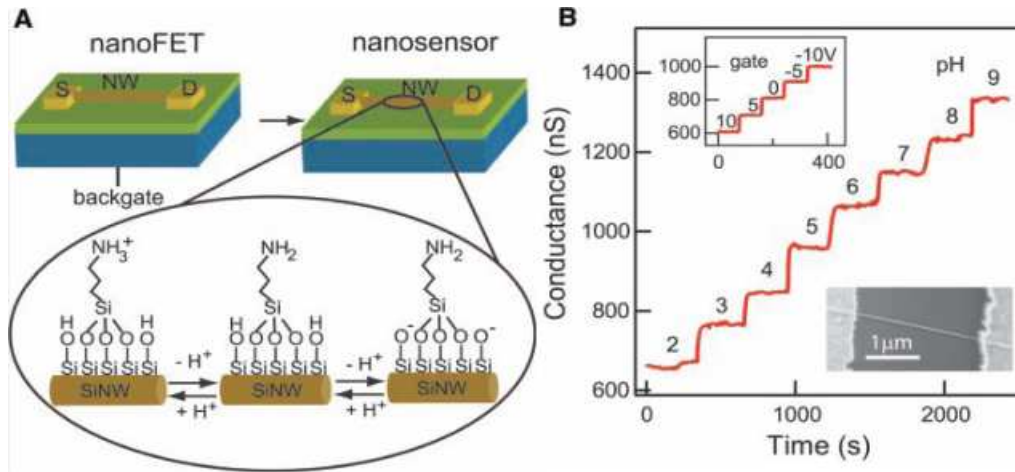


Figure 1.19 : Exemple de détecteur à base de nanofils fonctionnalisés, [Cui01]

L'équipe de C. Lieber a également travaillé, toujours avec ce type d'intégration utilisant des nanofils redéposés, sur la fabrication de circuits logiques [Zhong03] et de cellules photovoltaïques [Tian08].

III-3.3 Les systèmes de conversion et de stockage d'énergie à base de nanofils

Grâce à leur fort facteur de forme, les nanofils de silicium permettent de déployer une importante surface. C'est cette propriété qui a été mise à profit pour la fabrication de cellules solaires à base de nanofils. Contrairement à celles fabriquées par l'équipe de C. Liber, les équipes de Gunawan et al. [Gunawan09] et de S. Perraud et al. [Perraud09] ont fabriqué des cellules solaires directement sur des nanofils après leur croissance. Ces stratégies d'intégration utilisées sont compatibles avec la production massive de dispositifs. En revanche dans les deux cas il s'agit de croissances catalysées à l'or et donc à ce jour incompatibles avec les salles blanches produisant des dispositifs microélectroniques. La Figure 1.20 montre la cellule fabriquée par l'équipe de Gunawan.

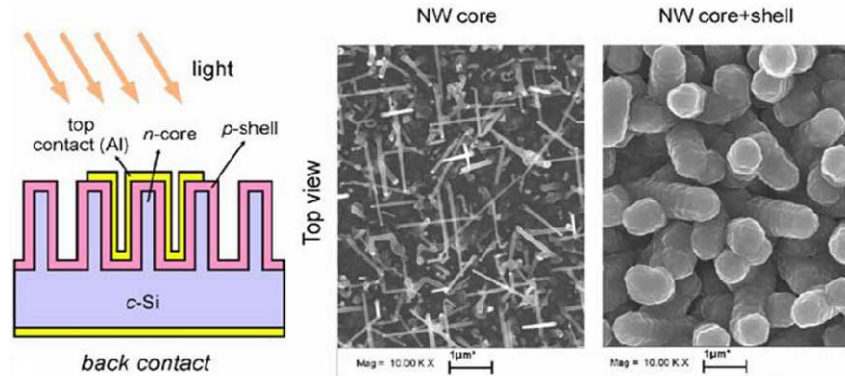


Figure 1.20 : Schéma vu en coupe et photos MEB en vue de dessus de la cellule solaire à base de nanofils réalisée par Gunawan et al. [Gunawan09]

Le silicium est également un matériau connu pour la fabrication d'électrodes de batterie. En revanche il est peu utilisé dans les batteries au lithium à cause de l'importante variation de volume qu'il subit entre la charge et la décharge. Ces variations entraînent très rapidement une dégradation du matériau. C.K Chan et al. [Chan08] ont montré que des électrodes en nanofils de silicium présentaient une meilleure tenue mécanique et ont pu fabriquer une batterie à base de nanofils de silicium conservant un bon fonctionnement sur plusieurs cycles de charge et de décharge. Ils ont à cette occasion démontré l'obtention de nanofils monocristallins sur une sous-couche métallique comme l'ont également montré V.T. Renard et al. [Renard09].

Cette utilisation des nanofils pour réaliser une batterie est un exemple intéressant d'utilisation des nanofils pour deux de leurs propriétés : la possibilité de croissance sur ligne métallique et le déploiement de surface. La croissance sur ligne métallique permet en effet à la fois de connecter électriquement tous les nanofils par leur base mais également d'envisager la fabrication d'une telle batterie dans le Back End d'un circuit intégré. La structure filaire du nanofil rend quant à elle possible l'utilisation du silicium pour la fabrication d'électrodes de batterie.

Ces deux applications, cellule photovoltaïque et batterie, utilisent les dimensions sub-lithographiques (en deçà des limites physiques de la photolithographie) des nanofils. En effet, lorsqu'on cherche à localiser les nanofils, on est amené à utiliser la photolithographie. Ceci a pour effet de diminuer la densité de nanofils et donc la surface déployée. Les auteurs de ces travaux n'ont pas cherché à localiser les nanofils mais à profiter de leurs dimensions sub-lithographiques pour obtenir des nanostructures denses et déployant une surface importante. Cette approche qui consiste à intégrer une population de nanofils permet de tirer profit des dimensions des nanofils à moindre coût et ainsi d'obtenir des dispositifs à la fois plus performants et moins chers à produire.

Conclusion

L'évolution de la microélectronique se caractérise aujourd'hui par la convergence de deux directions : la miniaturisation des transistors d'une part et la diversification des fonctions intégrées d'autre part. Pour intégrer de plus en plus de fonctions dans un même boîtier, différentes stratégies ont été envisagées, notamment en fabriquant séparément différentes puces électroniques avant de les empiler. Afin d'augmenter la densité de fonctions intégrées et rapprocher les circuits logiques de traitement des autres fonctions intégrées, la miniaturisation de ces fonctions est nécessaire. Or plus les dimensions sont agressives et plus les techniques standard utilisant la photolithographie sont coûteuses.

Dans ce contexte, les nanofils de silicium obtenus par croissance CVD permettent en utilisant des procédés déjà connus et répandus en microélectronique de fabriquer des structures de faibles dimensions à moindre coût. Ces nanomatériaux présentent deux principales propriétés :

- ils peuvent croître de façon monocristalline sans relation d'épitaxie avec la couche sur laquelle ils croient
- ils se forment avec des dimensions nanométriques sans l'utilisation d'une photolithographie agressive

L'utilisation de ces nanomatériaux devrait permettre l'intégration de nouvelles fonctions dans les circuits intégrés et en particulier dans les niveaux d'interconnexion. Parmi ces fonctions, des batteries et des cellules solaires utilisant des procédés industrialisables à grande échelle ont été publiés. En revanche ces dispositifs utilisaient l'or comme catalyseur qui n'est pas compatible avec les salles blanches produisant des dispositifs électroniques.

Les nanofils de silicium peuvent être une solution pour la fabrication et l'intégration de nouvelles fonctions miniaturisées dans les circuits intégrés. En revanche les contraintes du monde de la microélectronique sont nombreuses et leur intégration à partir de matériaux et de procédés industrialisables et compatibles avec les salles blanches constitue un défi encore jamais relevé pour ces nanomatériaux.

Nous allons dans cette thèse proposer l'intégration de ces nanofils dans des capacités de haute densité utilisant l'importante surface déployée par une assemblée de nanofils. Nous allons également étudier l'opportunité de ces nanostructures pour la fabrication de transistors à canal monocristallin dans les niveaux d'interconnexion.

Chapitre 2 : Mécanismes de croissance, fonctionnement des dispositifs et méthodes de caractérisation

Introduction

Le chapitre précédent a permis de situer cette étude dans son contexte. Nous allons à présent dans ce chapitre présenter de façon plus exhaustive les méthodes d'élaboration de nanofils qui ont été mises en œuvre dans cette thèse. Ce chapitre est destiné à rassembler l'ensemble des outils qui seront utilisés dans les chapitres suivants. Ainsi, le chapitre commence par une description des mécanismes de croissance entrant en jeu dans l'élaboration de nanofils selon la technique utilisée. Dans une seconde partie, nous nous attarderons sur les principales techniques de fabrication de dispositifs utilisées. Les principes de fonctionnement des dispositifs seront présentés avant de terminer par les méthodes de caractérisation morphologiques et électriques mises en œuvre.

I- Elaboration de nanofils

I-1 Introduction

Nous allons dans cette partie décrire la croissance des nanofils selon les différentes méthodes mises en œuvre dans cette thèse. Nous nous attarderons davantage sur la croissance CVD qui représente la principale technique que nous avons mise en œuvre dans cette étude. Cette partie commence ainsi par la description du mécanisme de croissance des nanofils par CVD suivie de la description de leurs caractéristiques morphologiques en fonction des paramètres de croissance. Nous terminons par la présentation d'une autre technique de croissance qui sera mise en œuvre au chapitre 6 : l'épithaxie sélective.

I-2 La croissance CVD

I-2.1 Mécanisme de croissance

Le mécanisme de croissance le plus couramment utilisé aujourd'hui pour la croissance de nanofils par CVD est le mécanisme VLS pour **V**apor **L**iquid **S**olid. Ce dernier fut décrit pour la première fois par Ellis et Wagner en 1964 pour la croissance de nanofils catalysée à l'or.

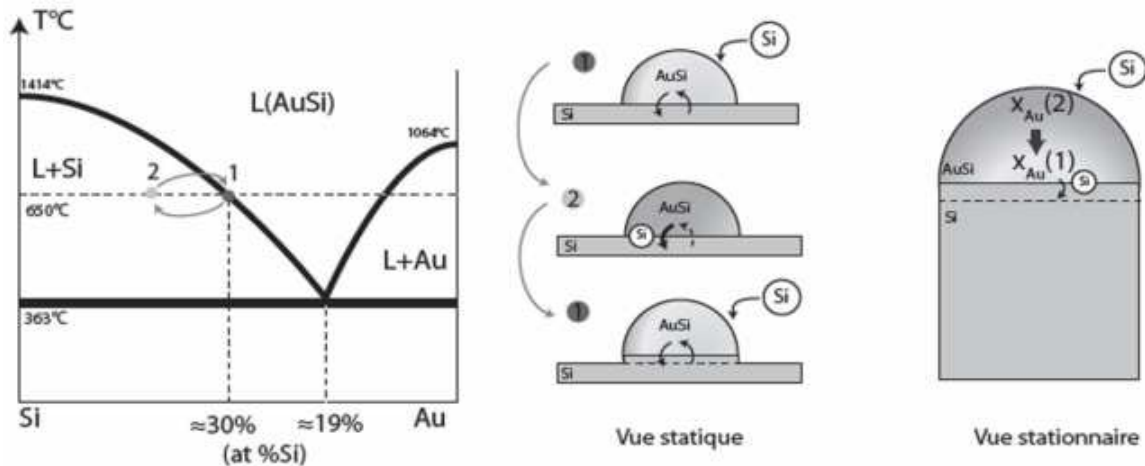
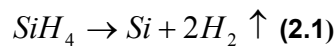


Figure 2.1 : Diagramme binaire du Si-Au et schémas explicatifs du mécanisme de croissance VLS, [Oelher10]

Ce mécanisme présenté Figure 2.1, met en effet en jeu les 3 phases : vapeur, liquide et solide. Pour l'expliquer, on considère une particule d'or à la surface d'un substrat de silicium que l'on porte à une température supérieure à l'eutectique du binaire Si-Au (363°C), par exemple 650°C. Lorsqu'on amène un gaz précurseur de silicium, par exemple du silane (SiH_4), à la surface de cette particule, ce gaz se décompose selon la réaction :



Le silicium ainsi libéré diffuse dans la particule métallique, laquelle continue de s'enrichir en silicium. A 650°C, lorsque la particule contient 30 % de silicium, le silicium qui s'introduit dans la goutte perturbe l'équilibre (point 2, Figure 2.1). Pour revenir à l'équilibre (point 1, Figure 2.1), le système expulse le silicium excédentaire, lequel vient précipiter à l'interface entre la goutte et le substrat. Au fur et à mesure que le processus se poursuit, se forme sous la goutte un nanofil de silicium. Après croissance, on retrouve le catalyseur au sommet de chacun des nanofils. Ainsi le diamètre et la densité des nanofils sont donnés par le diamètre et la densité des catalyseurs présents.

Une variante du mécanisme VLS est le mécanisme VSS pour Vapor Solid Solid et étudié notamment par T.I. Kamins et al. [Kamins01] lors d'une croissance catalysée au titane et par J.L. Lensch-Falked et al. [Lensch09]. Ce mécanisme a lieu selon la nature chimique du catalyseur utilisé et la température du réacteur lorsque le catalyseur reste en phase solide pendant la croissance.

I-2.2 Morphologie des nanofils

Les nanofils obtenus après croissance peuvent avoir, selon les conditions, une forme effilée (en pointe) comme observé par Wang et al [Wang06]. Cette forme est due au dépôt de silicium amorphe sur les flancs des nanofils. Elle dépend de la température de croissance et de la présence ou non de HCl dans le mélange gazeux. En effet, une température élevée peut

engendrer une décomposition non catalysée du précurseur de silicium aboutissant au dépôt de silicium sur les flancs des nanofils. La base des fils étant plus longtemps exposée à ce dépôt que le sommet, les nanofils présentent après croissance une forme effilée. La présence de HCl dans le mélange gazeux peut permettre de limiter ce dépôt.

D'autre part, deux types de facettage peuvent être observés : en vue longitudinale, les nanofils présentent un facettage des flancs en dents de scie mis en évidence par Ross et al [Ross05] comme indiqué sur la Figure 2.2 dans le cas d'un nanofil de direction (111) .

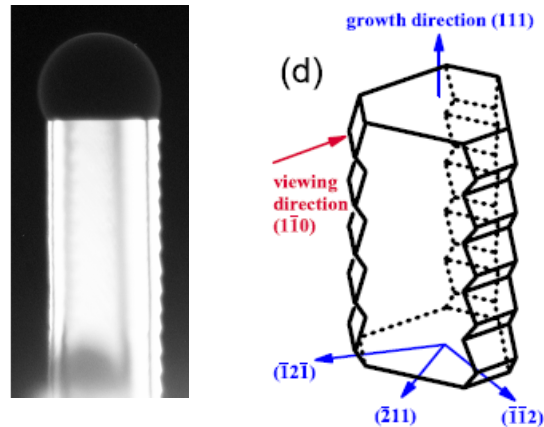


Figure 2.2 : Facettage en dents de scie des flancs des nanofils, [Ross05]

En coupe transversale les nanofils ont une forme polygonale. Selon leur direction de croissance, plusieurs sections sont possibles. Zhang et al. [Zhang05] ont simulé et comparé à des images MEB les sections possibles de nanofils de silicium selon leur direction de croissance. La Figure 2.3 reprend ces différentes possibilités.

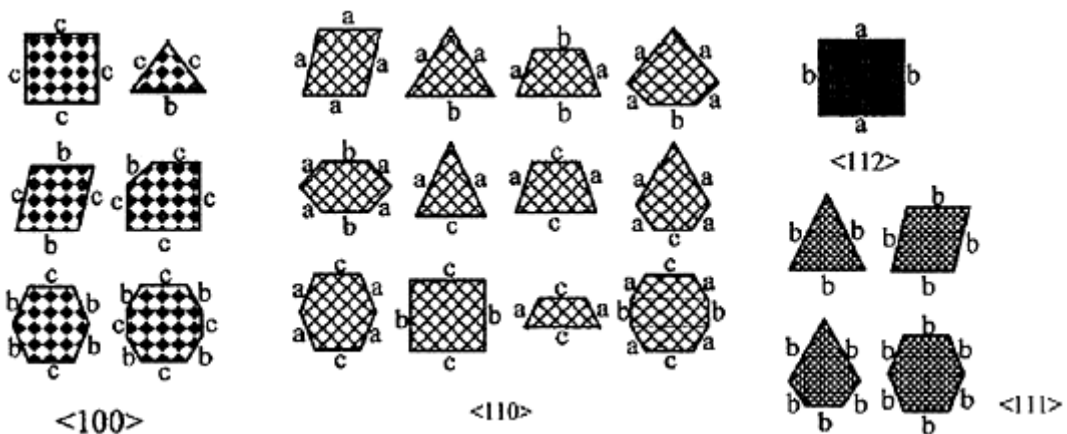


Figure 2.3 : Sections possibles de nanofils de silicium selon leur direction de croissance. Les sections ont été obtenues par simulations, [Zhang05]

En réalité, à direction de croissance constante, la section d'un nanofil et en particulier le nombre de faces du polygone peut varier dans la longueur du fil. Cette variation, expliquée par T. Xu et al. [Xu10] et F. Oehler et al. [Oehler10'] est due à une croissance latérale parasite des nanofils causée par la diffusion d'or sur les flancs. F. Oehler et al ont ainsi montré que des nanofils pouvaient présenter une section hexagonale à la base et dodécaédrique au sommet. Ils expliquent ce phénomène par la croissance latérale où la section au départ dodécaédrique à la base du nanofil devient hexagonale à cause de la croissance latérale. Ce phénomène a en effet plus de temps pour se produire à la base qu'au sommet.

I-2.3 Direction de croissance

Schmidt et al. [Schimdt05] ont montré que les nanofils pouvaient avoir 3 familles de direction préférentielle de croissance : (110), (111) et (112). Ils ont aussi montré que sur substrat de silicium orienté (100), la direction préférentielle de croissance des nanofils dépendait de leur diamètre. Pour des diamètres inférieurs à 20 nm, les nanofils ont préférentiellement une direction (110). Lorsqu'ils ont des diamètres supérieurs à 50 nm, leur direction préférentielle devient (111). La plupart des nanofils qu'on trouve dans la littérature sont orientés (111) quelque soit l'orientation du substrat. La majorité des études se font sur silicium orienté (111) car sur ces substrats, les nanofils sont pour la plupart perpendiculaires au substrat, ce qui facilite leur intégration dans des dispositifs.

Renard et al. [Renard09] ont montré que la croissance de nanofils catalysée au cuivre sur sous couche métallique en TiN conduisait à la formation de 2 types de nanofils selon les conditions de préparation du catalyseur : soit des nanofils droits et ayant des directions variables, soit des nanofils en forme de « vers » qui changent plusieurs fois de direction de croissance. C'est cette croissance catalysée au cuivre que nous mettrons en œuvre dans cette thèse pour la fabrication de capacités de haute densité. Nous verrons au chapitre 4 comment ce procédé a été adapté pour obtenir des nanofils permettant la fabrication des dipositifs.

I-3 La croissance par épitaxie sélective

Nous avons mis en œuvre dans cette thèse l'épitaxie sélective dans le but d'obtenir des structures similaires aux nanofils avec moins de défauts cristallins et sans contamination métallique. L'épitaxie consiste à décomposer thermiquement un gaz précurseur de silicium à la surface d'un substrat monocristallin de silicium. Il est important qu'il n'y ait aucun oxyde à la surface du substrat afin qu'il y ait bien relation d'épitaxie entre la couche que l'on fait croître et le substrat.

L'épitaxie sélective est une variante de l'épitaxie où l'on utilise un masque (par exemple de dioxyde de silicium) pour déterminer les zones dans lesquels on souhaite faire croître une couche de silicium. L'épitaxie est alors sélective par rapport au masque. On peut ainsi obtenir des nanofils en utilisant un masque épais percé de trous débouchant sur le silicium tels que décrit au chapitre 6.

II- Principaux procédés de fabrication de dispositifs

II-1 Introduction

Nous allons dans cette partie présenter quelques unes des techniques utilisées pour la fabrication de dispositifs microélectroniques. Nous allons ainsi nous attarder sur les procédés de dépôts chimiques en phase vapeur (CVD) et physiques en phase vapeur (PVD). Nous ne détaillerons pas ici toutes les techniques de réalisation de dispositifs utilisées en microélectronique car la plupart de ces techniques sont connues depuis longtemps.

II-2 Le dépôt physique en phase vapeur

Le terme générique dépôt physique en phase vapeur ou PVD désigne toutes les techniques de dépôt de matériaux faisant appel à une cible contenant le matériaux à déposer et un phénomène physique qui permet de transporter la matière de la cible vers le substrat. Par abus de langage, on confond parfois PVD et pulvérisation ; or la pulvérisation n'est en fait qu'une des techniques parmi les techniques de PVD. Nous allons ici décrire la pulvérisation et l'évaporation thermique.

II-2.1 La Pulvérisation

Cette technique met en jeu une cible contenant le matériau à déposer (par exemple un métal) et une source d'ions accélérés par un champ magnétique. En général on crée un plasma à partir d'une source gazeuse pour générer des espèces ioniques à l'état gazeux. Ces espèces sont accélérées par un champ magnétique entre la source d'espèces ioniques et la cible pour diriger ces ions vers la cible. Arrivés à la surface de la cible, les ions arrachent physiquement des atomes de la cible. Ces atomes se retrouvent en phase vapeur et vont ensuite se déposer à la surface du substrat. La pulvérisation permet de faire des dépôts épais pouvant aller jusqu'à 100 μm avec des durées de dépôt raisonnables. En revanche la pulvérisation ne permet pas un contrôle de l'épaisseur déposée plus précis que 3-5 nm près selon la vitesse de dépôt.

Nous utiliserons dans cette thèse cette technique pour la réalisation des dépôts de titane, de nitrure de titane, de cuivre et de siliciure d'aluminium.

II-2.2 L'évaporation thermique

Dans l'évaporation thermique un creuset contient l'élément qu'on souhaite déposer. Ce creuset est chauffé soit par effet joule en faisant passer un courant électrique dans le matériau à déposer, soit en focalisant un faisceau d'ions sur le matériau. La chambre étant sous vide, ce dernier passe de la phase solide à liquide, puis de liquide à vapeur. C'est depuis cette dernière phase que le matériau va se déposer sur le substrat de silicium. Les différences principales avec la PVD sont d'une part, que le dépôt est ici directionnel, c'est-à-dire que s'il y a le moindre obstacle sur le trajet des éléments issus du creuset, ces éléments ne se déposeront pas derrière cet obstacle. Nous utiliserons cette propriété pour déposer de l'or en fond de cavités

sans en déposer sur les flancs. D'autre part, la vitesse d'évaporation d'un matériau est en général plus lente que sa pulvérisation ; c'est pourquoi on contrôle mieux l'épaisseur déposée qu'en pulvérisation.

II-3 Le dépôt chimique en phase vapeur

Le terme dépôt chimique en phase vapeur ou CVD désigne les techniques de dépôt faisant intervenir une réaction chimique pour déposer le matériau souhaité. On distingue plusieurs techniques de CVD selon qu'elles font intervenir un plasma (PECVD pour plasma enhanced CVD) ou que le matériau est déposé à basse pression (LPCVD pour low pressure CVD) ou que le précurseur du matériau se présente sous forme organo-métallique (MoCVD pour metal organic CVD) ou enfin qu'on dépose le matériau par couches d'épaisseurs monoatomiques (ALD pour atomic layer deposition). Nous allons détailler ici les mécanismes de dépôt du nitrure de titane par CVD et ses variantes ainsi que le dépôt d'alumine par ALD. Ces deux techniques ont été utilisées dans cette thèse car ils permettent de réaliser des dépôts très conformes y compris sur des géométries à fort facteur de forme.

II-3.1 Le dépôt du TiN par CVD

Le principe de la CVD consiste à introduire dans la chambre de réaction simultanément deux gaz précurseurs du matériau à déposer. Ces deux précurseurs réagissent ensuite à la surface du substrat pour former le matériau souhaité. Dans le cas du nitrure de titane, les deux précurseurs sont l'azote N_2 et soit le $TiCl_2$ qui s'utilise plutôt à des températures de l'ordre de $650^\circ C$, soit le TDMAT (*Tetrakis-(dimethylamido) titanium*, de formule $TiN_4C_8H_{24}$). Dans cette thèse c'est le TDMAT qui a été utilisé avec l'azote car il peut être déposé à moins de $400^\circ C$.

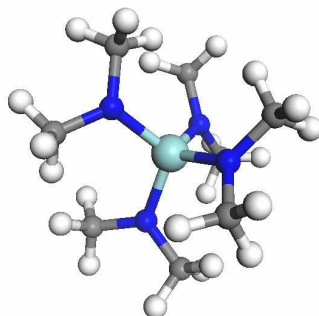


Figure 2.4: Représentation de la molécule de TDMAT ($TiN_4C_8H_{24}$) utilisée pour le dépôt de TiN par CVD, au centre en turquoise le titane, en bleu l'azote, en gris le carbone et en blanc l'hydrogène

Le TDMAT se présentant sous forme liquide, c'est grâce à un bullage d'hélium dans un bain de TDMAT que le précurseur est amené dans la chambre de réaction. Comme le montre la Figure 2.4, le précurseur du titane contient entre autres du carbone et de l'azote. On retrouve en général ces éléments dans la couche de TiN déposée. Le TiN ainsi obtenu est souvent amorphe, de forte résistivité, et en sous-stœchiométrie. Melnik et al. [Melnik03] ont montré l'effet d'un plasma de N_2/H_2 effectué après dépôt. Ce plasma permet d'enlever la contamination

au carbone, grâce aux espèces hydrogénées présentes dans le plasma qui réagissent avec le carbone de la couche pour former des radicaux R-CH₄ qui se dégagent. Simultanément, l'azote de la couche vient se fixer au titane pour former un TiN stœchiométrique et plus dense.

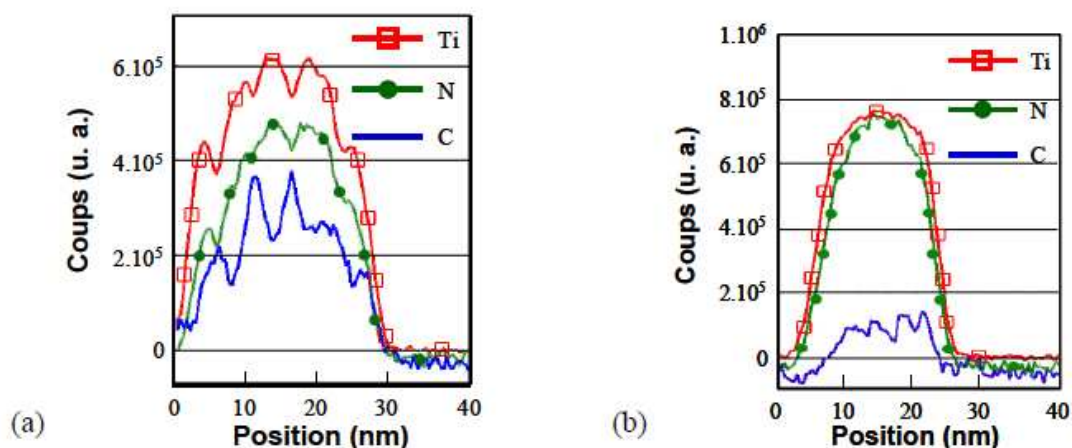


Figure 2.5 : Exemple d'analyses EELS de dépôt de TiN par CVD utilisant le TDMAT. (a) sans plasma N₂/H₂ et (b) avec plasma N₂/H₂, [Bajolet06].

La Figure 2.5 montre des analyses EELS (Electron Energy Loss Spectroscopy) de dépôt de TiN CVD avec et sans pré-traitement. Le pré-traitement a bien pour effet de diminuer la quantité de carbone dans la couche. Pour cette raison, les dépôts de TiN CVD utilisant le TDMAT se font souvent selon une séquence comprenant le dépôt de quelques nanomètres de TiN suivis de quelques instants de plasma N₂/H₂. Nous verrons plus tard l'effet de ce traitement sur le fonctionnement des capacités que nous avons réalisées.

II-3.2 Le dépôt d'Al₂O₃ par ALD

L'ALD pour Atomic Layer Deposition est une technique permettant de réaliser des dépôts très conformes, même dans des structures présentant un fort facteur de forme. Dans le cadre de cette thèse nous avons effectué des dépôts d'alumine à partir de triméthyle aluminium (TMA) et d'eau comme précurseurs. Le dépôt se déroule en 4 phases comme le montre la Figure 2.6 :

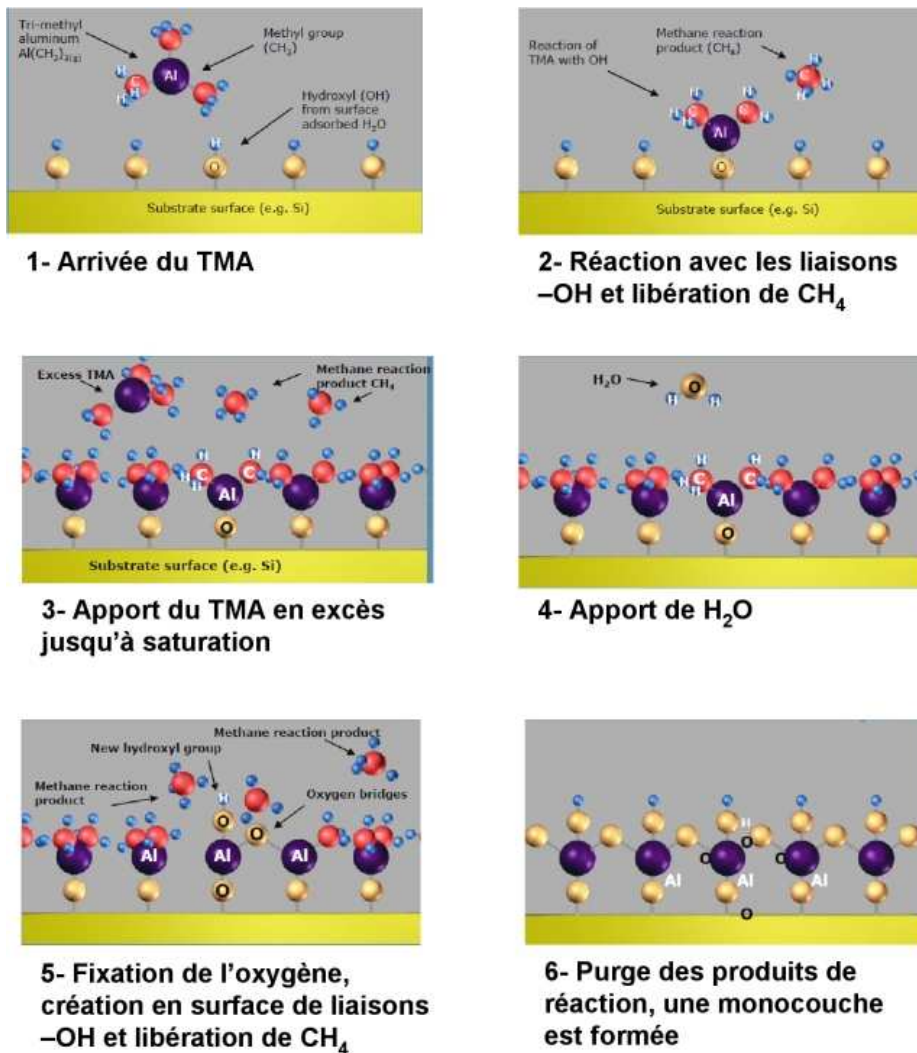


Figure 2.6 : Mécanismes du dépôt ALD d'alumine avec les précurseurs TMA et H₂O, [Cambridge].

- 1- Le précurseur TMA est d'abord introduit dans la chambre de réaction en présence d'un silicium présentant des terminaisons -OH. Il réagit avec l'hydrogène pour lier les atomes d'aluminium aux atomes d'oxygène. L'hydrogène de la terminaison est incorporé dans une molécule de méthane qui se dégage.
- 2- L'excès de TMA et les molécules de méthane produits de la première réaction sont purgés
- 3- Le deuxième précurseur, l'eau, est introduit dans la chambre et va réagir avec le précurseur déjà fixé. Se fixent alors une terminaison -OH sur l'aluminium et une nouvelle molécule de méthane est libérée.
- 4- L'excès de molécules d'eau introduit est purgé avec les molécules de méthane formées. On a ainsi formé une monocouche atomique d'Al₂O₃ avec des terminaisons -OH qui permettent de poursuivre le dépôt suivant la même séquence.

Lors d'un cycle on dépose environ 0.9 Å d'alumine, et chaque cycle dure environ 3s. L'avantage de cette technique est le très bon contrôle de l'épaisseur déposée puisqu'on dépose 0.9 Å / cycle. En contrôlant le nombre de cycle on atteint la même précision quant à l'épaisseur déposée. Si la surface ne présente pas de terminaisons –OH en début de dépôt, ces terminaisons apparaîtront pendant le dépôt avec le deuxième précurseur. Il y aura alors un retard à la nucléation à prendre en compte dans le nombre de cycles de dépôts. Par ailleurs, il est possible que la sous couche ne présente pas de terminaisons –OH partout et qu'il y ait localement des absences. Il y aura alors localement des retards à la nucléation plus difficiles à prévoir et qui engendreront des inhomogénéités d'épaisseur. Dans le cadre de capacités, ces sites où l'épaisseur d'alumine est la plus faible pourront faciliter l'apparition de courants de fuite.

III- Principe de fonctionnement des dispositifs

III-1 La capacité MOS

III-1.1 Introduction

La structure Métal Oxyde Semi-conducteur (MOS) est la structure de base de la plupart des dispositifs utilisés aujourd'hui dans l'industrie de la microélectronique. La capacité MOS représente l'organe de control du courant dans les transistors MOS, c'est-à-dire l'élément principal. L'étude de la capacité MOS permet de mettre en évidence certaines caractéristiques du transistor MOS comme la tension de bande plate et la tension de seuil. Pour cette raison, lorsqu'une nouvelle technologie de réalisation de dispositifs est proposée, on commence par réaliser des capacités MOS utilisant l'empilement de la grille de la technologie qu'on cherche à évaluer et on fait des mesures de capacités en fonction de la tension. Par ailleurs, nous le verrons dans le chapitre suivant, les capacités MOS sont aussi utilisées dans les puces électroniques. Nous allons dans cette partie rappeler les paramètres caractéristiques d'une capacité MOS qui permettent d'évaluer le composant fabriqué et nous verrons dans la partie IV de ce chapitre comment peuvent être extraits ces paramètres à partir d'une mesure électrique.

III-1.2 Régimes de fonctionnement

La structure MOS se compose d'un métal, d'un isolant et d'un semi-conducteur. Pour décrire les différents régimes de fonctionnement de la capacité MOS, on choisit comme semi-conducteur un substrat de silicium dopé P. Cela signifie que certains atomes du réseau de silicium ont été remplacés par des impuretés acceptrices d'électrons et ont ainsi introduit des trous en tant que porteurs de charges. Le raisonnement que l'on va décrire ici s'applique aussi pour les substrats dopés N à condition d'inverser les polarités. Toutes les capacités MOS mesurées dans cette thèse ont un comportement de type P, c'est pourquoi nous allons décrire les régimes de fonctionnement dans ce cas précis.

Nous appellerons V_G la tension de polarisation entre le métal de grille et le substrat, V_{FB} la tension de bandes plates, c'est-à-dire la tension V_G qu'il faut appliquer à la structure pour chasser toutes les charges du canal et obtenir ainsi un diagramme de bande sans courbures. On appellera Ψ_S le potentiel à la surface du semi-conducteur, Φ_F le potentiel de Fermi qui représente l'écart entre le niveau de Fermi et le milieu du gap du semi-conducteur loin de la surface comme indiqué sur Figure 2.8 et V_T la valeur de V_G pour laquelle commence l'inversion dans le canal.

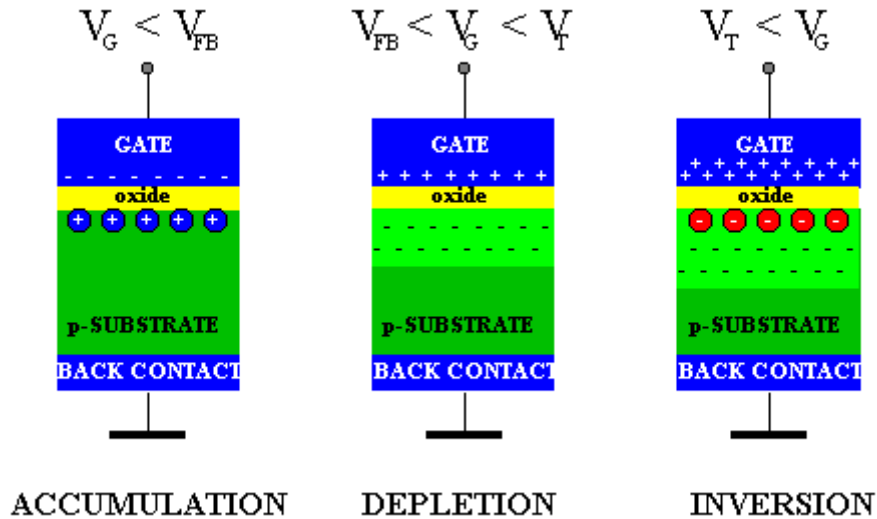


Figure 2.7 : Schéma des 3 principaux régimes de fonctionnement d'une structure MOS en fonction de la polarisation du substrat

Les principaux régimes de fonctionnement sont schématisés sur la Figure 2.7 et les diagrammes de bande correspondants sont représentés sur la Figure 2.8.

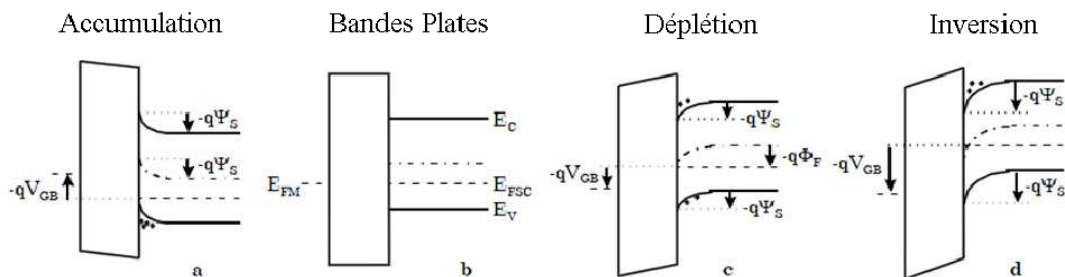


Figure 2.8 : Diagrammes de bandes correspondants aux différents régimes de fonctionnement de la capacité MOS. a- Accumulation, b- Bandes plates, c- Déplétion, d- Inversion, [Bernardini04]

Lorsque V_G est inférieur à la tension de bandes plates, c'est le régime d'accumulation. Les porteurs majoritaires : les trous sont attirés vers l'interface oxyde/semi-conducteur où ils viennent s'accumuler. Lorsqu'on fait varier la polarisation V_G depuis l'accumulation vers les V_G positifs, on passe par le régime de bandes plates lorsque $V_G = V_{FB}$ (diagramme b, Figure 2.8).

Lorsqu'on continue à augmenter la polarisation on passe par le régime de déplétion : les porteurs minoritaires sont chassés de la surface du semi-conducteur et la polarisation appliquée sur la grille est compensée par les impuretés acceptrices (d'électrons) chargées négativement (diagramme c, Figure 2.8). Lorsqu'il n'y a plus assez d'impuretés acceptrices pour compenser la charge appliquée sur le métal de la grille, les porteurs minoritaires (les électrons) commencent à être attirés vers la surface du semi-conducteur. Sur la Figure 2.8, diagramme d, lorsque la courbure du niveau de Fermi dépasse le milieu du gap au voisinage de l'interface oxyde/semi-conducteur, on a localement le diagramme de bandes d'un semi-conducteur de type N : c'est l'inversion. La tension de seuil V_T correspond à V_G lorsque commence l'inversion. On parle ensuite d'inversion forte lorsque $\Psi_s > 2 \Phi_F$.

III-1.3 Paramètres caractéristiques de la capacité MOS

III-1.3.a La tension de bandes plates

Nous l'avons déjà rencontrée à plusieurs reprises précédemment, la tension de bandes plates est la tension à appliquer sur la grille pour qu'il n'y ait aucune charge dans le canal. Lorsqu'on met en présence un empilement de grille composé d'un métal, un oxyde de silicium et du silicium, le diagramme de bandes présente des courbures liées aux différences de travaux de sortie du métal et du silicium, voir le diagramme de bandes sur la Figure 2.9. Dans ce cas, la tension de bandes plates peut s'écrire avec les notations de la Figure 2.9 en l'absence de charges piégées dans l'oxyde ni d'états d'interface :

$$V_{FB} = \Phi_M - \left(\chi + \frac{E_G}{2q} + \Phi_f \right) \quad (2.2)$$

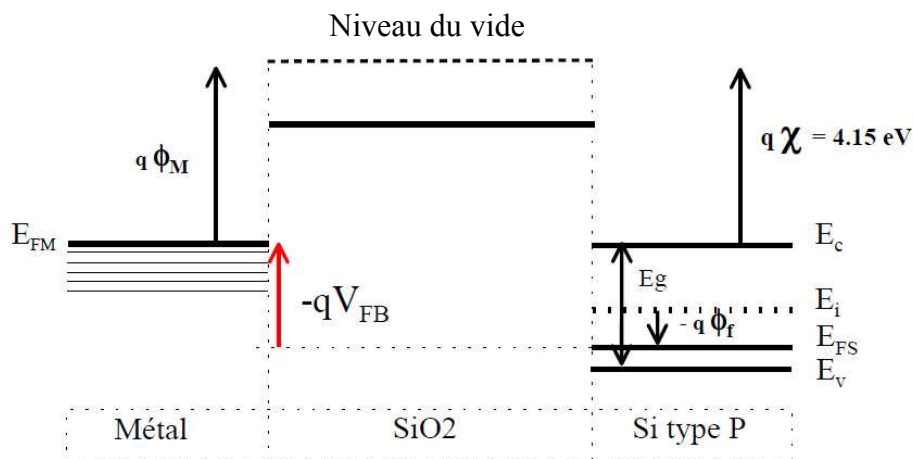


Figure 2.9 : Diagramme de bandes de la structure MOS en condition de bandes plates pour une capacité sans défauts.

Dans le cas d'une capacité réelle, interviennent aussi les défauts liés à la technologie comme les charges fixes dans l'oxyde et les états d'interface. Ainsi la tension de bandes plates s'écrit :

$$V_{FB} = \Phi_M - \left(\chi + \frac{E_G}{2q} + \Phi_f \right) - \frac{Q_{ox}}{C_{ox}} - \frac{Q_{it}(\Psi_S = 0)}{C_{ox}} \quad (2.3)$$

avec $q \cdot \Phi_M$ le travail de sortie du métal, $q \cdot \chi$ le travail de sortie du semi-conducteur, E_G la largeur de bande interdite du semi-conducteur, Q_{ox} la charge fixe dans l'oxyde, C_{ox} la capacité de l'oxyde et $Q_{it}(\Psi_S = 0)$ la charge due aux états d'interface à potentiel de surface nul.

III-1.3.b La capacité de l'oxyde

La notion de capacité peut se définir de manière différente selon la façon de la mesurer. Ainsi on peut définir la capacité statique selon :

$$C_{stat} = \frac{Q}{V} \quad (2.4)$$

La capacité dynamique selon :

$$C_{dyn} = \frac{dQ}{dV} \quad (2.5)$$

et la capacité quasi-statique selon :

$$C_{QS} = \frac{i}{dV/dt} \quad (2.6)$$

Nous le verrons dans la partie IV, ces 3 capacités sont proches de la capacité de l'oxyde pour une capacité MOS dans certaines gammes de tension. La capacité de l'oxyde est liée à la géométrie du dispositif, l'épaisseur de diélectrique et la permittivité du diélectrique. Pour une capacité plane, on a :

$$C_{ox} = \frac{\epsilon_0 \cdot \epsilon_r \cdot S}{e} \quad (2.7)$$

avec ϵ_0 la permittivité du vide, ϵ_r la permittivité diélectrique, S la surface des armatures en regard et e l'épaisseur du diélectrique.

Pour une capacité cylindrique, on a avec les mêmes notations que celles de la Figure 2.10 :

$$C_{ox} = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r \cdot l}{\ln\left(\frac{R_2}{R_1}\right)} \quad (2.8)$$

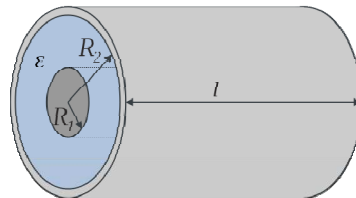


Figure 2.10 : Notations pour l'expression de la capacité d'un cylindre

Nous évaluerons dans le chapitre suivant l'erreur faite lorsqu'on utilise l'équation (2.7) au lieu de (2.8) dans le cadre des capacités à base de nanofils.

III-1.3.c La densité d'états d'interface

Les états d'interface sont des défauts présents aux interfaces métal/oxyde et oxyde/semi-conducteur. Ils se manifestent comme des pièges dans la bande interdite coté semi-conducteur et ne se manifestent pas coté métal car les pièges se remplissent et se vident très rapidement. Ces pièges dans la bande interdite du semi-conducteur répondent en fonction de la polarisation, ils sont ainsi visibles sur les mesures C(V) pour les tensions correspondantes au balayage du gap du silicium. En général les états d'interface ne sont visibles sur la mesure C(V) que lorsque cette mesure est faite soit en mode quasi-statique soit à basse fréquence (voir partie IV). On parle d'états rapides ou d'états lents selon que ces pièges répondent ou pas à haute fréquence. Dans le cas de pièges situés en bord de bande, les états sont dits rapides puisqu'ils continuent de répondre même à haute fréquence. Nous verrons dans la partie IV comment extraire la densité d'état d'interface et comment ces états modifient la forme des courbes C(V).

III-1.3.d La tension et le champ de claquage

Le champ de claquage est le champ maximal que l'on peut appliquer aux bornes du diélectrique au-delà duquel il perd irrémédiablement ses propriétés isolantes. Le claquage se manifeste par l'apparition brutale d'un fort courant électrique aux bornes du diélectrique et correspond à la formation d'un chemin de conduction dans le diélectrique. Une fois ce chemin crée, le courant circule par ce chemin dès que le diélectrique est polarisé. Les propriétés isolantes sont alors irrémédiablement perdues. Ce champ est une caractéristique du matériau diélectrique utilisé. Le champ et la tension de claquage sont reliés par l'épaisseur de diélectrique, en général on mesure la tension de claquage et on en déduit le champ en divisant la tension par l'épaisseur de diélectrique.

III-1.3.e Le courant de fuite

Le courant de fuite est la mesure du courant qui passe dans le diélectrique à une tension donnée. Les mécanismes de conduction décrivant les courants de fuite sont les mêmes pour les capacités MOS que pour les capacités MIM. Plusieurs types de mécanismes de conduction sont possibles en fonction de la température et du champ appliqué. On distingue 2 types de conduction : la conduction limitée par l'électrode et la conduction limitée par le volume. Dans la conduction limitée par les électrodes, on a selon la polarisation : la conduction Schottky, la conduction par effet tunnel direct et la conduction Fowler-Nordheim. Pour la conduction limitée par le volume, on a principalement la conduction Poole-Frenkel et la conduction ohmique. La Figure 2.11 montre les diagrammes de bandes explicatifs des principaux mécanismes de conduction.

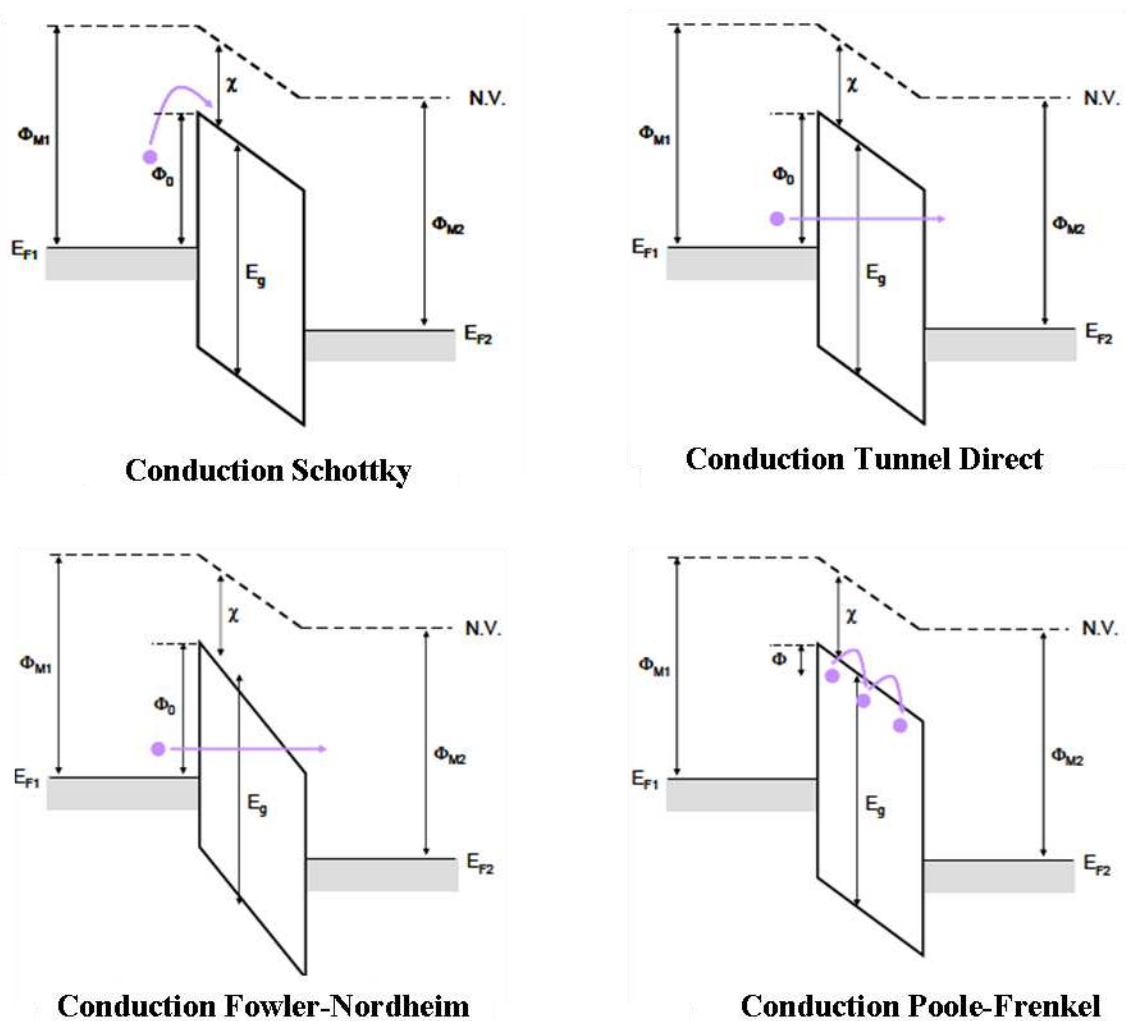


Figure 2.11 : Diagrammes de bandes explicatifs des principaux modes de conduction.

Le Tableau 2.1 résume les différentes expressions des densités de courants en fonction des modes de conduction.

Mode de Conduction	Expression de la densité de courant
Schottky	$J = \frac{4 \cdot \pi \cdot m^* \cdot q \cdot (k \cdot T)^2}{h^3} \cdot \exp\left(-\frac{q}{k \cdot T} \cdot \left(\Phi_0 - \sqrt{\frac{q}{4 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r} \cdot E}\right)\right) \quad (2.9)$
Fowler-Nordheim	$J = \frac{m \cdot q^2}{8 \cdot \pi \cdot h \cdot m^* \cdot \Phi_0} \cdot E^2 \cdot \exp\left(-\frac{8 \cdot \pi \sqrt{2 \cdot m^* \cdot q} \cdot \Phi_0^{3/2}}{3 \cdot h} \cdot \frac{1}{E}\right) \quad (2.10)$
Poole-Frenkel	$J = C \cdot E \cdot \exp\left(-\frac{q \cdot \Phi}{k \cdot T}\right) \cdot \exp\left(\frac{\beta_{PF}}{k \cdot T} \cdot \sqrt{E}\right) \quad (2.11)$
Ohmique	$J = \sigma \cdot E \quad (2.12)$

Tableau 2.1 : Tableau récapitulatif des expressions des densités de courant en fonction du mécanisme de conduction.

Avec :

- E Le champ appliqué
- m^* La masse effective des électrons
- m La masse de l'électron
- Φ_0 La hauteur de barrière
- q La charge de l'électron
- T La température
- k La constante de Boltzmann
- h La constante de Planck
- C Une constante proportionnelle à la densité de pièges
- β_{PF} La constante de Poole-Frenkel définie par $\sqrt{\frac{q}{\pi \cdot \epsilon_r}} \quad (2.13)$
- σ La conductivité

La conduction Schottky est activée par la température, elle est aussi appelée thermoïonique. Avec la température, certains électrons ont une énergie suffisante pour franchir la barrière imposée par l'oxyde et entrent dans sa bande de conduction. Ces électrons sont appelés des porteurs chauds. Ce mode de conduction est favorisé par des températures élevées (~200°C) et un champ faible (<0.5 MV/cm).

Les conduction tunnel direct et Fowler-Norheim sont des mécanismes très proches. Dans la conduction tunnel direct, les électrons passent dans le diélectrique et rejoignent l'autre électrode par effet tunnel. Cet effet est possible lorsque l'épaisseur du diélectrique est très

faible. Dans le mécanisme Fowler-Nordheim, c'est lorsque le champ appliqué est très fort et que les électrons de l'électrode injectante voient une barrière triangulaire. Cette forme favorise le passage d'électron dans le diélectrique, toujours par effet tunnel.

La conduction Poole-Frenkel est une conduction induite par les défauts dans le diélectrique. Les défauts créent des pièges dans la bande interdite du diélectrique au voisinage de la bande de conduction. Les électrons se déplacent de pièges en pièges vers l'électrode opposée. Il est très difficile expérimentalement de différencier une conduction Schottky d'une conduction Poole-Frenkel car les deux dépendent de la température. La conduction Schottky est limitée par l'électrode injectante, tandis que la conduction Poole-Frenkel est limitée par le volume.

La conduction ohmique a lieu y compris pour de très faibles champs ($E < 0.1$ MV/cm). Ce type de conduction répond à la loi d'Ohm classique comme indiqué Tableau 2.1. Ce mode de conduction est lui aussi sensible à la température car la conduction est proportionnelle à la mobilité des porteurs.

III-2 La capacité MIM

III-2.1 Introduction

La principale différence entre la capacité MIM (Métal Isolant Métal) et la capacité MOS est que la valeur de la capacité reste constante avec la tension appliquée aux bornes de la capacité MIM. C'est cette constance avec la tension que s'attachent de quantifier les coefficients de linéarité en tension que nous allons présenter dans cette partie. Les principales caractéristiques d'une capacité MIM sont communes avec la capacité MOS : le champ de claquage, le courant de fuite et la capacité de l'oxyde. D'autres paramètres sont plus spécifiques à la capacité MIM et correspondent aux exigences des applications, c'est le cas de la linéarité en tension et du facteur de qualité. Nous allons dans cette partie décrire le fonctionnement de la capacité MIM avec la tension et finir par les définitions des paramètres caractéristiques spécifiques.

III-2.2 Fonctionnement de la capacité MIM

La capacité MIM se compose de 3 couches : 2 métalliques séparées par un isolant. Le fonctionnement de la capacité MIM est simple : lorsqu'une différence de potentiel est appliquée sur les armatures métalliques, des charges de signes opposées s'accumulent de part et d'autre. On peut définir la capacité avec les mêmes équations que pour la MOS (équations **2.4** à **2.6**).

III-2.3 Paramètres caractéristiques de la capacité MIM

III-2.3.a La résistance série et le facteur de qualité

La résistance série correspond à la résistance des électrodes, elle intervient par son impédance dans la mesure dynamique de la valeur de la capacité. Cette résistance a pour effet d'augmenter les temps de charge et de décharge de la capacité et a pour conséquence qu'au delà d'une certaine fréquence, appelée fréquence de coupure, la capacité n'est plus fonctionnelle. Le facteur de qualité noté Q permet de relier la capacité et la résistance série selon :

$$Q = \frac{1}{\omega \cdot R \cdot C} \quad (2.14)$$

Où R est la résistance série, C la valeur de la capacité et ω la pulsation de la tension aux bornes de la capacité.

III-2.3.b La linéarité en tension

La forme de la courbe $C(V)$ pour une capacité MIM est en général parabolique pour les diélectriques utilisés en microélectronique (non ferroélectriques). Cette forme est liée aux phénomènes de polarisation et de dipôles présents dans le diélectrique qui modifient la permittivité en fonction du champ appliqué, voir [Bécu06].

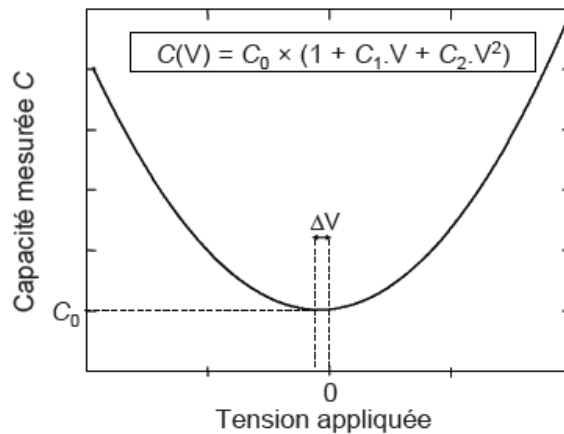


Figure 2.12 : Variation de la capacité en fonction de la tension appliquée et définition des coefficients de linéarité en tension pour une capacité MIM, [Bécu06]

Ainsi la courbe $C(V)$ d'une capacité MIM se modélise comme le montre la Figure 2.12 par :

$$C(V) = C_0 \times (1 + C_1 \cdot V + C_2 \cdot V^2) \quad (2.15)$$

Où C_0 est la valeur de la capacité à 0 V, C_1 le coefficient linéaire en ppm/V et C_2 le coefficient quadratique en ppm/V². C_2 représente la courbure de la parabole, dans le cadre d'applications exigeantes en linéarité en tension, on cherchera à minimiser ce coefficient.

IV- Méthodes de caractérisation

IV-1 Introduction

Nous allons dans cette partie présenter les différentes méthodes de caractérisation employées dans cette thèse. Dans une première partie nous décrirons les méthodes de caractérisation morphologiques originales utilisées : la Tomographie Electronique et l'émission lumineuse. Dans une seconde partie nous présentons les méthodes de caractérisation électriques des capacités, la forme des courbes et les méthodes d'extractions des paramètres caractéristiques.

IV-2 Méthodes de caractérisation morphologique

IV-2.1 La tomographie électronique

La tomographie électronique est une technique de caractérisation qui utilise un microscope électronique en transmission (TEM) muni d'une platine de rotation permettant de faire tourner l'échantillon sous le faisceau. On peut ainsi faire des acquisitions de l'échantillon sous différents angles. Les données recueillies permettent ensuite de faire une reconstruction tridimensionnelle de l'objet analysé comme illustré sur la Figure 2.13. Les acquisitions réalisées dans le cadre de cette thèse ont été faites par la Plateforme de Nano-caractérisation du CEA-Léti sur le microscope Titan. La résolution des acquisitions est l'ordre de quelques nanomètres.



Figure 2.13 : Schéma de principe de l'acquisition de plusieurs images à différents angles pour reconstituer un objet en 3D. Principe utilisé dans la tomographie électronique, [TaylorLab]

L'analyse de l'énergie perdue par les électrons en traversant l'échantillon permet de remonter à la nature chimique des éléments présents dans l'échantillon comme dans un TEM habituel. L'acquisition à différents angles permet de reconstruire les différents volumes en 3D occupés par différents éléments, comme par exemple la position de clusters d'or à la surface d'un nanofil de silicium (voir chapitre 6).

IV-2.2 L'émission lumineuse

L'émission lumineuse est une technique très simple mettant en jeu un microscope optique et une caméra CCD refroidie. Le principe est de détecter l'émission de photons à la surface d'un dispositif mis sous contrainte électrique. Lorsqu'on polarise une capacité MOS qui présente des fuites, un courant va circuler entre le métal supérieur et le semi-conducteur. Les électrons de la bande de conduction du semi-conducteur peuvent se recombiner avec les trous et émettre un photon. Ce sont ces photons qui seront détectés par la camera. Il suffit ensuite de superposer la photo optique du dispositif aux acquisitions du détecteur pour réaliser la cartographie des lieux où se concentrent les courants de fuite. Des résultats utilisant cette technique sont présentés dans le chapitre 5.

IV-3 Méthodes de caractérisation électriques

IV-3.1 Principe de la mesure C(V)

IV-3.1.a Introduction

Nous allons dans cette partie présenter les méthodes de caractérisation électrique des capacités ainsi que les techniques d'extraction des paramètres précédemment définis. Nous nous plaçons dans le cas d'une capacité MOS avec un semi-conducteur de type P et une structure avec une épaisseur de semi-conducteur suffisante pour n'être jamais totalement désertée. Pour un semi-conducteur de type N, les méthodes restent les mêmes, il faut simplement inverser les polarités. Pour une capacité MIM, les paramètres communs (C_{ox} et tension de claquage) s'extraient de la même façon. On suppose de plus que les charges coté métal s'accumulent sur une épaisseur négligeable devant l'épaisseur du diélectrique. En effet, dans cette thèse nous n'utiliserons pas de diélectrique d'épaisseur inférieure à 7 nm. Sinon il faudrait tenir compte d'une zone désertée coté métal.

La capacité mesurée est la capacité équivalente de 2 capacités en série : la capacité de l'oxyde et la capacité du semi-conducteur et s'écrit :

$$\frac{1}{C} = \frac{1}{C_{ox}} + \frac{1}{C_{SC}} \quad (2.16)$$

Où C_{ox} désigne la capacité de l'oxyde et C_{SC} la capacité du semi-conducteur entre sa surface en contact avec l'oxyde et le cœur du semi-conducteur. C_{ox} est constant et décrit par une des équations (2.7) ou (2.8) selon la géométrie. L'expression de C_{SC} dépend du régime de la

capacité MOS : accumulation, déplétion ou inversion. Le Tableau 2.2 reprend les différentes expressions de C_{SC} dans les différents régimes :

Régime de Fonctionnement	Expression de C_{SC}
Accumulation	$C_{SC} = \frac{\epsilon_{SC}}{\sqrt{2} \cdot L_D} \cdot e^{\frac{-q\Psi_S}{2kT}}$ (2.17)
Déplétion	$C_{SC} = \frac{\epsilon_{SC}}{l_{ZD}}$ (2.18)
Inversion (Basse Fréquence)	$C_{SC} = \frac{\epsilon_{SC}}{\sqrt{2} \cdot L_D} \cdot e^{\frac{-q(\Psi_S - \Phi_F)}{2kT}}$ (2.19)
Inversion (Haute Fréquence)	$C_{SC} = \frac{\epsilon_{SC}}{l_{max}}$ (2.20)

Tableau 2.2 : Expressions de la capacité du semi-conducteur en fonction du régime de fonctionnement

Avec :

ϵ_{SC} Permittivité du semi-conducteur

L_D Longueur de Debye définie par $L_D = \sqrt{\frac{\epsilon_{SC} \cdot (kT/q)}{qN_a}}$ (2.21)

N_a Dopage du semi-conducteur

Ψ_S Potentiel de surface du semi-conducteur

l_{ZD} Profondeur de la zone désertée, définie par $l_{ZD} = \sqrt{\frac{2\epsilon_{SC} \cdot (\Psi_S - kT/q)}{qN_a}}$ (2.22)

l_{max} Profondeur maximale de la zone désertée, $l_{max} = \sqrt{\frac{4\epsilon_{SC} \cdot \Phi_F}{qN_a}}$ (2.23)

Φ_F Potentiel de Fermi et donné par $\Phi_F(N_a) = \frac{kT}{q} \cdot \ln\left(\frac{N_a}{n_i}\right)$ (2.24)

n_i Dopage intrinsèque

En accumulation et en inversion, C_{SC} est grande devant C_{ox} ; c'est pourquoi on peut assimiler la capacité mesurée à C_{ox} lorsqu'on fait la mesure en quasi-statique ou à basse fréquence. On peut montrer que l'écart entre C et C_{ox} vaut :

En accumulation : $\frac{C_{ox} - C}{C} \approx \frac{2kT/q}{|V_G|}$ (2.25)

En inversion : $\frac{C_{ox} - C}{C} \approx \frac{2kT/q}{|V_G - 2\Phi_f|}$ (2.26)

Ainsi en accumulation, à une tension V_G de -2V, l'écart entre la capacité mesurée et la capacité de l'oxyde est d'environ 2.6 %.

IV-3.1.b Mesure de capacité en mode dynamique

La mesure en mode dynamique consiste à appliquer une tension alternative de faible amplitude aux bornes de la capacité selon :

$$V_G(t) = V_{G0} + \Delta V_G(t) \quad (2.27)$$

avec $\Delta V_G(t) = \delta V \cdot \cos(\omega \cdot t)$ (2.28)

Nous avons utilisé dans cette thèse un appareil de type LCR meter, modèle Agilent 4284A Precision. Ce type d'appareil peut fonctionner sous 2 modes : le mode série et le mode parallèle :

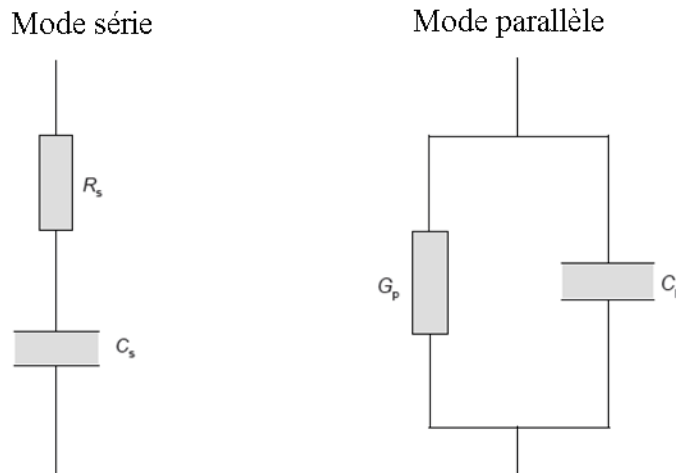


Figure 2.14 : Schémas série et parallèle des modes de fonctionnement du capacimètre Agilent 4284A Precision LCR meter

Comme le montre la Figure 2.14, un tel appareil donne en mode série une valeur de capacité et une valeur de résistance série et en mode parallèle une valeur de capacité et une valeur de conductance. En pratique, on utilisera le modèle série à haute fréquence pour faire une estimation de la résistance série. En effet à haute fréquence, l'impédance de la capacité $\frac{1}{jC\omega}$ devient faible devant l'impédance de la résistance série et permet son estimation. Le mode parallèle est le plus couramment utilisé pour tenir compte des fuites à travers le

diélectrique qui sont mieux prise en compte avec le terme de conductance. En revanche, à haute fréquence en mode parallèle, si l'impédance série est importante, la capacité mesurée peut être sous-estimée.

Selon la fréquence utilisée pour la mesure, la courbe C(V) n'a pas la même forme comme le montre la Figure 2.15 :

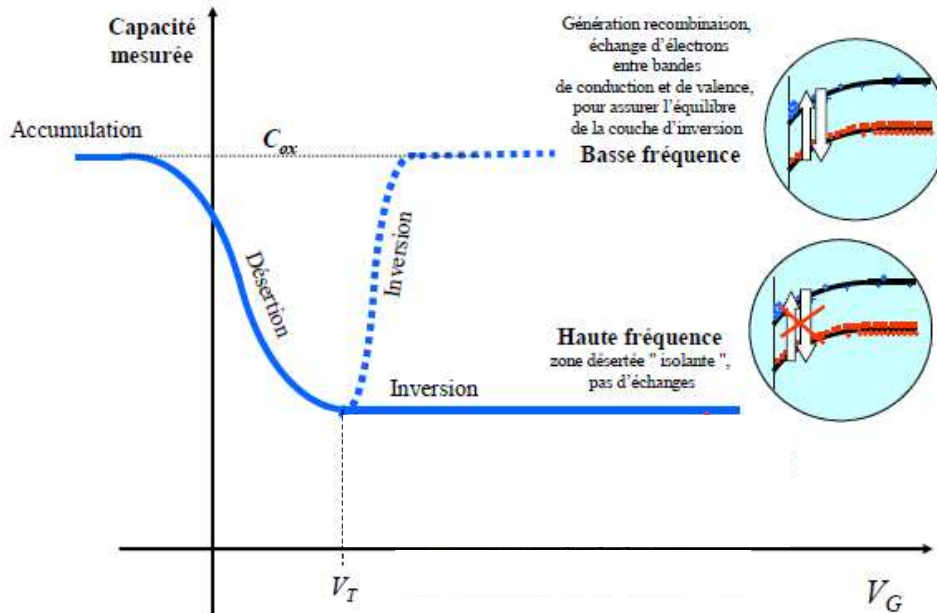


Figure 2.15 : Allure de la courbe C(V) avec les différents régimes à haute et à basse fréquence pour une capacité MOS et un semi-conducteur de type P, [coursphysique]

En effet, lorsqu'on fait varier V_G , on fait varier le potentiel de surface du semi-conducteur. La charge Q_s en surface doit varier pour atteindre un état d'équilibre. En accumulation, la variation de charge consiste en une augmentation de porteur majoritaire à l'interface, régie par des mécanismes de transport : un défaut de charges positives engendre un champ électrique local et donc un courant de porteurs majoritaires pour rétablir l'équilibre. Entre l'application du potentiel et l'équilibre s'écoule un temps caractéristique de l'ordre du temps de réponse diélectrique τ_D tel que :

$$\tau_D = \frac{\epsilon_{SC}}{\sigma} \quad (2.29)$$

$$\text{avec } \sigma = q \cdot \mu_p \cdot p \quad (2.30)$$

où σ , μ_p et p sont respectivement les conductivité, mobilité et dopage de la zone d'accumulation.

En général, lorsque la mobilité n'est pas dégradée, ce temps de réponse est très faible devant la période de variation du signal alternatif appliqué. En revanche, lorsqu'on est en inversion, ce sont les porteurs minoritaires qui doivent être accumulés à l'interface. Dans ce cas, ce n'est plus leur migration vers l'interface qui soit limitante mais leur génération. Elle est

favorisée par la présence de lumière, de défauts et par la température. Notons par ailleurs que lorsqu'on fait une caractérisation $C(V)$ sur un transistor MOS, il y a de part et d'autre du canal des réservoirs de porteurs minoritaires. A basse fréquence, si la génération de ces porteurs est favorisée, on observe une remontée de la courbe $C(V)$ en inversion vers la valeur du C_{ox} . A haute fréquence la remontée n'est pas observée car les porteurs n'ont pas le temps d'être générés. Plus la fréquence de mesure est basse, et plus on a de chance d'observer l'inversion sur la mesure $C(V)$, mais la mesure est de plus en plus bruitée et sensible aux capacités parasites. L'observation de l'inversion sur la mesure $C(V)$ est très utile lorsque la finalité de l'étude est de réaliser un transistor puisque c'est avec l'inversion qu'on peut déterminer la tension de seuil.

IV-3.1.c Mesure de capacité en mode quasi-statique

La mesure en mode quasi-statique est la mesure la mieux adaptée pour voir l'inversion sur la courbe $C(V)$. Nous l'avons mise en œuvre à l'aide d'un Agilent 4156C Precision Semiconductor Parameter Analyser qui permet d'appliquer une rampe de tension dans le temps et de mesurer un courant. On trace ensuite la capacité en fonction de la tension à l'aide de l'équation (2.6). En revanche ce mode de mesure n'est pas possible si la capacité fuit trop.

IV-3.2 Principe de la mesure $I(V)$

Le principe de la mesure $I(V)$ est simple : il s'agit d'appliquer une tension aux bornes de la capacité MIM ou MOS et de mesurer le courant qui l'a traverse. Ce type de mesure permet de déterminer le niveau de fuite de la capacité et les propriétés isolantes du diélectrique. En général, on donne la valeur de la densité de courant de fuite, elle correspond au ratio entre l'intensité mesurée à une certaine tension et la surface effective de la capacité. La surface effective correspond à la surface de la plus petite des deux électrodes en regard. Pour une capacité à base de nanofils, nous verrons que cette surface est difficile à déterminer. Nous expliquerons dans le chapitre 4, comment nous avons extrait cette surface à partir de la mesure $C(V)$.

La modélisation des mesures $I(V)$ par les modèles de conduction décrits précédemment permet de remonter au type de conduction dans le diélectrique et de proposer des améliorations de procédés. Il peut être utile d'observer l'évolution des courbes en fonction de la température pour discriminer les modes de conduction en jeu.

Enfin la mesure $I(V)$ permet l'extraction de la tension de claquage. Pour cela, la capacité est polarisée par exemple positivement à une valeur de tension croissante, jusqu'à observer une forte augmentation de l'intensité : c'est le claquage. Le claquage est irréversible, le diélectrique a alors perdu ses propriétés isolantes et la capacité ne fonctionne plus. Pour connaître la tension de claquage coté négatif, il faut faire la même mesure sur un autre dispositif.

IV-4 Méthodes d'extraction des paramètres caractéristiques

IV-4.1 Introduction

Nous allons présenter dans cette section les techniques utilisées pour extraire les paramètres caractéristiques des capacités MOS : le dopage, la tension de bandes plates, la densité d'états d'interface et la densité de charges dans l'oxyde. La méthode employée consiste à extraire systématiquement tous les paramètres puisque certains sont extraits par simulation d'une courbe théorique, ce qui nécessite en particulier de connaître le dopage.

Dans cette méthode, on commence par déterminer la surface effective de la capacité, c'est-à-dire celle qui entre en jeu dans la valeur du C_{ox} . On détermine ensuite le dopage soit en le fixant à une valeur donnée, soit en le déterminant à partir de la mesure. On trace ensuite une courbe $C(V)$ théorique respectant les dopages et C_{ox} déterminés. Le décalage entre les courbes théorique et expérimentale correspond aux états d'interface et aux charges piégées dans l'oxyde. On détermine ces deux quantités en ajoutant ces défaut à la courbe théorique jusqu'à obtenir un bon recouvrement des courbes. On a ainsi extrait tous les paramètres caractéristiques. Nous présentons dans cette section les méthodes utilisées pour chaque paramètre.

IV-4.2 Extraction de la surface effective

Nous avons vu précédemment qu'il y avait peu d'écart entre la capacité mesurée en accumulation et la capacité de l'oxyde. Pour extraire la surface effective sur nos dispositifs, nous avons tout d'abord vérifié cela en comparant les valeurs obtenues par 2 méthodes : l'une considère l'égalité entre les 2 capacités, l'autre tenant compte de l'écart du à la capacité du semi-conducteur en série avec la capacité de l'oxyde et qui intervient dans la mesure. Pour cela nous avons dans notre simulation, fixé à sa valeur théorique l'épaisseur équivalente d'oxyde de silicium et avons ajusté la surface pour que la simulation et la courbe expérimentale se recouvrent en accumulation. En pratique nous n'avons pas observé de différence significative entre la surface extraite par ajustement et celle calculée à partir de la mesure en accumulation et de la formule : (2.31).

IV-4.3 Extraction du dopage

IV-4.3.a Méthode utilisant C_{min} et C_{max}

Dans cette méthode, on utilise une mesure dynamique de la capacité, à une fréquence où les porteurs minoritaires ne sont pas générés. Dans ce cas, on obtient coté accumulation une capacité C_{max} et coté inversion une capacité C_{min} . C_{max} permet de connaître la capacité de

l'oxyde. Ensuite, on a :
$$\frac{1}{C_{min}} = \frac{1}{C_{ox}} + \frac{1}{C_{Smin}} \quad (2.31)$$

Selon $C_{SC} = \frac{\epsilon_{SC}}{l_{max}}$ (2.20) (2.20), on a : $C_{Smin} = \sqrt{\frac{\epsilon_S \cdot e \cdot N_a}{4 \cdot \Phi_F(N_a)}} \quad (2.32)$

Connaissant C_{min} et C_{ox} on en déduit N_a le dopage.

IV-4.3.b Méthode utilisant la fonction de Mazerjian

L'avantage de cette méthode c'est qu'elle est indépendante du C_{ox} , donc évite l'erreur faite lorsqu'on considère C_{max} et C_{ox} égaux. Cette erreur est d'autant plus importante lorsqu'on utilise des diélectriques très minces (ce qui n'est pas le cas dans cette thèse).

On utilise dans cette méthode une fonction qui s'écrit $Y = \frac{1}{C_S^3} \cdot \frac{dC_S}{dV_S} \quad (2.33)$

Dans le cas de la désertion totale, on peut montrer que la fonction Y présente un plateau pour

$V_{FB} < V_G < V_T$ dont la valeur est donnée par : $Y_{min} = -\frac{1}{q \cdot \epsilon_{SC} \cdot N_a} \quad (2.34)$

Il suffit ainsi de tracer la fonction Y et à partir du plateau Y_{min} de remonter au dopage.

L'inconvénient de cette technique est qu'elle nécessite des C(V) avec peu d'états d'interface pour pouvoir repérer aisément le plateau sur la fonction Y.

IV-4.4 Extraction de la tension de bandes plates

Pour déterminer la tension de bandes plates théorique, une méthode consiste à tracer à partir de la capacité mesurée la courbe $1/C^2 = f(V)$. Ce tracé permet d'obtenir une droite pour les tensions correspondant à la zone de déplétion. L'intersection de cette droite avec l'axe des abscisses répond à l'équation :

$$\frac{1}{C^2} = \frac{2}{|q| \cdot N_A \cdot \epsilon_{SC} \cdot S^2} \cdot (V - V_{FB}) \quad (2.35)$$

Cette intersection permet à partir de cette équation de déterminer la tension de bandes plates de la capacité. Il est également possible à partir de la détermination de la pente de cette droite, de remonter au dopage du semi-conducteur.

En revanche cette méthode n'est valable qu'en l'absence de charges piégées dans l'oxyde et d'états d'interface. En effet la présence de ces défauts décale la tension de bandes plates. Nous avons ainsi utilisé la simulation d'une courbe C(V) idéale qu'on a ajustée aux courbes expérimentales en ajoutant des défauts pour extraire la tension de bandes plates.

IV-4.5 Extraction de la densité d'états d'interface

Les états d'interface sont des défauts qui se manifestent sous forme de pièges dans la bande interdite du semi-conducteur. Les pièges que l'on arrive à distinguer par la mesure répondent en général à basse fréquence lors de la mesure C(V) dans la zone de désertion. Ces

états d'interface se manifestent sous forme soit de pics sur la courbe $C(V)$, soit simplement ils diminuent la pente de la courbe dans la zone de déplétion. Pour extraire la densité d'états d'interface ainsi que leur profil en énergie, deux méthodes ont été utilisées dans cette thèse.

La première consiste à utiliser la simulation d'une courbe $C(V)$, comme pour déterminer la tension de bandes plates : après avoir décalé la courbe théorique latéralement de la tension de bandes plates, on ajoute à l'expression théorique de $C(V)$ des états d'interface pour ajuster la forme de la courbe théorique à la courbe mesurée. On obtient ainsi une densité d'états d'interface. Les états d'interfaces sont ajoutés à partir de 2 Gaussiennes dont on choisit la position des pics en fonction de la position en énergie dans la bande interdite.

La seconde méthode est connue sous le nom de Castagné et Vapaille [**Castagné71**] ou méthode de Kuhn [**Kuhn70**] ou encore de méthode « high-low » [**Garnett09**]. Cette méthode repose sur la détermination de la capacité due aux états d'interface. On utilise dans cette méthode 2 courbes de mesure $C(V)$, l'une obtenue à basse fréquence et l'autre à haute fréquence. On considère qu'à haute fréquence, les états d'interface ne répondent plus et que la capacité mesurée correspond à la capacité d'une structure sans états d'interface. Ainsi l'écart entre la courbe à haute fréquence et celle obtenue à basse fréquence correspond à la capacité des états d'interface. Cette capacité s'exprime selon :

$$C_{SS} = q \cdot S \cdot N_{SS}(\psi_S) = \frac{C_{ox} \cdot C_{BF}}{C_{ox} - C_{BF}} - \frac{C_{ox} \cdot C_{HF}}{C_{ox} - C_{HF}} \quad (2.36)$$

Dans cette expression, on a : C_{SS} la capacité des états d'interface, S la surface effective de la capacité, $N_{SS}(\psi_S)$ la densité d'états d'interface au potentiel de surface ψ_S , C_{BF} la capacité mesurée à basse fréquence et C_{HF} la capacité mesurée à haute fréquence. Afin de tracer le profil d'états d'interface en fonction de leur position dans la bande interdite du semi-conducteur, il reste à relier la tension appliquée à une position en énergie dans la bande interdite par

rapport à la bande de valence. On utilise pour cela : $E - E_V = \Psi_S + \frac{kT}{q} \cdot \ln\left(\frac{n_i}{N_A}\right)$ (2.37)

$$\text{avec } \Psi_S = \int_{V_{FB}}^V \left(1 - \frac{C_{BF}}{C_{ox}}\right) \cdot dV \quad (2.38)$$

Où $E - E_V$ représente la position dans la bande interdite par rapport à la bande de valence, n_i le dopage intrinsèque et N_A le dopage du semi-conducteur.

IV-4.6 Extraction de la densité de charges dans le diélectrique

L'extraction de la densité de charges dans le diélectrique constitue la dernière étape de l'extraction. La densité de charge dans le diélectrique reflète la qualité du dépôt et la quantité de résidus ioniques laissés à l'intérieur. Après avoir ajusté la forme de la courbe théorique à la courbe expérimentale en désertion, on connaît désormais la densité d'états d'interface. En effet, la tension de bandes plates qui caractérise le décalage latéral (en tension) entre les courbes

théorique et expérimentale est lié à plusieurs contributions : la différence de travaux de sortie entre métal et semi-conducteur, les charges dans l'oxyde et les états d'interface. En effet :

$$V_{FB} = \Phi_M - \left(\chi + \frac{E_G}{2q} + \Phi_f \right) - \frac{Q_{ox}}{C_{ox}} - \frac{Q_{it}(\Psi_S = 0)}{C_{ox}} \quad (2.39)$$

On peut différencier la contribution des états d'interface de la contribution des charges dans l'oxyde en déterminant leur densité avant et par la méthode citée au-dessus. On obtient ainsi Q_{ox} la quantité de charges piégées dans l'oxyde.

Conclusion

Nous avons dans ce chapitre présenté l'ensemble des bases théoriques utilisées dans cette thèse. Le mécanisme de la croissance par CVD a été présenté en montrant notamment que c'est le diamètre et la densité des catalyseurs qui déterminent le diamètre et la densité des nanofils obtenus par croissance CVD.

Ce chapitre permet également de rappeler la différence entre les capacités MIM et MOS. Pour les capacités MIM, la capacité est indépendante de la tension appliquée alors que pour les MOS elle en dépend. La capacité MOS présente en effet 3 régimes selon la polarisation : accumulation, déplétion et inversion. En termes d'applications, les capacités MOS fonctionneront en accumulation comme les capacités MIM, puisqu'en accumulation la capacité est constante.

Chacun des paramètres caractéristiques d'une capacité MOS ou MIM permettant ensuite de comparer nos dispositifs à l'état de l'art ont été décrits. Les méthodes de caractérisation employées par la suite et notamment dans les chapitres présentant nos résultats électriques (chapitres 5 et 6) utilisent les outils présentés ici.

Chapitre 3 : Conception de capacités à base de nanofils

Introduction

Le chapitre précédent était un rappel des bases théoriques sur la croissance de nanofils et la caractérisation des capacités MOS et MIM. Nous allons dans ce chapitre nous intéresser à la conception et au dimensionnement de dispositifs à base de nanofils en mettant en évidence les différents compromis. Nous commencerons par présenter les applications nécessitant des fortes valeurs de capacités ainsi qu'un état de l'art des réalisations technologiques de capacités denses permettant l'intégration de capacités de forte valeur. Les limites de l'art antérieur nous permettent d'introduire l'opportunité représentée par les nanofils pour ce type d'application. Nous présentons ensuite, les critères de choix des différents matériaux constitutifs de la capacité. Nous proposons enfin un schéma de réalisation des capacités à base de nanofils et décrivons le dimensionnement du dispositif tant au niveau de la valeur de la capacité qu'au niveau de sa résistance série.

I- Etat de l'art des capacités de forte valeur

I-1 Introduction et critères de compatibilité avec une technologie à base de nanofils

Nous allons dans cette partie nous intéresser aux applications nécessitant des capacités de fortes valeurs. Pour chacune de ces applications nous allons déterminer l'opportunité ou non d'une capacité de haute densité à base de nanofils. En effet pour être compatible avec la technologie que nous allons proposer et qui repose sur la surface déployée par une assemblée de nanofils, ces applications doivent répondre à deux critères :

- La valeur de capacité doit être élevée (>10 pF) pour que le dispositif comporte un nombre important de nanofils. Cela permettra de s'affranchir de l'éventuelle dispersion des dimensions des différents nanofils entrant en jeu.
- L'application devra être « tolérante » sur la dispersion des dispositifs et plutôt nécessiter des valeurs minimales pour les caractéristiques que des valeurs très précises comme la valeur de capacité par exemple.

Nous présenterons ensuite un état de l'art des techniques permettant d'obtenir des capacités de haute densité pour réduire la taille des capacités et permettre leur intégration dans les circuits intégrés.

I-2 Quelles applications nécessitent des capacités de forte valeurs ?

I-2.1 La capacité de DRAM (*Dynamic Random Access Memory*)

La DRAM [Gerritsen05] appartient à la famille des mémoires volatiles, c'est-à-dire que l'information est stockée pendant une échelle de temps courte, ce qui oblige à rafraîchir régulièrement les données. Dès que le système est éteint, les capacités de stockage se déchargent et perdent l'information. Ainsi, une DRAM est composée, comme le montre la Figure 3.1, d'un transistor en série avec une capacité.

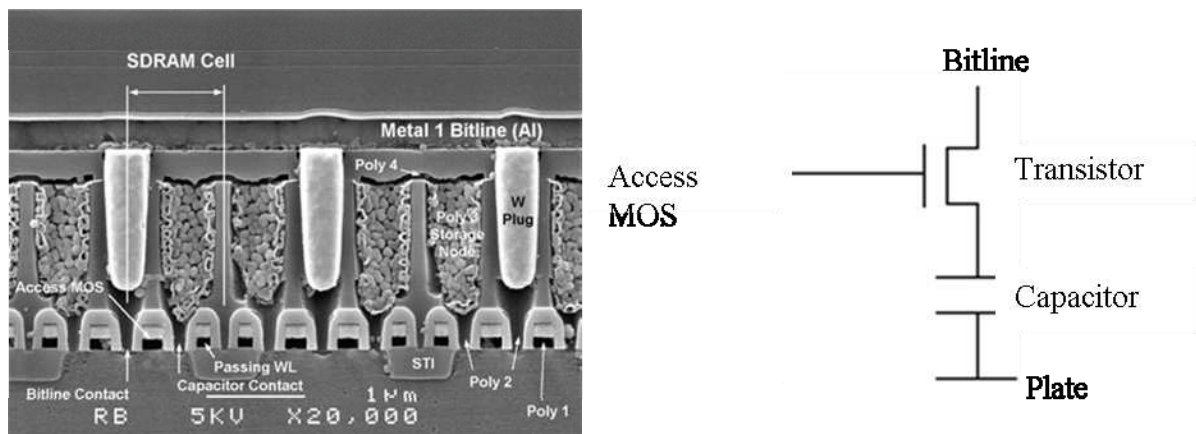


Figure 3.1 : Exemple de cellules de mémoire DRAM de Micron à 64 Mb commercialisée en 1999 et le schéma équivalent montrant les principaux constituants d'une mémoire DRAM, [EEtimes]

La grille du transistor est connectée à une ligne métallique d'un niveau supérieur, elle est souvent appelée *word line*, ou *access MOS*. Lorsqu'elle est polarisée, le transistor connecte électriquement la *bitline* ou ligne de données à la capacité. Selon la polarisation de cette *bitline* : respectivement non nulle ou nulle, la capacité se charge ou ne se charge pas. On inscrit ainsi un point mémoire nul ou non nul dans la capacité. Ce point peut ensuite être lu par la *bitline* en polarisant le transistor par la ligne « access MOS ».

La mémoire est dite dynamique car la charge stockée dans la capacité se perd au cours du temps et cette capacité est rechargée régulièrement par le même processus d'écriture, on parle de fréquence de rafraîchissement. Cette fréquence est liée à la taille de la capacité et aux fuites notamment dans le transistor. On cherche donc à fabriquer des capacités les plus fortes possible pour des densités de cellules par unité de surface toujours plus agressives. On estime que la capacité minimale qu'une cellule doit contenir est de 25 fF.

La tendance est de fabriquer la capacité la moins encombrante possible en augmentant la capacité par unité de surface pour atteindre les 25 fF requis. C'est ce qui explique l'utilisation notamment de HSG (Hemispherical Silicon Grain) dans certaines capacités de DRAM et qui consiste à rendre rugueuse une des électrodes de la capacité pour en augmenter la surface. Comme on le voit sur la Figure 3.1, la position et la taille de chaque grain n'est pas contrôlée à

l'échelle du grain. C'est précisément cette même stratégie que nous déployons dans cette thèse pour proposer des capacités de forte densité.

Nous verrons plus tard que nous ne contrôlons pas non plus la densité de fils à l'échelle de quelques nanofils mais à l'échelle d'une assemblée de nanofils et que c'est cette assemblée qui est reproductible et qui permet d'augmenter la densité de capacité. Les dernières améliorations sur les DRAM concernent les transistors pour diminuer leurs fuites à l'état off (état bloqué).

Des phénomènes mémoire ont été observés [Hubert11] dans les transistors fabriqués avec les technologies sur SOI (Silicon On Insulator) qui permettent de réaliser des cellules de mémoire DRAM sans capacité. Cette stratégie permet de se passer de la capacité et semble être une voie envisagée aujourd'hui par les industriels pour améliorer leur DRAM et réduire les coûts. D'autre part la taille des nanofils que nous fabriquons ainsi que leur densité ne permettent pas de rivaliser avec ce qui est fabriqué aujourd'hui en mémoire DRAM.

I-2.2 Les capacités commutées

On appelle capacité commutée [Lissorgues05] le système composé de 2 interrupteurs en parallèles avec une capacité comme le montre la Figure 3.2 :

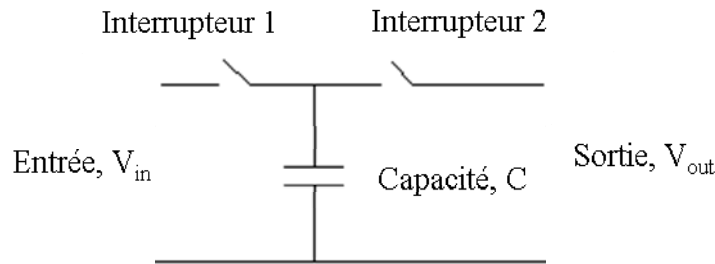


Figure 3.2 : Schéma d'une capacité commutée.

Les interrupteurs 1 et 2 sont complémentaires, c'est-à-dire que si l'un est ouvert, l'autre est fermé. En pratique ces interrupteurs sont des transistors. Le principe consiste à charger la capacité, pendant que l'interrupteur 1 est fermé, à une charge q₁ par une tension V₁. Lorsque l'interrupteur 2 est fermé, la capacité se décharge de -q₂. Ainsi lors d'une période T, on a une variation de charge de :

$$\Delta q = q_1 - q_2 \quad (3.1)$$

Ce qui correspond à l'écoulement d'un courant moyen de : $I_{moy} = \frac{\Delta q}{T}$ (3.2)

Le schéma équivalent à une capacité commutée est une résistance variable R telle que :

$$R = \frac{V_{in} - V_{out}}{I_{moy}} = \frac{T}{C} = \frac{1}{C \cdot f} \quad (3.3) \text{ où } f \text{ est la fréquence.}$$

On a ainsi une résistance dont la valeur dépend de celle de la capacité et de la période imposée à la capacité pour se charger et se décharger. On retrouve ce type de système dans

tout type de filtre puisqu'il permet notamment de régler la fréquence de coupure en modifiant la résistance. Il est aussi utilisé dans les mémoires flash pour charger les données dans l'oxyde de grille. Lorsqu'on travaille à de faibles fréquences et qu'on souhaite une faible résistance, la capacité doit être élevée, elle présente en général des valeurs de quelques picofarads. Aujourd'hui ces capacités sont largement intégrées car ce dispositif n'est efficace qu'à proximité du circuit et pas si la capacité est en dehors. Une capacité en dehors du circuit engendre en effet des temps de propagation des signaux entre le circuit et la capacité. En revanche, ces capacités prennent une place conséquente sur le circuit en raison des faibles densités de capacité existantes aujourd'hui. La possibilité de réaliser des capacités plus denses et prenant moins de place sur le circuit présente donc un grand intérêt.

Pour ces applications, la capacité travaillera à tension constante donc ne nécessite pas de propriétés particulière de linéarité en tension, par contre elle doit supporter des pics de tension de l'ordre 5 V. Si la valeur de la capacité n'est pas parfaitement reproductible, elle pourra être analysée et compensée par la fréquence, la précision n'est donc pas un paramètre prépondérant. Avec ces spécifications, les capacités intégrant un grand nombre de nanofils sont pertinentes. En effet, comme nous le verrons, les dispositifs à base de nanofils obtenus par croissance sur ligne métallique ne sont en général pas alignés, ni parallèles entre eux. Ces différences entre les nanofils peuvent être à l'origine d'une reproductibilité réduite sur des dispositifs contenant peu de nanofils. En revanche sur des capacités de fortes valeurs, intégrant de nombreux nanofils, ces petites variations de dimensions géométriques des nanofils ne sont plus visibles et la reproductibilité des dispositifs à une plus grande échelle est conservée. Les nanofils peuvent ainsi être une bonne opportunité pour fabriquer de fortes capacités occupant pour ce type de dispositif une place plus réduite dans le circuit.

I-2.3 Le convertisseur DC / DC

Le convertisseur DC / DC (*Direct Current*) [Liu07] est un circuit qui convertit une tension continue en une autre tension continue en modifiant sa valeur. Ce type de convertisseur est notamment utilisé entre l'alimentation provenant de la batterie qui fournit en général une tension de l'ordre de 3.6 V et le circuit électronique intégré qui fonctionne lui à des valeurs proches de 1 V.

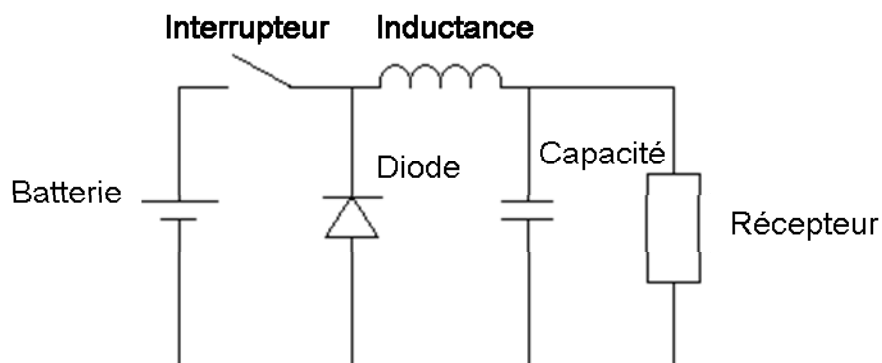


Figure 3.3 : Schéma de base d'un convertisseur DC / DC.

L'inductance absorbe l'excès d'énergie délivrée par la batterie et la capacité sert à lisser le signal qui arrive au récepteur. Ce circuit permet de diminuer la valeur de la tension délivrée par la batterie pour fournir une tension plus faible par exemple à un processeur. De même que pour les capacités commutées, la capacité ici reçoit une tension constante, il n'y a donc pas de spécification de linéarité en tension. En revanche, la capacité doit présenter une faible résistance série et pouvoir fonctionner à des fréquences jusqu'à 10 MHz.

Dans les circuits électroniques actuels, la capacité et l'inductance ne sont pas intégrés sur une puce mais disposés à côté de celle-ci, en composants discrets, car trop volumineux. Une capacité de convertisseur DC/DC peut avoir une capacité de 1 à plusieurs centaines de nanofarad. L'inductance peut aussi interagir magnétiquement avec le reste de la puce. Avec des capacités plus denses et des procédés de réalisation compatibles avec la réalisation de puces électroniques, ces capacités pourraient être intégrées. De plus, afin d'optimiser les dépenses énergétiques, il a été démontré [Meijer05] qu'il valait mieux avoir une seule alimentation desservant plusieurs convertisseurs eux-mêmes alimentant différentes parties du circuit. Les convertisseurs délivreraient la bonne tension à chaque partie du circuit et au bon moment en fonction des besoins. Aujourd'hui il n'y a qu'un seul convertisseur DC/DC pour tout le circuit intégré. De ce fait, la même tension est fournie en continue à l'ensemble du circuit, ce qui contribue aux grandes quantités de chaleur que le circuit doit évacuer. Avec l'augmentation de la densité de composants par unité de surface, le problème de l'évacuation de la chaleur devient de plus en plus important [Ayala10].

Ce type d'architecture n'est possible que si les convertisseurs sont intégrés à proximité des zones où le circuit doit être alimenté. L'idéal, serait de développer des procédés permettant d'intégrer tout le bloc de convertisseur DC/DC. Dans ce dernier cas, les capacités seraient plus petites que les capacités discrètes utilisées aujourd'hui, de même que le transistor qui reçoit la tension à transformer.

Roozeboom et al [Roozeboom09] ont travaillé sur la réalisation de ce type de dispositif en fabriquant la partie convertisseur DC/DC sur un interposer connecté à la puce active. Nous avons présenté cette intégration au chapitre 1.

Nous proposerons dans cette thèse de réaliser la capacité en *Back End* c'est-à-dire dans la même puce que le reste du circuit. Cela suppose d'être aussi capable d'intégrer l'inductance en *Back End*. On obtiendrait ainsi le même dispositif encore plus proche du circuit et à des coûts de fabrication plus réduits.

I-2.4 Les capacités de découplage

Les capacités de découplage sont comme les convertisseurs DC/DC placées entre l'alimentation et le circuit. Elles servent à amortir les variations de tension de l'alimentation et à lisser le signal en entrée du circuit. Elles fonctionnent en générale à de très basses fréquences (<100 kHz) et nécessite une grande valeur de capacité, c'est pourquoi elles ne sont pas intégrées. La Figure 3.4, montre une photo de ces capacités réalisées en céramiques et assemblées à côté du circuit intégré.

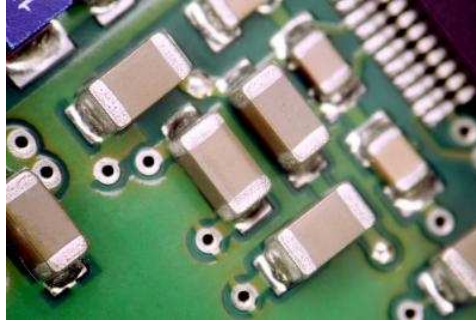


Figure 3.4 : Photographie de capacités en céramique servant au découplage ou dans les convertisseurs DC/DC, [ehow.com]

La valeur de cette capacité doit tenir compte de la puissance P dissipée par le circuit, de la fréquence d'horloge f du circuit et de la tension d'alimentation V . Selon [Black04], la capacité peut être dimensionnée à partir de la relation :

$$C \geq \frac{10 \cdot P}{f \cdot V^2} \quad (3.4)$$

Ainsi, avec un circuit ayant une consommation de 100 W, fonctionnant à 1 GHz et avec une tension de 1,4 V, la capacité de découplage correspondante devra faire au moins 0,5 μF . La tendance en microélectronique est d'abaisser les tensions de fonctionnement des circuits pour diminuer leur consommation. Cette loi met en évidence que plus la tension d'alimentation est faible et plus on est sensible aux bruits sur l'alimentation. Il faudra donc pour cette raison utiliser des capacités de plus en plus importantes.

Par ailleurs, les principales spécifications pour une capacité de découplage concernent en premier lieu la densité de capacité, la résistance série des électrodes, la tension de claquage et les courants de fuite. La linéarité en tension est une caractéristique également prise en compte mais au second ordre. Dans ces conditions, les dispositifs que nous présentons dans cette thèse sont également une très bonne opportunité pour la fabrication de ce type de capacité de forte valeur dans les niveaux d'interconnexions.

I-3 Etat de l'art des capacités de haute densité et opportunité des nanofils

I-3.1 Deux stratégies d'intégration

Parmi les applications citées précédemment, on a vu que certaines des capacités mises en jeu n'étaient aujourd'hui pas intégrées car trop volumineuses : c'est le cas de la capacité de découplage et de celle du convertisseur DC/DC. Avec l'émergence de l'intégration 3D, comme nous l'avons vu au chapitre 1, on envisage d'intégrer ces capacités de haute valeur dans le même boîtier que le circuit intégré. Pour cela, deux stratégies sont possibles : soit la capacité est dans les derniers niveaux métalliques du *Back End*. Cela suppose d'être capable de réaliser des capacités suffisamment denses avec des procédés compatibles avec le *Back End*. Soit la

capacité est réalisée sur un autre substrat, souvent par gravure du silicium du substrat puis connecté au circuit via un 3^{ème} substrat : l'interposeur. Dans ce dernier cas, le deuxième substrat, celui sur lequel est réalisée la capacité peut être l'interposeur lui-même. La Figure 3.5 reprend ces 2 possibilités.

La capacité pourrait ainsi être réalisée dans une autre salle blanche, ce qui autorise l'utilisation d'une plus grande gamme de procédés sans risquer de contaminer une salle blanche produisant des dispositifs électroniques.

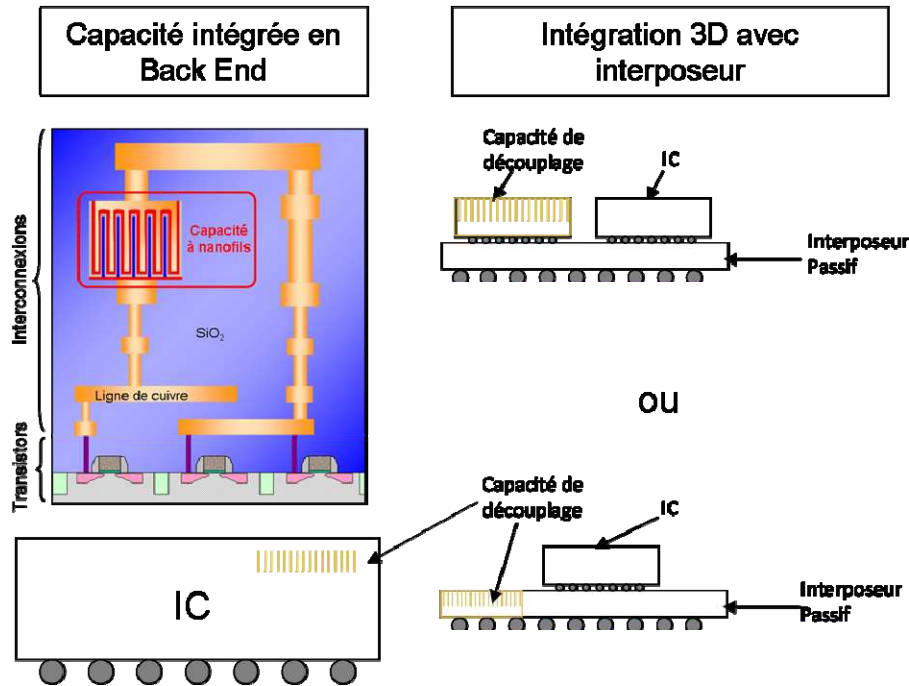


Figure 3.5 : Deux stratégies d'intégration des fortes capacités : à gauche sur une autre puce, à droite directement sur l'interposeur.

Les technologies mises en œuvre pour fabriquer ces capacités dans le substrat sont souvent incompatibles avec la réalisation de transistors sur le même substrat car elles utilisent des procédés contaminants et des températures élevées. L'interposeur ne peut donc être que passif, ce qui limite les possibilités. En revanche l'intégration en *Back End* présente l'avantage de ne nécessiter aucun substrat supplémentaire, ce qui réduit les coûts. D'autre part la capacité est dans ce cas au plus proche du circuit à alimenter, il y a donc moins de perte dans les lignes de connexion. Les capacités intégrées en *Back End* seraient donc plus intéressantes à la fois en termes de coût et de performance.

Nous allons dans la partie suivante dresser un état de l'art des capacités de haute densité fabriquées et pouvant être intégrées dans le même boîtier que le circuit. On distinguera les stratégies s'inscrivant plutôt dans la logique d'utiliser un interposeur de celles compatibles avec une intégration en *Back End*.

I-3.2 Etat de l'art des capacités de haute densité

Pour des électrodes planaires, la densité de capacité s'écrit :

$$C = \frac{\epsilon_0 \cdot \epsilon_r \cdot S}{e \cdot A} \quad (3.5)$$

Où S est la surface des électrodes en regard, e est l'épaisseur du diélectrique et A la surface occupée par la capacité en vue de dessus.

Pour augmenter la capacité par unité de surface, on peut choisir un diélectrique de forte permittivité (*high-κ*), déployer de la surface en structurant en 3D les électrodes pour augmenter S sans augmenter A ou réduire l'épaisseur de diélectrique. En général, ces possibilités sont combinées pour augmenter au maximum cette capacité par unité de surface. Nous verrons dans la partie suivante les compromis à faire entre ces possibilités. Nous dressons ici un état de l'art des capacités les plus denses réalisées avec des procédés microélectroniques qui permettraient leur intégration. On différencie les capacités intégrables dans les niveaux d'interconnexion (compatibles *Back End*) de celles qui ne pourraient être intégrées qu'à partir d'un autre substrat de silicium.

	Tech. de structuration	Diélectrique (ϵ_r)	Hauteur des structures	Densité ($\mu\text{F}/\text{cm}^2$)	Référence
Compatible <i>Back End</i>	Nanotube de C.	HfO ₂	NC	0.65	[Choi10]
	Litho / Gravure Oxyde	Ta ₂ O ₅ (23)	4.8 μm	1	[Detalle10]
	Litho / Gravure Oxyde	Ta ₂ O ₅ (25)	0.6 μm	1.5	[Thomas06]
	Pas de structuration	SrTiO ₃ (140)	Planaire	2.5	[Shibuya10]
	Litho / Gravure Oxyde	Ta ₂ O ₅ (25)	NC	3	[Jeannot07]
	Litho / Gravure Oxyde	Ta ₂ O ₅ (25)	4 μm	4.5	[Bajolet05]
Pas Compatible <i>Back End</i>	Alumine Nanoporeuse	BN (NC)	50 μm	2.5	[Shelimov00]
	Copolymère / Grav. Si	SiO ₂ (3.9)	0.1 μm	3.13	[Black04]
	Litho / Gravure du Si	Si ₃ N ₄ (6)	170 μm	5.8	[Johari09]
	Litho / Gravure du Si	Si ₃ N ₄ (6)	150 μm	10	[Roozeboom00]
	Litho / Gravure du Si	Al ₂ O ₃ (9)	30 μm	44	[Klootwijk08]
	Alumine Nanopo.	Al ₂ O ₃ (9)	10 μm	100	[Banerjee09]

Tableau 3.1 : Etat de l'art des capacités de haute densité intégrables dans des boîtiers électroniques.

Ce tableau montre qu'à ce jour, les capacités les plus denses correspondent à une intégration non compatible *Back End* : soit parce qu'elles se basent sur la gravure du substrat de silicium comme le font Klootwijk et al pour atteindre 44 $\mu\text{F}/\text{cm}^2$ [Klootwijk08] ou soit parce qu'elles nécessitent un contact électrique en face arrière pour créer la structuration déployant la surface 3D comme dans le cas de l'alumine nanoporeuse, qui donne la plus forte densité : 100 $\mu\text{F}/\text{cm}^2$ [Banerjee09]. Coté procédés compatibles avec le *Back End*, les densités publiées ne

dépassent pas $4.5 \mu\text{F}/\text{cm}^2$, faute, semble-t-il, de procédés permettant de déployer efficacement de la surface.

En réalité les procédés non compatibles avec le *Back End* et présentés ci-dessus, en dehors alumine nanoporeuse, ne sont pas constituées de structures 3D très denses. La capacité obtenue n'est dense que parce que les structures sont gravées profondément. Ceci n'est pas possible en *Back End* car cela conduirait à augmenter l'espace entre les lignes métalliques situées au-dessus et en dessous de la capacité augmentant ainsi la résistance globale des lignes.

Finalement, c'est l'absence de procédés de structuration dense en *Back End* qui explique d'après nous l'absence dans la littérature à ce jour de capacité de haute densité à des valeurs proches de celle obtenues par gravure du substrat de silicium.

I-3.3 Opportunité des nanofils

Dans ce contexte, les nanofils CVD sont une opportunité intéressante, puisque comme nous l'avons signalé au chapitre précédent, leur diamètre et leur densité ne sont déterminés que par le diamètre et la taille du catalyseur. En déposant des catalyseurs de petite taille et très denses ou en faisant démouiller un film mince de catalyseur, on peut obtenir après croissance une forte densité de nanostructures déployant une forte surface.

Les nanofils seraient ainsi intéressants dans les deux approches : coté *Back End* pour fournir une structuration dense et permettre l'intégration de fortes capacités. Coté interposer, les nanofils permettraient, avec une intégration à basse température, de réaliser des interposers actifs c'est-à-dire comprenant aussi des transistors fabriqués sur l'interposer. Par ailleurs dans certaines stratégies d'intégration 3D, l'interposer est constitué d'un substrat aminci faisant une épaisseur de 80 à 100 μm . Les substrats ainsi amincis sont collés sur un wafer en verre pour la fabrication des TSV. L'intérêt de ces substrats amincis c'est de diminuer la profondeur des TSV, cela permet à résistance constante de faire des TSV de plus faible diamètre et d'en augmenter la densité. C'est souvent la densité de TSV qui limite la densité globale de composants dans les architectures 3D. Dans le cas de substrats amincis, la profondeur de gravure pour faire des capacités denses est limitée par l'épaisseur du substrat. Les nanofils sont là aussi une opportunité intéressante puisqu'il ne nécessite aucune gravure profonde du substrat.

II- Matériaux et critères de choix

Nous allons dans cette partie décrire la conception de capacité à base de nanofils selon 2 filières MOS et MIM. Nous commencerons par les critères de choix des différents matériaux intervenant dans la structure. Nous décrirons ensuite les performances attendues des capacités en fonction des dimensions géométriques et des matériaux utilisés.

II-1 Matériaux pour les électrodes

II-1.1 Cas des capacités MOS

Pour la réalisation de capacités MOS à base de nanofils, la fonction semi-conductrice est assurée par le nanofil lui-même. Parmi les nanofils disponibles et présentés au chapitre 1, on prendra dans ce cas les nanofils semi-conducteur, de Si, de SiGe, de ZnO ou de matériaux III-V. On préférera les nanofils de silicium pour les applications plus matures car les modèles permettant de décrire les dispositifs MOS sont principalement connus pour le silicium. Après élaboration des nanofils par l'une ou l'autre des méthodes décrites au chapitre 1, et après dépôt du diélectrique, on peut venir former sur celui-ci l'électrode métallique supérieure. Nous présentons ici les critères de choix concernant la réalisation de cette électrode pour la réalisation de capacités dans les niveaux d'interconnexion.

Les critères de choix **[Bajolet06]** pour le matériau d'électrode compatible avec une intégration en *Back End* sont :

- un travail de sortie élevé pour limiter les fuites
- une faible résistivité pour diminuer les résistances série et améliorer le facteur qualité
- être difficilement oxydable
- être compatible thermodynamiquement avec le diélectrique
- être déposable à une température inférieure à 400°C
- être un matériau connu dans les salles blanches de microélectronique, disponible et non contaminant

Le Tableau 3.2 reprend l'ensemble des matériaux connus pour être de bons candidats pour les électrodes métalliques des capacités MIM pour le *Back End* **[Farcy08]** :

Métal	Travail de Sortie (eV)	Resistivité ($\mu\Omega.cm$)
TiN	4.8	200
TaN	4.5	400
Cu	4.7	1.9
Al	4.1	3
Ru	4.8	7.3
Pt	5.7	9.4

Tableau 3.2 : Matériaux candidats pour être des électrodes métalliques de capacités MIM ou MOS.

Le TiN est un matériau mid-gap c'est-à-dire que son niveau de Fermi est aligné sur le milieu du gap du silicium. Il présente en effet un travail de sortie élevé et peut être déposé de façon conforme par CVD comme nous l'avons décrit au chapitre 2. Il bénéficie d'une bonne stabilité thermodynamique avec les principaux diélectriques utilisés en microélectronique. C'est un matériau largement utilisé en microélectronique, notamment dans certaines grilles de transistors ou comme barrière à la diffusion du cuivre en *Back End*. En revanche il présente une résistivité élevée, son utilisation est envisageable en tant que matériau intermédiaire (en « sandwich ») entre le diélectrique et un matériau de plus faible résistivité.

Le TaN comme le TiN est un matériau largement utilisé en microélectronique, c'est aussi une bonne barrière à la diffusion du cuivre. Il présente les mêmes avantages que le TiN. En revanche il possède une résistivité 2 fois plus élevée.

Le cuivre présente quant à lui une très faible résistivité, un fort travail de sortie comme les deux précédents. En revanche le cuivre n'est pas stable thermodynamiquement et a tendance à s'oxyder très facilement. L'aluminium présente les mêmes propriétés que le cuivre mais aussi les mêmes inconvénients : il s'oxyde très facilement.

Le ruthénium est beaucoup moins utilisé en microélectronique. Il serait pourtant un très bon candidat pour la réalisation d'électrodes métalliques. En effet, il présente un travail de sortie élevé, une faible résistivité et s'il s'oxyde en RuO_2 , son oxyde est conducteur. Enfin le platine pourrait être un bon candidat, il ne s'oxyde pas, par contre sa mise en œuvre est difficile

II-1.2 Cas des capacités MIM

Pour les électrodes d'une capacité MIM, 2 possibilités sont offertes pour l'électrode inférieure en fonction du type de nanofil fabriqué : soit le nanofil est conducteur, dans ce cas l'électrode peut être faite par le nanofil, soit le nanofil n'est pas conducteur et dans ce cas, on peut déposer l'empilement des 3 couches, métal isolant métal, sur le nanofil. Dans ce cas le nanofil n'a pas d'autre rôle que de structurer la surface pour déployer de la surface : il sert de support au métal de l'électrode inférieure.

Pour obtenir des nanofils métalliques, on peut suggérer 3 méthodes : soit il est possible de les faire croître comme pour les nanofils silicium, soit on remplit les pores d'un matériau

poreux qu'on grave après le remplissage pour laisser des nanofils ou enfin on silicium des nanofils par exemple de silicium après leur croissance.

Le Tableau 3.3 récapitule les matériaux pouvant servir d'électrode de capacité et qui peuvent s'obtenir par croissance.

Matériau	Résistivité ($\mu\Omega.cm$)	Référence
NiSi	180 - 210	[Kim07]
TiSi ₂	30	[Chang09]
Nanotube de Carbone	480	[Kawaba08]
Nanofibre de Carbone	50	[Ngo07]

Tableau 3.3 : Exemple de nanostructures conductrices obtenues par croissance

Les nanotubes de carbones peuvent être peu résistifs et peuvent présenter des diamètres nanométriques avec des longueurs de quelques micromètres. Les nanotubes de carbone sont ainsi de bons candidats pour constituer les électrodes d'une capacité MIM. En revanche, on ne trouve à ce jour qu'une seule étude sur la réalisation de capacité dense à base de nanotubes de carbone. Ce sont les travaux de Y. Choi et al. [Choi10] qui ont obtenus une densité de $0,62 \mu F/cm^2$. En revanche la densité qu'ils ont obtenue est faible par rapport au potentiel que représentent ces nanostructures. En effet dans leurs travaux, ils ont cherché à localiser les nanotubes en localisant le catalyseur par photolithographie et gravure. Ce choix conduit à une densité de nanostructures déterminée par la photolithographie et donc à diminuer considérablement la densité de nanostructures par unité de surface. Ils obtiennent aussi des courants de fuite importants de l'ordre de $5 \mu A/cm^2$ alors qu'ils déposent 30 nm de HfO₂. Ceci montre la difficulté d'obtenir des performances intéressantes sur les nanotubes de carbone et le travail d'optimisation qu'il reste à accomplir pour profiter au mieux des avantages de ce matériau en tant qu'électrode.

On peut réaliser des nanofils conducteurs par remplissage des cavités d'un matériau poreux ou plus simplement en remplissant des trous fait dans un matériau par photolithographie et gravure. On est dans ce cas limité par les performances de la photolithographie. Pour optimiser la densité de nanofil obtenus, l'alumine nanoporeuse permet d'obtenir une densité importantes de pores de diamètre nanométriques (de l'ordre de 20 nm) sur des profondeurs pouvant aller jusqu'à 100 μm . On peut ainsi obtenir des nanofils métalliques par remplissage des pores par dépôt électrolytique puis gravure de l'alumine. On peut citer les travaux de Evans et al [Evans00] qui ont ainsi réalisés par cette méthode des nanofils de Co-Ni-Cu et les travaux de Motoyama et al [Motoyama07] qui eux ont montré des nanofils de cuivre et de nickel. L'inconvénient de cette technique est, qu'à l'échelle d'un wafer de silicium, il faut pouvoir connecter électriquement au bord de la plaque la zone où on souhaite réaliser la structure. La littérature ne mentionne que des exemples où l'alumine nanoporeuse est déposée sur toute la surface de l'échantillon, de même que le remplissage électrolytique. Pour réaliser des capacités

dans les interconnexions il faudra être capable de réaliser simultanément mais pas sur toute la surface de la plaque des zones d'alumine nanoporeuse correspondant aux capacités.

Enfin, on peut rendre conducteur des nanofils semi-conducteurs après croissance en les siliciurant. C'est ce qu'on montré Lin et al [Lin08] en réalisant des nanofils de PtSi par siliciuration au platine. Les nanofils ainsi obtenus ont une résistivité intéressante de 28,6 $\mu\Omega\cdot\text{cm}$.

Après le dépôt du diélectrique sur l'électrode inférieure, les critères de choix et les matériaux possibles pour l'électrode supérieure sont les mêmes que ceux présentés pour la réalisation de capacités MOS.

II-2 Les matériaux diélectriques

II-2.1 Critères de choix

Le choix du matériau diélectrique pour la réalisation de capacités à base de nanofils pour les interconnexions est délicat. En effet il doit respecter à la fois les contraintes imposées le Back-End en terme de température de dépôt, ne doit pas nécessiter de recuit haute température et ne doit faire intervenir ni de précurseur ni de produit de réaction pouvant réagir avec les matériaux en présence.

Pour choisir un diélectrique de capacité, on va regarder les paramètres suivants :

- La constante diélectrique (ϵ_r) : on cherchera une valeur la plus élevée possible pour obtenir la valeur de capacité la plus importante.
- Le champ de claquage : il correspond à la tension de claquage divisé par l'épaisseur de diélectrique. On cherchera ainsi un matériau présentant un champ de claquage le plus élevé possible car il détermine la plage de tension de fonctionnement de la capacité.
- La largeur de bande interdite : elle détermine la probabilité qu'un électron passe de la bande de valence à la bande de conduction. Un bon isolant a une large bande interdite.
- La hauteur de barrière entre le métal et le diélectrique : elle doit être suffisante pour éviter la conduction par effet tunnel.

II-2.2 Les compromis

Le choix du diélectrique de la capacité présente de nombreux compromis. L'objectif est d'avoir des capacités les plus élevées possible avec des courants de fuite les plus faibles possible ainsi qu'une gamme de tension de fonctionnement la plus large possible.

Il existe tout d'abord un compromis entre la valeur de la capacité et les courants de fuite au niveau de l'épaisseur du diélectrique. En effet, la capacité d'une structure planaire est donnée par :

$$C = \frac{\epsilon_0 \cdot \epsilon_r \cdot S}{e} \text{ où les notations restent les mêmes qu'au chapitre précédent.}$$

Pour augmenter la capacité, il faut diminuer l'épaisseur de diélectrique (e). Plus on diminue cette épaisseur et plus on favorise les mécanismes de conduction par effet tunnel.

Il existe ensuite un compromis entre la constante diélectrique et le champ de claquage. Mc Pherson et al [Pherson03] ont montré que le champ de claquage et la constante diélectrique variaient en sens opposés. La Figure 3.6 tirée de leur étude montre cette courbe et positionne plusieurs diélectriques potentiels.

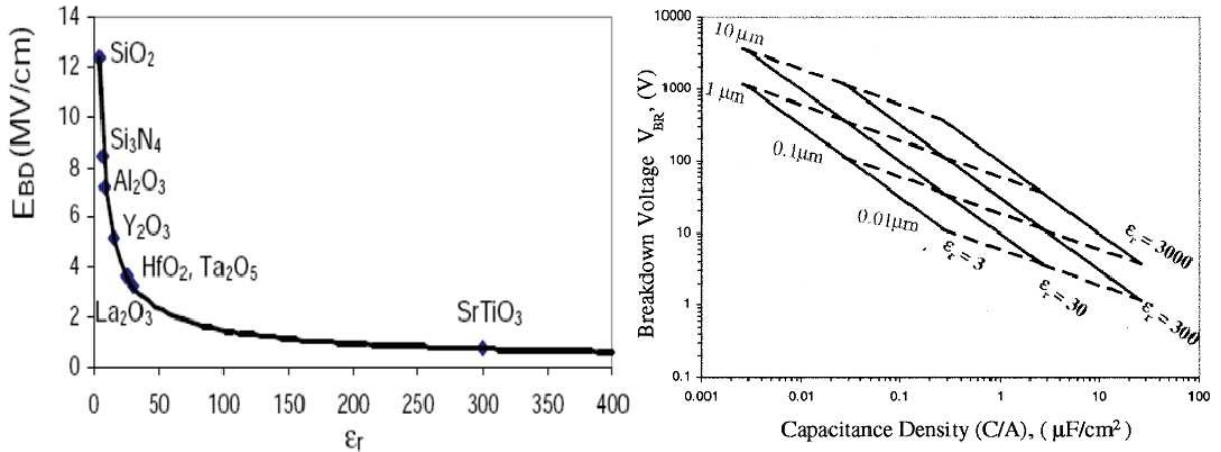


Figure 3.6 : A gauche : Evolution de la tension de claquage avec la constante diélectrique, [Pherson03]. A droite : tension de claquage en fonction de la densité de capacité pour différentes épaisseurs de diélectrique : 10, 1, 0.1, et 0.01 μm . La densité de capacité donnée correspond à une capacité planaire. [Jain02]

La courbe de gauche montre le compromis entre la constante diélectrique et le champ de claquage. La courbe de droite montre la tension de claquage en fonction de la densité de capacité lorsque le condensateur est planaire, la surface correspondant ici à la surface des électrodes elles-mêmes. Cette courbe (à droite) montre qu'en réalité c'est un compromis entre l'épaisseur de diélectrique, la capacité et la tension de claquage qui doit être réalisé. En effet, on voit qu'à épaisseur constante de diélectrique, quand la constante diélectrique augmente, la tension de claquage et la valeur de la capacité varient en sens opposés. De plus, lorsqu'on garde une constante diélectrique identique et qu'on diminue l'épaisseur de diélectrique, la tension de claquage et la capacité varient aussi en sens opposés.

II-2.3 Les diélectriques potentiels et leurs caractéristiques

Nous reprenons dans cette partie un état de l'art des diélectriques potentiels pour la réalisation de capacité dressé par S. Bécu dans sa thèse [Bécu06].

	ϵ	E_g (eV)	E_{BD} (MV/cm)
SiO ₂	3.9	8.9	> 10
Si ₃ N ₄	6–8	5.1	> 7
Al ₂ O ₃	8–9	8.7	7–10
Y ₂ O ₃	10–18	6	3–6
HfO ₂	18–25	5.7	4
Ta ₂ O ₅	25	4.5	5–6
ZrO ₂	25–40	5.8	3–4
TiO ₂	40	3.5	2–3
SrTiO ₃	> 150	3.3	1
PbZr _x Ti _{1-x} O ₃	> 800	3–4	3

Figure 3.7 : Constante diélectrique (ϵ_r), largeur de bande interdite (E_g) et champ de claquage (E_{BD}) de quelques diélectriques potentiels selon [Bécu06]

Parmi ces diélectriques, on retrouve certains déjà cités précédemment dans notre état de l'art des capacités de haute densité. Les plus connus et déjà utilisés en production sont dans le haut du tableau jusqu'au Ta₂O₅.

III- Fabrication et dimensionnement de capacité à base de nanofils

III-1 Procédés de fabrications des capacités MIM et MOS pour les interconnexions

Aujourd'hui les capacités qu'on réalise en production dans le Back-End sont des capacités MIM. Pour augmenter leur valeur par unité de surface, elles sont réalisées dans des tranchées obtenues par photolithographie et gravure. Par conséquent l'augmentation de la densité de capacité dépend des performances de la photolithographie. D'autre part, plus on utilise une photolithographie proche des limites de ses performances plus cela coûte cher car il faut d'une part sans cesse contrôler les dimensions (après photolithographie comme après gravure) et faire des ajustements et d'autre part les masques correspondants coûtent plus cher à produire. Les nanofils permettent quand à eux de structurer en 3D la surface de la capacité sans utiliser de photolithographie très avancée. Il n'existe pas de capacité à base de nanofils ou de nanotube en production aujourd'hui, c'est pourquoi le schéma d'intégration que nous allons montrer ici, est une proposition de fabrication. Nous reprenons une partie de ce schéma pour la fabrication de nos démonstrateurs décrits au chapitre 4.

La capacité à base de nanofil est destinée à être intégrée parmi les lignes métalliques de connexions. L'intégration mise au point dans cette thèse est compatible avec la façon la plus

contraignante de réaliser cette intégration : c'est-à-dire lorsque sont déjà présentes des lignes métalliques sur les niveaux inférieurs. On part donc d'une configuration où plusieurs niveaux de lignes métalliques ont été réalisés et connectés par des vias. Afin d'avoir les résistances d'accès à la capacité et les coûts de fabrication les plus faibles, le mieux est d'avoir l'électrode inférieure connectée électriquement à une ligne d'un niveau n et l'électrode supérieure à une autre ligne d'un niveau $n+1$ ou $n+2$ (voir plus) selon la hauteur de la capacité.

La Figure 3.8 présente un schéma d'intégration de nanofils dans des capacités selon la filière MIM ou MOS. Ces filières sont un exemple d'intégration proche de celui réalisé dans cette thèse utilisant les mêmes matériaux, d'autres filières et d'autres variantes sont possibles. Dans ce schéma on considère une ligne métallique de cuivre déjà fabriquée (point 0).

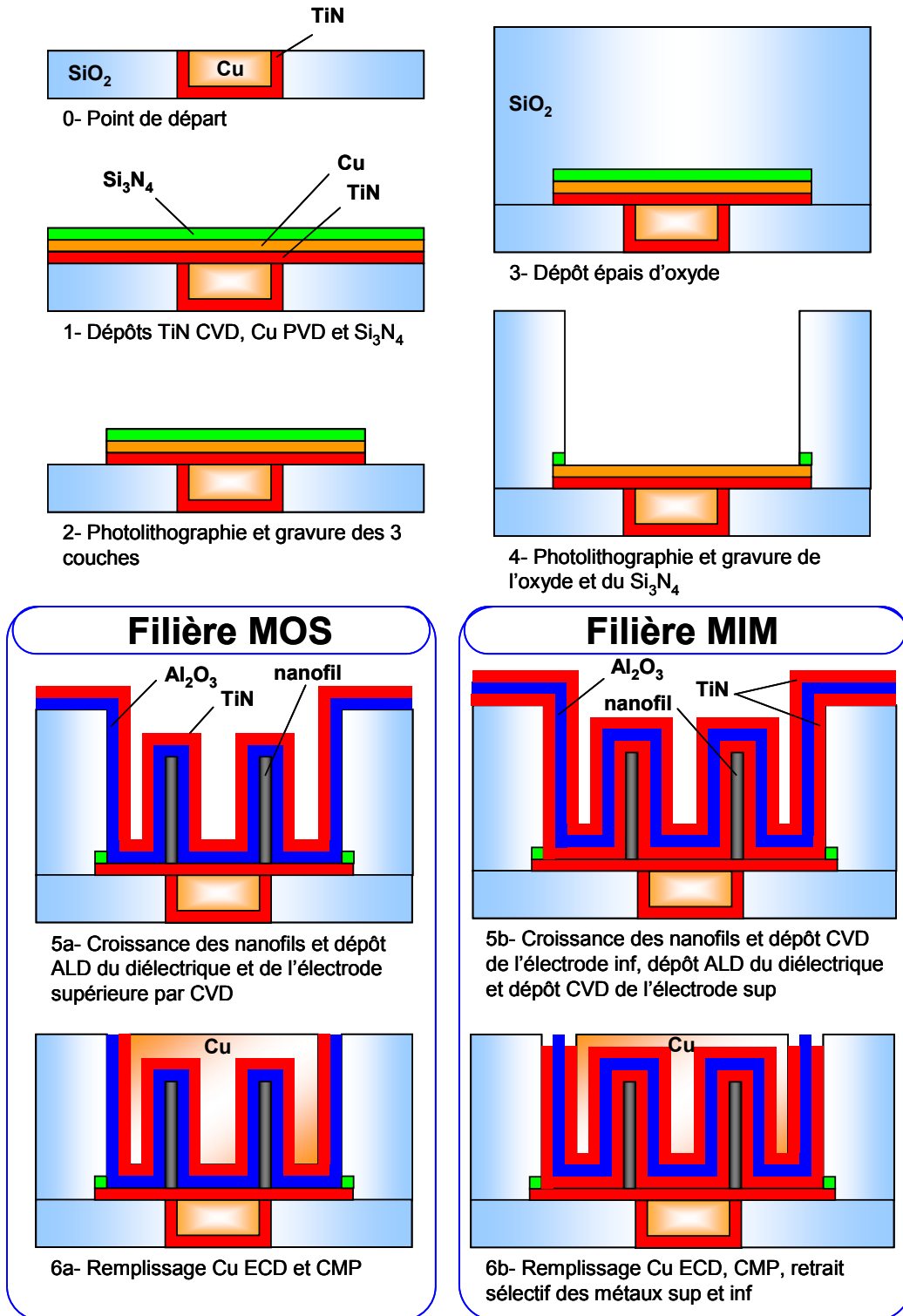


Figure 3.8 : Proposition d'une filière de fabrication de capacité MOS ou MIM à base de nanofils pour intégration dans les interconnexions d'un circuit intégré CMOS. CMP pour Chemical Mechanical Polishing ou polissage mécano-chimique et ECD pour ElectroChemical Deposition ou dépôt électrolytique.

Si on prend l'exemple d'une capacité de quelques micromètres de hauteur, on dépose à l'étape 1, sur une ligne métallique de cuivre existante, un empilement composé d'environ 10 nm de TiN déposé par CVD, de cuivre déposé par PVD et de 40 nm nitrure de silicium déposé par

PECVD. Le TiN est déposé par CVD pour ses propriétés de barrière à la diffusion du cuivre, il est ici destiné à bloquer à la fois la diffusion du cuivre de la ligne et celui qui servira à la croissance de nanofils. La couche de cuivre sera le catalyseur de la croissance, dont l'épaisseur sera ajustée pour obtenir la meilleure densité de nanofils. Le nitrure de silicium sert quant à lui de couche d'arrêt à la gravure de l'oxyde à l'étape 4.

L'**étape 2** consiste à localiser ces 3 couches par photolithographie et gravure. La faible épaisseur de cuivre (<50 nm) nécessaire à la croissance autorise l'utilisation d'une gravure ionique sous faisceau d'ion de type IBE (Ion Beam Etching) pour graver soit tout l'empilement soit la couche de cuivre, les autres couches étant gravées par RIE (Reactive Ion Etching).

On dépose ensuite à l'**étape 3**, du dioxyde de silicium sur une épaisseur de plusieurs micromètres, cela dépend de la hauteur des fils que l'on souhaite faire croître.

Ce dioxyde est ensuite gravé à l'**étape 4** jusqu'au nitrure de silicium qui joue alors tout son rôle. Ce nitrure a 2 fonctions : il sert de couche tampon à la gravure car selon les dimensions des structures que l'on grave et à l'échelle d'une plaque de 200 mm de diamètre, les vitesses de gravures ne sont pas les mêmes. Cette couche permet de graver toutes les structures sans pulvériser de cuivre dans l'équipement. Cette couche est ensuite retirée par gravure après retrait de la résine de photolithographie.

A l'**étape 5** on réalise la croissance des nanofils selon le mécanisme décrit au chapitre 2 avec le cuivre comme catalyseur qui est ensuite enlevé après croissance. On différencie à ce stade les 2 filières MOS et MIM. Dans la filière MOS on dépose le diélectrique directement sur les nanofils. Dans la filière MIM, on dépose d'abord l'électrode inférieure constituée de nitrure de titane déposé de façon conforme autour des nanofils par CVD suivi d'un dépôt ALD par exemple d'alumine suivi ensuite d'un dépôt conforme de TiN par CVD. Notons que cette configuration pour la capacité MIM minimise les résistances séries de l'électrode inférieure : en effet entre chaque nanofil, l'électrode inférieure est connectée au TiN CVD déposé sur la ligne métallique inférieure de cuivre. Pour minimiser encore cette résistance série, il peut être envisagé de réaliser une ligne métallique inférieure qui soit aussi large que la capacité.

Enfin à l'**étape 6**, on vient remplir la cavité de cuivre à partir d'un dépôt de cuivre par PVD et CVD servant de couche d'accroche suivi d'un remplissage électrolytique de cuivre. L'intégration se termine par un polissage mécano-chimique, servant à enlever le cuivre déposé autour des structures. Pour les 2 filières ce remplissage permet de minimiser les résistances série surtout lorsque le cuivre remplit bien tous les espaces entre les nanofils. Pour la filière MIM, il est préférable pour éviter les courts-circuits de graver sélectivement une partie du TiN pour réaliser un petit retrait des électrodes supérieures et inférieures comme indiqué sur la Figure 3.8.

III-2 Dimensionnement de la capacité

III-2.1 Dimensionnement de la structure pour optimiser la valeur de la capacité

III-2.1.a Description de la structure et hypothèses

Nous décrivons dans cette partie le dimensionnement d'une capacité MOS à base de nanofils. Pour une capacité MIM, le principe est le même, les paramètres prépondérants que nous allons mettre ici en évidence s'appliqueront aussi pour les capacités MIM.

On peut schématiser la capacité à dimensionner comme sur la Figure 3.9 ci-dessous :

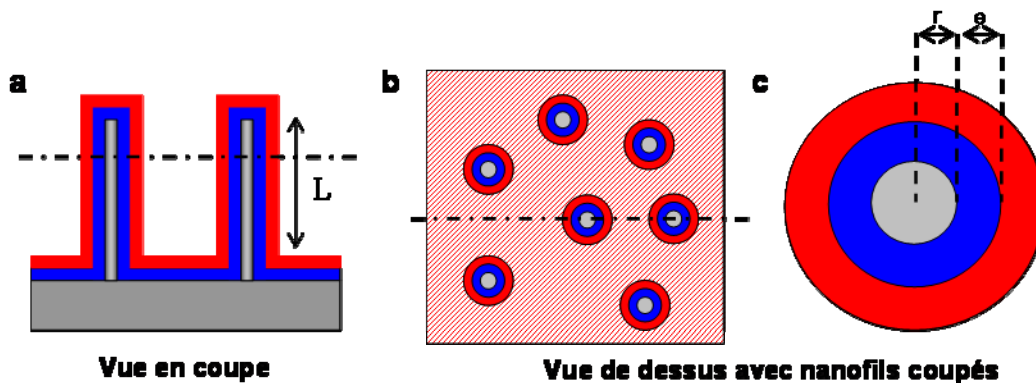


Figure 3.9 : Schématisation de la capacité à base de nanofils. (a) Vue en coupe des nanofils selon le plan de coupe en pointillés de la figure b. (b) Vue de dessus de nanofils coupés suivant le plan de coupe en pointillés de la figure a. (c) Vue en coupe d'un nanofil montrant les notations r pour le rayon des nanofils et e pour l'épaisseur de diélectrique.

Nous allons raisonner en capacité par unité de surface, ce qui signifie que nous prendrons la capacité totale de la structure divisée par une surface. La surface considérée sera celle du dispositif complet en vue de dessus. **Ainsi dans toute la suite de cette thèse, on appellera « surface en vue de dessus », la surface hachurée en rouge sur le schéma b de la Figure 3.9. Cette surface est à distinguer de la surface déployée par les nanofils et qui entrent en compte dans la valeur de la capacité.**

Pour simplifier les calculs nous faisons les hypothèses suivantes sur les nanofils :

- ils sont tous de la même longueur,
- ils ont tous le même diamètre,
- ils sont cylindriques,
- leur surface est entièrement libre, c'est-à-dire qu'aucun nanofil ne se touche et ils ne sont en contact qu'avec le substrat à leur base.

La capacité qu'on cherche à exprimer ici en fonction des dimensions géométriques est la capacité en régime d'accumulation. C'est elle qui nous intéresse pour les applications citées précédemment.

Par ailleurs, les hypothèses que nous faisons ici ne sont destinées qu'à faciliter les calculs. Le fait d'obtenir des nanofils de différentes longueurs, de différents diamètres, voir non

cylindriques et éventuellement en contacts les uns avec les autres ne remet pas en cause le fonctionnement des capacités.

III-2.1.b Discussion sur la modélisation de la capacité des nanofils

Pour calculer la capacité déployée par les nanofils seuls, c'est-à-dire la capacité déployée entre les nanofils, on peut utiliser 2 modélisations. Tout dépend comment on considère les nanofils : si on les considère comme des cylindres, la densité de capacité s'écrit :

$$C_{cyl} = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r \cdot L}{\ln\left(1 + \frac{e}{r}\right)} \times d_{NF} \quad (3.6)$$

Où L est la hauteur des nanofils, d_{NF} la densité de nanofils (en nombre de nanofils par unité de surface), e l'épaisseur de diélectrique et r le rayon des nanofils.

Pour faciliter les calculs, on peut assimiler la capacité à une capacité planaire dont la surface des électrodes est égale à la surface déployée par les nanofils. Dans ce cas, la densité de capacité s'écrit :

$$C_{plan} = \frac{2 \cdot \pi \cdot r \cdot \epsilon_0 \cdot \epsilon_r \cdot L}{e} \times d_{NF} \quad (3.7)$$

Nous nous sommes intéressés à la différence entre ces deux façons de calculer et surtout à déterminer dans quels cas, les deux expressions sont équivalentes.

Pour cela on regarde le ratio entre ces 2 expressions :

$$\frac{C_{plan}}{C_{cyl}} = \frac{\ln\left(1 + \frac{e}{r}\right)}{e/r} \quad (3.8)$$

Ce qui donne en posant $X = e/r$, $\frac{C_{plan}}{C_{cyl}} = \frac{\ln(1 + X)}{X} \quad (3.9)$

L'écart entre ces deux expressions est donc déterminé par le ratio entre l'épaisseur et le rayon des nanofils. On remarque aussi que la capacité considérant un cylindre est quelque soit X, supérieure à celle considérant un plan.

Si maintenant on fixe à 10%, l'écart maximum qu'il doit y avoir entre les 2 expressions,

c'est-à-dire : $\frac{C_{plan}}{C_{cyl}} \leq 0,9 \quad (3.10)$

On en déduit un critère de validité : $\frac{e}{r} \leq 0,24 \quad (3.11)$

Ainsi, pour 10, 15 et 20 nm de diélectrique, l'expression en planaire n'est applicable que pour des nanofils ayant des diamètres minimums respectifs de 83, 125 et 167 nm. Dans la suite de ce chapitre, qui a pour objectif de dimensionner les capacités et pour lesquelles on ne connaît pas à priori les dimensions des nanofils, nous utiliserons le modèle cylindrique qui semble être le plus proche de la réalité.

III-2.1.c Expression de la capacité en fonction de la géométrie

On décompose tout d'abord la capacité de la structure totale (C_{totale}) en la somme de 2 capacités : celle déployée par les nanofils (C_{NF}) et celle autour des nanofils ($C_{struc.}$) comme le montre la Figure 3.10.

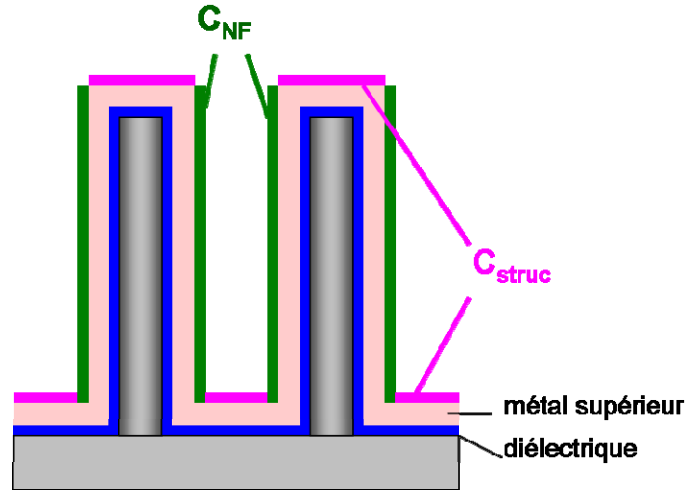


Figure 3.10 : Schéma en coupe de la capacité à nanofil précisant les notations prises.

La capacité autour des fils contient aussi la capacité du sommet des nanofils, par conséquent elle correspond à la capacité de la structure comme s'il n'y avait pas de nanofils. On a ainsi :

$$C_{totale} = C_{NF} + C_{struc.} \quad (3.12)$$

$$\text{avec } C_{struc.} = \frac{\epsilon_0 \cdot \epsilon_r}{e} \text{ et } C_{NF} = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r \cdot L}{\ln\left(1 + \frac{e}{r}\right)} \times d_{NF} \quad (3.13)$$

où e est l'épaisseur de diélectrique, L la hauteur des nanofils, r le rayon des nanofils et d_{NF} la densité de nanofils. On obtient ainsi l'expression de la capacité à base de nanofil en fonction du nombre de nanofils par unité de surface. Cette expression montre qu'à densité constante de nanofils, la capacité par unité de surface augmente avec le rayon et la longueur des nanofils.

Par ailleurs, si on augmente le diamètre des nanofils, on diminue l'espace entre les nanofils jusqu'à éventuellement remplir tout l'espace entre les nanofils et perdre l'intérêt des nanofils. Cette expression en fonction de la densité ne tient pas compte de cette possibilité. Afin d'en tenir compte, on introduit un paramètre : le taux d'occupation (TO). Il correspond au rapport entre la surface occupée par les fils (SO_{NF}) et la surface totale disponible ($S_{struc.}$). On a ainsi :

$$TO = \frac{SO_{NF}}{S_{struc.}} \quad (3.14)$$

$$\text{Avec } SO_{NF} = n_{NF} \cdot \pi \cdot r^2 \quad (3.15)$$

Où n_{NF} représente le nombre de nanofils présents dans la structure de surface $S_{struc.}$. En remarquant que $d_{NF} = \frac{n_{NF}}{S_{struc.}}$, on obtient : $d_{NF} = \frac{TO}{\pi \cdot r^2}$ (3.16)

L'expression de la capacité totale par unité de surface s'écrit donc :

$$C_{totale} = \frac{2 \cdot \varepsilon_0 \cdot \varepsilon_r \cdot L}{\ln\left(1 + \frac{e}{r}\right)} \times \frac{TO}{r^2} + \frac{\varepsilon_0 \cdot \varepsilon_r}{e} \quad (3.17)$$

Pour obtenir la capacité la plus importante possible, il faudrait ainsi un diélectrique de forte permittivité et de faible épaisseur, des nanofils longs et de faible diamètre avec un taux d'occupation le plus élevé possible. A présent, à taux d'occupation constant, il faut désormais diminuer le diamètre des nanofils pour en augmenter le nombre et ainsi augmenter la capacité par unité de surface.

III-2.1.d Expression du gain en capacité apporté par les nanofils

Le but est maintenant d'exprimer à partir de la relation (3.17) le gain apporté par les nanofils. Pour cela, exprimons le ratio entre cette capacité totale à base de nanofils C_{totale} et la capacité planaire occupant la même surface en vue de dessus C_{plan} :

$$\frac{C_{totale}}{C_{plan}} = 1 + \frac{2 \cdot L \cdot e}{\ln\left(1 + \frac{e}{r}\right)} \times \frac{TO}{r^2} \quad (3.18)$$

Cette expression montre que le ratio est toujours supérieur ou égal à 1, ce qui signifie qu'en l'absence de nanofils (à TO nul), $C_{totale} = C_{plan}$ ce qui est cohérent. Cela montre aussi que dès le premier nanofil, un gain en capacité peut être observé. D'autre part, plus l'épaisseur de diélectrique est importante et plus le gain par rapport à la structure planaire est important. Le gain est par contre indépendant du type de diélectrique car indépendant de ε_r car il est purement géométrique. Cependant, ce gain ne reflète que l'apport des nanofils par rapport à une structure planaire, augmenter ce gain ne signifie pas forcément, augmenter la capacité.

Cela implique notamment qu'on peut obtenir un gain important en capacité par unité de surface en utilisant avec les nanofils un diélectrique de très forte permittivité sur une épaisseur plus importante pour s'affranchir des problèmes de faible tension de claquage et de courant de fuite tout en gardant une forte valeur de capacité. Cette expression montre également que ce gain augmente linéairement avec la longueur des nanofils et le taux d'occupation.

Il convient de signaler que tous ces paramètres ne sont pas aussi faciles à contrôler les uns que les autres. On peut ainsi ajuster plus facilement l'épaisseur de diélectrique e et la hauteur L des nanofils car elle correspond au temps de croissance. Quant au rayon et au taux d'occupation, nous n'avons en réalité à ce jour aucun contrôle sur ces paramètres dans notre

stratégie d'intégration. En effet, pour contrôler le diamètre et le taux d'occupation il faudrait pouvoir contrôler la taille et la position des catalyseurs. Dans notre cas où nous utilisons une couche continue de catalyseur ce contrôle n'est pas possible.

III-2.2 Dimensionnement de la structure pour optimiser la résistance série

III-2.2.a Introduction

Nous allons dans cette partie établir le modèle analytique de la résistance série dans le cas de la capacité MIM. Ce modèle permettra de mettre en évidence les paramètres importants du dimensionnement pour optimiser cette résistance. En revanche, nous ne traitons pas ici l'optimisation de la résistance série pour la capacité MOS car la résistance série induite par le silicium en tant qu'électrode sera plus importante que celle d'une capacité MIM. Pour les applications nécessitant le dimensionnement d'une capacité de faible résistance série, on se tournera vers la capacité MIM où les possibilités d'obtenir une faible résistance série sont a priori plus importantes que pour des électrodes en silicium. La capacité MOS sera en revanche modélisée au chapitre 4 pour expliquer l'évolution de la capacité avec la fréquence de mesure.

Nous procédons de la même façon que pour la modélisation analytique d'une capacité MIM planaire décrits par A. Bajolet et al [Bajolet06b].

III-2.2.b Description de la structure et hypothèses

Nous allons traiter de la modélisation de la résistance série d'une capacité MIM comportant plusieurs nanofils localisés dans une cavité d'oxyde comme représenté Figure 3.8b. Pour cela, nous faisons les hypothèses suivantes :

- le cuivre est supposé remplir complètement l'espace entre les nanofils et permet de transmettre le potentiel appliqué à la surface du métal de l'électrode supérieure de sorte qu'on puisse considérer la surface extérieure de ce métal comme équipotentielle.
- on assimile le nanofil de silicium à un isolant, c'est-à-dire que les porteurs ne passent que par le métal des électrodes supérieures et inférieures et que rien ne passe par le silicium.
- l'électrode inférieure est connectée à la base des nanofils au potentiel appliqué par la surface métallique sous les nanofils, de sorte que la base de chaque nanofil soit au même potentiel.
- on néglige l'impédance capacitive et résistive causée par l'espace entre les nanofils devant l'impédance des nanofils.
- on considère tous les nanofils comme des cylindres parfaits, identiques en dimensions avec des épaisseurs de matériaux déposés identiques sur tous les nanofils de sorte que leur impédance soit la même pour tous les nanofils.

- on néglige l'impédance du sommet de nanofils par rapport à l'impédance déterminée par les surfaces latérales.

Dans ces conditions, le dispositif complet à base de n nanofils peut être décrit comme le montre la Figure 3.11 par une assemblée de n impédances, connectées en parallèle.

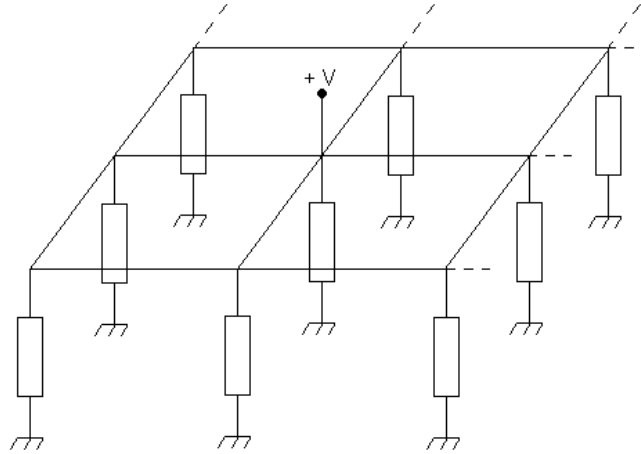


Figure 3.11 : Schéma équivalent de la capacité MIM à base de nanofils.

L'impédance équivalente du dispositif complet est égale à l'impédance d'un nanofil divisée par le nombre de nanofils. La résistance série étant la partie réelle de l'impédance, on voit ici qu'elle dépendra du nombre de nanofils.

Nous décrivons à présent le schéma équivalent choisi pour décrire l'impédance d'un seul nanofil. On va pour cela considérer un modèle distribué de type « ligne de transmission » pour mettre en évidence la transmission du potentiel appliqué, depuis la base des nanofils jusqu'à leur sommet pour l'électrode inférieure. Le schéma de ce modèle est représenté sur la Figure 3.12 ci-dessous :

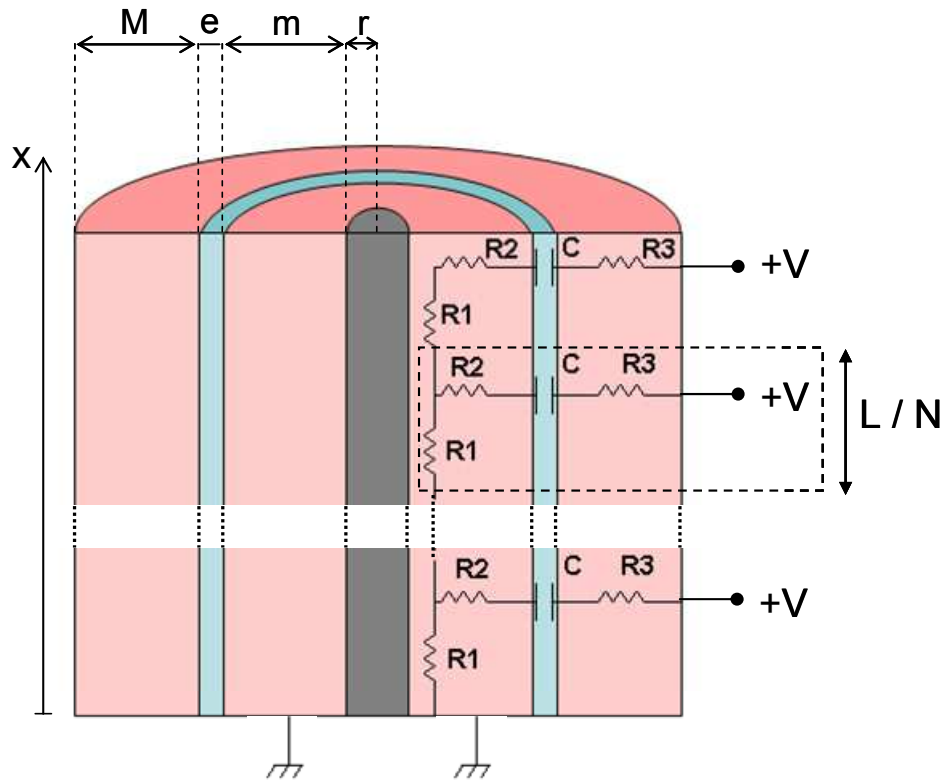


Figure 3.12 : Modèle de ligne de transmission sur une capacité MIM à base de nanofil vue en coupe longitudinale.

Dans ce schéma, le nanofil de longueur L avec la tête coupée est subdivisé en N éléments où M est l'épaisseur de l'électrode supérieure, e l'épaisseur de diélectrique, m l'épaisseur de l'électrode inférieure et r le rayon du nanofil. Chaque élément est décrit par une résistance $R1$ verticale qui correspond au transport longitudinal des porteurs dans l'électrode inférieure. $R1$ est ainsi la résistance de l'anneau métallique d'épaisseur m entourant le nanofil sur la longueur d'un élément : L/N . L'élément est ensuite décrit par la résistance horizontale $R2$ correspondant au transport transversal vers la capacité C . Enfin $R3$ décrit le transport transversal des porteurs depuis le potentiel de surface $+V$ vers la capacité C .

III.2.2.c Modélisation de l'impédance d'un seul nanofil

A partir des notations de la Figure 3.12, nous commençons par exprimer les différentes résistances $R1$, $R2$ et $R3$ en fonction des paramètres géométriques.

❖ Expression de $R1$:

$$R1 = \frac{\rho_{inf} \cdot L}{N \cdot (\pi(r+m)^2 - \pi \cdot r^2)} \quad (3.19)$$

Avec ρ_{inf} la résistivité du métal de l'électrode inférieure

❖ Expression de R2 :

$$R2 = \frac{\rho_{\text{inf}} \cdot N}{2 \cdot \pi \cdot L} \cdot \ln\left(\frac{r+m}{r}\right) \quad (3.20)$$

❖ Expression de R3 :

$$R3 = \frac{\rho_{\text{sup}} \cdot N}{2 \cdot \pi \cdot L} \cdot \ln\left(\frac{r+m+e+M}{r+m+e}\right) \quad (3.21)$$

Avec ρ_{sup} la résistivité du métal de l'électrode supérieure

❖ Expression de C :

$$C = \frac{2 \cdot \pi \cdot \varepsilon_0 \cdot \varepsilon_r \cdot L}{N \cdot \ln\left(\frac{r+m+e}{r+m}\right)} \quad (3.22)$$

Nous exprimons à présent l'impédance du nanofil par la relation de récurrence :

$$Z_{n+1} = R1 + \frac{z_i \cdot Z_n}{z_i + Z_n} \quad (3.23)$$

$$\text{avec } z_i = R2 + R3 + \frac{1}{j \cdot C \cdot \omega} \quad (3.24)$$

$$\text{et comme terme initial } Z_0 = R1 + R2 + R3 + \frac{1}{j \cdot C \cdot \omega} \quad (3.25)$$

L'indice n de la suite est lié au nombre d'éléments de longueur L/N pris en compte dans l'expression de l'impédance. Cette indice peut ainsi être relié à une position sur l'axe x selon :

$$x = n \cdot \frac{L}{N} \quad (3.26) \quad \text{avec } 0 \leq n \leq N-1$$

Ainsi Z_N correspond à l'impédance complexe d'un nanofil de longueur L et peut s'écrire :

$$Z_N = X_N - j \cdot Y_N \quad (3.27)$$

La partie réelle X_N représente la résistance série du nanofil et Y_N la partie imaginaire correspond à sa capacité.

Nous exprimons à présent Z_{n+1} en fonction de X_n et de Y_n . Pour simplifier l'expression, on néglige l'impédance des éléments résistifs R2 et R3 devant l'impédance de l'élément capacitif C, ce qui revient à :

$$R2 + R3 \ll \frac{1}{C \cdot \omega} \quad (3.28)$$

En utilisant les expressions (3.19), (3.20) et (3.22) cela revient à :

$$\omega \ll \frac{\ln\left(\frac{r+m+e}{r+m}\right)}{\varepsilon_0 \cdot \varepsilon_r \cdot \left(\rho_{\text{inf}} \cdot \ln\left(\frac{r+m}{r}\right) + \rho_{\text{sup}} \cdot \ln\left(\frac{r+m+e+M}{r+m+e}\right) \right)} \quad (3.29)$$

Pour vérifier ce critère, on choisi des paramètres géométriques proches de ceux retenus pour la fabrication des capacités. On prend ainsi un nanofil de 20 nm de rayon, 50 nm de TiN avec une résistivité de 200 $\mu\Omega\cdot\text{cm}$ pour les électrodes supérieure et inférieure et 10 nm de diélectrique de constante diélectrique égale à 9 (cas de l'alumine).

La fréquence correspondante doit donc être inférieure à 77 THz. Cette approximation peut donc être faite car les fréquences d'utilisation de la capacité pour les applications citées ci-dessus sont largement inférieures à cette fréquence limite.

En utilisant cette approximation, on peut définir les parties réelles et imaginaires de l'impédance par les relations de récurrence suivantes :

$$X_{n+1} = R1 + \frac{R2 + R3 + Y_n^2 + \frac{X_n}{C \cdot \omega}}{\left(Y_n + \frac{1}{C \cdot \omega}\right)^2} \quad (3.30)$$

$$Y_{n+1} = \frac{\frac{Y_n}{C \cdot \omega}}{Y_n + \frac{1}{C \cdot \omega}} \quad (3.31)$$

La deuxième récurrence ne dépendant pas de la première, on commence par en extraire le terme général :

$$Y_n = \frac{1}{C \cdot \omega \cdot (n+1)} \quad (3.32)$$

En injectant ce terme dans l'expression, on obtient le terme général suivant :

$$X_n = \frac{R1 + R2 + R3}{(n+1)^2} + \frac{n \cdot (R2 + R3)}{(n+1)^2} + \frac{R1 \cdot n \cdot (2 \cdot n + 1)}{6 \cdot (n+1)} \quad (3.33)$$

En utilisant les expressions (3.19), (3.20), (3.21), (3.22), (3.26) et en faisant tendre n vers l'infini dans les 2 expressions précédentes (3.32) et (3.33) :

$$X(x) = \frac{2 \cdot \rho_{\text{inf}} \cdot x}{6 \cdot \pi \cdot m^2 + 12 \cdot \pi \cdot r \cdot m} + \frac{\rho_{\text{inf}} \cdot \ln\left(\frac{m+r}{m}\right)}{2 \cdot \pi \cdot x} + \frac{\rho_{\text{sup}} \cdot \ln\left(\frac{M+m+r+e}{m+r+e}\right)}{2 \cdot \pi \cdot x} \quad (3.34)$$

$$Y(x) = \frac{\ln\left(\frac{r+m+e}{r+m}\right)}{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r \cdot x \cdot \omega} \quad (3.35)$$

Enfin, en remarquant qu'avec les plages de valeurs des paramètres : $1 < m < 100$ nm, $10 < r < 100$ nm, $1 < x < 100$ μm et $5 < e < 20$ nm ; les 2 derniers termes de la résistance série sont négligeables devant le premier. La résistance série s'écrit ainsi :

$$R_S = X(x) = \frac{2 \cdot \rho_{\text{inf}} \cdot x}{6 \cdot \pi \cdot m^2 + 12 \cdot \pi \cdot r \cdot m} \quad (3.36)$$

On obtient ainsi une expression de la résistance série qui ne dépend en réalité que des paramètres de l'électrode inférieur.

III.2.2.d Effet du rayon et de la longueur du nanofil sur la résistance série

Traçons à présent sur la Figure 3.13 l'évolution de la résistance série à partir de la relation (3.36) en fonction du rayon du nanofil et de sa longueur.

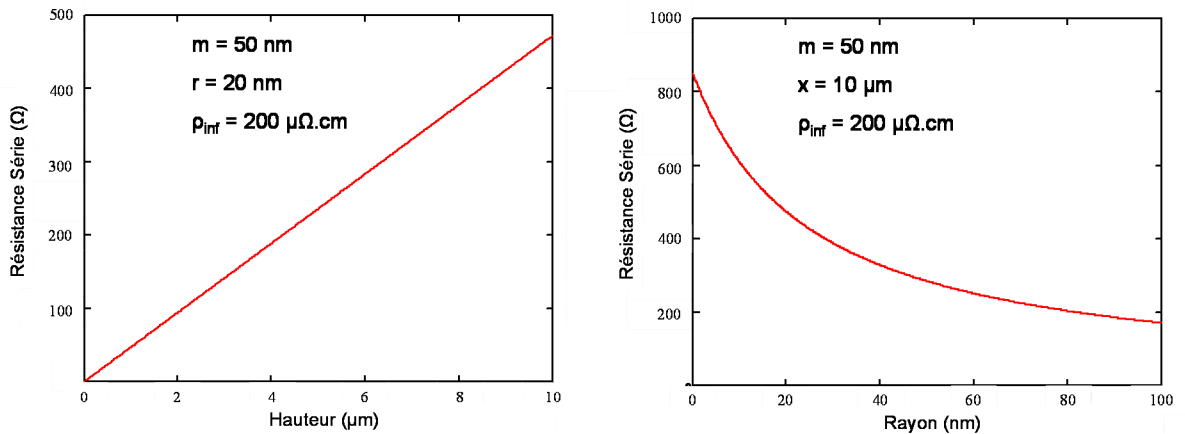


Figure 3.13 : Evolution de la résistance série tracée à partir de la relation (3.36), à gauche en fonction de la longueur des nanofils et à droite en fonction de leur rayon.

On voit que la résistance série augmente linéairement avec la hauteur du nanofil mais diminue avec le diamètre. Pour obtenir des dispositifs à faible résistance série, il faut donc préférer des nanofils courts et de diamètre plus important. En revanche, pour augmenter la capacité, nous avons vu qu'il fallait plutôt avoir des nanofils longs et de fort diamètre (à densité constante). L'augmentation du diamètre permet donc à la fois d'augmenter la capacité et de

diminuer la résistance série. Il faut par contre faire un compromis sur la longueur des nanofils. Par ailleurs, le graphique de droite de la Figure 3.13 montre que l'évolution de la résistance série est de plus en plus faible quand le diamètre augmente. Cela indique qu'au delà d'un certain diamètre, par exemple de 200 nm, l'augmentation du diamètre a un effet de plus en plus faible sur la résistance série.

III.2.2.e Modélisation de l'impédance d'un dispositif à plusieurs nanofils

Nous allons à présent étendre notre modélisation pour un seul nanofil à un dispositif comprenant une pluralité de nanofils. Pour cela nous considérons un dispositif décrit comme sur la Figure 3.11, où l'impédance de la capacité complète correspond à la mise en parallèle de l'impédance de chaque nanofil. On a ainsi :

$$Z_{\text{tot}} = \frac{Z_{1\text{NF}}}{n_{\text{NF}}} \quad (3.37) \quad \text{où } Z_{1\text{NF}} \text{ représente l'impédance d'un seul nanofil, } n_{\text{NF}} \text{ le nombre de nanofils}$$

considéré et Z_{tot} l'impédance totale de la structure.

On peut exprimer une résistance totale en ohm multiplié par l'unité de surface en vue de dessus avec la partie réelle de cette impédance. Cela permet d'avoir une expression de la résistance indépendante de la surface totale du dispositif, il s'agit d'une résistance par carré. Avec les mêmes notations que précédemment, on obtient en $\Omega \cdot \text{m}^2$:

$$R_s'(x) = \frac{2 \cdot \rho_{\text{inf}} \cdot x}{(6 \cdot \pi \cdot m^2 + 12 \cdot \pi \cdot r \cdot m) \cdot d_{\text{NF}}} \quad (3.38)$$

Cette expression montre que pour une structure complète, la résistance série par carré diminue avec la densité de nanofils. Augmenter la densité de nanofils permet donc à la fois d'augmenter la capacité et de diminuer la résistance série par carré.

III.2.2.f Résistance série sur les capacités MOS

Dans cette partie nous mettons en évidence les paramètres géométriques entrant en jeu dans la résistance série des capacités MOS à base de nanofils. En revanche, nous ne redéployons pas tous les calculs précédents comme pour la capacité MIM car les expressions des résistances suffisent à faire une analyse qualitative. La Figure 3.14 schématise les différentes composantes de la capacité entrant en jeu dans l'expression de la résistance série dans le régime d'accumulation. On se place comme précédemment dans le cas où les nanofils sont noyés dans du cuivre de sorte que la surface externe de l'électrode supérieure puisse être considérée comme équipotentielle. On suppose également que le nanofil est non dopé.

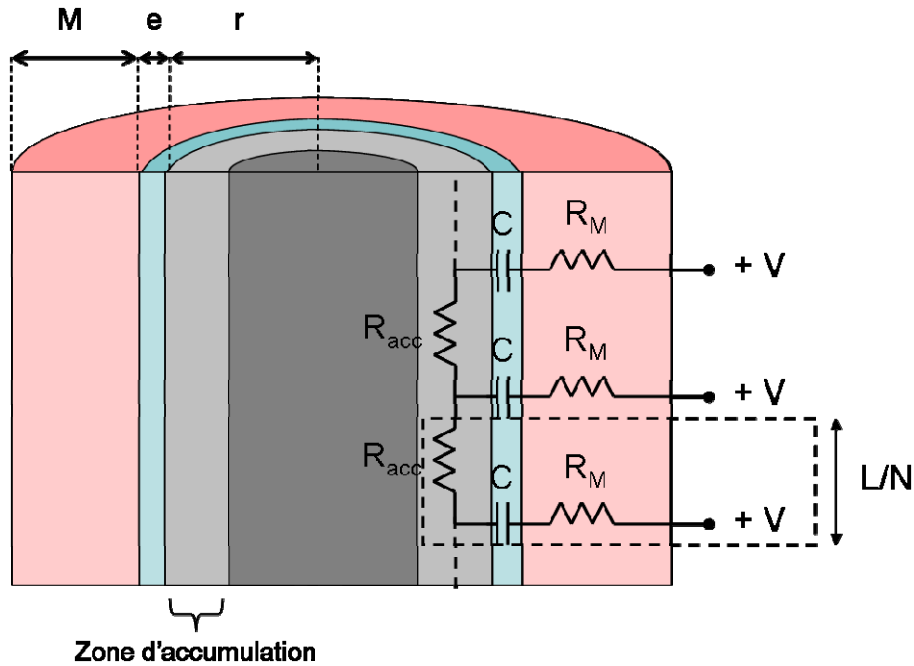


Figure 3.14 : Modèle de ligne de transmission sur une capacité MOS à base de nanofil vue en coupe longitudinale. L'épaisseur de la zone d'accumulation n'est pas à l'échelle, elle est nettement inférieure au diamètre du nanofil.

A la différence de la capacité MIM, on a dans le nanofil une zone d'accumulation où la résistance est plus faible que dans le centre nanofil. C'est pourquoi pour le transport dans l'électrode inférieure en régime d'accumulation, il ne faut considérer que la résistance de la zone d'accumulation et pas la résistance du nanofil en dehors. La zone en dehors ne contient pas de porteurs, elle se comporte comme une zone isolante. Sur ce schéma, les paramètres s'écrivent :

- ❖ Expression de R_{acc} (résistance de la zone d'accumulation) :

$$R_{acc} = \frac{L/N}{2 \cdot \pi \cdot r \cdot \mu_{acc} \cdot q \cdot N_{acc}} \quad (3.39) \quad \text{avec } q \cdot N_{acc} = C \cdot (V - V_{FB}) \quad (3.40)$$

Avec L la longueur du nanofil, N le nombre d'éléments discrets, r le rayon du nanofil, μ_{acc} la mobilité des trous dans la zone d'accumulation, q la charge de l'électron et N_{acc} la quantité de trous accumulés, V la tension appliquée et V_{FB} la tension de bandes plates de la capacité.

- ❖ Expression de R_M :

$$R_M = \frac{\rho_{sup} \cdot N}{2 \cdot \pi \cdot L} \cdot \ln\left(\frac{r+e+M}{r+e}\right) \quad (3.41)$$

❖ Expression de C :

$$C = \frac{2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_r \cdot L}{N \cdot \ln\left(1 + \frac{e}{r}\right)} \quad (3.42)$$

La partie réelle X_N représente la résistance série du nanofil et Y_N la partie imaginaire correspond à sa capacité.

En utilisant la même méthode que celle décrite précédemment pour une capacité MIM, on peut extraire le modèle analytique de la résistance série globale. On a vu précédemment avec le même empilement pour l'électrode supérieure, que ce qui était prépondérant dans la résistance série était la résistance de l'électrode inférieure. Il s'agit donc ici de regarder l'expression de la résistance de la zone d'accumulation. Pour la diminuer, il faut comme sur la capacité MIM, augmenter le rayon du nanofil. En revanche la quantité de charges accumulées dépend de la capacité de l'oxyde et de la polarisation. A polarisation donnée, la valeur de la capacité de l'oxyde entre en compte dans la résistance série et il faut chercher à avoir une capacité la plus forte possible pour diminuer encore la résistance série. Finalement sur les capacités MOS, comme sur les capacités MIM, seule la longueur du nanofils représente un compromis entre une forte capacité et une faible résistance série.

III-2.3 Effet de la résistance série sur la gamme de fréquence d'utilisation de la capacité

Nous allons à présent étudier l'effet de la résistance série sur la capacité mesurée en fonction de la fréquence du signal de mesure sur un seul nanofil. Notons que pour un dispositif composé de n nanofils, la résistance série totale correspond à la résistance série d'un nanofil divisée par n et la capacité totale correspond à la capacité d'un nanofil multipliée par n.

Nous avons vu au chapitre précédent que la mesure de la capacité en mode dynamique pouvait se faire selon 2 modèles : le modèle série ou le modèle parallèle. Le modèle le plus utilisé est le modèle parallèle, où on considère que l'impédance mesurée se décompose en une conductance (inverse d'une résistance) en parallèle avec une capacité. L'admittance (Y), qui correspond à l'inverse de l'impédance (Z), s'écrit ainsi selon ce modèle parallèle :

$$\frac{1}{Z} = Y = G + j \cdot C \cdot \omega \quad (3.43)$$

où G, C et ω correspondent respectivement à la conductance, la

capacité et la pulsation du signal de mesure.

Le capacimètre renvoie G et C à partir des relations :

$$G = \text{Re}(1/Z) \text{ et } C = \frac{\text{Im}(1/Z)}{\omega}$$

où $\text{Re}(1/Z)$ et $\text{Im}(1/Z)$ sont respectivement les parties réelles

et imaginaires de l'admittance mesurée.

En calculant les termes de la suite Z_n à partir de la relation (3.23), on peut ainsi tracer en fonction de la fréquence, la capacité que mesurerait un capacimètre en mode parallèle sur un nanofil. Sur la Figure 3.15, nous avons tracé la capacité mesurée en mode parallèle en

fonction de la fréquence pour une capacité MOS (à gauche) et pour une capacité MIM (à droite). Pour cela, nous avons utilisé un dispositif composé de 50 000 nanofils, ce qui correspond à 5×10^8 nanofils / cm^2 sur une structure de $10\,000 \mu\text{m}^2$ comme les dispositifs fabriqués et caractérisés dans cette thèse. Les dimensions géométriques des nanofils prises pour les dispositifs MOS et MIM sont de 50 nm pour leur rayon, de 7 μm pour leur longueur et 50 nm d'un métal à $200 \mu\Omega\cdot\text{cm}$ de résistivité pour le métal supérieur des capacités, ce qui correspond à la résistivité d'un nitrure de titane déposé par CVD. L'électrode métallique inférieure de la structure MIM a été choisie avec la même épaisseur de métal et la même résistivité que l'électrode supérieure. Enfin, un diélectrique de 10 nm d'épaisseur avec une constante diélectrique de 9 a été choisie, ce qui correspond à de l'alumine.

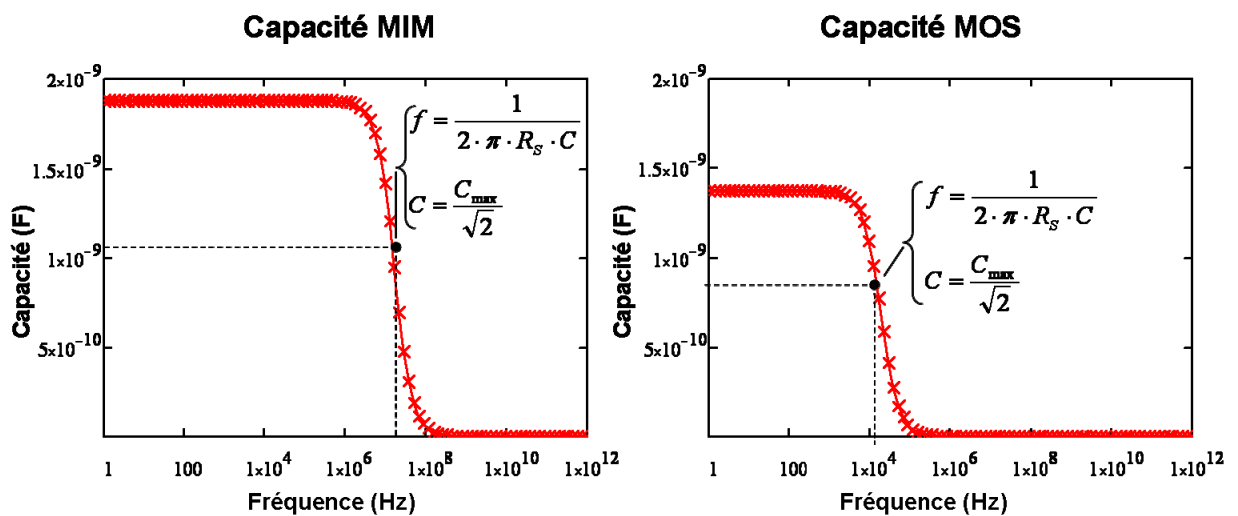


Figure 3.15 : Simulation de courbes de capacité en fonction de la fréquence de mesure en mode parallèle, à gauche pour une capacité MIM, à droite pour une capacité MOS. Dans les 2 cas, on a 50 000 nanofils de 7 μm de haut, de 50 nm de rayon, avec 50 nm de métal supérieur conforme de résistivité à $200 \mu\Omega\cdot\text{cm}$ et 10 nm d'alumine en tant que diélectrique. Pour la MIM l'électrode inférieure est identique à l'électrode supérieure. R_s a été déterminée dans les 2 cas à partir de la simulation de la mesure en mode série, elle vaut $6,6 \Omega$ pour la MIM et 8100Ω pour la MOS.

Dans ces conditions, la capacité à basse fréquence est de 1,87 nF pour la capacité MIM et de 1,37 nF pour la capacité MOS. Ces valeurs correspondent à des densités de capacité de $18,7 \mu\text{F}/\text{cm}^2$ et de $13,7 \mu\text{F}/\text{cm}^2$ respectivement pour les capacités MIM et MOS. La différence provient de la différence de rayon entrant en jeu dans le calcul de la capacité, en effet pour les MOS le rayon est celui du nanofil, pour les MIM c'est celui du nanofil augmenté de l'épaisseur de l'électrode inférieure.

On peut voir que la fréquence à partir de laquelle la capacité chute est plus importante sur la capacité MIM que sur la capacité MOS. Lorsqu'on effectue cette même simulation pour un capacimètre en mode série, on extrait des résistances respectivement de $6,6 \Omega$ et de $8\,100 \Omega$ pour les capacités MIM et MOS. La différence de valeur est liée au matériau de l'électrode inférieure : coté MOS c'est du silicium, un matériau plus résistif que le métal de l'électrode inférieure de la capacité MIM. On remarque également qu'à partir de la capacité à

basse fréquence ainsi que la résistance série extraite par le modèle série on peut calculer la fréquence de coupure à partir de la relation indiquée sur la Figure 3.15. A cette fréquence la capacité est égale à la capacité maximale divisée par la racine carrée de 2. On a ainsi un moyen pour la suite de déterminer la résistance série de nos dispositifs à partir de la mesure en mode parallèle de la capacité en fonction de la fréquence.

Etant donné la relation entre la fréquence de coupure et la capacité, lorsqu'on augmente la capacité, la fréquence de coupure diminue. Pour assurer une plage de fonctionnement importante, il faudra jouer sur les paramètres qui augmentent à la fois la capacité et diminuent la résistance série. Ces paramètres sont le rayon des nanofils, la densité de nanofils et pour la capacité MIM l'épaisseur de l'électrode inférieure. En revanche lorsque la longueur des nanofils augmente, la capacité et la résistance série augmentent. Enfin l'épaisseur de diélectrique et la constante diélectrique n'influent que sur la capacité et pas sur la résistance série.

Conclusion

Nous avons présenté dans ce chapitre les applications nécessitant des capacités de fortes valeurs. Parmi ces applications, nous avons identifié celles pour lesquelles les capacités intégrant une population de nanofils pour déployer la surface semblaient pertinentes. Ces applications identifiées sont les capacités commutées, les capacités de convertisseurs DC/DC et les capacités de découplage.

L'état de l'art des technologies existantes pour la fabrication de capacités a montré que plusieurs technologies permettent d'obtenir des très fortes densités de capacités mais que ces techniques utilisent souvent le silicium du substrat et ne permettent pas la fabrication des capacités en Back End. Les technologies existantes et compatibles avec le Back End ne permettent pas d'atteindre des densités de capacité au-delà de $4,5 \mu\text{F}/\text{cm}^2$. Pour que notre technologie compatible avec le Back End puisse être compétitive il faut qu'en plus d'être moins coûteuse, elle permette d'obtenir des valeurs de densité de capacité plus importantes.

Nous avons ensuite présenté d'un point de vue théorique, les critères de choix des matériaux constitutifs des capacités. Deux filières MIM et MOS de fabrication de capacités à base de nanofils sont proposées pour intégrer ces capacités entre deux niveaux métalliques d'interconnexion.

Nous avons ensuite présenté les équations permettant le dimensionnement des structures pour augmenter la densité de capacité et diminuer la résistance série. Un compromis nécessaire sur la longueur des nanofils est ainsi mis en évidence. L'effet de cette résistance série est en effet important sur la largeur de la plage de fonctionnement en fréquence de ces capacités étant donnée l'expression de la fréquence de coupure.

Les applications pertinentes et citées précédemment ne nécessitent pas à priori de capacités ayant un effet semi-conducteur c'est-à-dire dont la valeur dépend de la tension appliquée. Nous allons tout de même étudier le mode de fabrication selon la filière MOS car il semble à priori plus simple à mettre en œuvre du point de vue technologique. De plus, les capacités fabriquées selon cette filière pourront être converties en capacités MIM en dopant fortement les nanofils ou en les siliciurant avant le dépôt du diélectrique sans changer la filière mise au point.

Chapitre 4 : Fabrication et caractérisation morphologique des capacités de haute densité

Introduction

Le chapitre précédent a permis de mettre en évidence l'ensemble des compromis à faire au niveau du dimensionnement de la capacité. Ces compromis ne sont pas les seuls, en effet en plus de devoir respecter des procédés basses températures, il a fallu aussi utiliser des procédés parmi ceux disponibles au Légi en respectant l'ensemble des contraintes imposées par une salle blanche réalisant des dispositifs microélectroniques. Nous présentons dans ce chapitre les choix que nous avons faits pour réaliser des capacités à base de nanofils prenant en compte toutes ces contraintes. Nous commencerons par présenter la croissance de nanofils catalysée au cuivre. Nous présenterons ensuite le schéma d'intégration utilisé en justifiant nos choix de matériaux et de procédés. Nous nous attarderons ensuite sur la caractérisation morphologique des dispositifs et des nanofils au sein des dispositifs.

I- La croissance de nanofils

I-1 Présentation de la mise en œuvre de la croissance

I-1.1 L'équipement de croissance

Toutes les croissances de nanofils présentées dans ce chapitre ont été faite sur un équipement de dépôt PECVD acceptant des plaques de silicium jusqu'à 200 mm de diamètre : la CENTURA 5200D d'Applied Materials.

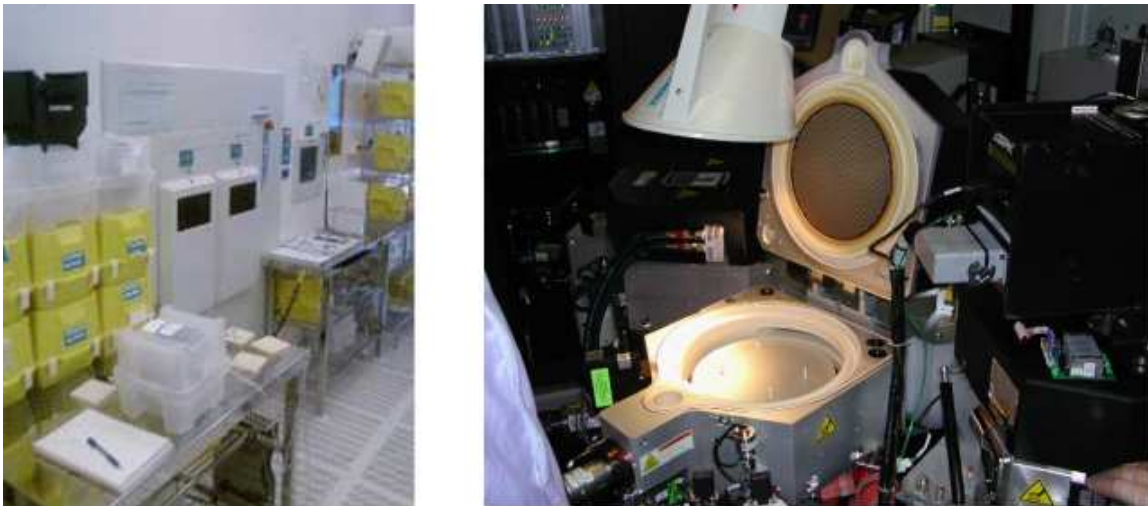


Figure 4.1 : A gauche : Photo de la CENTURA 5200 D coté sas ce chargement en salle blanche. A droite : la chambre de croissance ouverte de l'autre coté de la façade (coté « doigts gris »)

Cet équipement en photo sur la Figure 4.1 est présent dans la salle blanche du Légi dédiée à la fabrication de dispositifs microélectronique. On voit notamment que la chambre est

guère plus grande que la taille des plaques de 200 mm sur lesquelles ont été faites les croissances de nanofils. Cet équipement est avant tout destiné aux dépôts de matériaux isolants électriques pour la fabrication de dispositifs. L'équipement est muni de 2 sas de chargement comme le montre la Figure 4.1 et de 3 chambres de dépôt. On utilise l'une d'entre elles pour la croissance des nanofils, équipée des lignes de H_2 , NH_3 et SiH_4 . En revanche, il n'y a pas de ligne de HCl dont nous avons vu précédemment l'intérêt dans la croissance des nanofils au chapitre 2 pour limiter le dépôt de silicium amorphe. D'autre part cet équipement ne permet pas d'atteindre des températures supérieures à $425^\circ C$. En revanche il sera possible d'effectuer des traitements par plasma du catalyseur avant d'effectuer la croissance. A la différence d'autres équipements de croissance, le chauffage de la plaque et de la chambre se fait par la plaque sur laquelle repose la plaque de silicium, on parle de réacteur à murs froids. Les équipements de croissance dont la chambre est un tube de quartz chauffé bénéficient d'une température plus homogène dans l'ensemble de la chambre, on parle de réacteur à murs chauds.

L'équipement fonctionne de manière automatisée à partir de recettes que l'on programme pour déterminer des séquences de pré-traitement et de croissance où sont choisis la composition des mélanges gazeux, les pressions partielles, la température, les temps de purge et la présence ou non d'un plasma et sa puissance. Par ailleurs, l'utilisation de matériaux contaminants comme le cuivre a été tolérée par dérogation dans le cadre de ces études (avec des procédures spéciales pour contrôler la contamination), en revanche il n'a pas été possible d'utiliser d'or pour la croissance des nanofils.

Les procédés de croissance de nanofils à basse température ont été mis au point par l'équipe de V. Jousseau au sein du Léti et plus particulièrement par V. Renard et C. Girardot.

I-1.2 Présentation des structures

Afin de faire la démonstration de dispositifs compatibles avec les niveaux d'interconnexion, nous avons choisi de travailler uniquement avec des matériaux et des procédés utilisés dans les niveaux d'interconnexion pour la fabrication des capacités. En revanche notre filière de fabrication met aussi en jeu des étapes destinées à la fabrication de bons contacts électriques pour permettre la caractérisation aisée des dispositifs ainsi fabriqués. La préparation des structures et les étapes jusqu'à la croissance sont présentées sur la Figure 4.2 où les étapes de 1 à 3 correspondent à la réalisation du contact électrique entre l'électrode inférieure et la face arrière. A partir de l'étape 4, les procédés et matériaux utilisés sont les mêmes que ceux qui entreraient en jeu dans la fabrication de capacités dans le Back End.

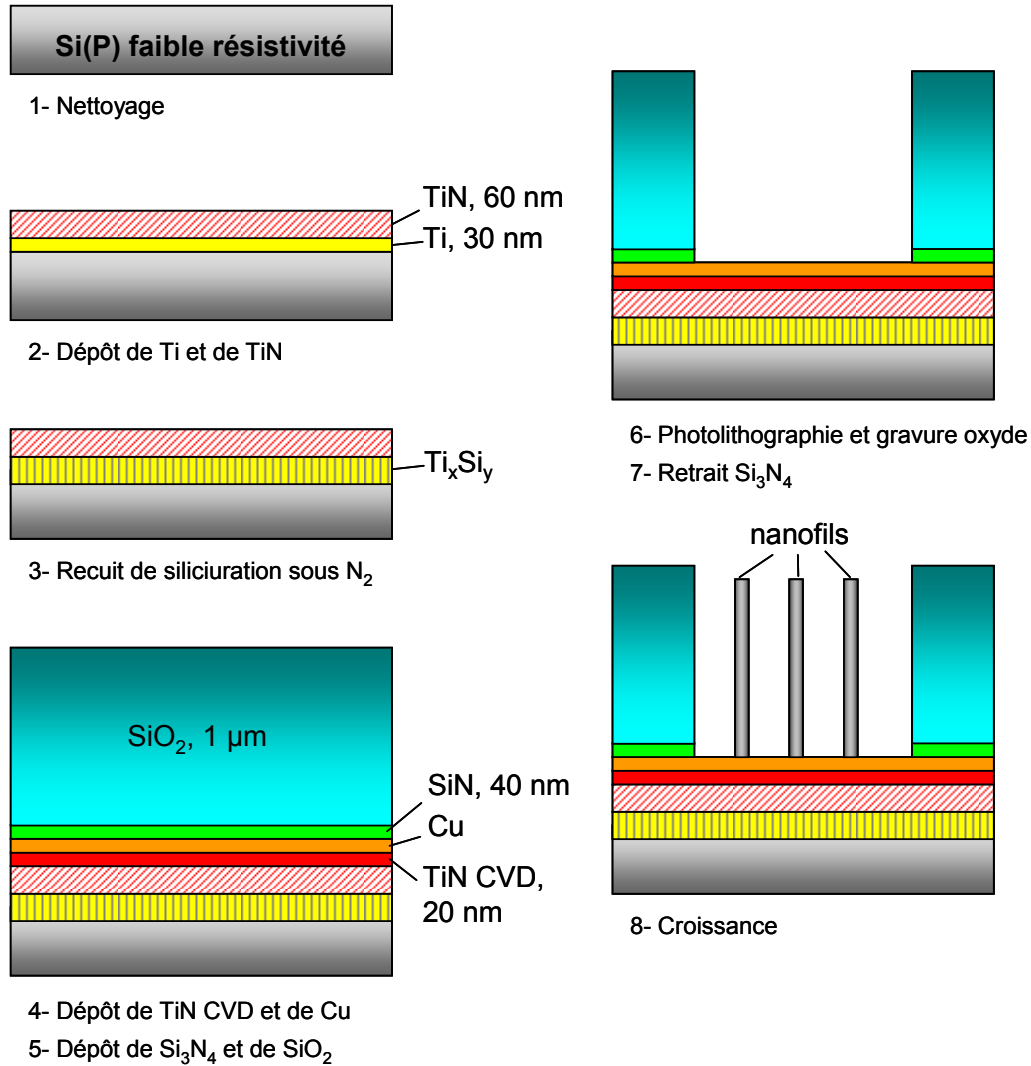


Figure 4.2 : Schémas vus en coupe des principales étapes de préparation des structures permettant la localisation de la croissance et la réalisation d'un bon contact électrique entre la face arrière du substrat et, soit les nanofils (capacité MOS), soit la future électrode inférieure déposée sur les nanofils (capacité MIM).

Afin de faciliter la fabrication des dispositifs et de réduire le nombre d'étape, nous utiliserons la face arrière du substrat pour connecter l'électrode inférieure de la capacité. Ainsi nous n'aurons à fabriquer que le contact supérieur vers l'électrode supérieure. Ainsi, les premières étapes de préparation des structures concernent la réalisation d'un bon contact électrique entre la face arrière et la future électrode inférieure.

Les substrats choisis sont des wafers de 200 mm de type P, fortement dopés pour présenter une résistivité comprise entre 0,014 et 0,020 $\Omega.cm$. Ils sont ensuite nettoyés (**étape 1**) dans un bain type BOE (Buffered Oxide Etchant) qui est une solution tamponnée à base de HF permettant d'enlever tout oxyde présent à la surface du wafer. Ce bain dure 30 secondes et contient 1 volume d'acide fluorhydrique pour 80 volumes d'eau désionisée.

Un dépôt (**étape 2**) de 30 nm de titane par PVD à 350 $^{\circ}C$ avec un temps d'attente, entre les deux étapes, inférieur à une heure est ensuite effectué. Dans le même bâti et sans remise à

l'air ni coupure du vide, un dépôt de 60 nm de TiN est effectué par PVD à 350°C. Ce dernier dépôt est destiné à empêcher l'oxydation du titane lors de la remise à l'air des plaques.

Les plaques sont ensuite amenées dans un four de recuit pour subir sous atmosphère de diazote un recuit à 720°C pendant 20 secondes (**étape 3**) pour former le siliciure de titane à l'interface entre le TiN et le silicium du substrat. Cette dernière étape est destinée à l'obtention d'un bon contact électrique entre l'électrode inférieure de la capacité et la face arrière pour les mesures électriques. Ces premières étapes n'entreraient pas en jeu dans la fabrication d'une capacité en Back End.

A partir de l'étape 4, toutes les étapes de fabrication correspondent à celles qui pourraient être mises en œuvre pour la fabrication en Back End de capacité à base de nanofils. Cela signifie qu'à partir de cette étape, tous les procédés sont compatibles avec le Back End notamment par l'utilisation de températures inférieures à 450°C.

On vient ensuite déposer 20 nm de TiN par CVD (**étape 4**). En effet le TiN CVD a la propriété de barrière à la diffusion du cuivre. Afin d'obtenir un TiN le moins résistif possible, nous effectuons le dépôt sous la forme de 4 séquences de 5 nm séparées par un plasma de densification à base de N₂ et de H₂. Ce plasma permet comme décrit au chapitre 2, d'éliminer les résidus de carbone emprisonnés dans la couche déposée et d'améliorer la stœchiométrie de la couche. On dépose ensuite par PVD dans le même équipement et sans couper le vide l'épaisseur de cuivre désirée pour la croissance.

Pour le dépôt du nitrure de silicium (**étape 5**), on commence par réduire la surface du cuivre par un plasma réducteur de NH₃ avant de déposer par PECVD 40 nm de nitrure de silicium et 1 µm d'oxyde de silicium. Le nitrure de silicium sert de couche d'arrêt à la gravure lors de la gravure de l'oxyde. Elle a le rôle de tampon, en effet les motifs du bord et du centre de la plaque ne se gravent pas à la même vitesse, elle évite que le cuivre sous jacent soit gravé et que l'équipement soit contaminé pendant que se termine la gravure des derniers motifs.

Puis on procède à une photolithographie (**étape 6**) pour définir les motifs à graver. Nous avons choisi un masque présentant différentes structures et notamment des ouvertures carrées de 25, 100, 400, 2 500 et 10 000 µm². La gravure de l'oxyde et le retrait du nitrure de silicium (**étape 7**) permettent de mettre le cuivre à nu comme le montre la Figure 4.3. Un nettoyage à base d'acide fluorhydrique est utilisé pour retirer les derniers résidus créés par ces gravures.

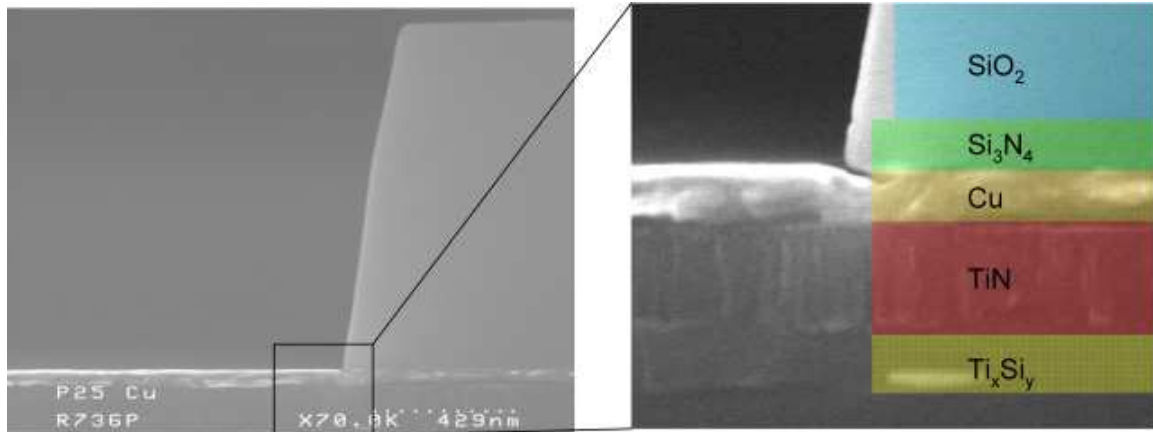


Figure 4.3 : Images MEB d'un bord de structure vu en coupe et le grossissement (à droite) permettant de reconnaître les matériaux déposés.

Les plaques sont alors prêtes à entrer dans le bâti de croissance (étape 8) de nanofils.

I-2 Présentation des résultats de croissance dans les structures

I-2.1 Introduction

Les conditions de croissance ont préalablement été étudiées par l'équipe de V. Jousseau du CEA Léti, voir [Renard09]. Ils ont notamment montré que pour faire une croissance catalysée au cuivre à basse température, il fallait oxyder le cuivre avant de débiter la croissance. De cette façon ils ont obtenus des nanofils sur sous couche de TiN à 425°C. Dans cette étude, nous avons repris ce résultat très important pour réaliser la croissance de nanofils dans nos structures. Si l'équipement de croissance était le même, l'historique des plaques avant croissance était différent en raison de notre schéma d'intégration. Ainsi l'état de surface du cuivre au moment de la croissance est différent et on ne connaît pas non plus l'influence de la localisation et de la structure sur la croissance. Nous présentons dans cette partie les différentes étapes qui nous ont menées au choix de la séquence de croissance.

I-2.2 Morphologie des nanofils

Nous verrons dans la suite de cette partie, que selon les paramètres de croissance et la position du motif sur la plaque, les nanofils ne présentent pas la même densité ou la même morphologie. Il convient aussi de rappeler qu'il s'agit dans tous les cas d'une croissance à basse température (425°C) sur une sous couche métallique de nitrure de titane. Les nanofils n'ont donc à priori aucune raison d'être perpendiculaires au substrat comme d'accoutumée dans la littérature pour les croissances sur silicium orienté (111).

Lorsqu'on fait la croissance des nanofils à 425°C pendant 40 min à 14 torrs après une oxydation de 70 secondes sous flux d'oxygène, les nanofils obtenus présentent 2 types de

morphologie comme le montre la Figure 4.4. Soit ils sont parfaitement droits avec des directions variables (à gauche), soit ils sont tordus et en forme de vers (à droite).

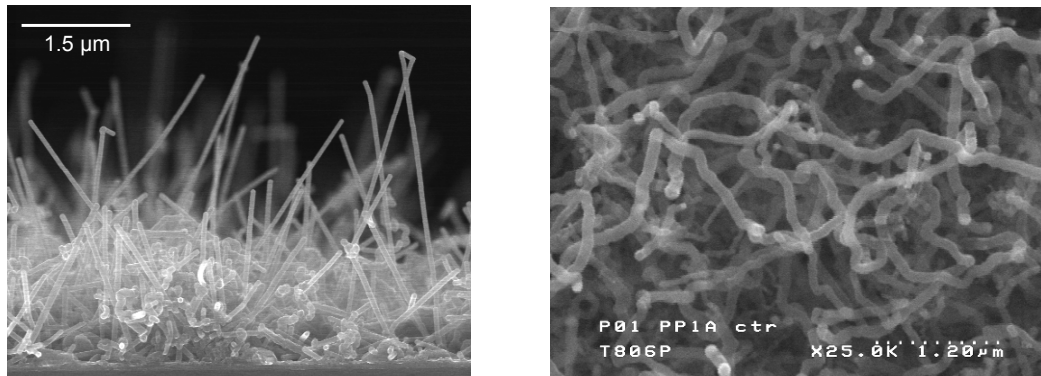


Figure 4.4 : Photo MEB montrant les 2 morphologies de nanofils rencontrés. A gauche vue en coupe de nanofils droits, à droite vue de dessus de nanofils en forme de vers.

On retrouve les nanofils droits en bord de plaque et les nanofils tordus au centre de la plaque. Lorsqu'on se déplace du centre vers le bord, la proportion de nanofils droits augmente tandis que celle de nanofils tordus diminue.

Leurs diamètres varient entre 40 et 150 nm et pour 40 min de croissance à 14 torrs sous silane, les nanofils font entre 5 et 7 µm de longueur. Précisons que la longueur est difficile à déterminer pour les nanofils droits car ils ont des directions de croissance variables pas forcément parallèles au plan de coupe. Cette mesure devient quasiment impossible pour les nanofils en forme de vers puisqu'ils sont enchevêtrés les uns dans les autres.

D'autre part lorsque les nanofils sont en forme de vers, cela correspond à des zones où la densité de nanofils est importante. Lorsqu'on observe ces zones en coupe MEB on voit comme le montre la Figure 4.5 qu'en réalité la base des nanofils est noyée dans une sorte de « magma poreux » de l'ordre de 3 µm d'épaisseur.

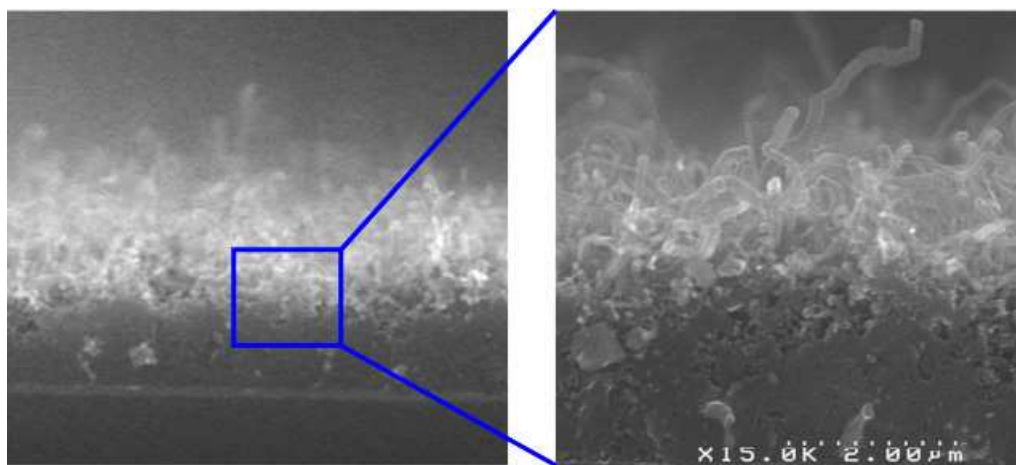


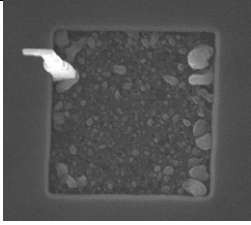
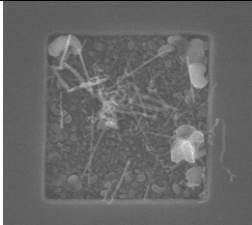
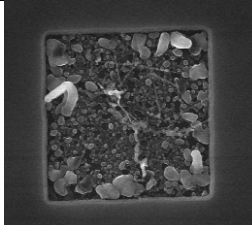
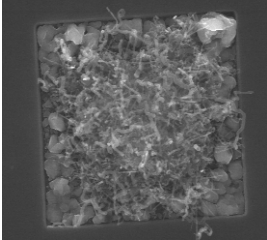
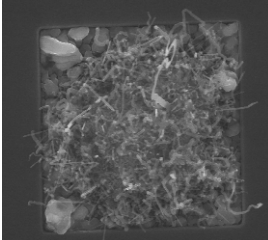
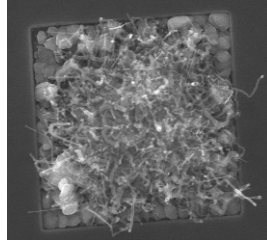
Figure 4.5 : Photos MEB en coupe de nanofils en formes de « vers » avec leur base noyée dans le magma poreux.

Au MEB ce magma n'a pas l'apparence du cuivre, il présente selon les endroits, soit le même contraste que le silicium, soit un contraste plus clair. On suppose qu'il s'agit d'un dépôt parasite de silicium amorphe qui se dissout en partie dans le cuivre non réagit. La nature et l'origine de ce dépôt présent surtout au centre des plaques n'ont pas encore été élucidés. Nous verrons dans la suite son impact sur les propriétés électriques.

I-2.3 Effet de l'oxydation avant croissance – Etude sur échantillons

Nous avons commencé par regarder l'effet du temps d'oxydation avant croissance sur la densité de nanofils obtenue. Pour cela nous avons testé 6 temps d'oxydation sur 2 épaisseurs de cuivre : 25 et 50 nm. A ce stade de l'étude, nous travaillons sur **morceaux de plaque d'environ 1 cm de coté.**

Tous les échantillons sont soumis à la même séquence à 425°C qui correspond à la séquence mise au point par l'équipe de croissance et qui donne sur des échantillons sans motifs les meilleures densités de nanofils. Nous avons en revanche étudié l'influence du temps d'oxydation car l'oxydation du cuivre ne s'opérait pas de la même façon en présence de motifs. La séquence commence par un plasma de NH₃ pour réduire la surface du cuivre. Ensuite, on réalise l'oxydation du cuivre à pression totale fixée à 1 torr sous oxygène pendant un temps variable selon l'échantillon. La croissance est ensuite réalisée à 14 torrs sous silane pendant 40 min.

	$t_{ox}=170$ s	$t_{ox}=160$ s	$t_{ox}=130$ s
Cu 25 nm			
Cu 50 nm			

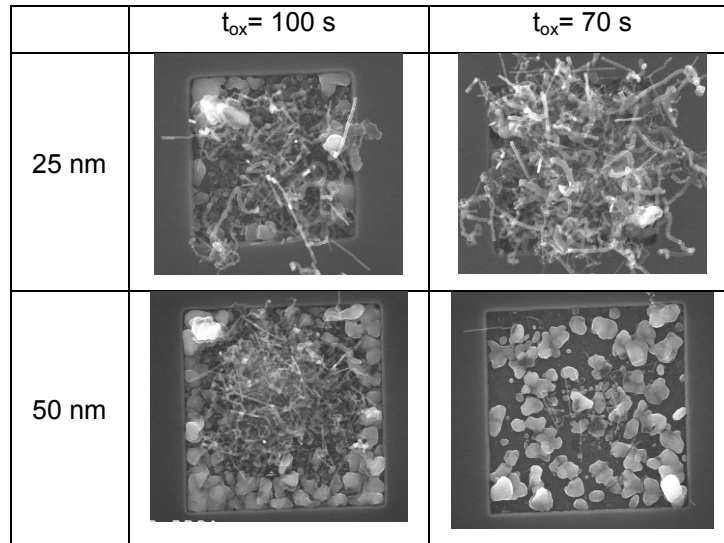


Tableau 4.1 : Photos MEB en vue de dessus des motifs carrés de 5 x 5 μm pour 25 nm de cuivre et de 10 x 10 μm pour 50 nm de cuivre, après croissance de nanofils.

Le Tableau 4.1 montre les résultats de cette étude, ce ne sont pas rigoureusement les mêmes motifs qui sont comparés entre 25 et 50 nm de cuivre, mais cela ne change rien aux observations et aux conclusions. Le motif pour 25 nm de cuivre est une ouverture carrée de 5 x 5 μm tandis que pour 50 nm de cuivre il s'agit d'une ouverture de 10 x 10 μm .

On observe que la meilleure densité de nanofils est obtenue pour le temps d'oxydation le plus court lorsqu'on a 25 nm de cuivre tandis que c'est avec un temps d'oxydation compris entre 130 et 170 s pour 50 nm de cuivre. Cela montre que plus on a une épaisseur importante de cuivre, plus il faut oxyder longtemps pour avoir une densité importante de nanofils. En revanche pour chaque épaisseur de cuivre, il y a un temps limite d'oxydation à ne pas dépasser : environ 70 s pour 25 nm de cuivre, au-delà de 170 s pour 50 nm de cuivre.

I-2.4 Densité en fonction de la position sur la plaque

Nous réalisons à présent les croissances sur **plaque entières de 200 mm de diamètre**. La croissance se fait toujours en 2 temps : une oxydation de 70 s sous un flux d' O_2 de 1 torr suivi d'une croissance CVD sans plasma sous silane à 14 torrs pendant 40 min. Nous observons des motifs carrés de 10 x 10 μm . Le Tableau 4.2 présente les résultats obtenus. On entend par bord de plaque un motif situé à une distance du bord comprise entre 1 et 3 cm. Les motifs du centre sont pris à une distance maximale de 2 cm du centre.

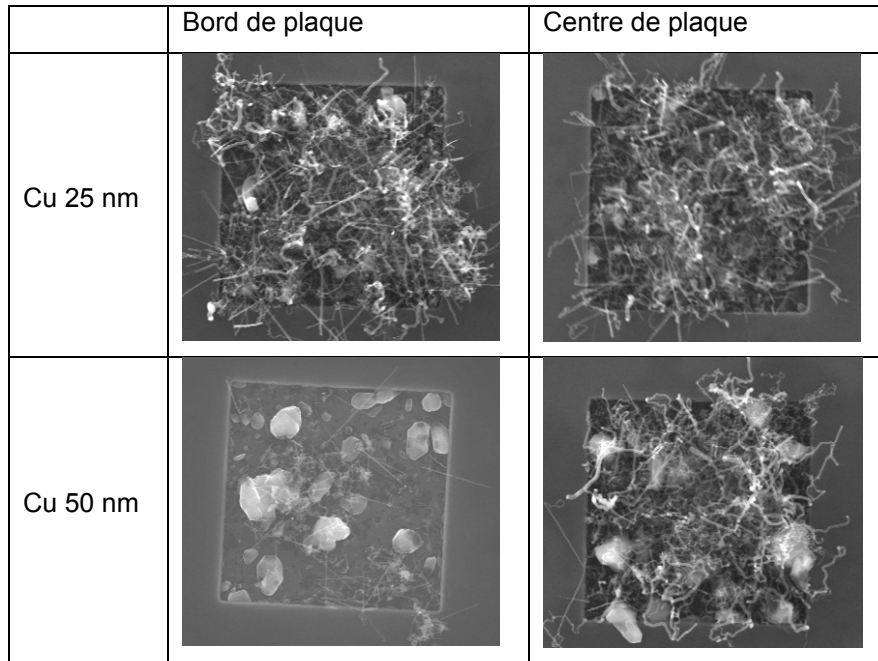


Tableau 4.2 : Photos MEB en vue de dessus de motifs de 10 x 10 μm après croissance pour 25 nm et 50 nm de cuivre. Comparaison de la densité de nanofils en fonction de la position du motif sur la plaque.

On remarque peu de différence entre le centre et le bord de la plaque pour 25 nm de cuivre. Lorsqu'on regarde plusieurs motifs, on observe tout de même une tendance à avoir plus de nanofils droits en bord de plaque qu'au centre. Avec 50 nm de cuivre, on a au contraire une grande différence entre le centre et le bord de la plaque. Au bord, on a très peu de nanofils, ils sont de diamètre plus faible et pour la plupart parfaitement droits. Au centre de la plaque la majorité des nanofils sont tordus et en forme de « vers ».

Nous n'avons pas encore à ce jour élucidé l'origine de cet effet bord-centre. En revanche nous verrons dans le chapitre suivant son effet sur les propriétés électriques des dispositifs. Il est probable que cette différence soit due à des épaisseurs de cuivre variables entre le bord et le centre. En effet tout d'abord le dépôt de 25 ou 50 nm de cuivre se fait par PVD en moins d'une minute car la vitesse de dépôt est importante et que l'équipement n'est pas qualifié pour des dépôts si minces. Ensuite le cuivre lors de l'élaboration des structures voit notamment un plasma réducteur avant le dépôt du nitrure de silicium, voit également l'élimination de ce nitrure et un nettoyage à l'acide fluorhydrique. Toutes ces étapes ne sont pas forcément parfaitement homogènes sur l'ensemble de la plaque. Les procédés utilisés sont les procédés standards utilisés pour réaliser les interconnexions en microélectronique mais sont qualifiés pour des épaisseurs de cuivre de plusieurs centaines de nanomètres. Les éventuelles inhomogénéités bord / centre peuvent être négligeables à ces épaisseurs et devenir prépondérantes à des épaisseurs aussi faibles que 25 ou 50 nm.

L'origine peut venir aussi du réacteur de croissance lui-même. Cet équipement utilisé principalement pour les dépôts d'oxyde permet d'obtenir des dépôts parfaitement homogènes sur l'ensemble des plaques. En revanche nous l'utilisons ici à ses limites en termes de

température et de pression. L'homogénéité de la température et de la composition du mélange gazeux sur l'ensemble de la plaque ne sont donc plus garantis, d'autant plus qu'il s'agit d'un réacteur à murs froids.

Comprendre l'origine de cette inhomogénéité bord / centre et l'optimisation de chacune des étapes jusqu'à la croissance constitue ainsi une piste d'amélioration du rendement de production de tels dispositifs. Ce travail sera nécessaire en vue d'une industrialisation du procédé. En revanche, à ce stade de l'intégration, nous ne sommes pas en mesure de dire s'il faut préférer les nanofils droits ou les nanofils en forme de vers. Les nanofils en forme de vers tendrait vers un matériau poreux avec une surface développée plus importante tant dis que les nanofils droits devraient permettre des dépôts du diélectrique et du métal plus aisés.

I-2.5 Recette et épaisseur de cuivre retenue

Les études précédentes ont montré une plus grande reproductibilité des densités de nanofils obtenues lorsqu'on utilisait 25 nm de cuivre. A cette épaisseur, c'est avec une oxydation sous flux d'oxygène à 1 torr pendant 70 secondes et une croissance sous silane à 14 torrs pendant 40 min qu'on obtient les meilleurs résultats. Nous avons donc retenu cette épaisseur de cuivre et ces conditions de croissance. Dans ces conditions, les nanofils en bord de plaque sont droits et ne présentent pas de « magma poreux » entre les nanofils. Au centre de la plaque, les nanofils sont en forme de vers et présente un « magma poreux » à la base des nanofils.

Les nanofils obtenus font 30 nm de diamètres pour les plus petits et jusqu'à 150 nm pour les plus gros, avec une majorité de diamètres compris entre 50 et 100 nm. Quant à leur longueur, elle se situe entre 4 et 7 μm . La densité peut être évaluée à partir de photos MEB en vue de dessus entre 10^8 et 10^9 nanofils par cm^2 .

II- Fabrication des capacités et caractérisation morphologique

II-1 Schéma d'intégration et choix des matériaux utilisés

II-1.1 Rappel des contraintes de choix

Nous avons au chapitre précédent donné les contraintes de choix des matériaux pour la fabrication des capacités d'un point de vue purement théorique, ici nous voyons les contraintes pratiques qui ont conduit aux choix effectués. Ces contraintes correspondent en fait aux contraintes imposées par l'industrie de la microélectronique. Finalement ce sont les innovations qui tiennent compte de toutes ces contraintes à la fois théoriques et pratiques qui ont le plus de chance d'aboutir à un transfert industriel. Les contraintes pratiques supplémentaires étaient ainsi les suivantes :

- les procédés de dépôt doivent être entièrement réalisés à une température compatible avec les interconnexions en cuivre, c'est-à-dire inférieure à 450°C
- l'équipement servant au dépôt du matériau doit pouvoir accepter des plaques contenant du cuivre. Sur dérogation, on a pu envisager des dépôts sur des équipements qui normalement n'acceptent pas de cuivre à condition que le procédé de dépôt n'entraîne pas de contamination de l'équipement
- le matériau et son procédé de dépôt doivent être disponibles sur les équipements présents
- le temps de dépôt du matériau doit être raisonnable

II-1.2 Les matériaux d'électrode

Pour les capacités MOS, l'électrode inférieure est constituée du nanofil lui-même. Pour toutes les autres électrodes : l'électrode supérieure de la capacité MOS et les électrodes inférieures et supérieures de la capacité MIM, on a choisi de déposer 50 nm de nitrure de titane. Ce matériau est en effet déjà très largement utilisé et connu dans les interconnexions en microélectronique. Son dépôt par CVD permet de réaliser des dépôts très conformes ce qui est nécessaire étant donné le fort facteur de forme des nanofils. D'autre part son fort travail de sortie, sa bonne stabilité thermodynamique et sa difficulté à s'oxyder en font un très bon matériau d'électrode de capacité. Le TiN sera ainsi déposé par CVD à partir de TDMAT (voir chapitre 2 pour le mécanisme de dépôt à partir de TDMAT) et nous regarderons l'effet du plasma de densification sur les propriétés électriques.

En revanche comme on l'a vu au chapitre précédent, le TiN présente une forte résistivité. C'est pourquoi, nous avons choisi de l'associer à un dépôt de 500 nm d'AlSi en tant qu'électrode supérieure. L'AlSi a pour rôle d'amener la polarisation depuis la pointe de mesure jusqu'à la surface du TiN et de minimiser la résistance série de l'électrode supérieure. L'AlSi sera ainsi déposé par PVD à 170°C, sa résistivité dans ces conditions est alors de 2,67 $\mu\Omega\cdot\text{cm}$.

II-1.3 Le diélectrique

Deux diélectriques de haute permittivité étaient disponibles : Al_2O_3 et HfO_2 . Le HfO_2 paraissait plus intéressant étant donné sa constante diélectrique d'environ 22 contre 9 pour l' Al_2O_3 . En revanche cet oxyde fait intervenir un précurseur chloré qui produit du HCl en produits de réaction. Le HCl peut réagir avec le cuivre et former des composés de chlorure de cuivre qui peuvent se dégager et contaminer l'équipement. D'autre part les équipements de dépôt ALD de diélectriques, sont en général des équipements sur lesquels on vient déposer une partie de l'empilement de grille des transistors et qui pour cette raison ne doivent en aucun cas présenter la moindre contamination métallique. On est donc précisément dans le cas où les plaques seront tolérées mais ne doivent en aucun cas engendrer de contamination de l'équipement. Ainsi, le diélectrique choisi sera l' Al_2O_3 déposé par ALD à 350°C avec comme précurseur le TMA (voir chapitre 2 pour le mécanisme de dépôt à partir de TMA).

Dans la suite de l'intégration nous réaliserons des capacités avec 10, 15 et 20 nm d'épaisseur d'alumine. Nous verrons l'impact d'un pré-traitement du nanofil avant le dépôt d'alumine sur les propriétés électriques. Avec les dimensions géométriques des nanofils évoquées au I-2.5, et en utilisant les relations (3.12) et (3.13) établies au chapitre 3, on peut attendre des capacités de l'ordre de 10 à $15 \mu\text{F}/\text{cm}^2$.

II-1.4 Schéma d'intégration complet retenu

Le schéma complet d'intégration retenu est résumé sur la Figure 4.6 où sont rappelées sans détails les premières étapes servant à préparer un bon contact électrique entre l'électrode inférieure et la face arrière du substrat ainsi que la réalisation des structures permettant d'obtenir une croissance localisée (**Etapes 1 et 2**, Figure 4.6). Étant donné que la recette de croissance retenue produit des nanofils de 5 à $7 \mu\text{m}$ de longueur et que le dioxyde de silicium qui délimite les capacités fait $1 \mu\text{m}$ d'épaisseur, les nanofils que nous avons obtenus dépassent largement de la structure contrairement à ce que nous avons représenté sur la Figure 4.6. Cela ne change rien au fonctionnement du dispositif, si ce n'est la valeur de la capacité obtenue ainsi que le gain par rapport à une structure planaire.

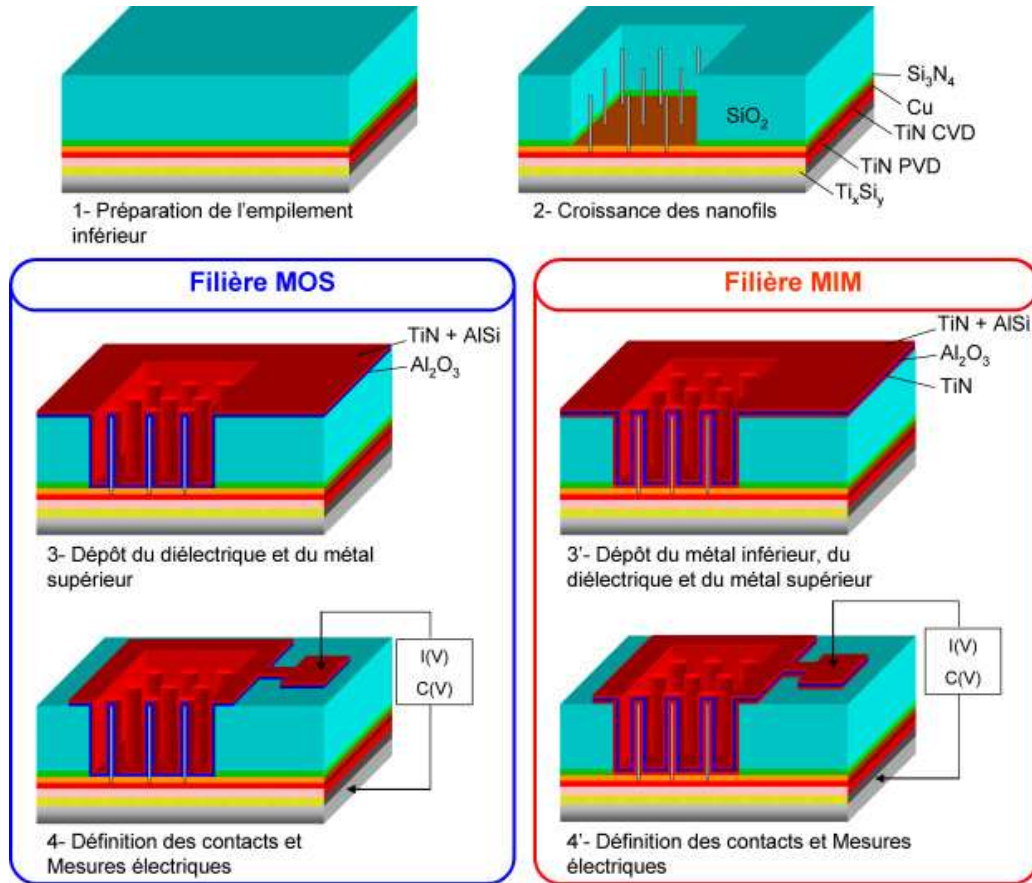


Figure 4.6 : Principales étapes du schéma d'intégration retenu pour la réalisation des capacités de haute densité à base de nanofils selon les filières MOS et MIM. Pour faciliter la compréhension, l'AlSi n'a pas été représenté au dessus du TiN (lui-même en rouge) sur ces schémas.

L'étape 3 correspond pour la capacité MOS au dépôt de l'alumine par ALD, du nitrure de titane par CVD et du siliciure d'aluminium par PVD plus épais (500 nm) et nettement moins résistif pour amener sur les nanofils la tension appliquée sur la pointe de mesure. Nous déposerons ainsi 7, 10, 15 et 20 nm d'alumine sur différentes plaques. Nous étudierons aussi l'effet du plasma de densification du nitrure de titane sur les mesures électriques.

L'étape 3' concerne la capacité MIM, à cette étape on dépose successivement le nitrure de titane de l'électrode inférieure par CVD puis l'alumine par ALD puis comme pour la capacité MOS un nitrure de titane CVD et un siliciure d'aluminium plus épais. Pour la MIM nous regarderons ainsi 2 épaisseurs d'alumine : 15 et 20 nm. Nous étudierons l'effet d'un plasma de réduction appliqué directement sur les nanofils dans le but de désoxyder le cuivre qui n'a pas participé à la croissance et qui devrait se trouver entre les nanofils. Ce plasma *in-situ* est effectué juste avant le dépôt du TiN de l'électrode inférieure et a pour objectif d'obtenir un bon contact électrique entre cette électrode inférieure en TiN et le cuivre de la base des nanofils lequel est connecté électriquement à la face arrière du substrat. Nous étudierons aussi comme sur la capacité MOS l'effet de la densification du nitrure de titane de l'électrode supérieure.

Les **étapes 4 et 4'** sont communes pour les deux filières, elles consistent en une séquence de photolithographie et de gravure pour délimiter les capacités et le motif de contact. Pour la capacité MIM, l'empilement TiN / Al₂O₃ / TiN se retrouve présent sur toute la surface du dispositif, même au niveau du motif de contact électrique comme le montre la Figure 4.6. Cette configuration favorise les fuites directes entre les électrodes supérieures et inférieures, il suffit qu'il y ait des résidus métalliques issus de la gravure pour que ce contact direct existe. Cette structure plus facile à préparer sera utilisée dans le cadre de cette étude car le but ici est de démontrer la possibilité technologique de réaliser des capacités MIM à base de nanofils. En revanche lorsqu'il s'agira de réaliser un circuit complet, il faudra utiliser la structure présentée sur Figure 3.8 du Chapitre 3. On pourra d'ailleurs s'attendre à des courants de fuite plus faible que ceux mesurés dans le cadre de cette étude.

La structure de la Figure 3.8 du Chapitre 3 a aussi pour différence notable que le cuivre est utilisé à la place du siliciure d'aluminium, et que ce cuivre remplit totalement l'espace entre les nanofils. Ceci aura pour effet de diminuer significativement la résistance série de l'électrode supérieure. Ceci pour 2 raisons : d'abord le cuivre présente une résistivité d'environ 1,6 $\mu\Omega\cdot\text{cm}$ contre 2,6 $\mu\Omega\cdot\text{cm}$ pour notre AlSi ; ensuite le cuivre remplit tout l'espace disponible alors que notre AlSi ne fait que 500 nm d'épaisseur. En revanche l'encapsulation avec du cuivre est plus difficile à mettre en œuvre car le cuivre ne se grave pas comme l'AlSi et nécessite un polissage mécano-chimique pour délimiter les structures. Pour la réalisation d'un premier démonstrateur nous avons choisi l'intégration à base de AlSi.

Avec les dimensions géométriques des nanofils décrites dans la partie I-2.5 de ce chapitre, on peut calculer à l'aide de la relation (3.18) du chapitre 3 des gains en capacités, par rapport à une structure planaire, compris entre 5 et 25 pour un taux d'occupation de 1% et des épaisseurs d'alumine entre 10 et 20 nm.

II-2 Caractérisation des capacités

II-2.1 Caractérisations en Microscopie Electronique à Balayage

II-2.1.a A l'échelle des structures de test complètes

Nous avons tout d'abord caractérisé en vue de dessus les dispositifs. Comme le montre la Figure 4.7, nous avons obtenus des dispositifs à base de nanofils dont la croissance s'est effectuée dans des ouvertures carrées de 25, 100, 400, 2 500 et 10 000 μm^2 de surface. La Figure 4.7 montre des dispositifs de 400, 2 500 et 10 000 μm^2 de gauche à droite respectivement.

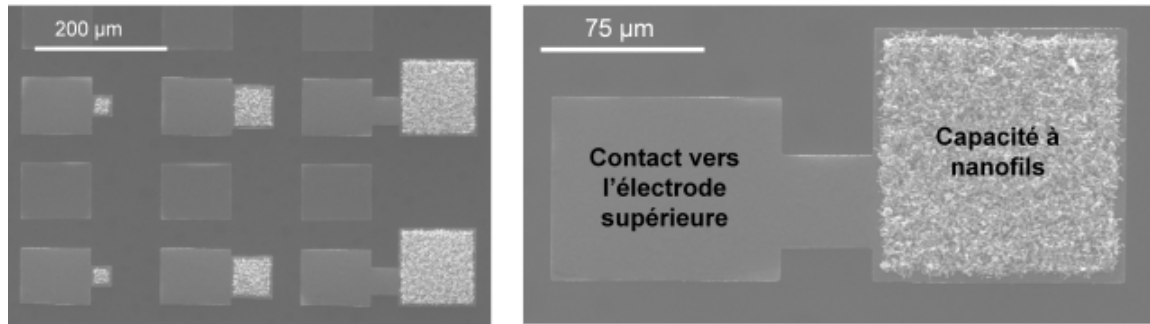


Figure 4.7 : Photos MEB en vue de dessus des capacités à base de nanofils obtenues. A Gauche, 6 dispositifs en vue de dessus. De gauche à droite, la surface occupée par les nanofils fait 400, 2 500 et 10 000 μm^2 respectivement. Les 3 contacts isolés qui séparent les 2 rangées de dispositifs n'ont pas de fonction. A droite, on a le grossissement d'une capacité à nanofils avec une surface occupée par les nanofils de 10 000 μm^2 montrant la capacité à base de nanofil et le contact électrique sur lequel sera posé la pointe pour les mesures électriques.

Ces photos montrent que nous avons réussi à contrôler la localisation des nanofils et à mettre en place les structures permettant de connecter électriquement la capacité pour réaliser des mesures électriques. Les capacités MIM à cette échelle ne présentent aucune différence avec les photos de la Figure 4.7.

II-2.1.b A l'échelle des nanofils

Nous avons ensuite procédé à des coupes transversales afin de casser des nanofils et observer en coupe l'empilement de capacité enrobant les nanofils. L'orientation aléatoire des nanofils permet d'observer cet empilement selon à la fois des coupes transversales et longitudinales selon l'orientation des nanofils par rapport au plan de coupe.

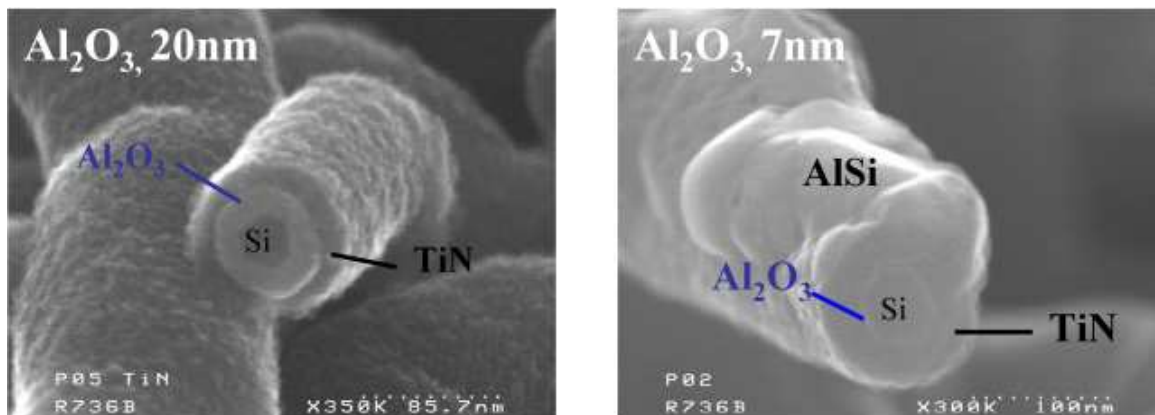


Figure 4.8 : Photos MEB en coupe de nanofils avec leur empilement de capacité déposé. A gauche, un nanofil avec 20 nm d'alumine et seulement le TiN. A droite, un nanofil avec 7 nm d'alumine, le TiN et l'AlSi.

La Figure 4.8 montre à gauche un nanofil pris sur une plaque arrêtée après le dépôt de TiN. On voit que le nanofil a une section hexagonale mettant en évidence sa cristallinité. Cette section hexagonale est très répandue (voir chapitre 2) chez les nanofils de silicium de direction

de croissance (111). Le dépôt d'alumine de 20 nm obtenu correspond à l'épaisseur visée et se révèle très conforme. Quant au TiN ; il se révèle aussi conforme que l'alumine et être d'une épaisseur de seulement 20 nm contre 50 nm visés. Cela met en évidence un important retard à la nucléation. D'autre part, le TiN de ce nanofil est non densifié, on remarque que sa rugosité de surface est importante.

La photo de gauche montre quant à elle un empilement complet avec le dépôt d'AlSi au dessus du TiN. On voit comme prévu que sur ce nanofil que le dépôt d'AlSi n'est pas conforme tout autour des nanofils. En effet l'AlSi est déposé par dépôt physique donc moins conforme que les dépôts chimiques (CVD) du TiN et de l'alumine. L'AlSi n'est destiné qu'à connecter électriquement et de la façon la moins résistive possible l'électrode supérieur au contact électrique déporté sur lequel on posera la pointe comme indiqué sur la Figure 4.7.

Nous avons procédé de même pour les capacités MIM et avons obtenu la photo de la Figure 4.9. Le nanofil supporte l'empilement TiN / Al₂O₃ / TiN.

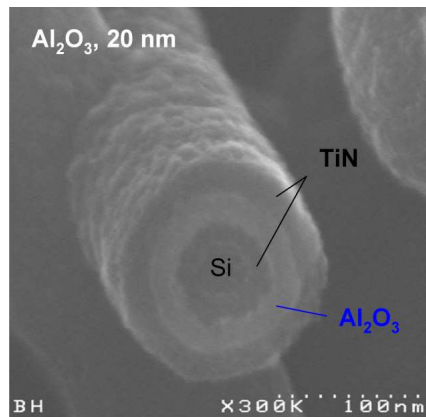


Figure 4.9 : Photo MEB en coupe d'une capacité MIM à base de nanofils avec 20 nm d'alumine.

Sur cette photo, le nanofil fait 35 nm de diamètre, les deux couches de TiN font 20 nm d'épaisseur chacune tout comme l'alumine. Le dépôt de TiN sur le nanofil de silicium se révèle aussi conforme que sur l'alumine. On obtient ainsi l'empilement souhaité composé de TiN / Al₂O₃ / TiN conforme tout autour des nanofils.

II-2.1.c Zones denses en nanofils

Nous avons vu précédemment que les nanofils du centre de la plaque ont une morphologie en forme de vers et que leur base est noyée dans un « magma poreux ». La Figure 4.10 montre une coupe réalisée dans un motif situé au centre d'une plaque. Elle montre le dépôt de l'empilement de capacité dans les 2 parties correspondantes à la base et au sommet des nanofils.

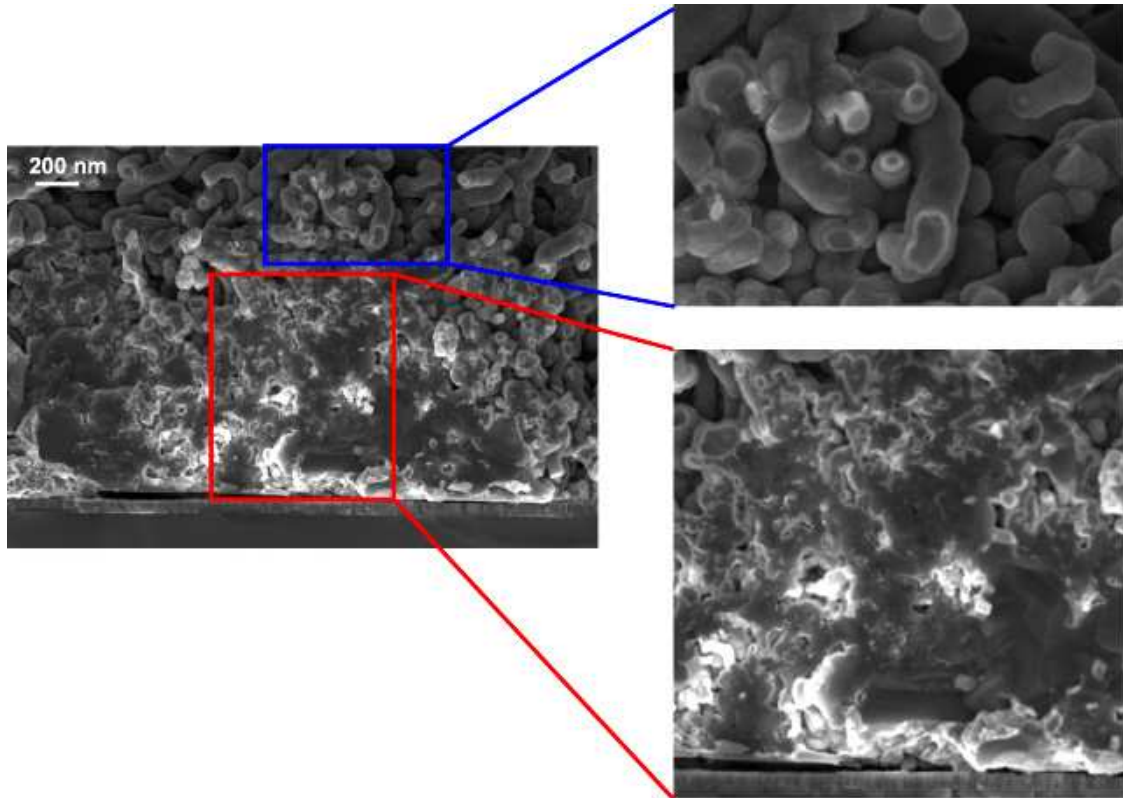


Figure 4.10 : Coupe MEB sur un motif au centre de la plaque pour des capacités MOS avec 20 nm d'alumine et 20 nm de TiN déposés. Cette coupe montre les dépôts dans les pores du « magma » de la base des nanofils et l'importante densité de nanofils située juste au-dessus.

Le contraste presque blanc par endroits de l'alumine met en évidence la porosité de ce « magma ». Ce magma poreux nécessitera de réaliser d'autres études pour en déterminer sa composition et son origine. Nous verrons dans le chapitre 5 son impact sur le fonctionnement électrique des dispositifs.

On voit également que les nanofils qui émergent de cette partie sont très denses et présentent des diamètres très fins de l'ordre de 30 à 50 nm avec un espacement très faible et du même ordre de grandeur que leurs diamètres. Le dépôt d'alumine n'entoure pas chaque nanofil dans cette zone mais parfois plusieurs nanofils.

II-2.1.d Sommet des nanofils

Nous nous sommes ensuite intéressés aux sommets des nanofils. En effet, l'intégration se termine après dépôt de l'empilement de capacité par une photolithographie et une gravure pour délimiter le contact supérieur. Cette dernière photolithographie suppose qu'on arrive à étaler la résine en présence des nanofils et à les encapsuler efficacement pour les protéger de la gravure des couches métalliques autour des capacités. La difficulté de cette étape vient de la géométrie des nanofils. En effet, les nanofils sont denses et présentent une hauteur de plusieurs micromètres et certains d'entre eux dépassent des autres. Ces derniers font en général 7 à 8 μm de hauteur.

Dans un premier temps nous n'avons pas pris en compte ce problème et avons utilisé 800 nm d'épaisseur de résine correspondant à l'épaisseur couramment utilisée. La Figure 4.11 est un schéma en coupe de ce qu'on souhaite obtenir. En effet, comme nous l'avons vu les nanofils dépassent des structures en dioxyde de silicium, portent des dépôts conformes d'alumine et de TiN CVD ainsi qu'un dépôt épais d'AlSi moins conforme et présent uniquement sur le sommet des nanofils.

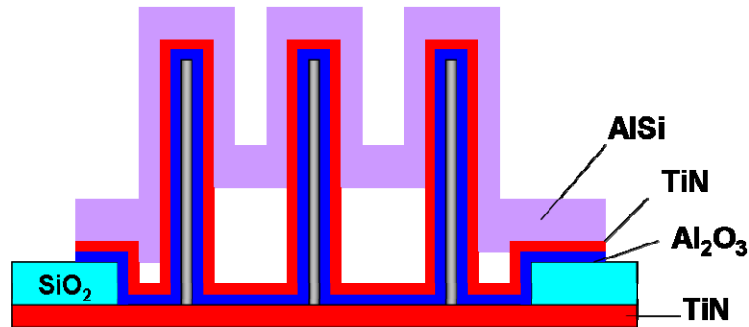


Figure 4.11 : Schéma en coupe d'une capacité MOS telle qu'on souhaite après la dernière étape de photolithographie et de gravure pour localiser les contacts.

L'enjeu est d'arriver à encapsuler efficacement les nanofils dans la résine pour réaliser la dernière gravure sans graver les nanofils. La Figure 4.12 illustre les premiers résultats de nous avons obtenus avec une résine peu visqueuse et de 800 nm d'épaisseur, qui correspond à la résine couramment utilisées pour la fabrication de dispositifs de ces dimensions.

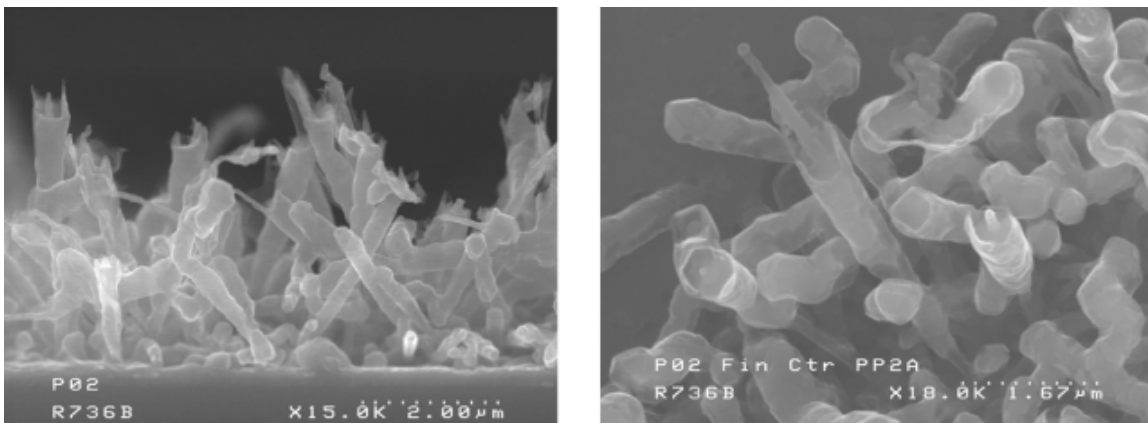


Figure 4.12 : A gauche, photo MEB en coupe et à droite en vue de dessus de nanofils après gravure avec une résine de 800 nm d'épaisseur.

La résine utilisée en plus d'être pas assez épaisse était d'une fluidité lui permettant de bien descendre entre les nanofils. Pour ces raisons une partie importante des nanofils qui dépassaient de la couche de résine n'a pas été protégée lors des gravures des couches métalliques. Ainsi certaines parties métalliques de l'électrode supérieure se trouvaient directement en contact avec le nanofils. Ceci a occasionné sur les premiers lots des fuites de courant très importantes entre les deux électrodes.

La mise au point d'une photolithographie utilisant une résine plus épaisse et plus visqueuse a donc été nécessaire. Finalement l'épaisseur maximale qui a pu être atteinte était de 4 μm . Dans ces conditions nous avons obtenu les résultats présentés sur la Figure 4.13.

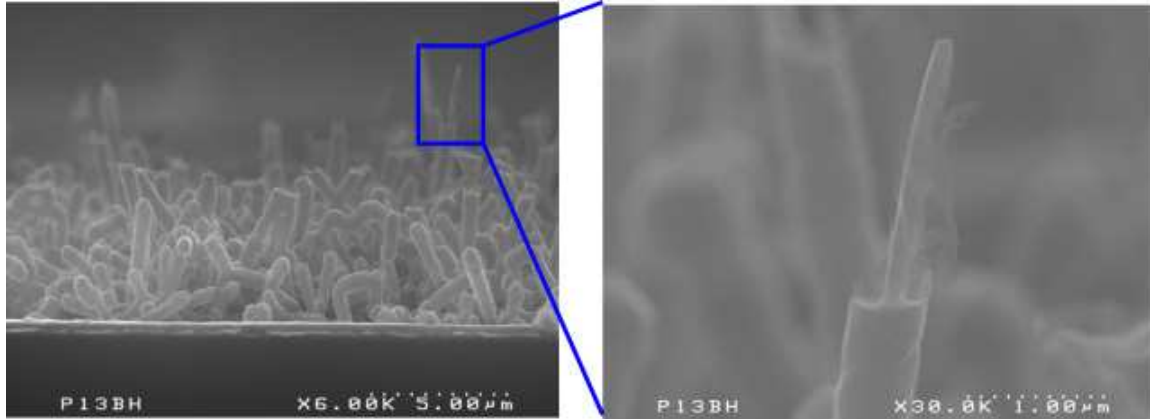


Figure 4.13 : Photos MEB en coupe en bord de plaque de nanofils après gravure du métal supérieur avec une résine de 4 μm d'épaisseur.

L'utilisation de résine épaisse et moins visqueuse a ainsi contribué à diminuer significativement les courants de fuite entre la 1^{ère} intégration et la dernière. On a ainsi pu protéger les nanofils sur près de 7 μm de hauteur contre 3 μm auparavant. Comme le montre la Figure 4.13 à droite, seul les nanofils les plus longs n'ont pas été protégés. Ces nanofils sont en très faible quantité c'est pourquoi malgré leur gravure nous avons tout de même diminué significativement les courants de fuites entre les électrodes.

II-2.2 Caractérisations en Microscopie Electronique en Transmission

II-2.1.a Caractérisation d'un nanofil complet

Nous avons souhaité nous intéresser à la cristallinité des nanofils ainsi qu'aux interfaces entre les différents matériaux. Ces caractérisations ont été réalisées sur des nanofils comportant un empilement de capacités MOS avec 20 nm d'alumine et 20 nm de TiN mais pas d'AlSi puisque son dépôt n'étant pas conforme il aurait gêné l'observation.

Les échantillons ont été préparés en plongeant un morceau de plaque dans un tube contenant de l'éthanol. Le tube a ensuite été immergé en partie dans un bain d'ultrasons. Les ultrasons ont ainsi permis de décrocher les nanofils de leur substrat. Une goutte d'éthanol a ensuite été prélevée du tube puis redéposé sur une grille de caractérisation TEM à base de carbone. Suite à l'évaporation de l'éthanol, on obtient une grille TEM contenant les nanofils à caractériser.

Afin de faciliter la mise au point des images, le morceau de plaque contenant les nanofils a été prélevé en bord de plaque pour avoir des nanofils droits et de faibles diamètres en plus grande quantité. La Figure 4.14 montre le résultat de cette caractérisation TEM.

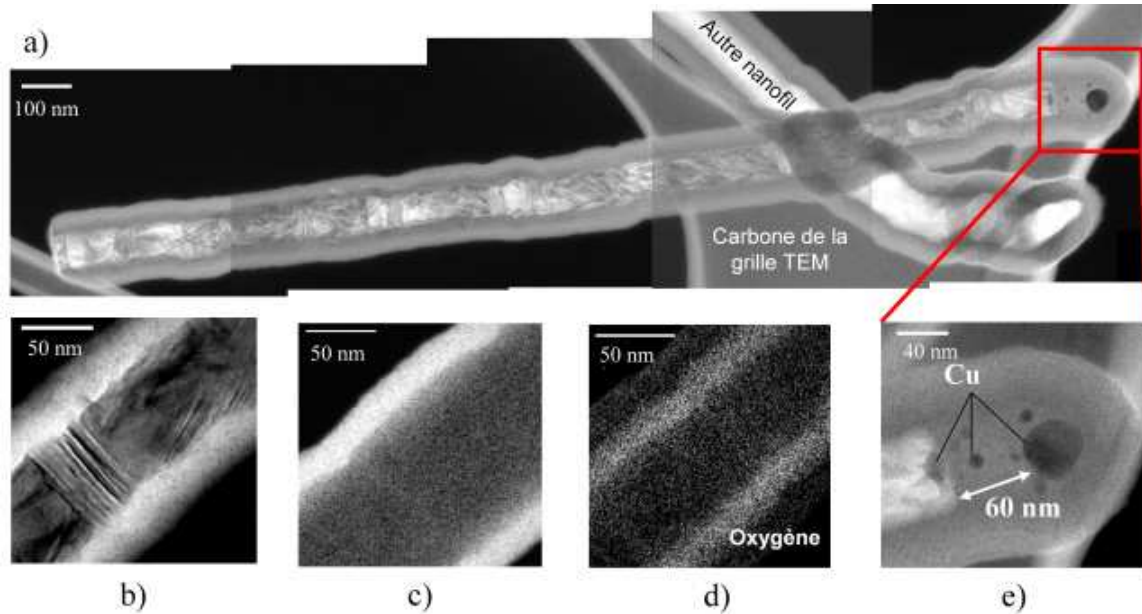


Figure 4.14 : Caractérisation TEM d'un nanofil avec un empilement de capacité MOS ($\text{Al}_2\text{O}_3 + \text{TiN}$).
a) Image TEM en énergie filtrée à 16 eV pour avoir un bon contraste sur la cristallinité du nanofil.
b) Grossissement d'une partie d'un nanofil obtenue autour de 99 eV montrant les 2 types de défauts observés. c) Cartographie élémentaire du titane obtenue en énergie filtrée autour de la raie $L_{2,3}$ (456 eV).
d) Cartographie élémentaire de l'oxygène obtenue autour de la raie K (532 eV). e) Grossissement du sommet du nanofil où se trouve le catalyseur séparé du nanofil par 60 nm de dioxyde de silicium.
Analyse réalisée par D. Lafond.

Le nanofil observé est encapsulé dans les 20 nm d'alumine et de nitrure de titane. Il est donc vu par transparence au travers de ces couches. L'ensemble des images de la Figure 4.14 a été obtenu sur un microscope électronique en transmission JEOL-FEF fonctionnant à 200 kV. Ce microscope est équipé de filtres permettant de sélectionner les électrons en fonction de leur énergie à la sortie de l'échantillon. Les échantillons ont été préparés par A. Grenier et observés au microscope par D. Lafond, tous deux appartenant à la plateforme de nano-caractérisation du CEA Léti.

En filtrant les électrons dont l'énergie est en dehors d'une fenêtre autour de 16 eV, on met en évidence les contrastes cristallographiques du silicium. C'est ce qui a été fait pour l'image a). Ainsi ces images révèlent un grand nombre de défauts cristallins dans le nanofil. Ces défauts semblent être de deux sortes : il y a des défauts perpendiculaires à l'axe du nanofil et d'autres qui s'étendent du bord du nanofils vers le centre. Nous avons pu caractériser les premiers en mode haute définition et en réalisant une transformée de Fourier de l'image comme le montre la Figure 4.15.

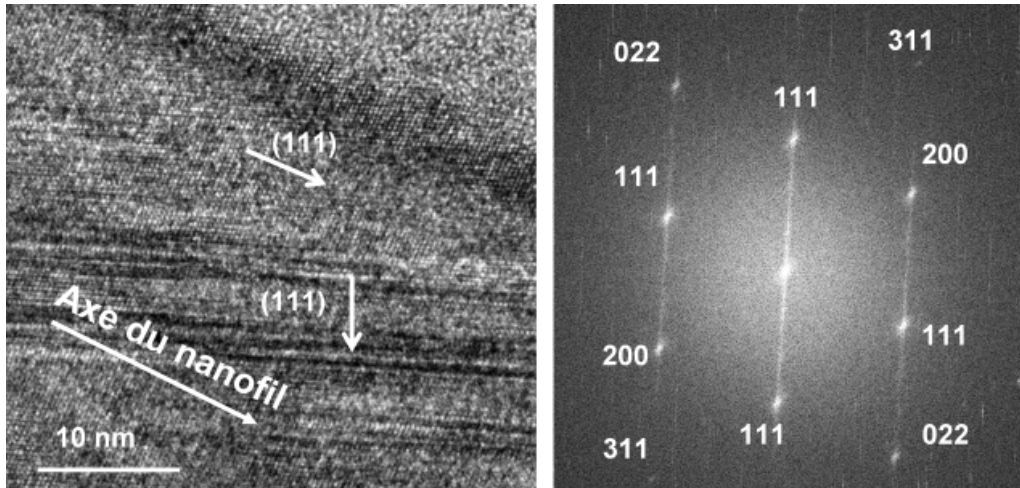


Figure 4.15 : Photos TEM en haute résolution filtrée grâce à un filtre oméga de fautes d'empilement selon les plans de direction (111). Le nanofil semble avoir fait sa croissance selon la direction (100). A droite, la transformée de Fourier donnant les directions des plans en valeurs absolues.

La Figure 4.15 montre que le nanofil a une direction de croissance selon les plans orientés (111) et que les fautes d'empilements observées sont aussi selon des plans (111). La transformée de Fourier à droite en atteste par les bâtonnets orientés selon une des directions (111). Le second type de défauts décrit précédemment sont perpendiculaires à la direction du nanofils. Ils sont donc eux aussi selon des plans orientés (111). Cette caractérisation montre que les nanofils les plus droits présentent un grand nombre de fautes d'empilements.

On peut supposer que les nanofils en forme de vers présentent les mêmes types de défauts et qu'ils changent d'orientation au niveau des gros défauts perpendiculaires. A chacun de ces défauts le nanofil changerait d'orientation, c'est ce qui lui donnerait cette morphologie en forme de vers. Pour le confirmer il faudrait caractériser de cette même façon un nanofil en forme de vers au niveau d'un changement de direction. (Ce que nous n'avons pas eu le temps ni les moyens de faire pendant cette thèse)

Si on revient à la Figure 4.14, nous avons réalisé en c) et d) des cartographies élémentaires en énergie filtrée. La brillance des pixels est proportionnelle à la quantité d'électrons détectés. Ainsi la cartographie de l'oxygène reflète la position et l'épaisseur d'alumine, tandis que celle du titane reflète celles du nitrure de titane. Ces cartographies permettent de confirmer qu'on a déposé 20 nm de nitrure de titane et d'alumine. Ces deux matériaux sont bien déposés de façon conforme tout autour du nanofil et ne présentent pas sur la zone observée de discontinuité ou de variation significative d'épaisseur.

Enfin, la photo e) correspond au sommet du nanofil, là où se trouve le catalyseur cuivre après une croissance CVD. On voit que le catalyseur et le nanofil sont séparés par 60 nm de dioxyde de silicium. Cela correspond à un phénomène d'oxydation du nanofil. En effet en présence d'oxygène, lorsqu'on a du cuivre déposé sur du silicium, à l'interface se forme un oxyde de silicium. Ce phénomène a été décrit par Harper et al [Harper90] sur le silicium massif puis appliqué aux nanofils par Renard et al. [Renard09]. Il se produit à température ambiante

lors de la remise à l'air des nanofils. Ces publications ne précisent pas la cinétique de ce phénomène. D'autre part il est fort possible que son encapsulation dans l'alumine et le nitrure de titane ait bloqué le processus. Cette encapsulation a eu lieu 1 mois après la croissance.

II-2.1.b Caractérisation d'un nanofil en coupe transversale

Les caractérisations précédentes ont été réalisées par transparence au travers des couches d'alumine et de nitrure de titane. Nous avons souhaité obtenir des images TEM de nanofils encapsulés vus en coupe. Pour cela la préparation a été plus complexe et réalisée par G. Audoit (expert FIB de la plateforme de Nano caractérisation du Léti).

On a préalablement déposé 500 nm d'oxyde de silicium pour augmenter le diamètre des nanofils et rendre plus aisée leur manipulation. La préparation s'est déroulée dans un appareil de type FIB (Focused Ion Beam). L'opération commence comme dans un MEB, un morceau de plaque comportant des capacités à base de nanofil est introduit dans l'équipement. Une pointe est approchée à proximité du nanofil qu'on souhaite prélever. Une soudure entre cette pointe et le nanofil est réalisée par dépôt de tungstène. La pointe est ensuite actionnée de façon à arracher le nanofil et à venir le redéposer horizontalement sur un autre substrat. Le nanofil ainsi déposé est de nouveau recouvert d'oxyde avant d'être aminci pour pouvoir être observé en coupe TEM. L'amincissement s'opère par FIB avec un système de masques qui permettent de graver le nanofil jusqu'à obtenir une tranche d'une centaine de nanomètres d'épaisseur. La Figure 4.16 montre les résultats de cette caractérisation. Nous avons préféré éviter de faire des mesures sur ces photos étant donné que l'angle d'observation de l'échantillon a été modifié dans plusieurs directions pour obtenir les images.

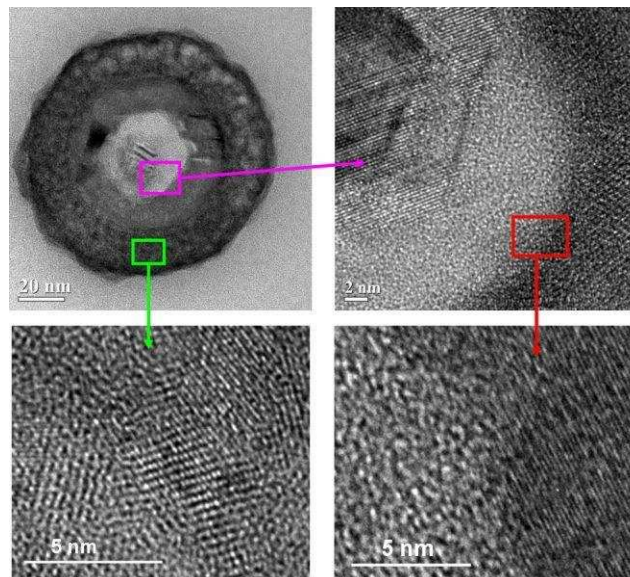


Figure 4.16 : Photos TEM en haute résolution filtrée grâce à un filtre oméga d'une coupe d'un nanofil. a) Vue complète d'un nanofil en coupe, b) Agrandissement de la zone amorphe entre le nanofil et l'alumine, c) Agrandissement de la zone correspondant au TiN et d) Agrandissement de la jonction entre l'alumine et la zone amorphe.

La Figure 4.16 présente les principales observations effectuées. En a) on a une vue à l'échelle de la tranche préparée avec le nanofil au centre et les dépôts d'alumine et de nitrure de titane autour.

En b) et d), on observe que l'alumine présente des grains cristallins. Le dépôt d'alumine a été effectué à 350°C sans recuit et dans ces conditions l'alumine aurait dû être amorphe. Il est possible qu'elle se cristallise sous l'effet du faisceau d'électron qui la traverse pendant l'observation. D'autres images TEM réalisées en tout début de séance confirme la présence de ces grains cristallins et que cette cristallinité ne vient pas du faisceau d'électrons. S. Jakschik et al [Jakschik03] ont étudié les conditions cristallisation de l'alumine sur des plaquettes de silicium. Ils montrent que l'alumine se dépose de façon amorphe et qu'on peut la cristalliser par un recuit immédiatement après dépôt à au moins 900°C sous diazote. Dans notre cas il s'agit de nanofils de silicium ici d'environ 20 nm de diamètre, il est possible que le film soit en tension à cause de la courbure du nanofil. Cette tension pourrait favoriser la cristallisation de l'alumine en abaissant sa température de cristallisation. Elle s'est soit formé de manière cristalline au moment du dépôt, soit les grains se sont formé lors du dépôt du nitrure de titane effectué à 380°C.

A priori, on préfère l'alumine amorphe car comme l'ont montré Y. Chang et al [Chang04] l'alumine cristalline est moins isolante électriquement que l'alumine amorphe. La cristallisation induit des courants de fuite de type Fowler-Nordheim plus importants.

On observe également qu'il y a une zone amorphe entre le nanofil et l'alumine qui ne pouvait pas être visualisé au MEB. Afin de déterminer la nature chimique de cette zone amorphe nous avons réalisé les cartographies élémentaires du titane, du silicium et de l'oxygène. Les images sont données sur la Figure 4.17.

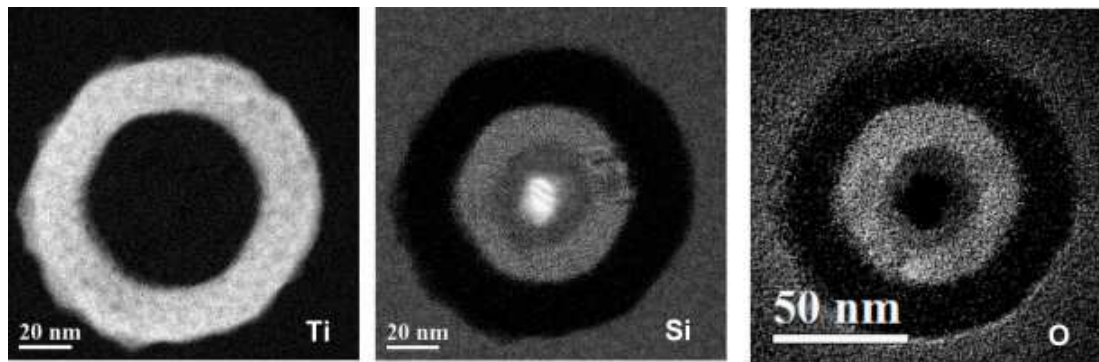


Figure 4.17 : Cartographies élémentaires, de gauche à droite : de titane obtenue autour de la raie $L_{2,3}$ (456 eV), de silicium obtenue autour de la raie $L_{2,3}$ (99 eV) et d'oxygène obtenue autour de la raie K (532 eV).

La cartographie du titane (à gauche de la Figure 4.17) permet tout d'abord de délimiter la surface externe de l'alumine et de confirmer l'épaisseur du nitrure de titane à 20 nm. Ensuite, la cartographie du silicium montre qu'il y a du silicium principalement au centre, ce qui correspond au nanofil. Ensuite on a une zone plus sombre qui correspond à la zone amorphe puis de nouveau une zone clair qui elle correspond à l'alumine. Dans cette zone c'est en réalité

l'aluminium qui répond, en effet les électrons du faisceau ionisent les atomes de silicium et d'aluminium à peu près aux mêmes énergies. On ne peut donc pas savoir si dans la zone entre l'alumine et le nanofil la réponse vient d'atomes d'aluminium ou d'atomes de silicium. Il faut donc faire une cartographie oxygène pour déterminer la nature de cette zone amorphe. En effet la 3^{ème} cartographie nous montre tout d'abord qu'il n'y a pas d'oxygène au niveau du nanofil. Ensuite on a une zone un peu plus claire correspondant à la zone amorphe puis une zone encore plus claire correspondant à l'alumine. Si la zone amorphe était de l'alumine, nous n'aurions que 2 zones sur la cartographie oxygène et pas cette zone intermédiaire. Cette zone amorphe contient donc de l'oxygène et pas d'aluminium. La réponse observée sur la cartographie silicium dans cette zone correspond donc à la réponse du silicium.

Cette zone amorphe est donc composée de d'oxygène et de silicium, c'est probablement un oxyde natif de silicium présent à la surface des nanofils au moment où on fait le dépôt d'alumine. Cette hypothèse sera confirmée plus tard dans le chapitre 5 au moment des mesures électriques. Par ailleurs, le fait qu'il y ait cette couche d'oxyde favorise la nucléation de l'alumine lors de son dépôt. En revanche elle occasionne une perte de capacité liée d'abord à l'augmentation globale de l'épaisseur de diélectrique et ensuite au fait que l'oxyde interfacial est de constante diélectrique inférieure à l'alumine. Nous verrons ainsi dans les mesures électriques le gain occasionné par le retrait de cet oxyde sur la capacité mesurée.

II-2.3 Caractérisation en tomographie électronique

La tomographie électronique dont le principe a été présenté au chapitre 2 a été mise en œuvre par la plateforme de nanocaractérisation du Léti et plus particulièrement par l'équipe de P. Bleuet. Le nanofil est du même type que ceux présenté jusqu'à maintenant : un nanofil de capacité MOS présentant 20 nm d'alumine et 20 nm de nitrure de titane. On a utilisé pour cela la grille TEM déjà utilisée précédemment pour la caractérisation TEM de la Figure 4.14. La tomographie électronique se fait généralement en mode STEM - HAADF (Scanning TEM – High Angle Annular Dark Field) c'est-à-dire avec un balayage du faisceau et en utilisant les électrons diffusés inélastiquement aux grands angles. Cela permet d'avoir un meilleur contraste avec le numéro atomique et d'éliminer les contrastes cristallographiques.

Les premières tomographies qui ont été réalisées dans ces conditions ont révélées très peu de contraste entre les différents matériaux au point de ne pas pouvoir les différencier. Nous nous sommes tournés vers la seconde possibilité qui consiste à utiliser le TEM sans balayage et en mode EFTEM (Energy Filtered TEM) c'est-à-dire en filtrant les électrons selon leur énergie. Les électrons utilisés ici sont ceux qui ont perdus peu d'énergie, ils correspondent à l'énergie des plasmons. Pour déterminer la fenêtre d'énergie, une série d'images a été acquise à différentes énergies autour de celles des plasmons. C'est finalement à 13 eV qu'on obtient le meilleur contraste entre le silicium, l'alumine et le nitrure de titane.

L'acquisition a été faite en mode EFTEM avec une fenêtre d'énergie centrée à 13 eV et de 2 eV de large. Le nanofil a été présenté au faisceau sur une gamme d'angles de -70° à +80° par pas de 2°. La reconstruction a ensuite été effectuée en utilisant la technique de

reconstruction itérative simultanée (SIRT). Le résultat de cette caractérisation est présenté sur la Figure 4.18.

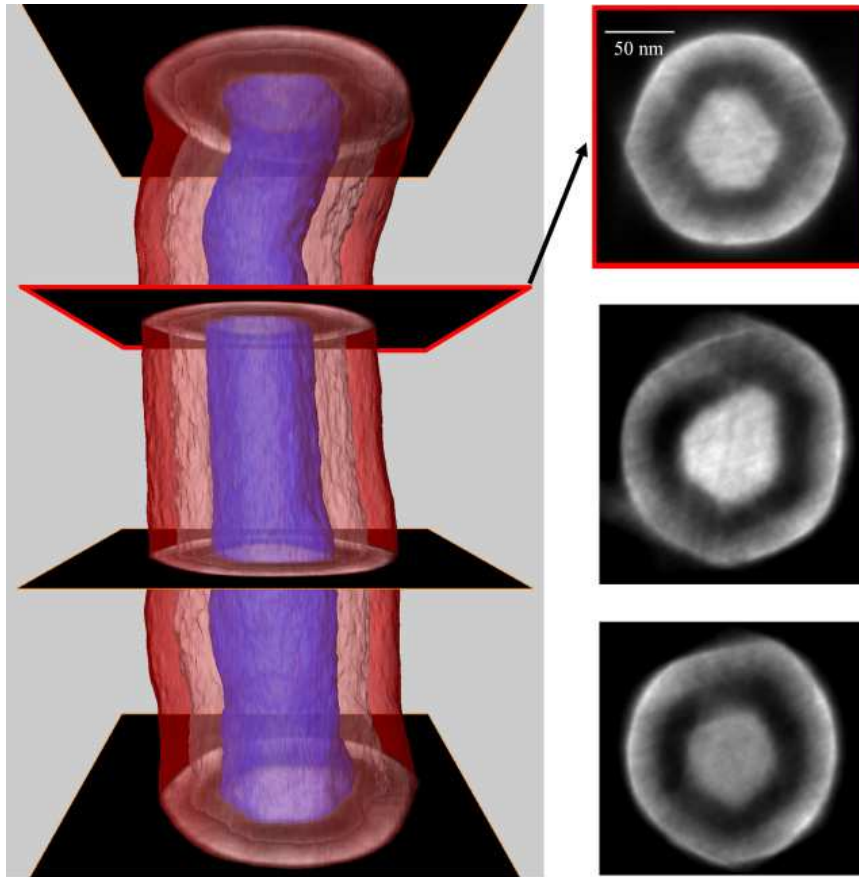


Figure 4.18 : Reconstruction d'un nanofil de capacité MOS par tomographie électronique. A gauche en vue longitudinale, le nanofil est en bleu, l'alumine en rose et le nitrure de titane en rouge. A droite différentes coupes extraites de la reconstruction.

Cette caractérisation permet de mettre en évidence l'évolution de la coupe transversale le long du nanofil. En effet on voit la section du nanofil passer d'hexagonale à pentagonale puis tétragonale pour redevenir hexagonale. Ces changements ont lieu au niveau des zones où la forme générale du nanofil change. La coupe hexagonale parfois plus ou moins écrasée dans un sens ou dans l'autre est la forme la plus souvent trouvée sur ces nanofils. En revanche, les coupes hexagonales ne sont pas toutes dans le même sens : les hexagones sont tournés. Ce phénomène mis en évidence ici sur un nanofil droit est probablement le même que celui qui conduit à obtenir des nanofils en forme de « vers ».

Conclusion

Nous avons présenté l'adaptation de la recette mise au point par V.T. Renard sur des plaques sans motifs à notre structure où la croissance est localisée dans des fenêtres d'oxyde. Cette mise au point a conduit à choisir la recette de croissance et à fixer l'épaisseur de cuivre à 25 nm.

Nous avons ensuite présenté dans ce chapitre l'ensemble des choix de matériaux effectués pour la fabrication des capacités MIM et MOS. Les capacités MOS sont composées du silicium du nanofil qui joue le rôle d'électrode inférieure, d'alumine en tant que diélectrique et de nitrure de titane en tant qu'électrode supérieure. Cette électrode supérieure est associée à une couche de 500 nm d'AlSi pour abaisser la résistance série de l'électrode supérieure. Pour les capacités MIM, le nanofil n'a plus d'autre fonction que de servir au déploiement de la surface. L'empilement de la capacité MIM est composé de nitrure de titane, d'alumine et de nitrure de titane associé comme sur les MOS d'AlSi.

La caractérisation morphologique des nanofils a permis de mettre en évidence deux types de populations de nanofils : des nanofils en forme de vers au centre de la plaque avec un « magma poreux » entre les nanofils dont la composition reste à déterminer et des nanofils droits sans magma poreux entre eux en bord de plaque. Les nanofils droits caractérisés en microscopie électronique en transmission possèdent de nombreuses fautes d'empilement et des macles. Ces défauts pourront avoir un effet sur la mobilité des porteurs et augmenter la résistance série de l'électrode inférieure dans les capacités MOS. Cela devrait avoir pour effet de diminuer la plage de fréquences de fonctionnement de notre capacité. Nous verrons cela au chapitre 5.

La caractérisation de l'empilement des couches formant la capacité révèle des dépôts d'alumine et de nitrure de titane conformes tout autour des nanofils et sur toute leur longueur. La morphologie des capacités MOS et MIM obtenue est conforme à nos attentes. Le dépôt de siliciure d'aluminium est quant à lui moins conforme et présent uniquement sur le sommet des nanofils au centre de la plaque en présence du « magma poreux ». Ce magma poreux pourra avoir pour effet d'augmenter aussi bien pour les capacités MIM que sur les capacités MOS la résistance série des électrodes inférieures et conduire à des plages de fréquences de fonctionnement plus étroites. L'absence de siliciure d'aluminium au pied des nanofils pourra avoir le même effet en augmentant cette fois la résistance de l'électrode supérieure.

Enfin, la présence d'oxyde de silicium à l'interface entre l'alumine et le nanofil a été révélée grâce à une caractérisation TEM en coupe transversale d'un nanofil prélevé au sein d'un dispositif. Cet oxyde pourra à l'avenir être gravé avant le dépôt d'alumine pour augmenter la valeur de la capacité et améliorer l'interface entre le nanofil et l'alumine car il ne peut pas s'agir d'un oxyde thermique de bonne qualité.

**Chapitre 5 : Analyse électrique des
capacités de haute densité**

Introduction

Le chapitre 4 a permis de décrire la fabrication de notre démonstrateur de capacités de haute densité à base de nanofils. Nous avons mis en évidence les caractéristiques morphologiques à la fois des nanofils et des dispositifs réalisés. Nous allons à présent dans ce chapitre, étudier le fonctionnement de ces dispositifs en s'appuyant sur les observations faites au chapitre précédent. Ainsi le chapitre commence par les résultats électriques de la capacité en fonction de la tension pour les dispositifs MOS et MIM. Dans chaque cas, nous commencerons par présenter les meilleurs résultats électriques pour mettre en évidence d'une part les potentialités de notre technologie et introduire d'autre part les études qui ont été menées pour comprendre le fonctionnement de nos capacités et optimiser leurs propriétés. Nous nous attarderons ensuite sur la mesure des courants de fuite à travers le diélectrique et la façon dont ces fuites ont été diminuées.

I- Caractérisation par la mesure de la capacité en fonction de la tension

Nous allons dans cette partie présenter les résultats de capacités mesurées de nos dispositifs selon les filières MOS et MIM. Nous commençons par mettre en évidence le gain en capacité apporté par les nanofils. Nous nous intéresserons ensuite à l'influence des principaux paramètres de mesure et de procédé sur les valeurs obtenues. Nous mettrons en évidence l'effet des résistances série sur les valeurs mesurées et tenterons d'expliquer leur origine. Précisons que l'ensemble des mesures de capacités présentées dans cette partie ont été obtenues, sauf indication contraire, en utilisant le capacimètre en mode parallèle et en régime dynamique (cf Chapitre 2).

I-1 Les capacités MOS

I-1.1 Remarque sur la capacité parasite du contact

La structure de mesure est faite d'une ouverture dans l'oxyde qui débouche sur le cuivre. C'est dans cette ouverture que s'est faite la croissance des nanofils. L'alumine et le métal supérieur ont ensuite été déposés sur les nanofils. Dans la structure finale, nous avons ainsi obtenu une capacité à base de nanofils connectée à un motif de mesure déporté sur les 1 μm de dioxyde de silicium.

Ce motif de mesure présente, par sa surface, une capacité en parallèle avec la capacité de la structure à base de nanofils comme le montre la Figure 5.1 :

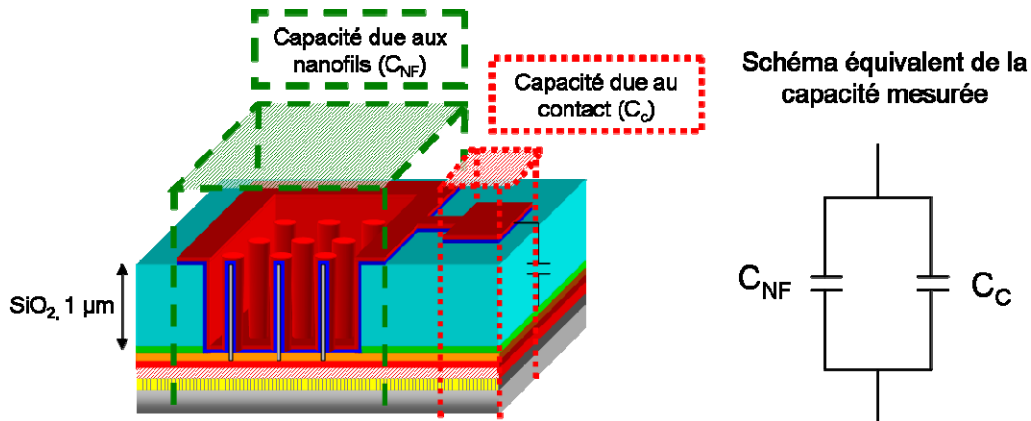


Figure 5.1 : Schématisation de la capacité parasite du contact de mesure en parallèle avec la capacité à nanofils.

En réalité cette capacité est très faible, c'est d'ailleurs pour cette raison que nous avons réalisé les structures de cette façon. En effet les 1 µm de dioxyde de silicium permettent d'avoir une capacité parasite très faible entre ce contact et le substrat de 330 fF. La capacité des nanofils sera ainsi prépondérante dans la capacité mesurée puisqu'on s'attend à des valeurs entre 10 pF et quelques nanofarad.

I-1.2 Meilleure capacité obtenue et présentation générale des études réalisées

Afin de quantifier le gain en capacité apporté par les nanofils par rapport à la même structure sans nanofils, nous avons réalisé en même temps que les capacités à base de nanofils, des capacités de référence sans nanofils. Les capacités de référence ont pour différences tout d'abord l'absence de cuivre, de nanofils et de nitrure de silicium. Tous les autres matériaux sont les mêmes. De ce fait l'empilement de capacité est composé du nitrure de titane CVD, le même que celui sous le cuivre dans les capacités à base de nanofils, de l'alumine, du nitrure de titane CVD de l'électrode supérieure et du siliciure d'aluminium. Les capacités de référence sont ainsi des capacités MIM de type TiN / Al₂O₃ / TiN comme le rappelle la Figure 5.2.

La Figure 5.2 permet également de mettre en évidence que nos nanofils dépassent de la structure d'oxyde de silicium et également que l'AlSi supérieur déposé par PVD sur le TiN CVD n'étant pas conforme ne s'est pas déposé sur tout l'empilement en présence de nanofils. Cela ne compromet pas le fonctionnement des capacités étant donné que cet AlSi est destiné à assurer le contact électrique entre la pointe de mesure et l'électrode en TiN de la capacité. En revanche, cela a un effet sur la résistance série puisque dans ce cas, on ne peut plus considérer que la surface externe de l'électrode supérieure en TiN CVD soit équipotentielle, comme nous l'avions supposé au moment du dimensionnement dans le chapitre 3. Si on néglige la résistance de l'AlSi par rapport à la résistance du TiN CVD, cette hypothèse n'est valable que dans les zones où l'AlSi est en contact avec le TiN CVD. Il en résultera une plus forte résistance série de l'électrode supérieure.

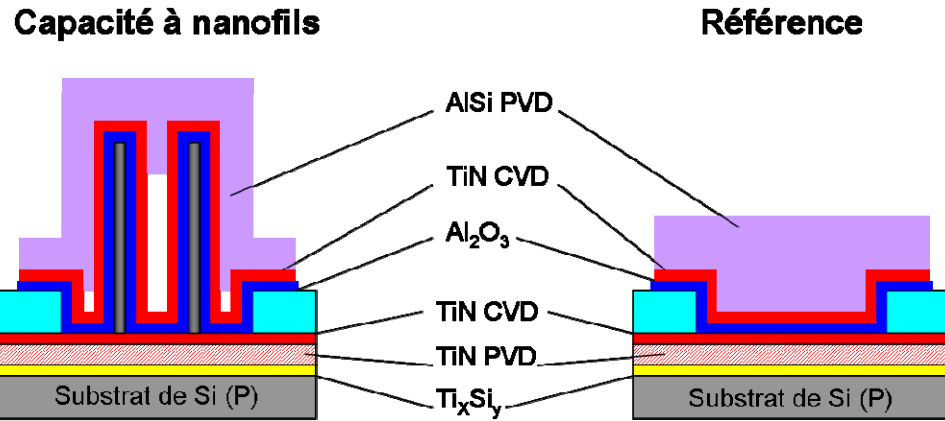


Figure 5.2 : Schémas montrant en coupe les capacités à nanofils et les références correspondantes.

Les meilleures capacités ont été obtenues avec 10 nm d'alumine déposée après un pré-traitement de désoxydation à base d'acide fluorhydrique. La Figure 5.3 montre la mesure C(V) de cette capacité dont les nanofils occupent une surface en vue de dessus de 10 000 μm^2 .

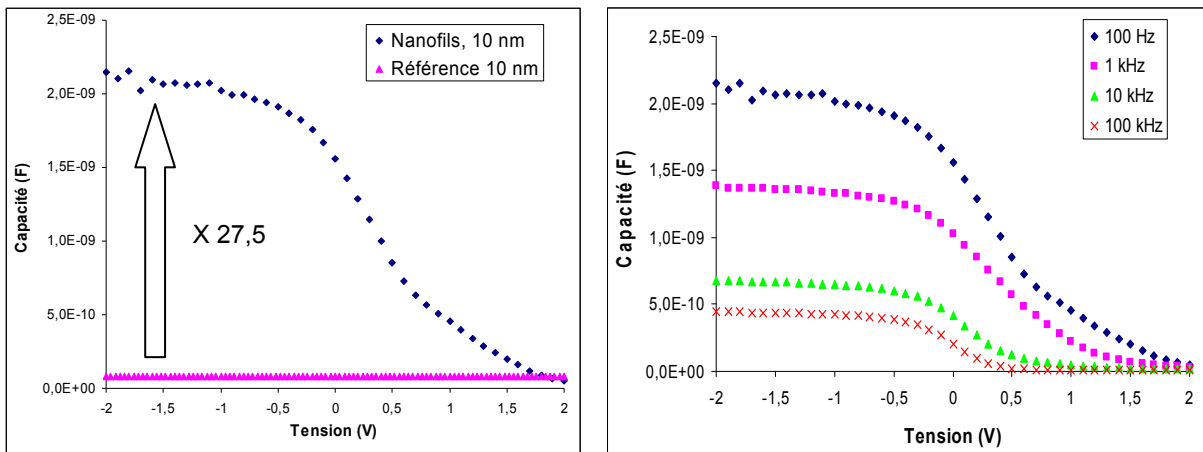


Figure 5.3 : Courbes de mesure C(V) obtenues sur le dispositif présentant la meilleure capacité. A gauche : la comparaison entre la capacité à base de nanofils avec 10 nm d'alumine et la référence révèle un gain de 27,5. La mesure est faite à 100 Hz sur un motif de 10 000 μm^2 de surface en vue de dessus. A droite : il s'agit de l'évolution de la capacité avec la fréquence de mesure.

La Figure 5.3 montre tout d'abord que la capacité à base de nanofils présente une densité de 22 $\mu\text{F}/\text{cm}^2$ contre 0,8 $\mu\text{F}/\text{cm}^2$ sur la référence. L'écart entre ces deux valeurs correspond au gain apporté par les nanofils, il est ici de 27,5. Cette forte valeur a pu être mesurée sur plusieurs dispositifs situés en bord de plaque.

La forme générale correspond bien à une courbe de capacité MOS et révèle pour les nanofils un comportement de type P où les porteurs majoritaires sont les trous. En effet les nanofils étant non dopés, les porteurs proviennent du substrat de silicium qui lui est fortement dopé P et sert de réservoir de porteurs. D'autre part la forme de la courbe de la référence est un peu « écrasée » par l'échelle, en réalité sa forme est parabolique, nous verrons cela sur la

partie consacrée aux capacités MIM. Enfin la pente de la courbe entre -0,5 V et 1 V révèle la présence d'états d'interface car la pente n'est pas verticale.

La partie droite de la Figure 5.3 montre l'évolution de la capacité en fonction de la fréquence de mesure. On voit que la valeur de la capacité en accumulation diminue avec la fréquence de mesure. Cette diminution correspond à la résistance série des électrodes comme nous allons le détailler dans la suite de ce chapitre.

Cette première mesure met en évidence le grand intérêt apporté par les nanofils : le gain en capacité est de 27,5 ce qui est très important. Ce gain est du même ordre de grandeur que celui prévu lors du dimensionnement et décrit dans la partie II-1.4 de ce chapitre. Cette première mesure nous permet aussi d'introduire l'ensemble des études qui ont été menées pour obtenir ce résultat et le comprendre.

Par ailleurs, la mesure de cette capacité en utilisant le mode parallèle du capacimètre permet également d'évaluer le facteur de qualité de notre dispositif à partir des valeurs de la capacité et de la conductance données par le capacimètre. Ce facteur de qualité Q , s'exprime

selon : $Q = \frac{G}{2 \cdot \pi \cdot f \cdot C}$ où G et C sont les conductance et capacité mesurés par le

capacimètre, et f la fréquence de mesure utilisée. Ce facteur rend compte de la fiabilité de la mesure et doit être supérieur à 1. Ainsi pour la capacité de la Figure 5.3, on a à 100 Hz en accumulation un facteur de qualité de l'ordre de 4. Cette valeur bien que faible confirme la validité des mesures effectuées. La faible valeur obtenue est liée à l'importante résistance série qu'on a sur nos nanofils de faibles diamètres. Cette valeur est proche du facteur de qualité obtenu entre 1 et 3 sur des capacités MOS de 4 nF publiées par H. Johari et al. [Johari09]. Pour l'ensemble des dispositifs mesurés et présentés dans ce chapitre, le facteur de qualité est de cet ordre de grandeur et toujours supérieur à 1.

I-1.3 Capacité en fonction de l'épaisseur d'alumine

Nous avons pu étudier 3 dépôts d'épaisseurs différentes d'alumine : 10, 15 et 20 nm afin d'étudier la variation de capacité correspondante. La Figure 5.4 présente les résultats de mesures électriques obtenues à 1 kHz pour toutes les épaisseurs. Les dispositifs mesurés ont été pris exactement au même endroit en bord de plaque sur les 3 plaques.

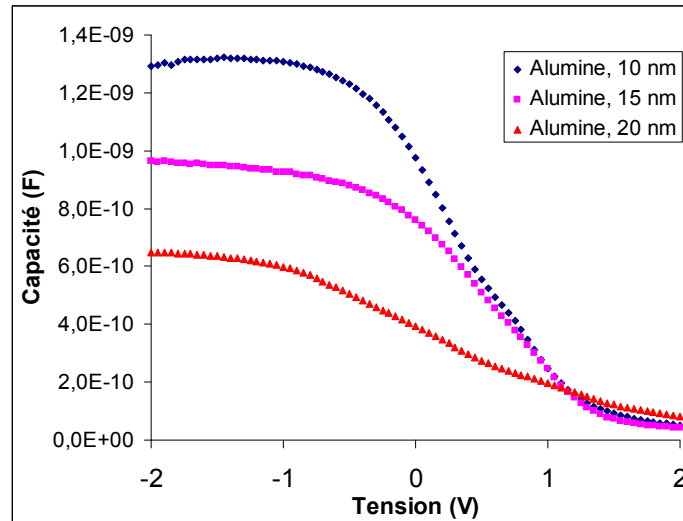


Figure 5.4 : Mesure C(V) à 1 kHz sur des capacités à base de nanofils comportant 10, 15 ou 20 nm d'alumine sur un motif de $10\ 000\ \mu\text{m}^2$.

On observe que la capacité avec 10 nm d'alumine a une valeur qui diminue entre -1,5 et -2 V, ce qui ne se produit pas pour les 2 autres épaisseurs. Ceci témoigne d'un courant de fuite plus important, nous verrons dans la partie suivante lorsque nous présenterons les mesures de courant. D'autre part, les valeurs de capacités obtenues sont respectivement de 1 320 pF, 960 pF et 650 pF pour les capacités ayant 10 nm, 15 nm et 20 nm d'alumine. Ces valeurs sont cohérentes étant donné que le ratio de ces valeurs entre elles correspond bien au ratio des épaisseurs d'alumine.

I-1.4 Effet d'un nettoyage des nanofils avant le dépôt d'alumine

Nous avons indiqué précédemment que c'était pour 10 nm d'alumine déposée après un pré-traitement qu'on obtenait la meilleure valeur de la capacité. Nous voulions au départ de cette étude faire un nettoyage de la surface des nanofils pour éviter toute contamination pouvant engendrer des fuites dans le diélectrique. Pour cela nous avons réalisé un pré-traitement humide de décontamination métallique avant le dépôt d'alumine.

Ce pré-traitement consiste à injecter par une buse au centre de la plaque une solution contenant 0.2% d'acide fluorhydrique dilué dans 1 volume d'acide sulfurique, 5 volumes d'eau oxygénée et 5 volumes d'eau désionisée. La composition de ce mélange permet de graver le cuivre et l'oxyde de silicium. La plaque est en rotation au moment où commence l'injection, ce qui a pour effet de répartir le liquide sur toute la surface de la plaque. Le traitement avait duré 30 secondes et était suivi d'un rinçage à l'eau désionisée et d'un séchage sous flux d'azote. Nous avons ensuite enchainé ce traitement avec le dépôt d'alumine dans un délai inférieur à 3 heures. La Figure 5.5 montre les mesures C(V) effectuées sur 2 dispositifs situés exactement au même endroit sur 2 plaques différentes et en bord de plaque : l'une ayant subi ce traitement l'autre non.

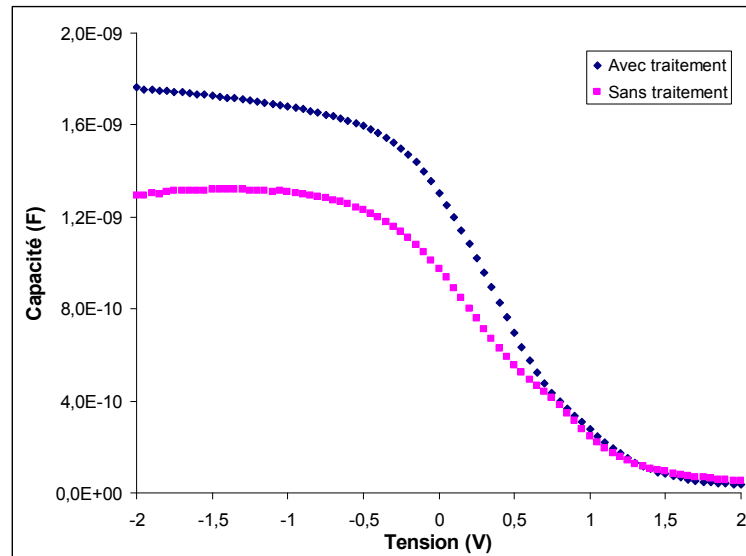


Figure 5.5 : Mesure C(V) de capacités avec 10 nm d'alumine, un motif de 10 000 μm^2 à 1 kHz, avec et sans pré-traitement avant le dépôt d'alumine.

On observe que la capacité est plus importante en zone d'accumulation lorsque les plaques ont eu le pré-traitement. En effet on passe de 1 320 pF sans pré-traitement à 1 760 pF avec. D'autre part, la capacité ne diminue pas entre -1,5 V et -2 V, ce qui signifie à priori moins de courant de fuites. Les valeurs reportées ici sont plus faibles que la valeur maximale de la Figure 5.3 car la mesure a été fait ici à 1 kHz et non 100 Hz.

En effet, comme nous l'avions mis en évidence précédemment avec les caractérisations TEM et en particulier celles de la Figure 4.15 et de la Figure 4.16 du chapitre 4, il y a de l'oxyde de silicium entre le nanofil et l'alumine. Ce bain contient de l'acide fluorhydrique qui grave cet oxyde, ce qui a pour effet de diminuer l'épaisseur globale du diélectrique et d'éliminer la capacité en série due à l'oxyde de silicium. En revanche, on ne peut pas déterminer si tout l'oxyde a été gravé étant donné qu'on ne connaît pas la vitesse de gravure de cet oxyde dans ce bain.

La diminution des courants fuites suggérée par la forme de la courbe entre -2 et 1,5 V et confirmée par la mesure des courants de fuite (voir le paragraphe II-1.1.d) indique que ce traitement doit également probablement éliminer des résidus de cuivre présents à la surface des nanofils après leur croissance. Ces résidus pourraient être responsables de courants de fuite plus importants lorsqu'ils ne sont pas éliminés.

Cet essai montre que ce pré-traitement est nécessaire pour améliorer les performances électriques des capacités MOS. Il faudra à présent faire davantage d'essais pour quantifier l'effet de ce traitement et optimiser sa durée.

I-1.5 Analyse de la chute de la capacité avec la fréquence

La Figure 5.3 à droite montre l'évolution de la mesure C(V) avec la fréquence pour un dispositif donnant une valeur de capacité parmi les plus fortes obtenues. Notons que la capacité mesurée sur les références sans nanofils reste inchangée quelque soit la fréquence. La chute

de la capacité avec la fréquence est donc propre aux dispositifs à base de nanofils. Le dispositif mesuré sur la Figure 5.3 était situé au centre de la plaque. Les valeurs de capacités que nous avons mesurées à basse fréquence (<100 Hz) étaient les mêmes au bord et au centre de la plaque. En revanche la chute en fréquence n'a pas lieu pour les mêmes fréquences entre le bord et le centre. Pour étudier ce phénomène de chute en fréquence, nous avons tracé les courbes donnant la capacité à -2 V en fonction de la fréquence. Nous avons tracé ces courbes pour des dispositifs situés au bord et au centre de la plaque. La Figure 5.6 montre les résultats que nous avons obtenus.

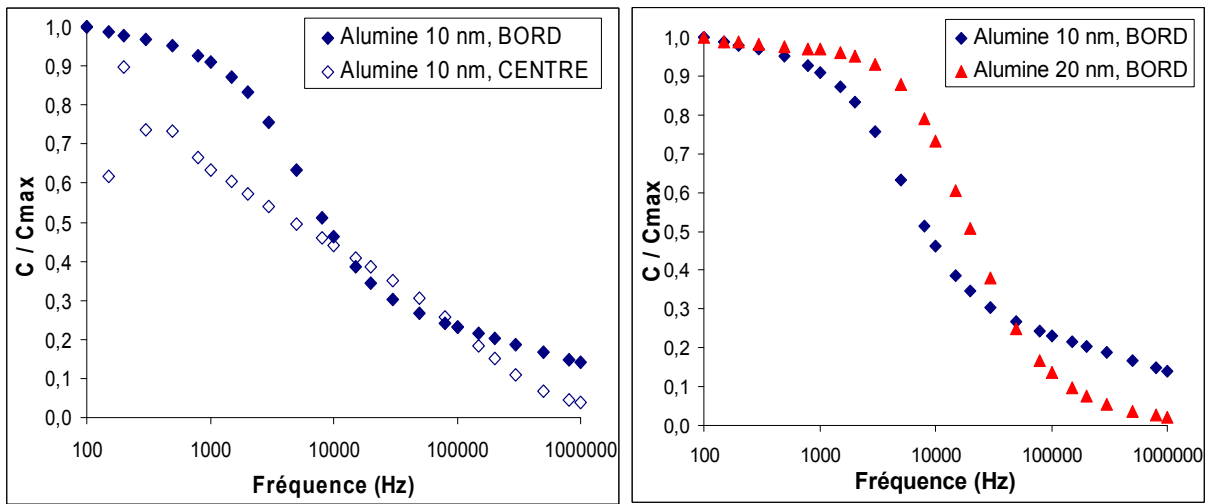


Figure 5.6 : Graphiques montrant l'évolution du rapport entre la capacité mesurée à -2 V et la capacité maximale mesurée sur la plage de fréquence de 100 Hz à 1 MHz, en fonction de la fréquence de mesure. Le dispositif mesuré est une capacité MOS occupant une surface de 10 000 μm^2 . A Gauche, on compare cette évolution entre 2 dispositifs en bord et au centre de la plaque dont les capacités maximales sont de 2 nF au bord et de 1,9 nF au centre. A droite : on compare 2 dispositifs en bord de plaque avec 10 et 20 nm d'alumine dont les capacités maximales sont respectivement de 2 nF et de 0,70 nF.

A gauche de la Figure 5.6, on a représenté l'évolution du rapport entre la capacité mesurée à -2 V et la capacité maximale mesurée sur la gamme de fréquence de 100 Hz à 1 MHz en fonction de la fréquence de mesure. On voit qu'au centre de la plaque, ce rapport ne fait que baisser quand la fréquence augmente. Tandis qu'en bord de plaque, ce rapport présente un palier en légère baisse de 100 Hz à environ 1 kHz puis présente une chute jusqu'à 100 kHz avant de retrouver la même pente qu'au début.

Cette chute observée à 1 kHz correspond à une fréquence de coupure. Au-delà de cette fréquence, la capacité n'a plus le temps de se charger et de se décharger complètement. Cette fréquence de coupure dépend de la valeur de la capacité et de la résistance série, et s'exprime selon :

$$f_c = \frac{1}{2 \cdot \pi \cdot R_s \cdot C} \text{ où } R_s \text{ et } C \text{ sont respectivement la résistance série et la capacité à tension}$$

donnée. Finalement, ce graphique montre que la fréquence de coupure n'est pas la même au centre qu'au bord de la plaque. Pourtant la capacité qu'on mesure à 100 Hz au centre de la

plaque est proche de celle qu'on mesure à 1 kHz en bord de plaque. Si la fréquence de coupure semble être inférieure à 100 Hz au centre de la plaque elle est certainement très proche de cette valeur. Par ailleurs, il est difficile de faire des mesures aux fréquences inférieures à 100 Hz car la sensibilité au bruit extérieur est de plus en plus importante quand la fréquence de mesure diminue.

Par conséquent, si la capacité est la même au centre et au bord de la plaque, c'est la résistance série qui n'est pas la même, **elle serait ainsi plus forte au centre de la plaque qu'au bord.**

A droite de la Figure 5.6, on a représenté la même courbe qu'à gauche pour des motifs uniquement en bord de plaque pour 2 épaisseurs d'alumine. On observe pour les 2 courbes un plateau à faible fréquence qui s'étend jusqu'à environ 1 kHz pour 10 nm d'alumine tandis qu'il s'étend jusqu'à 10 kHz pour 20 nm d'alumine. On s'attend effectivement d'après l'expression de la fréquence de coupure, à ce que la largeur du plateau augmente avec l'épaisseur d'alumine car la capacité diminue, c'est bien ce que l'on observe. On peut ainsi observer un plateau au centre de la plaque lorsqu'on a 20 nm d'alumine comme le montre la Figure 5.7.

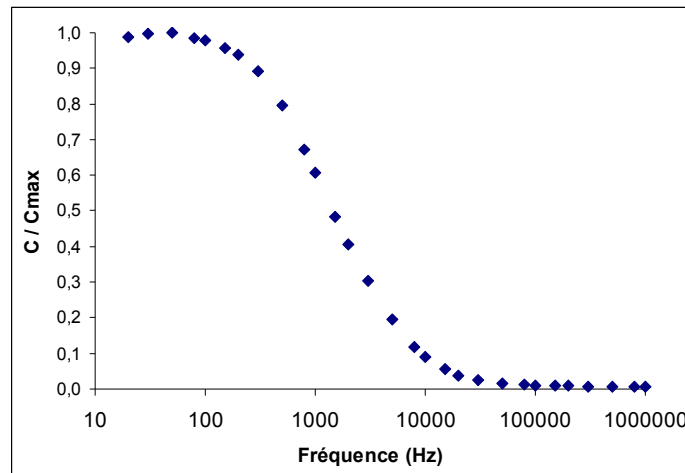


Figure 5.7 : Graphique montrant l'évolution du rapport entre la capacité mesurée à -2 V et la capacité maximale mesurée en fonction de la fréquence pour un dispositif avec 20 nm d'alumine et situé au centre de la plaque. La capacité occupe une surface de 10 000 μm^2 et la capacité maximale vaut 0,75 nF.

Ce que montrent ainsi la Figure 5.6 et la Figure 5.7 c'est qu'à 100 Hz, pour 20 nm d'alumine on est en dessous de la fréquence de coupure au bord comme au centre de la plaque. De cette façon, si on peut faire une mesure à 100 Hz sous forme de test automatique pour mesurer une cinquantaine de dispositifs répartis sur toute la plaque et notamment entre le bord et le centre, il sera possible de faire des statistiques de nos valeurs de capacité à l'échelle de la plaque.

I-1.6 Evaluation de la résistance série

A partir de la fréquence de coupure mesurée, on peut en déduire la résistance série à

partir de l'expression : $f_c = \frac{1}{2 \cdot \pi \cdot R_s \cdot C}$. Si on regarde le graphique de droite de la Figure 5.6,

on peut mesurer les fréquences pour lesquelles le ratio entre la capacité mesurée et la capacité maximale vaut $1/\sqrt{2}$. On obtient de cette façon des fréquences de coupure de 4 kHz à 10 nm d'alumine et de 10 kHz à 20 nm. A partir de ces valeurs et des valeurs maximales des capacités, c'est-à-dire à -2 V, on trouve des résistances séries de 19 900 Ω à 10 nm et de 24 900 Ω à 20 nm d'alumine. On s'attendait effectivement à une valeur plus faible à 10 nm qu'à 20 nm d'alumine étant donné que l'expression de la résistance d'une zone d'accumulation dépend de la capacité de l'oxyde, comme nous l'avons vu au chapitre 3.

Nous avons comparé ces valeurs aux mesures faites sur ces dispositifs en utilisant le capacimètre en mode série. En effet grâce à ce mode, on peut obtenir également une évaluation de la résistance série. La Figure 5.8 montre l'évolution de la résistance série mesurée dans ces conditions sur des dispositifs avec 10 et 20 nm d'alumine.

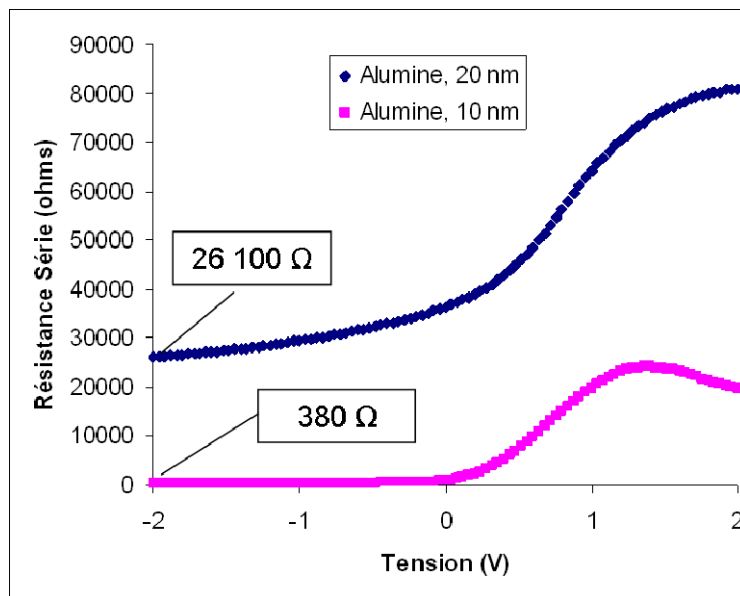


Figure 5.8 : Graphique montrant l'évolution de la résistance série mesurée avec le mode série d' un capacimètre en fonction de la tension appliquée sur des capacités MOS avec 10 et 20 nm d'alumine. Les valeurs mises en évidence correspondent aux résistances séries mesurées à -2 V.

On peut voir que cette résistance dépend de la tension appliquée, ceci est lié à l'expression de la résistance de la zone d'accumulation : elle dépend de la charge accumulée. Les valeurs obtenus à -2V peuvent être comparées aux valeurs précédemment calculées à cette même tension. A 20 nm d'alumine on a un bon accord entre ces valeurs, en revanche à 10 nm l'écart est très important. La valeur mesurée ne correspond pas à la résistance série attendu étant donné la fréquence de coupure qu'on mesure. Les courants de fuite à travers le

diélectrique étant plus importants avec 10 nm d'alumine qu'avec 20 nm, on suppose que la mesure est faussée par les courants de fuite.

D'autre part nous avons également évalué de la même façon avec la fréquence de coupure la résistance série au centre de la plaque à 20 nm d'alumine. La fréquence de coupure mesurée sur la Figure 5.7 est de 800 Hz, et la résistance série correspondante est de 265 260 Ω . Cette valeur est plus de 10 fois supérieure à la valeur obtenue au bord de la plaque. On peut s'attendre à ce que l'écart de résistance série soit également le même à 10 nm d'alumine, ce qui signifie une fréquence de coupure pour ces dispositifs de l'ordre de 100 Hz. Cette valeur est en effet très faible, c'est pourquoi il faudra travailler sur la diminution de cette résistance série au centre des plaques pour diminuer l'écart bord / centre et élargir la plage de fréquences de fonctionnement des dispositifs.

I-1.7 Explication de l'écart bord / centre et origines des résistances séries

On se rappelle qu'il y a la présence d'un « magma poreux » présent surtout au centre des plaques et peu au bord (voir chapitre 4). La Figure 5.9 met en évidence ce qui doit se produire en régime d'accumulation.

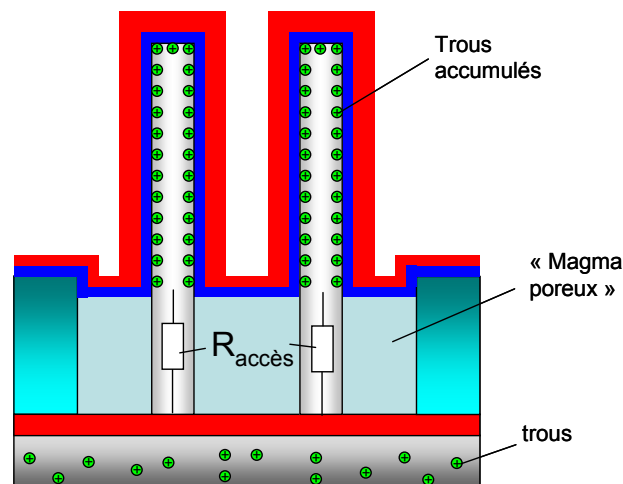


Figure 5.9 : Schéma de la capacité MOS en régime d'accumulation montrant la résistance d'accès engendrée par le « magma poreux » présent entre les nanofils.

En effet, le « magma poreux » étant présent à la base des nanofils, le dépôt de l'empilement de la capacité ne peut se faire qu'au sommet des nanofils principalement et dans les pores du magma poreux. Ainsi la charge dans le nanofil n'est accumulée que là où le dépôt de l'empilement a pu se faire sur le nanofil, c'est-à-dire sur la partie qui émerge du magma poreux. On a donc le long du nanofil, de bas en haut, une résistance d'accès en série avec la capacité située elle en dehors du magma. Cette résistance d'accès est importante étant donné d'une part l'épaisseur du magma qui fait environ 3 μm d'épaisseur et d'autre part la résistivité du nanofil. Le nanofil est non dopé et présente de nombreux défauts cristallins, sa résistivité est donc très importante.

Cette résistance d'accès est en série avec la résistance distribuée qui correspond à celle dont on a parlé au Chapitre 3 lors de la conception. La résistance distribuée est quant à elle déterminée par la résistance de la zone d'accumulation. On s'attend à ce que cette résistance soit elle aussi forte, étant donné les nombreux défauts cristallins observés dans le nanofil. Ces défauts ont pour effet d'abaisser la mobilité des porteurs dans les nanofils et donc d'augmenter la résistance série globale.

En bord de plaque, le magma n'est pas clairement visualisé au MEB, mais il est probable qu'il soit présent sur une plus faible épaisseur. La résistance de la zone d'accumulation sur les nanofils en bord de plaque devrait quant à elle être la même que pour les nanofils situés au centre, à condition qu'ils aient le même nombre de défauts cristallins. Le fait que le magma poreux soit absent ou nettement moins épais en bord de plaque a pour effet de diminuer significativement la résistance d'accès à la capacité et donc de diminuer la résistance globale des dispositifs en bord de plaque.

I-1.8 Effet de la densification du nitrure de titane de l'électrode supérieure

Nous avons vu précédemment (*chapitre 2, paragraphe II-3.1*) que pour diminuer la résistivité du nitrure de titane, on pouvait le déposer par une séquence composée d'un dépôt de quelques nanomètres suivi d'un plasma de N_2 / H_2 pour éliminer le carbone emprisonné dans la couche. Nous avons effectivement utilisé cette séquence pour déposer le nitrure de titane situé sous le cuivre pour réduire la résistance d'accès entre la face arrière et les nanofils.

Nous avons tenté d'utiliser cette séquence pour le dépôt du nitrure de titane de l'électrode supérieure afin d'en diminuer la résistance. La Figure 5.10 montre une mesure C(V) obtenue sur 2 dispositifs situés exactement au même endroit sur la plaque, l'un sur une plaque ayant subi le dépôt des 50 nm de TiN à partir de cinq séquences de dépôt / plasma, l'autre en une seule fois, sans plasma de densification.

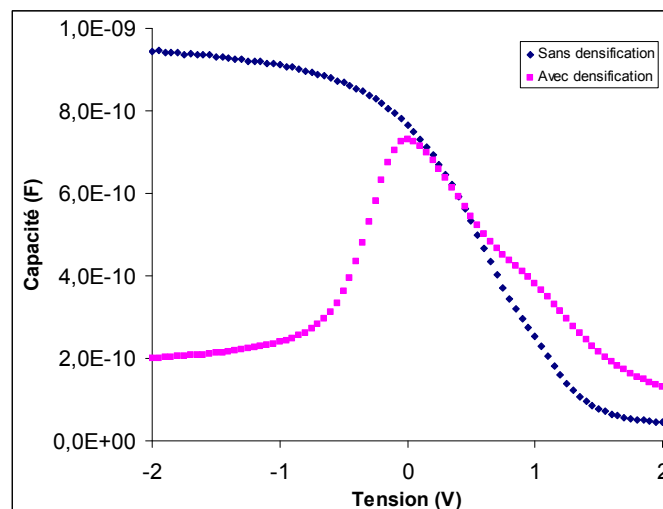


Figure 5.10 : Mesure C(V) pour un dispositif de $10\,000\ \mu\text{m}^2$ à 1 kHz pour des dispositifs avec et sans densification du TiN de l'électrode supérieure

L'effet de ce plasma est très clair : il nuit gravement au fonctionnement de la capacité. En réalité lorsque nous avons fait ce pré-traitement, nous ne savions pas qu'il y avait un important retard à la nucléation lors du dépôt du nitrure de titane sur l'alumine. Nous avons ainsi effectué le dépôt des 50 nm selon 5 séquences de dépôt de 10 nm séparées d'un plasma de N_2 / H_2 . On a vu précédemment que le dépôt ne faisait en réalité que 20 nm au lieu de 50 nm. Cela signifie que lors des premiers plasmas, il n'y avait pas de couche continue de TiN sur l'alumine. C'est donc l'alumine qui a subi ces traitements.

Or il est en réalité connu que ces plasmas dégradent l'alumine mais le mécanisme exact est mal connu. En revanche A. Bajolet et al. [Bajolet07] ont mis en évidence que ce plasma favorisait la formation de TiN_xO_y à l'interface entre le TiN et l'alumine. L'oxygène entrant en jeu dans cette couche est pompé depuis l'alumine, ce qui laisse dans l'alumine des liaisons pendantes et donc des charges. A. Bajolet et al. ont mis en évidence électriquement une augmentation de la quantité de charges dans le diélectrique lorsque plasma de densification est appliqué à un TiN déposé sur de l'alumine. Ainsi, pour pouvoir densifier un TiN déposé sur de l'alumine sans la dégrader, il faut qu'une couche de TiN suffisamment épaisse soit déjà déposée pour protéger l'alumine. Pour cela il faut aussi connaître le retard à la nucléation de la couche qu'on est en train de former.

I-1.9 Extraction des densités d'états d'interface et des charges piégées dans le diélectrique

Le changement de pente sur la courbe à 100 Hz à gauche de la Figure 5.3 témoigne de la présence d'états d'interface. Cela correspond à des pièges dans la bande interdite du silicium qui se remplissent et se vident selon la polarisation appliquée. L'origine de ces états provient des défauts de l'interface entre le diélectrique et le semi-conducteur.

A ces états d'interface, on associe une capacité d'états d'interfaces. Pour cette raison, selon la tension qu'on applique, on observe en théorie sur la mesure $C(V)$ soit des ruptures de pente, soit des pics qui correspondent à la réponse de ces états d'interface. A partir de la position de ces pics on peut remonter à la position des états d'interface dans la bande interdite.

Pour extraire la densité nous avons utilisé la méthode brièvement décrite au chapitre 2 et que nous allons détailler ici. Nous appliquons cette méthode sur une mesure de capacité obtenue sur un dispositif occupant une surface de $10\,000\ \mu m^2$ avec 10 nm d'alumine déposée après pré-traitement humide. Cette méthode a été mise en œuvre à partir d'un programme Mathcad qui permet d'automatiser certaines extractions et dont le fonctionnement détaillé se trouve dans [Leroux07].

Dans cette méthode, on utilise le modèle planaire pour exprimer la capacité de l'oxyde. Cela pour deux raisons : d'abord elle ne nécessite de faire aucune hypothèse sur la longueur et le diamètre des nanofils, car en effet on ne connaît pas précisément ces paramètres. Ensuite, elle permet d'utiliser la même méthode que pour les capacités planaires pour lesquelles les modèles ont déjà été établis. Le but dans cette partie est de donner des ordres de grandeurs et non pas de déterminer précisément les caractéristiques électriques.

Tout commence par l'extraction de la surface effective S, celle qui est déployée par les nanofils et qui entre dans le calcul de la capacité de l'oxyde selon :

$$C_{ox} = \frac{\epsilon_0 \cdot \epsilon_r \cdot S}{e} \quad (5.1)$$

Pour cela, on a besoin de déterminer la valeur du rapport $\frac{\epsilon_0 \cdot \epsilon_r}{e}$ correspondant au dépôt de 10 nm d'alumine. Nous utilisons la mesure faite sur la capacité de référence ayant 10 nm d'alumine sans nanofils. Cette capacité présente une surface connue et la valeur mesurée correspond à la valeur de la capacité de l'oxyde. Sa valeur est de 81,5 pF pour une surface de 10 000 μm^2 , ce qui donne : $\frac{\epsilon_0 \cdot \epsilon_r}{e} = 8,0 \times 10^{-3} \text{ F} \cdot \text{m}^{-2}$. Notons que si l'épaisseur est bien de 10 nm, cela correspond à une constante diélectrique égale à 9,2. Cette valeur est conforme à ce qu'on attend pour de l'alumine [Kolodzey00]. On peut à présent en déduire la surface effective déployée par les nanofils à partir de la relation

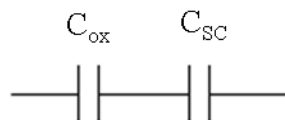
$$C_{ox} = \frac{\epsilon_0 \cdot \epsilon_r \cdot S}{e} \quad (5.1) : \text{ on obtient une surface de } 2,75 \times 10^{-3} \text{ cm}^2. \text{ Cela correspond à } 27,5 \text{ fois la surface du dispositif sans les nanofils, ce qui est en accord avec le gain de } 27,5 \text{ mesuré sur la courbe de la Figure 5.3.}$$

On peut ensuite extraire le dopage de notre capacité à base de nanofils en utilisant soit la méthode de Mazerjian, soit la méthode utilisant les capacités minimales et maximales. Les valeurs sont déterminées automatiquement par le programme à partir de la courbe de mesure et donnent pour la méthode de Mazerjian un dopage de $1,7 \times 10^{15} \text{ cm}^{-3}$ et de $7,8 \times 10^{14} \text{ cm}^{-3}$ par la méthode des valeurs minimales et maximales. Ces deux valeurs obtenues sont différentes mais proches des $1 \times 10^{15} \text{ cm}^{-3}$ habituellement observées pour du silicium non dopé. Pour la suite, on fixe le dopage à $1 \times 10^{15} \text{ cm}^{-3}$.

Pour tracer la courbe de C(V) théorique lorsque le dispositif n'a aucun défaut, il nous reste à déterminer l'épaisseur équivalente de dioxyde de silicium, qu'on appelle EOT (Equivalent Oxide Thickness). En prenant une constante diélectrique pour l'alumine à 9,2 et la relation :

$$EOT = \frac{\epsilon_r(\text{SiO}_2) \cdot e}{\epsilon_r(\text{Al}_2\text{O}_3)}$$

On obtient EOT = 4,3 nm. A partir de la surface effective, du dopage et de l'EOT qu'on vient de calculer, le programme est capable à partir de la résolution des équations de Poisson Schrödinger de tracer dans ces conditions la courbe C(V) qu'on doit obtenir en mesure basse fréquence ou quasi-statique. Cette courbe utilise le schéma équivalent ci-dessous :



Le Cox correspond à la valeur que nous avons mesurée en accumulation et le C_{SC} correspond à ce que le programme extrait de la résolution des équations de Poisson Schrödinger. On peut à ce stade réajuster dans le programme la surface qu'on a entrée pour faire coïncider notre capacité en accumulation avec la capacité théorique. En effet, en toute rigueur, la capacité en accumulation qu'on mesure n'est pas rigoureusement égale à la capacité de l'oxyde mais présente une contribution en série de la capacité du semi-conducteur comme l'indique le schéma équivalent ci-dessus. La correction à appliquer à la surface a toujours été négligeable sur nos dispositifs.

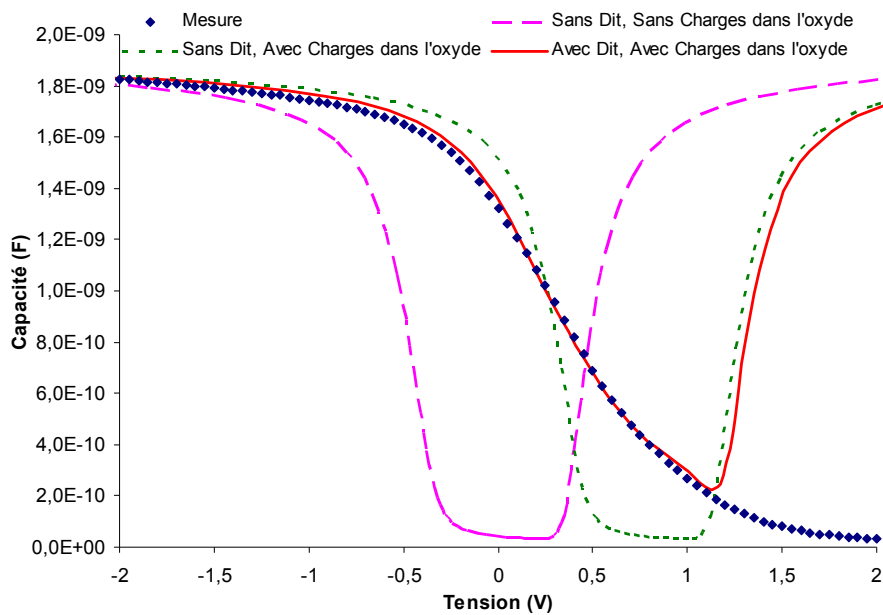


Figure 5.11 : Courbes C(V) mesurée et simulées. On a ainsi représenté les courbes obtenues par simulation avec et sans états d'interface (sans Dit) et avec et sans charges piégées dans l'oxyde.

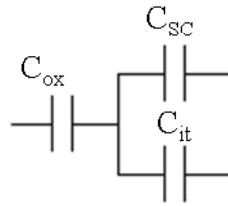
Sur la Figure 5.11, on a représenté notamment notre courbe de mesure et la courbe obtenue par simulation (en tirets fushia). L'écart entre ces 2 courbes reflète la présence de 2 types de défauts dans nos dispositifs : la présence de charges dans l'oxyde, qui déplacent horizontalement la courbe de mesure. Ici cette courbe est décalée vers la droite, ce qui témoigne de charges piégées négatives dans l'alumine. Le deuxième type de défaut est la présence d'états d'interface qui diminuent la pente de la courbe dans la zone de déplétion. Il y a une 3^{ème} différence, dans la zone d'inversion aux tensions supérieures à 1 V. La courbe théorique correspond à la mesure en mode quasi-statique où il n'y pas de problème d'approvisionnement en porteurs minoritaires vers l'interface entre le diélectrique et le semi-conducteur. Dans le cas de nos dispositifs où le semi-conducteur est non dopé et où on n'a pas de réservoirs de porteurs minoritaires à proximité, on n'observe pas d'inversion sur la courbe de mesure.

En pratique, on ajuste en même temps la densité d'états d'interface et la quantité de charges piégées dans l'oxyde. En effet, l'écart latéral entre théorie et mesure est un écart en tension de bandes plates donné par :

$$\Delta V_{FB} = (\phi_M - \phi_S) - \frac{Q_{it} + Q_f}{C_{ox}} \quad (5.2)$$

Où $(\phi_M - \phi_S)$ est la différence des travaux de sortie entre le métal et le semi-conducteur. Dans notre cas, le métal est du TiN, il est dit *mid-gap* car son niveau de Fermi est aligné avec le milieu de la bande interdite du silicium. Il en résulte que $(\phi_M - \phi_S)$ est proche de zéro lorsque le silicium est non dopé. La différence de tension de bandes plates est donc donnée par la quantité d'états d'interface Q_{it} et la quantité de charges piégées dans l'oxyde Q_f . Ainsi lorsqu'on ajuste la quantité de charges dans l'oxyde, on ajuste latéralement la courbe de mesure.

Pour ajuster la quantité d'états d'interface, il faut associer en parallèle avec la capacité du semi-conducteur la capacité des états d'interface, le schéma équivalent devient ainsi :



La capacité équivalente à simuler, s'écrit alors :

$$C_{eq}(V) = \frac{1}{\frac{1}{C_{ox}} + \frac{1}{C_{sc}(V) + q \cdot D_{it}(V)}} \quad (5.3)$$

Finalement, on arrive à obtenir une courbe théorique en bon accord avec la courbe expérimentale, en ajoutant des états d'interfaces d'une densité de l'ordre de 10^{12} cm^{-2} et un densité de charges dans l'oxyde de $4 \times 10^{12} \text{ cm}^{-2}$. En pratique on ajoute des états d'interface répartis en énergie sous forme d'une Gaussienne. Le problème ici est qu'on n'a pas sur la courbe $C(V)$ des pics localisés correspondant à des états d'interface d'énergie précise mais une pente homogène affaiblie par la présence de ces états. Il y a donc plusieurs profils possibles pour obtenir un bon accord entre la courbe théorique et la courbe expérimentale.

Pour être en mesure de tracer un profil plus précis, nous avons utilisé en partie la méthode de Castagné et Vapaille [**Castagné71**]. Nous avons pris pour la courbe à basse fréquence, notre courbe de mesure où les états d'interface répondent et comme courbe dite haute fréquence, notre courbe théorique sans états d'interface. Cela permet de tracer le profil de la Figure 5.12.

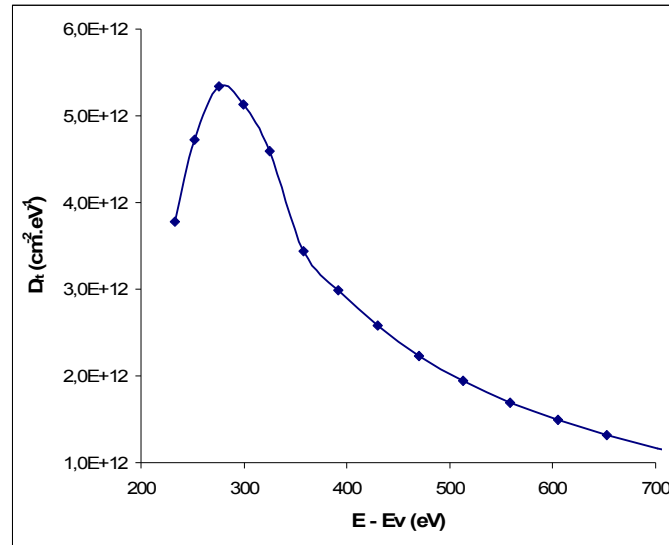


Figure 5.12 : Profil en énergie des états d'interface calculé pour les dispositifs à 10 nm d'alumine

Le profil obtenu a la même forme que ce qui a été publié sur des nanofils de silicium par E. C. Garnett et al. [Garnett09]. Ils ont eux aussi travaillé sur la caractérisation C(V) de nanofils de silicium et sur l'extraction de profil en énergie des densités d'états d'interface. Leur dispositif est composé d'un seul nanofil redéposé horizontalement sur un substrat. Les valeurs que nous avons obtenu sont du même ordre de grandeur, notre maximum de densité est lui en revanche à une énergie un peu plus faible à 280 eV contre 350 eV de leur côté. De plus notre maximum de densité d'états est aussi un peu plus faible : de l'ordre de $5,5 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ contre $1 \times 10^{13} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ de leur côté, les valeurs restent du même ordre de grandeur.

Lorsqu'on ajoute au modèle théorique la présence des charges piégées dans l'oxyde, on obtient la courbe en pointillés verts de la Figure 5.11. Entre la courbe en pointillés verts et la courbe de mesure, le seul écart correspond aux états d'interface. On obtient ainsi la courbe en rouge continu lorsque le modèle tient compte à la fois des états d'interface et des charges stockées dans l'oxyde. La courbe théorique et la courbe de mesure sont dans ce cas en très bon accord.

La densité d'état d'interface qu'on obtient est plutôt élevée. Si on cherchait à faire des transistors avec ces nanofils, il faudrait travailler sur l'amélioration de l'interface entre le diélectrique et le nanofil. Dans le cadre des applications citées au chapitre 3, les capacités fonctionnent à tension constante ou sur une plage de valeurs limitée. Ces états d'interface ne sont donc pas gênant dans le cadre de l'utilisation de ces capacités. Les charges dans l'oxyde quant à elles, décalent latéralement la plage d'utilisation de la capacité, selon les spécifications imposées par l'application, ces charges pourront être plus gênantes et nécessiter l'optimisation du procédé de dépôt pour en réduire la quantité.

I-1.10 Effet d'un recuit après dépôt d'alumine

Afin de diminuer la quantité de charges piégées dans l'alumine, nous avons regardé l'effet d'un traitement thermique à 425 °C sous atmosphère inerte de diazote à 50 torrs pendant 30 min. Le but de ce recuit effectué après le dépôt d'alumine est de provoquer l'exo-diffusion des espèces non réagies présentes dans la couche d'alumine. La Figure 5.13 montre le résultat morphologique de cet essai de recuit sur un dépôt d'alumine de 15 nm d'épaisseur.

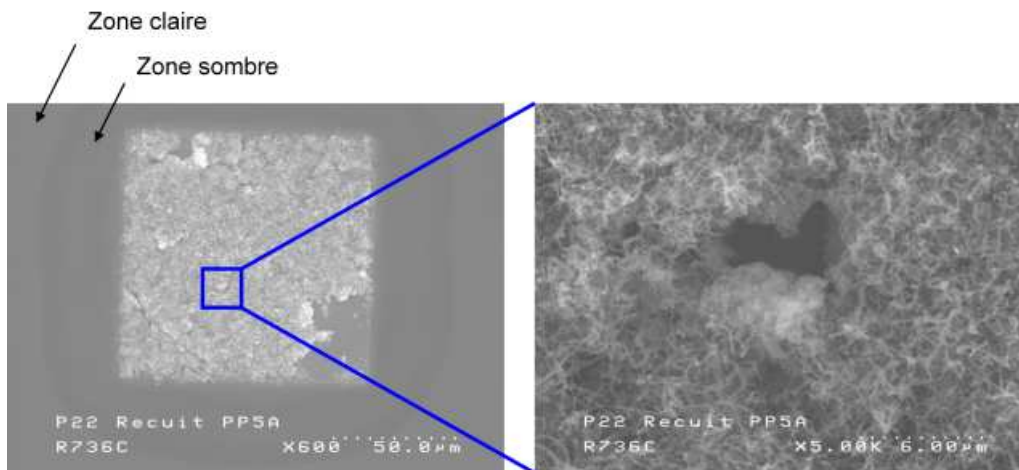


Figure 5.13 : Photos MEB en vue de dessus de motifs contenant des nanofils observés après recuit à 400 °C sous N₂ à 50 torrs pendant 30 min.

La Figure 5.13 montre que ce recuit dégrade considérablement la zone qui contient les nanofils. On voit aussi sur la photo de gauche une zone grise plus foncée tout autour du carré, elle probablement due à une dilatation du cuivre pendant le recuit ce qui aurait déformé l'oxyde à cet endroit. Cette dilatation thermique du cuivre pendant ce recuit pourrait également expliquer les décollements observés. Dans tous les cas, ce recuit est à éviter étant donné la sensibilité de nos structures. Peut-être qu'un recuit plus court et à plus faible température permettrait à la fois d'éviter un trop fort gonflement du cuivre et de permettre l'exo-diffusion des espèces non réagies. En revanche, plus on diminue la température et la durée du recuit, et moins on favorise l'exo-diffusion des espèces.

I-1.11 Effet de la taille du motif

Nous avons voulu quantifier la reproductibilité de nos mesures à l'échelle de la plaque. Pour le faire, il faut utiliser un test automatique permettant de mesurer à la suite un nombre important de dispositifs. Ce type de test peut occuper l'équipement de test pendant un temps très long si on souhaite mesurer plusieurs plaques et une cinquantaine de dispositifs par plaques. Le temps de mesure est encore plus long lorsqu'en plus on demande de réaliser la mesure C(V) à basse fréquence. En effet, plus la fréquence est basse et plus la mesure est sensible au bruit et donc plus on va devoir utiliser un temps d'intégration long pour extraire une mesure fiable.

On a vu précédemment que les fréquences de coupures de nos dispositifs étaient inférieures à 100 Hz au centre de la plaque. Pour pouvoir faire des statistiques de reproductibilité, il aurait fallu pouvoir faire des mesures à 100 Hz au centre comme au bord. Cela n'a pas été possible en raison du temps d'occupation de l'équipement. En revanche, nous avons pu effectuer des mesures à 1 kHz sur des puces toutes situées en bord de plaque sur un anneau de 5 cm d'épaisseur. Nous avons effectué un test automatique sur ces puces et dans chaque puce, nous avons mesuré 4 motifs occupant des surfaces de 100, 400, 2 500 et 10 000 μm^2 . Ainsi, 31 puces et 4 motifs par puces ont été testés, ce qui correspond à 124 dispositifs mesurés pour réaliser cette étude. Nous avons ainsi tracé sur la Figure 5.14 les courbes en pourcentages cumulés permettant de rendre compte de la reproductibilité des densités de capacités obtenues.

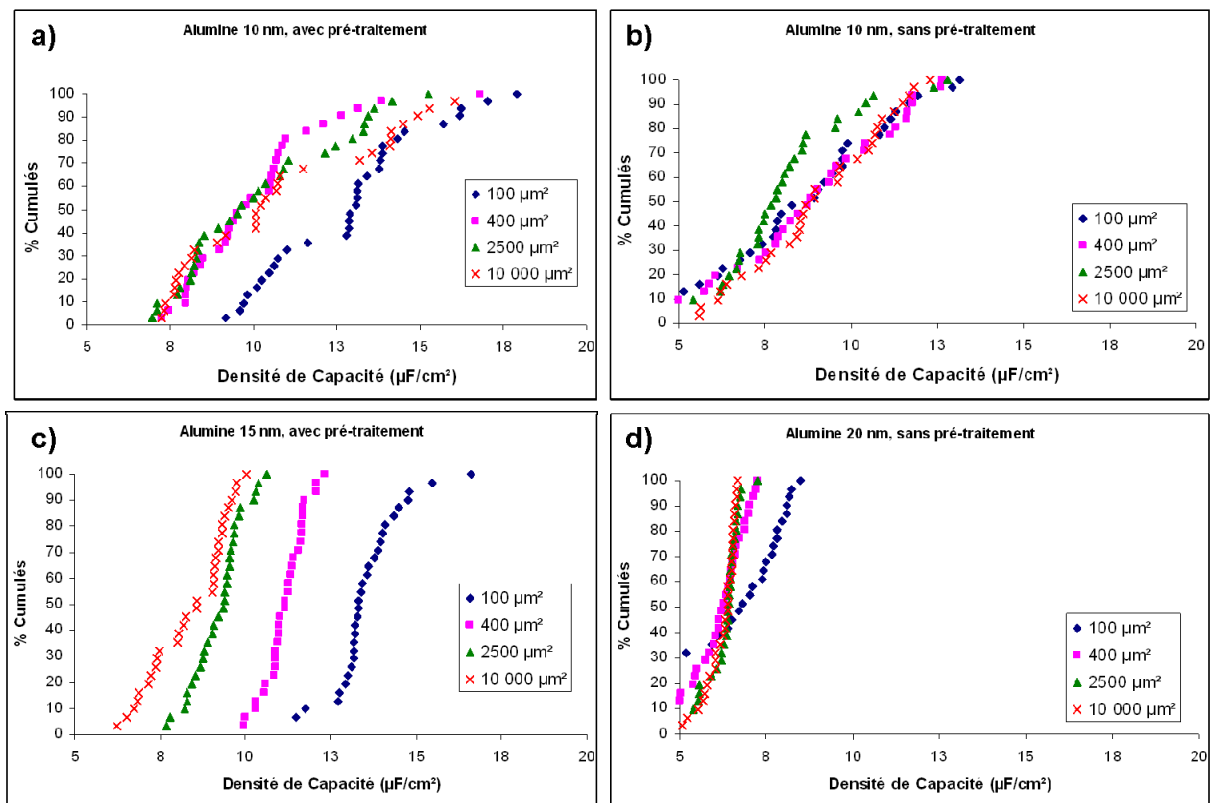


Figure 5.14 : Graphiques en pourcentages cumulés de la densité de capacité avec et sans pré-traitement avant le dépôt de l'alumine, pour 10, 15 et 20 nm d'alumine et pour 4 tailles différentes de motifs.

Ce type de représentation permet de rendre compte de la reproductibilité des mesures. A chaque abscisse correspond le pourcentage de dispositifs mesurés dont la densité de capacité est inférieure à l'abscisse donnée. Par exemple sur le graphique en haut à gauche, pour une taille de 400 μm^2 , on peut lire que 100 % des dispositifs mesurés avaient des densités de capacités inférieure à 18 $\mu\text{F}/\text{cm}^2$, et environ 50 % d'entre eux en avaient une inférieure à 10 $\mu\text{F}/\text{cm}^2$. En fait, plus la courbe est verticale et moins les résultats sont dispersés.

Les mesures ayant été faites à 1 kHz, on est proche de la fréquence de coupure pour les dispositifs ayant 10 nm d'alumine. Pour cette raison, les résultats obtenus sur les courbes à cette épaisseur sont à considérer avec précaution comme nous l'expliquons ci-après. C'est aussi pour cette raison que les valeurs maximales obtenues sont légèrement inférieures à la valeur maximale présentée à la Figure 5.3.

On est tout d'abord tenté de penser que la dispersion diminue quand l'épaisseur d'alumine augmente, car la pente des courbes augmente avec l'épaisseur d'alumine. En fait, à faible épaisseur d'alumine, la capacité étant plus importante, la fréquence de coupure est plus faible. De ce fait, l'évolution de la résistance série du bord vers le centre engendre une diminution significative, même sur l'anneau de 6 cm de large, de la valeur de la capacité obtenue pour les dispositifs ayant la plus faible épaisseur d'alumine. Ceci est dû à la fréquence de mesure utilisée de 1 kHz, trop forte pour comparer la dispersion entre les différentes épaisseurs d'alumine. On ne peut donc pas tirer de conclusion sur l'effet de l'épaisseur d'alumine sur la dispersion.

En revanche, à épaisseur d'alumine constante (en a) et b)), on peut comparer les courbes avec et sans pré-traitement humide avant le dépôt d'alumine. On peut voir que les valeurs obtenues sont plus importantes lorsqu'il y a eu le pré-traitement que lorsqu'il n'a pas été effectué.

On peut également voir, à 10 nm en a) et à 15 nm en c), qu'en présence d'un pré-traitement humide on a une dispersion en fonction de la taille du motif mesuré qu'on n'a pas en l'absence de ce pré-traitement sur les autres courbes en b) et en d). On constate que la capacité obtenue en présence du pré-traitement est plus importante sur les petits motifs que sur les gros motifs. Le traitement humide a dû être limité par la quantité d'espèces chimiques actives apportées aux motifs : la même quantité a été apportée pendant un temps court aux motifs de différentes tailles. On a donc gravé la même quantité d'oxyde sur les petits motifs que sur les gros, donc relativement à la capacité totale le gain est plus important sur les petits motifs que sur les gros. Afin d'homogénéiser l'effet et également s'assurer qu'on enlève bien tout l'oxyde, il faudra à l'avenir faire ce traitement pendant un temps plus long. Pour homogénéiser ce traitement à l'échelle de la plaque, on pourra en plus assurer un déplacement de la buse du bord vers le centre pendant l'écoulement de la solution sur la plaque comme cela est utilisé lorsque les plaques présentent une forte topographie comme ici avec nos nanofils.

En revanche, malgré cette dispersion en fonction de la taille du motif, on peut voir qu'à 15 nm d'alumine ainsi qu'à 20 nm, on a pour chaque taille de motif des courbes presque verticales qui témoignent d'une faible dispersion. Nos dispositifs présentent déjà une reproductibilité intéressante qui pourra être améliorée par la suite.

I-2 Les capacités MIM

I-2.1 Meilleure capacité obtenue et présentation générale des études réalisées

Afin de quantifier le gain apporté par les nanofils sur les capacités MIM, nous avons procédé comme pour les capacités MOS, c'est-à-dire que nous avons réalisé en même temps des capacités sans nanofils. Les références étaient déjà précédemment des capacités MIM, nous avons tout de même refait une référence avec exactement le même empilement pour s'assurer qu'il n'y ait pas de différences. L'empilement a été refait pour la référence avec 20 nm d'alumine. Précisons que seules des capacités avec 15 et 20 nm d'alumine ont pu être réalisées.

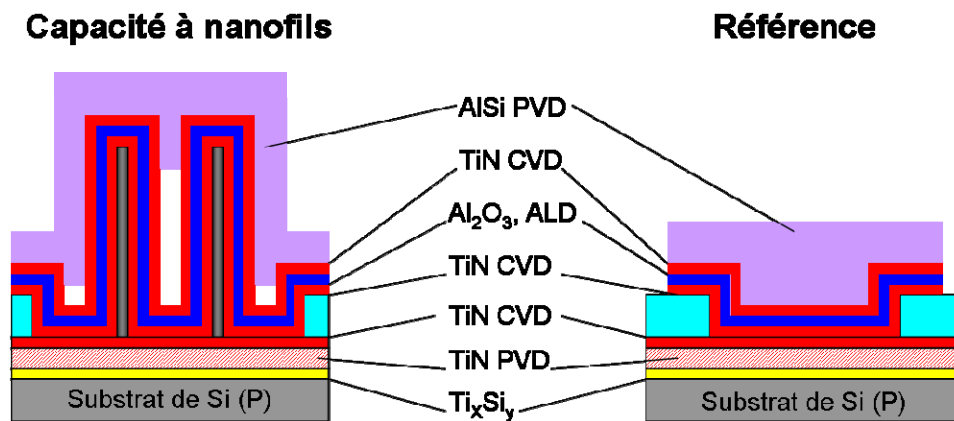


Figure 5.15 : Schémas montrant en coupe les capacités MIM à nanofils et les références correspondantes.

La meilleure densité de capacité a été obtenue avec 15 nm d'alumine sur une plaque ayant subi un plasma de désoxydation juste avant le dépôt du TiN de l'électrode inférieure sur les nanofils. Sur la Figure 5.16, on a représenté la mesure $C(V)$ de cette capacité en montrant à gauche le gain de 16 apporté par les nanofils par rapport à la capacité planaire présentant la même épaisseur d'alumine. À droite, on a représenté la chute en fréquence de la capacité avec la fréquence de mesure.

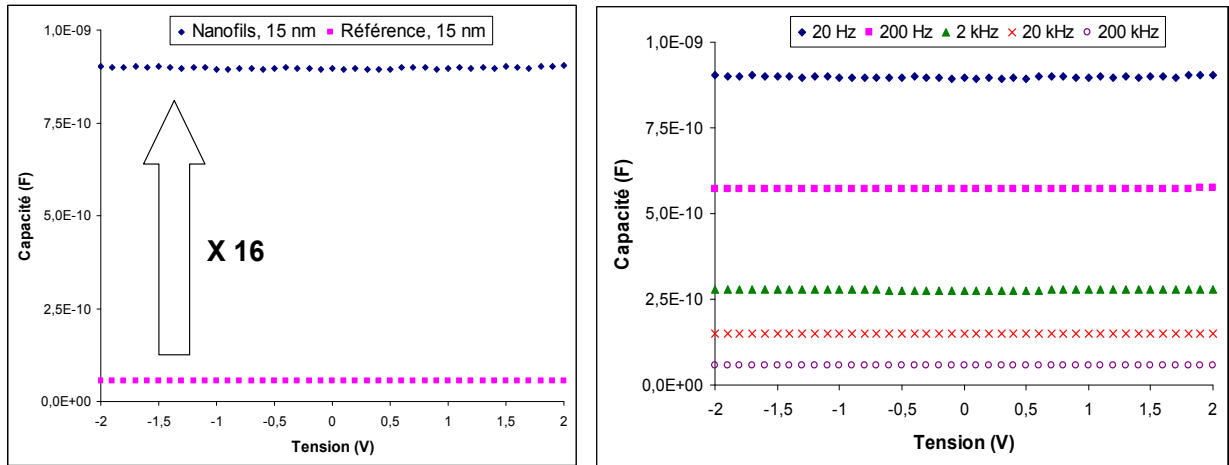


Figure 5.16 : Courbes de mesure $C(V)$ obtenu sur le dispositif présentant la meilleure capacité. A gauche : la comparaison entre la capacité à base de nanofils avec 15 nm d'alumine et la référence révèle un gain de 16. La mesure est faite à 20 Hz sur un motif de $10\,000\ \mu\text{m}^2$ de surface en vue de dessus. A droite : il s'agit de l'évolution de la capacité avec la fréquence de mesure.

La valeur atteinte par notre capacité avec 15 nm d'alumine est du même ordre de grandeur que ce que nous avons obtenus pour 15 nm d'alumine sur les capacités MOS. Nous avons ainsi démontré la possibilité de fabrication de capacité MIM à base de nanofils et atteint une densité de capacité de $9\ \mu\text{F}/\text{cm}^2$. Cette valeur est 14,5 fois supérieure aux $0,62\ \mu\text{F}/\text{cm}^2$ obtenus par l'équipe de Y. Choi et al. [Choi10] avec des nanotubes de carbone. La raison est qu'ils ont localisé leurs nanotubes par des étapes à base de photolithographie et ont ainsi perdu considérablement en densité de nanostructures.

On s'attendait en fait à une valeur plus importante que sur les MOS étant donné que le dépôt du TiN de l'électrode inférieure a pour effet d'augmenter le diamètre des nanofils et donc la surface déployée et la capacité totale. En revanche, la chute de la capacité avec la fréquence est plus importante que sur les capacités MOS, aussi bien au bord qu'au centre. La fréquence de coupure de nos dispositifs est probablement très faible. Ceci témoigne d'une forte résistance série. Si la forme des courbes est reproductible, on ne parvient pas à tirer de tendance en comparant les plaques entre elles comme on a pu le faire sur les capacités MOS car les valeurs sont très dispersées entre les dispositifs et entre les plaques. Pour pouvoir étudier ces capacités comme nous l'avons fait pour les MOS, il est nécessaire d'obtenir des dispositifs moins résistifs.

I-2.2 Explication de la résistance série et voies d'amélioration

La fréquence de coupure plus faible pour nos capacités MIM que pour nos capacités MOS témoigne d'une résistance série plus forte côté MIM que côté MOS. L'empilement d'électrode supérieure étant le même, l'origine de cette plus forte résistance série vient de l'électrode inférieure.

Rappelons tout d'abord la structure de l'électrode inférieure et la façon dont elle est connectée à la face arrière du substrat pour les mesures électriques, voir la Figure 5.17.

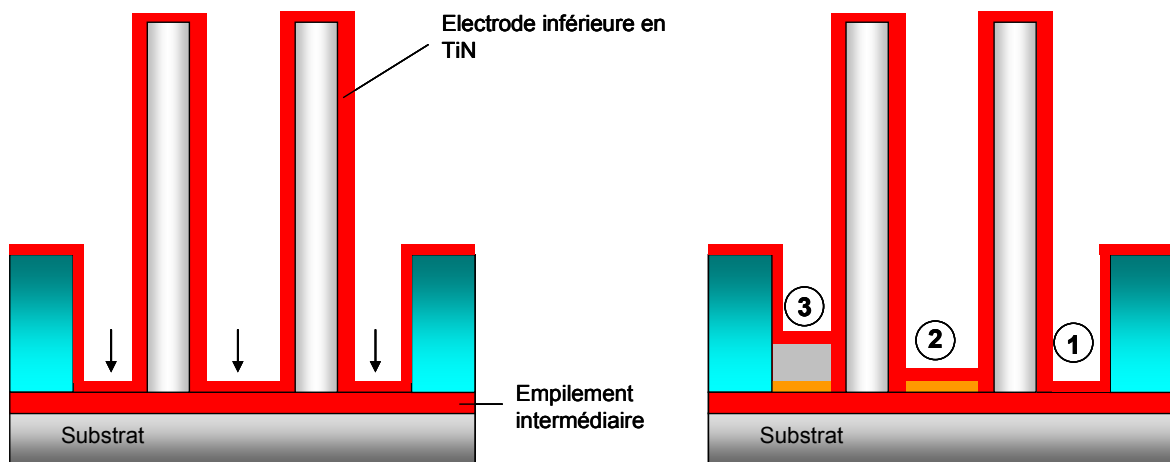


Figure 5.17 : A Gauche : vue en coupe de l'électrode inférieure de la capacité MIM dans le cas idéal. A droite : vue en coupe de l'électrode inférieure montrant les 3 situations possibles du contact entre l'électrode inférieure et la face arrière.

L'électrode inférieure déposée sur les nanofils se connecte électriquement à la face arrière entre chaque nanofils. C'est d'ailleurs un des grands intérêts de cette structure car dans le cas idéal de la Figure 5.17 à gauche, l'électrode inférieure est ainsi connecté en de nombreux points ce qui a pour effet en termes de dimensionnement d'obtenir une résistance série plus faible.

On a représenté à droite de la Figure 5.17, les différents cas possibles pour nos dispositifs. En effet, soit on a un contact direct (**cas n°1**) entre l'empilement métallique intermédiaire et l'électrode inférieure, soit l'électrode inférieure est déposée sur du cuivre non réagi (**cas n°2**) et probablement oxydé ou siliciuré et enfin soit l'électrode est déposée sur le magma poreux (**cas n°3**) et donc pas très mal connectée électriquement à la face arrière, voir pas du tout (dans le cas où ce magma poreux est isolant).

On a probablement ces 3 situations dans l'ensemble des dispositifs, c'est ce qui nous permet malgré la forte résistance série de faire une mesure au moins à basse fréquence. Selon la position du dispositif sur la plaque, on a plus ou moins de magma poreux entre les nanofils. Ce magma poreux étant poreux, on a dans tout les cas un endroit où l'électrode inférieure vient connecter l'empilement intermédiaire par un contact de type 1 ou de type 2. C'est ensuite le nombre de contact de type 1 et 2 par rapport aux contacts de type 3 qui détermine la résistance série.

Même en bord de plaque on mesure une forte chute de la capacité avec la fréquence, c'est pourquoi s'il y a peu de magma poreux en bord de plaque on a sûrement des contacts électrique sur l'oxyde de cuivre (type 2), ce qui explique notre importante résistance série.

Pour diminuer la résistance série, il faudra d'abord optimiser la croissance pour éviter le dépôt de magma poreux, peut-être en réduisant la pression pendant la croissance et en ajoutant une ligne de HCl au bâti de croissance. Ensuite la compréhension du mécanisme de croissance pour déterminer s'il y a bien démouillage du cuivre sur le TiN lors de la croissance

devrait permettre si c'est bien un démouillage d'envisager d'enlever le cuivre non réagit après croissance.

I-2.3 Linéarité en tension

La forme des courbes étant conforme à ce qu'on attend d'une capacité MIM, malgré les problèmes liés à la résistance série, nous avons souhaité présenter ici les caractéristiques de linéarité en tension obtenues. Les coefficients décrivant la linéarité en tension des capacités et définis au chapitre 2 sont extraits à partir de la forme de la courbe $C(V)$. On a représenté sur la Figure 5.18, la courbe $C(V)$ d'une capacité à base de nanofils avec 15 nm d'alumine pour un dispositif de $10\,000\ \mu\text{m}^2$. Cette courbe a été obtenue à 1 kHz car à plus faible fréquence la mesure est trop bruitée. La forme des courbes en revanche ne change pas avec la fréquence.

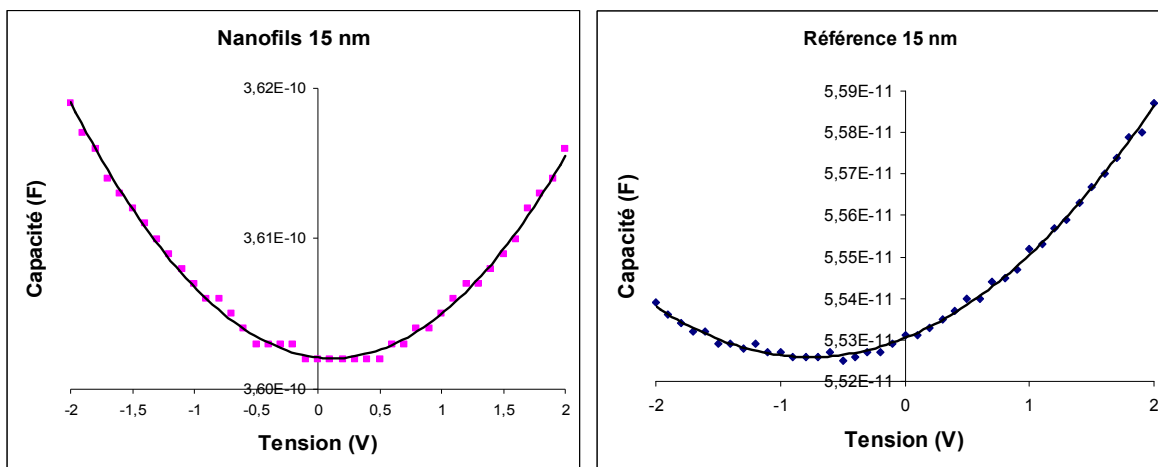


Figure 5.18 : Courbes $C(V)$ obtenues à 1 kHz sur des dispositifs de $10\,000\ \mu\text{m}^2$ avec 15 nm d'alumine accompagnés de leur régression polynomiale pour une capacité à base de nanofils (à gauche) et une référence sans nanofils (à droite).

La Figure 5.18 montre que la courbe $C(V)$ obtenue sur nos dispositifs à base de nanofils (à gauche) est en réalité parabolique. Sur la gamme de tension de -2 V à +2 V, la capacité varie de $3,602 \times 10^{-10}\ \text{F}$ à $3,616 \times 10^{-10}\ \text{F}$, soit une variation de 1,4 pF ou 0,4 % ce qui est très faible. La régression polynomiale permet d'extraire les coefficients de linéarité en tension en utilisant pour les 2 graphiques l'expression : $C(V) = C_0 \cdot (1 + C_1 \cdot V + C_2 \cdot V^2)$.

	Capacité à nanofils	Référence sans nanofils
C_0	360 pF	60 pF
C_1	-22,5 ppm/V	1670 ppm/V
C_2	1000 ppm/V ²	1330 ppm/V ²

Tableau 5.1 : Valeurs des coefficients de linéarité en tension obtenus pour les capacités MIM à nanofils et de référence de la Figure 5.18.

Ces valeurs sont du même ordre de grandeur que celles obtenus par A. Bajolet et al. [Bajolet05] qui ont travaillé sur des capacités MIM avec le même empilement : TiN / Al₂O₃ / TiN.

On peut observer également comme A. Bajolet et al. que nos coefficients de linéarité sont plus faibles sur les structures 3D à base de nanofils que sur les capacités planaires de référence. La raison évoquée par A. Bajolet et al est la mise en contrainte du film d'alumine par l'architecture 3D. Nous sommes dans la même situation, en raison du faible diamètre de nos nanofils, leur courbure engendre une tension dans le film. Cette tension, nous l'avons évoqué précédemment est peut-être à l'origine de la cristallinité observée de cette couche. De la même façon cette tension qui est la principale différence avec les dispositifs planaires pourrait être la cause de cette amélioration des coefficients de linéarité en tension. Cependant l'effet précis de cette tension sur les coefficients de linéarité n'est pas connu à ce jour.

II- Caractérisation par la mesure des courants de fuite

Nous allons dans cette partie nous intéresser cette fois-ci aux courants de fuites qui traversent la capacité en fonction de la tension. Ces mesures ont été réalisées sur des plaques entières de 200 mm contenant nos capacités sur un banc de mesure à pointe et un analyseur Agilent 4156C Precision Semiconductor Parameter Analyser. Comme pour les caractérisations de capacités, nous séparons cette partie en 2 pour traiter séparément les capacités MOS et les capacités MIM. Nous nous intéresserons aux mécanismes de conduction pour les dispositifs à 10 et à 15 nm d'alumine. Nous étudierons ensuite l'effet du pré-traitement humide avant le dépôt d'alumine pour les capacités MOS. Nous terminons cette partie par la présentation de caractérisations réalisées en émission lumineuse pour mettre en évidence la répartition des fuites à l'échelle du dispositif complet.

II-1 Les capacités MOS

II-1.1 Etude de la conduction dans le diélectrique

II-1.1.a Tracé de la densité de fuite en fonction de la tension pour 10 nm d'alumine

Nous nous intéressons tout d'abord aux dispositifs ayant donné les meilleurs résultats de capacité : ce sont les dispositifs avec 10 nm d'alumine déposée après un pré-traitement humide. La Figure 5.19 montre le détail d'une mesure I(V) effectuée sur 4 dispositifs : 2 à base de nanofils et 2 sans. En effet, comme indiqué au Chapitre 2, lorsqu'on applique une tension supérieure à la tension de claquage, on détériore de façon irréversible le diélectrique. Pour visualiser la courbe de fuites sur une large gamme de tensions cotés positifs et négatifs, on est ainsi obligé de faire 2 mesures : de 0 à 10 V sur un dispositif et de 0 à -10 V sur un autre.

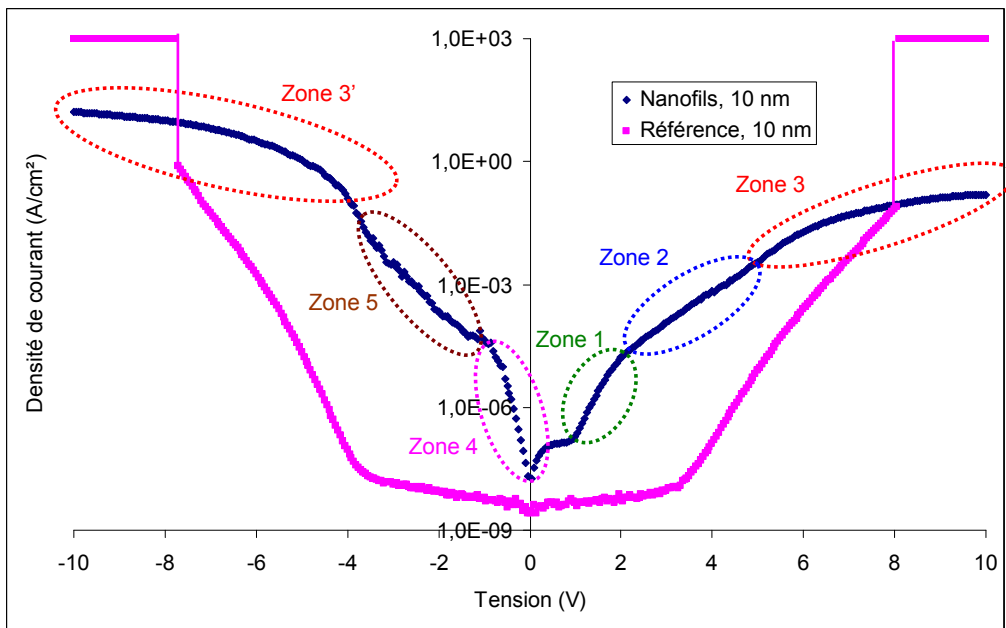


Figure 5.19 : Mesure de la densité de courant de fuite pour des dispositifs avec et sans nanofils. Le courant a été divisé par une surface calculée à partir de la capacité en accumulation, en utilisant un modèle planaire.

Précisons tout d'abord que la densité est calculée à partir de l'intensité mesurée divisée par la surface de la capacité. Cette surface est la surface effective entrant en jeu dans la valeur de la capacité. Pour la référence, cette surface est connue, c'est la surface qu'occupe le dispositif. Pour les nanofils, la surface est calculée à partir de la mesure de la capacité en accumulation. Nous avons choisi pour cela d'utiliser le modèle planaire où $C = \frac{\epsilon_0 \cdot \epsilon_r \cdot S}{e}$ pour en déduire S. Or nous avons vu que ce modèle n'était pas parfaitement équivalent au modèle cylindrique, lequel serait plus approprié pour décrire des nanofils. En revanche le modèle cylindrique demanderait de connaître, le diamètre, le nombre et la longueur. Ne connaissant pas exactement ces valeurs, on ferait alors des estimations dont la précision pourrait être moindre que celle obtenue avec le modèle planaire. C'est pour cette raison qu'on s'autorise à utiliser ce modèle. Par contre, on sait que ce modèle sous estime la surface calculée par rapport à la surface réelle. C'est pourquoi, la valeur de densité de courant de fuite qu'on extrait de ces courbes doit être légèrement supérieure à la vraie valeur. L'écart entre la valeur calculée de cette façon et la valeur réelle est donné par la valeur du ratio entre l'épaisseur moyenne de diélectrique et le rayon moyen des nanofils. Pour un diamètre moyen compris entre 50 et 80 nm, l'écart entre les 2 modèles pour 10 nm de diélectrique est de 10 à 20 %. Ne connaissant pas non plus le rayon moyen des nanofils, nous avons préféré utiliser la valeur calculée avec le modèle planaire.

II-1.1.b Mécanismes de conduction mis en jeu avec 10 nm d'alumine

On voit 2 morphologies très différentes entre la capacité à base de nanofils et la référence sans nanofils. La référence sans nanofils est symétrique car c'est une capacité MIM : les deux électrodes sont constituées du même matériau (TiN CVD). On peut ensuite voir que la densité de courant de fuite entre -8 V et +8 V est toujours plus forte sur les dispositifs à nanofils que sur les références. Plusieurs causes sont possibles, en particulier nous avons probablement des inhomogénéités d'épaisseurs d'alumine sur les nanofils. En effet le cycle de dépôt utilisé était le même sur les références que sur les nanofils, pourtant on dépose plus d'alumine (en quantité totale) sur les dispositifs à base de nanofils que sur les références. Les temps de dépôts et de purge du cycle de dépôt par ALD utilisé sont optimisés pour saturer la surface en composés chimiques. En revanche ces temps ont été déterminés pour saturer une surface plane et pas une surface aussi complexe qu'une plaque contenant des nanofils. Les temps de diffusion des espèces nécessaires au dépôt peuvent grandement augmenter lorsqu'on fait des dépôts dans des structures 3D comme l'ont montré J. H. Klootwijk et al [Klootwijk11]. Travailler sur des temps de dépôt et de purge plus longs lors du dépôt ALD de l'alumine constitue ainsi une piste d'amélioration des fuites dans ce type de dispositifs.

La forme de la courbe dans la **zone 1** fait penser à une conduction par effet tunnel de type Fowler-Nordheim. Par ailleurs un mécanisme de conduction de type Poole Frenkel par les pièges dans l'alumine paraît plus probable car notre alumine n'a pas été recuite. Elle doit contenir des résidus piégés issus du dépôt ALD. Pour identifier le mécanisme, seules des mesures réalisées à différentes températures permettent de trancher : si la conduction est inchangée avec la température, c'est une conduction tunnel de type Fowler-Nordheim, si la conduction est activée par la température c'est soit une conduction assistée par les pièges soit une conduction de type Schottky selon la dépendance plus ou moins forte avec la température.

Quant à la **zone 2**, c'est une zone intermédiaire entre la conduction de la zone 1 et celle de la zone 3. On ne la retrouve qu'à 10 nm d'alumine et elle s'apparente à la zone 5 coté négatif que nous allons détailler ensuite.

Sur la courbe correspondant à la référence, on distingue très bien des 2 cotés les tensions de claquage, elles sont de -8 V et +8 V. Pour les dispositifs à nanofils, on n'a pas d'augmentation significative du courant qui permette d'identifier précisément la tension de claquage, et pourtant on claque bien le diélectrique. Lorsqu'on refait la mesure sur le même dispositif, il présente dès les plus faibles tensions, des courants de fuite très importants. En fait on ne voit pas le claquage à cause de la résistance des nanofils. Le courant est limité par la résistance des nanofils. Le claquage a lieu au début de la zone 3 entourée en rouge sur la Figure 5.19.

Ainsi, dans les **zones 3 et 3'**, le courant de fuite varie linéairement avec la tension, cela correspond à un comportement purement résistif. La conduction est ici limitée par le volume des électrodes. La comparaison avec la référence sur laquelle le claquage est bien visible confirme que la résistance provient bien des nanofils et pas de la plaque, ni de l'empilement entre le substrat et les nanofils. Les valeurs de densité de courant sont sur les nanofils plus

importantes à tension négative qu'à tension positive. En effet à tension négative le courant est dirigé par les porteurs majoritaires plus nombreux que les porteurs minoritaires qui dirigent le courant à tension positive.

La **zone 4** correspond aux tensions où commence l'accumulation des porteurs majoritaires, sur ce dispositif, on voit que la densité de courant de fuite augmente avec la tension, cela signifie que notre capacité fuit dès les plus faibles tensions.

La **zone 5** est une zone intermédiaire qui présente des fluctuations. Sur les dispositifs avec 15 nm d'alumine, on retrouve ces 3 zones, à part que dans la zone 4, il y a peu de fuites et le courant varie peu avec la tension comme le montre la Figure 5.20 de la partie suivante. Nous allons nous intéresser dans la suite à cette zone de fluctuations.

II-1.1.c Mécanismes de conduction mis en jeu avec 15 nm d'alumine

Afin d'analyser la zone de fluctuation observée sur la mesure de courant de fuite et montrée dans la zone 5 de la Figure 5.19, nous avons tracé cette même courbe sur la Figure 5.20 pour les dispositifs à nanofils ayant 15 nm d'alumine ainsi que pour la référence correspondante.

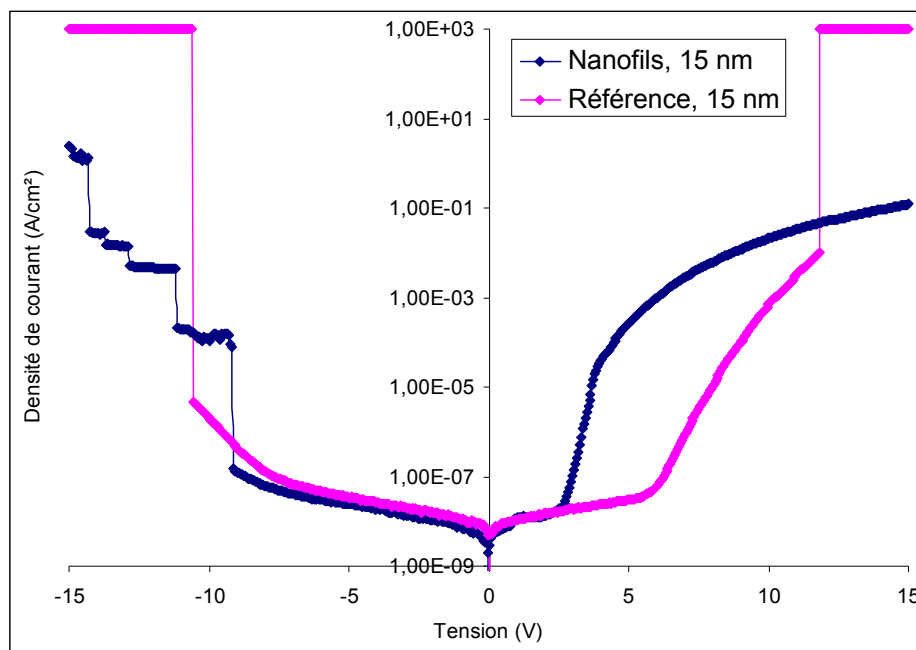


Figure 5.20 : Courbe donnant la densité de courant de fuite en fonction de la tension pour des dispositifs avec et sans nanofils ayant 15 nm d'alumine.

Contrairement à ce que nous avons à 10 nm d'alumine, les courbes pour les nanofils et celle pour la référence se superposent sur la gamme de tension de -3 V à +3 V. Les inhomogénéités d'épaisseurs qu'on avait à faible épaisseur d'alumine ont moins d'impact lorsque l'épaisseur d'alumine augmente. Malgré ces inhomogénéités qui doivent toujours être présentes, on a cette fois-ci une capacité qui ne fuit pas aux faibles tensions négatives.

On peut également voir qu'aux tensions négatives, les 2 courbes se superposent à peu près jusqu'au claquage qui apparaît quasiment à la même tension autour de -10 V. En revanche, pour les nanofils, il semble qu'on ait plusieurs claquages successifs. Cela rappelle les fluctuations de la zone 5 de la Figure 5.19. Nous tenterons d'éclaircir ce phénomène dans la suite de ce chapitre à partir d'une caractérisation par émission lumineuse.

Pour les tensions positives, on observe l'augmentation du courant à des tensions différentes entre les nanofils et la référence : à 3 V pour les nanofils et à 6 V pour la référence. Le claquage se produit également pour des tensions différentes entre les 2 courbes : à 5 V pour les nanofils et à 12 V pour la référence. On retrouve sur les nanofils une conduction limitée par la résistance des électrodes comme précédemment.

Globalement les 2 courbes sont plus proches l'une de l'autre indiquant que l'aspect tridimensionnel de notre capacité n'implique pas de courants de fuite supplémentaires. Les inhomogénéités d'épaisseurs probables ont ainsi moins d'impact sur les fuites lorsqu'on dépose 15 nm d'alumine car les zones de plus faibles épaisseurs doivent être plus épaisses que lorsqu'on dépose 10 nm. Si on arrive à s'affranchir de ces inhomogénéités d'épaisseur déposée en optimisant le dépôt d'alumine, doit pouvoir à 10 nm également avoir la même densité de courant de fuite sur la capacité à base de nanofils que sur la référence correspondante.

II-1.1.d Effet du pré-traitement avant le dépôt d'alumine sur le courant de fuite

Nous avons vu précédemment qu'un pré-traitement humide à base notamment d'acide fluorhydrique permettait d'améliorer la capacité mais aussi de diminuer les courants de fuite en accumulation étant donné la forme des courbes de C(V). La Figure 5.21 montre le tracé en pourcentage cumulé du logarithme du courant de fuite sur 66 dispositifs répartis sur toute la plaque pour chaque plaque, l'une ayant eu le pré-traitement et l'autre non.

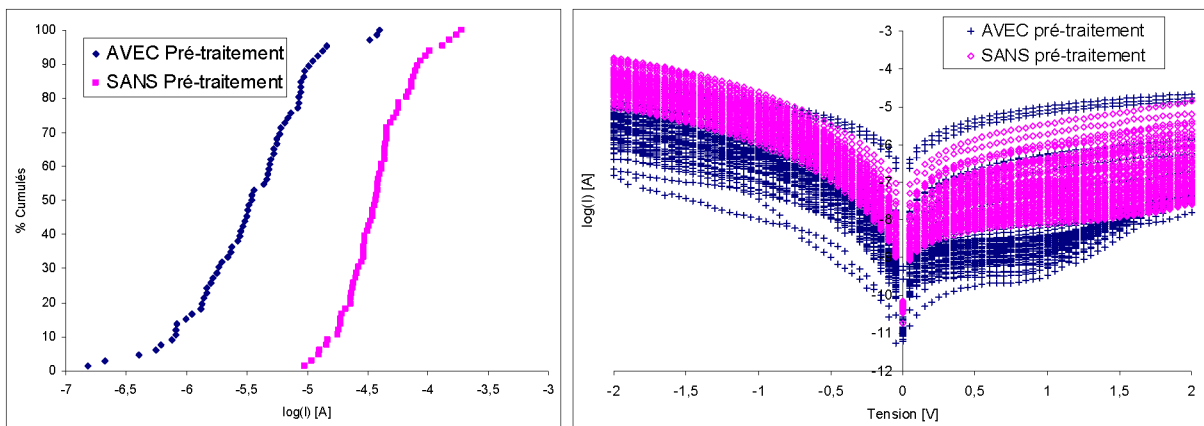


Figure 5.21 : A gauche : Tracé en % cumulés du logarithme du courant de fuite mesuré à -2 V sur un dispositif de 10 000 μm^2 . A droite : toutes les courbes de I(V) de -2 V à +2 V ayant servi à tracer la courbe de gauche.

La Figure 5.21 montre tout d'abord que la majorité des dispositifs ayant eu le pré-traitement présentent un courant de fuite plus faible que ceux qui ne l'ont pas eu. En revanche,

le graphique de gauche montre aussi une gamme de valeurs de courants de fuite plus étendue ainsi qu'une pente plus faible avec pré-traitement ce qui indique une plus faible reproductibilité du courant de fuite. Le pré-traitement telle qu'il a été fait, en 30 secondes et sans mouvement de la buse d'injection, introduit de la dispersion.

II-1.2 Etude des fuites par émission lumineuse

Nous avons utilisé un banc de mesure qui possède un microscope connecté à une caméra CCD qui enregistre l'émission lumineuse du dispositif pendant sa mesure. La caméra CCD utilisée est sensible aux longueurs d'onde comprises entre 400 et 1000 nm, ce qui correspond aux gammes du visible et du début de l'infrarouge. C. Leroux et al. [Leroux99] ont détaillé le fonctionnement de ce dispositif. Nous caractérisons ici un dispositif MOS de 10 000 μm^2 à base de nanofils avec 10 nm d'alumine déposée sans pré-traitement. Le microscope est focalisé sur notre dispositif qui est ici un carré de 10 000 μm^2 . On polarise notre capacité à tension constante dans la plage de tensions où apparaissent les fuites, et on enregistre l'image détectée par la caméra. Les différentes images prises par la caméra sont superposées et un code couleur arc-en-ciel rend compte des zones où un courant circule dans le semi-conducteur. Plus c'est rouge, et plus il y a de courant qui circule. Cette technique permet de visualiser où sont les fuites dans un dispositif, en revanche le banc de mesure ne permet pas d'identifier facilement la longueur d'onde d'émission. Cette technique est purement qualitative.

Nous avons ainsi polarisé négativement un dispositif comme décrit précédemment. Les résultats de superposition entre l'image enregistrée et la photo au microscope optique du dispositif mesuré sont représentés sur la Figure 5.22 pour 4 valeurs de courants de fuite mesurés.

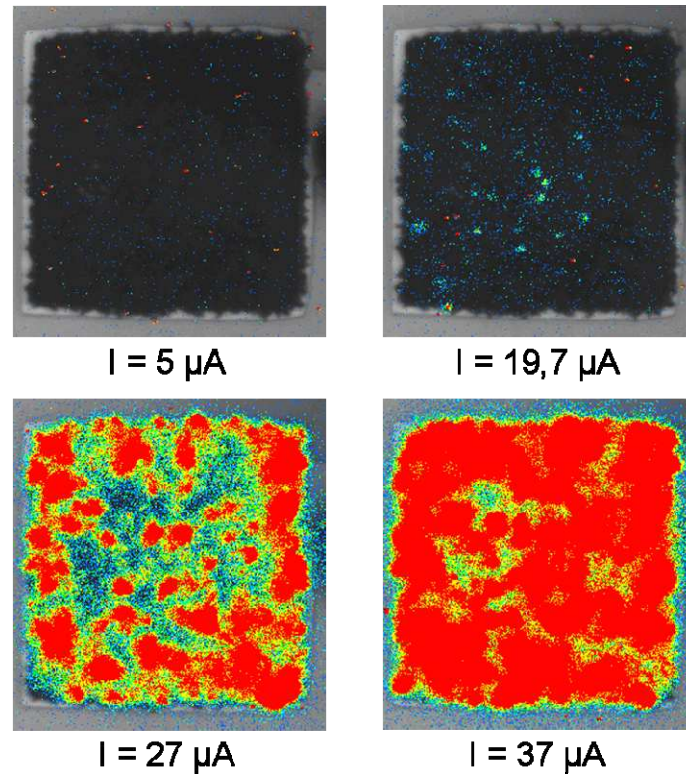


Figure 5.22 : Images superposée de l'enregistrement d'émission lumineuse avec la photo optique d'une capacité à base de nanofils. La couleur des pixels du bleu au rouge est proportionnelle au nombre de photons détectés, l'échelle de couleur est la même pour les 4 images.

La Figure 5.22 montre qu'à faible courant de fuite ($5 \mu\text{A}$), la caméra ne détecte pas à quel endroit cette fuite a lieu. Par contre, à partir de $19,7 \mu\text{A}$, on voit que la fuite est répartie en réalité sur plusieurs endroits. A $27 \mu\text{A}$, plus de courant circule par les endroits identifiés à $19,7 \mu\text{A}$, en revanche certains sites ont disparus et plusieurs autres sont apparus. Enfin à $37 \mu\text{A}$, il n'est plus possible de distinguer des sites précis car tous les sites qui émettent, émettent dans plusieurs directions et on finit par ne plus distinguer les sites entre eux.

Ce qui semble se produire, c'est qu'à partir d'une certaine tension, des courants de fuites apparaissent à des endroits localisés et répartis sur l'ensemble du dispositif. Cela correspondrait à des claquages locaux du diélectrique mais sur des zones pas suffisamment larges pour laisser passer beaucoup de courant. Au fur et à mesure que la tension augmente, le nombre de sites où le diélectrique est claqué augmente jusqu'à ce qu'il y ait suffisamment de sites claqués pour assurer le passage du courant correspondant à la tension appliquée. Cette succession de claquages correspondrait aux fluctuations observées sur les mesures à tension négative.

Ainsi, A 10 nm , on aurait des zones avec très peu d'alumine où le courant circulerait entre les électrodes dès les faibles tensions négatives alors qu'à 15 nm d'alumine ces zones auraient plus d'alumine et donc moins de fuites ce qui expliquerait le plateau observé à faible tension pour 15 nm d'alumine, Figure 5.20. Lorsque la tension augmente, apparaissent alors les claquages, à plus faible tension et plus rapprochés les uns des autres en tension à 10 nm qu'à

15 nm. Enfin lorsqu'il y a suffisamment de zones claquées, le courant s'écoule directement d'une électrode à l'autre et se trouve limité par le volume et la résistance des électrodes.

Coté positif, les porteurs minoritaires ne sont pas assez nombreux pour assurer la conduction, c'est pourquoi ce phénomène ne s'observe que du coté négatif correspondant au transport par les porteurs majoritaires.

II-2 Les capacités MIM

Comme nous l'avons vu précédemment avec la mesure des capacités, la fabrication des capacités MIM a donné des dispositifs de caractéristiques moins reproductibles. Nous ne montrons ici que ce qui est cohérent et reproductible : il s'agit de la mesure de la densité de courant de fuite en fonction de la tension pour des dispositifs ayant 15 nm d'alumine. La référence prise ici est la même que pour les MOS. Ainsi la Figure 5.23 montre les résultats obtenus.

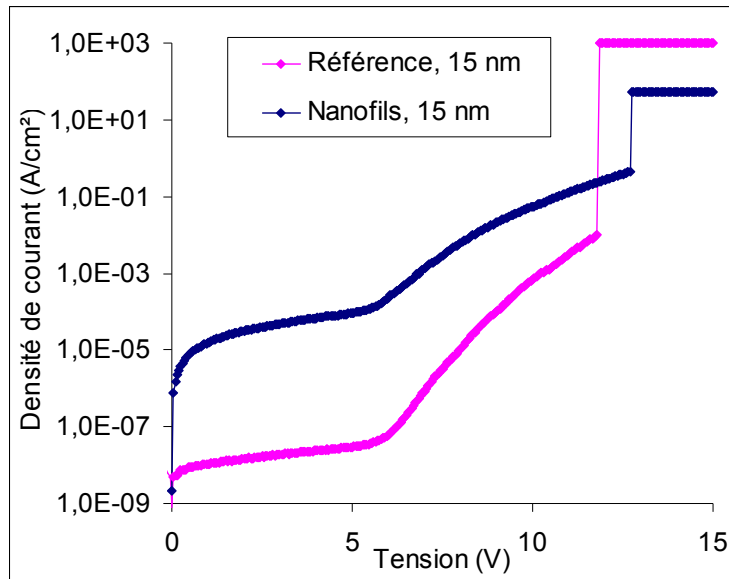


Figure 5.23 : Courbe donnant la densité de courant de fuite en fonction de la tension appliquée pour des capacités MIM ayant 15 nm d'alumine avec et sans nanofils (référence).

La densité de courant de fuite mesurée à 1 V sur la capacité à nanofils est de $16 \mu\text{A}/\text{cm}^2$ et de $11 \text{nA}/\text{cm}^2$ sur la référence. On a donc à peu près un facteur 1000 entre ces 2 valeurs. Les courants de fuites mesurés sur les capacités MIM à nanofils se révèlent plus importants que sur les capacités MOS. Nous pensons que l'origine de cette différence est liée à l'interface entre l'alumine et le TiN CVD sur lequel l'alumine a été déposée. En effet pour la référence, il s'agit d'un TiN densifié alors que pour les nanofils, il s'agit d'un TiN non densifié qui de ce fait présente des résidus carbonés issus du précurseur. Ces résidus peuvent être à l'origine d'une interface de mauvaise qualité entre l'alumine et le TiN de l'électrode inférieure et donc de courants de fuite plus importants. Il faudra à l'avenir envisager d'utiliser un TiN densifié pour l'électrode inférieure.

On voit également que les 2 courbes avec et sans nanofils sont quasiment parallèles, cela signifie que les tensions de claquage et d'apparition de la conduction dans le diélectrique sont à peu près les mêmes. Le claquage apparaît ainsi à 11,8 V pour la référence et à 12,7 V pour la capacité à nanofils. Quant aux tensions d'apparition de la conduction, elles sont identiques à 6 V. D'autre part, aux faibles tensions, on a un écart de densité de 2 ordres de grandeur entre la référence et la capacité à nanofils alors que cette différence n'est plus que d'un ordre de grandeur juste avant le claquage. (La valeur après claquage correspond à la valeur limite qu'on a fixée à l'appareil de mesure.)

En effet la pente de la courbe correspondant à la conduction dans le diélectrique entre 6 V et la tension de claquage est plus forte pour la référence que pour la capacité à nanofils, c'est pour cela que l'écart initial entre les 2 courbes diminue à plus forte tension. Nous n'avons pas les éléments pour expliquer l'origine de cette différence. Il faudra commencer par déterminer le mode de conduction en jeu. La cristallinité de l'alumine sur les nanofils peut être responsable de cette différence en modifiant la mobilité des porteurs dans l'alumine.

II-3 Bilan des valeurs de courant de fuite sur les capacités MOS et comparaison à l'état de l'art

Afin de comparer les performances de nos dispositifs à l'état de l'art, nous reportons dans cette partie l'ensemble des valeurs de densité de courants de fuite mesurés sur chacun de nos dispositifs. La surface utilisée pour les dispositifs à base de nanofils est extraite dans chaque cas à partir de la capacité mesurée en accumulation.

Epaisseur d'Al₂O₃	Capacités MOS à nanofils		Capacité MIM à NF
	- 1 V	+ 1 V	+ 1 V
10 nm	42 μA / cm ²	200 nA / cm ²	<i>Non fait</i>
15 nm	8,9 nA / cm ²	11 nA / cm ²	16 μA / cm ²

Tableau 5.2 : Valeurs obtenues de densité de courant de fuite selon les dispositifs obtenues à – 1 V et à + 1 V pour les capacités MOS et MIM à base de nanofils. NF = nanofils.

Nous n'avons pas reporté dans ce tableau les valeurs de courant de fuite correspondant à 20 nm d'alumine car les valeurs obtenues sont très variables selon les dispositifs et anormalement plus élevées que celles mesurées en présence de 15 nm d'alumine. Nous soupçonnons un défaut de l'équipement de dépôt sur les dépôts longs. En revanche les capacités fonctionnent bien avec cette épaisseur mais présentent des courants de fuites très variables d'un dispositif à un autre.

Ces valeurs sont à comparer aux valeurs obtenues sur des capacités tridimensionnelles nano-structurées. Nous avons reporté dans le Tableau 5.3 les rapports entre la densité de capacité et la densité de courant de fuite.

Référence	[Black04]	[Choi10]	[Banerjee09]	Nous à 15 nm
Densité de Capacité ($\mu\text{F}/\text{cm}^2$)	3,13	0,62	10	9,6
Densité de courant de fuite à 1V (nA/cm^2)	2 500	5 000	5	11
Rapport des densités de capacité et de fuite (F/A)	1,25	0,124	2000	873

Tableau 5.3 : Densité de capacité par unité de surface en vue de dessus, densité de courant par unité de surface déployée et rapport entre ces 2 valeurs à partir des capacités à base de nanostructures de la littérature et de nos valeurs à 15 nm d'alumine.

Le Tableau 5.3 montre que nos résultats à 15 nm d'alumine se situent entre ce qui a été fait par Y. Choi et al. [Choi10] avec des nanotubes de carbone et P. Banerjee et al. [Banerjee09] avec de l'alumine nanoporeuse. En revanche si on prend nos résultats à 10 nm d'alumine et à + 1 V, obtient un rapport de 110. A la tension de fonctionnement de notre capacité MOS, c'est-à-dire proche de -1 V, le rapport passe à 0,5. Nos capacités MOS à 10 nm d'alumine présente en effet des courants de fuite plus importants comme nous l'avons montré précédemment.

Précisons tout de même que les valeurs trouvées dans la littérature correspondent aux valeurs les plus favorables : en effet pour les nanotubes de carbone, la tension où la capacité est la plus forte, n'est pas la même que celle prise par les auteurs pour déterminer la fuite. De même sur l'alumine nanoporeuse, la valeur de capacité est donnée pour 20 Hz. A cette fréquence la mesure doit être fortement bruitée et la façon dont la valeur est extraite n'est pas précisée et la courbe de mesure non représentée.

Pour comparer nos valeurs à la capacité compatible Back End de $3,5 \mu\text{F}/\text{cm}^2$ obtenue dans une salle blanche industrielle (ST Microelectronics) par A. Bajolet et al. [Bajolet05], nous avons calculé le rapport à -1 V entre le courant de fuite mesuré en Ampère et la capacité mesurée en Farad. A 15 nm d'alumine, le courant de fuite du dispositif mesuré est de 16 pA et sa capacité de 900 pF, ce qui correspond à un rapport de $1,8 \times 10^{-11} \text{ A/nF}$. Cette valeur est très proche de la valeur obtenue par A. Bajolet et al. d'environ $7 \times 10^{-12} \text{ A/nF}$ sur une capacité à base de 78 nm de Ta_2O_5 .

Nous avons également tenté de nous positionner par rapport aux spécifications des applications visées. Nous avons trouvé les spécifications de IPDIA qui fabrique des capacités destinées aux mêmes applications que celles que nous envisageons : convertisseurs DC/DC et capacités de découplage. Leur spécification [IPDIA.com] sur le rapport du courant de fuite sur la capacité est qu'il doit être inférieur à $7 \times 10^{-12} \text{ A/nF}$ à 3,6 V. A cette tension, notre rapport avec 15 nm d'alumine est de $3,5 \times 10^{-11} \text{ A/nF}$. On est donc à ce jour en dehors de leurs spécifications d'un facteur 5. Cela signifie qu'on doit soit multiplier par 5 notre capacité, soit

diviser par 5 notre courant de fuite ou encore ajuster les deux en même temps grâce notamment à l'optimisation du nettoyage avant le dépôt d'alumine. Par ailleurs, leur spécification de tension de claquage est de 10 V alors que notre tension de claquage est également proche mais en dehors puisqu'elle est de 9,2 V.

Nous sommes en dehors de leurs spécifications, mais malgré la nouveauté de notre approche et le fait qu'il s'agisse des tous premiers résultats avant d'autres optimisations, nos résultats sont tout de même très proches de ces spécifications. D'autre part la technologie d'IPDIA **[Roozeboom00]** est une technologie à base de gravure profonde du silicium et par conséquent incompatible avec le Back End.

Conclusion

Le meilleur démonstrateur de capacité MOS de haute densité à base de nanofils que nous avons obtenus présente une capacité de $22 \mu\text{F}/\text{cm}^2$. Cette valeur correspond à un gain de 27,5 par rapport à une capacité planaire. Ce gain très élevé a été obtenu pour une structure avec 10 nm d'alumine déposée après un nettoyage. Ce nettoyage à base d'acide fluorhydrique, d'acide sulfurique et d'eau oxygénée appliqué ici pendant 30 secondes sur les nanofils après leur croissance, permet d'éliminer une partie du cuivre et de l'oxyde présent à la surface des nanofils. L'effet de ce traitement humide, enchainé avec le dépôt d'alumine, sur les propriétés électriques des capacités a été identifié. Il permet d'augmenter la valeur de la capacité et de diminuer les fuites. En revanche, nous avons observé qu'il introduisait une dispersion de la valeur de la densité de capacité en fonction de la taille de la capacité mesurée. Ce traitement nécessaire pour obtenir des capacités de forte valeur et de faibles fuites devra être optimisé et devrait permettre d'obtenir de meilleures valeurs de capacité et de fuites.

Nous avons également mis en évidence une chute de la valeur de la capacité avec la fréquence. Cette chute a lieu à partir d'une fréquence dite de coupure qui dépend de l'épaisseur d'alumine mais également de la position du dispositif sur la plaque. La capacité à faible fréquence étant la même au bord et au centre, nous avons grâce à cette fréquence de coupure mis en évidence que la résistance série de nos dispositifs était plus forte au centre qu'au bord de la plaque. Le magma poreux présent entre les nanofils au centre de la plaque est probablement à l'origine de cette résistance série plus forte au centre. La résistance série totale des capacités MOS a été évaluée entre $20\,000 \Omega$ et $25\,000 \Omega$ sur des nanofils en accumulation à -2 V en bord de plaque. Cette évaluation a été confirmée par une mesure en mode série à l'aide du capacimètre.

L'effet d'un recuit à 400°C et d'un plasma de densification du TiN de l'électrode supérieure ont été identifiés comme néfastes. Par ailleurs, les mécanismes de conduction dans l'alumine devront être déterminés à partir de mesure en température. Si ces mécanismes mettent en jeu une conduction assistée par les pièges, la mise au point d'un recuit après le dépôt d'alumine pourra être nécessaire. Ce recuit est destiné à permettre l'exodiffusion des produits de réaction issus du dépôt ALD et qui peuvent en partie être à l'origine des pièges entrant en jeu dans la conduction. La densification du TiN supérieur pour diminuer sa résistance, pourra être effectuée à condition d'avoir déposé une épaisseur suffisante pour protéger l'alumine. Cette épaisseur minimale devra être déterminée par d'autres études.

Un phénomène de claquages successifs a été caractérisé à 10 et à 15 nm d'alumine à partir de mesures de courant en fonction de la tension et d'images d'émission lumineuse. L'alumine présenterait des inhomogénéités d'épaisseur qui favoriserait ce phénomène. Ainsi, pour diminuer les courants de fuite dans les capacités présentant la plus faible épaisseur d'alumine, il faudra optimiser les temps de dépôt et de purge lors du dépôt ALD d'alumine.

Les meilleures capacités MOS obtenues sont à 10 nm d'alumine, en revanche c'est à 15 nm qu'on a la plus faible dispersion de valeurs de capacité et les courants de fuite les plus

proches des références. Les densités de courant de fuite obtenus à -1 V de 8,9 nA/cm² sont du même ordre de grandeur que les densités de courant les plus faibles reportées dans la littérature [Banerjee09]. Nos dispositifs avec 15 nm d'alumine ont des caractéristiques très proches des spécifications industrielles pour les applications de découplage et de convertisseurs DC/DC.

Le meilleur démonstrateur de capacité MIM de haute densité à base de nanofils que nous ayons obtenus présente une capacité de 9 µF/cm². Cette valeur correspond à un gain de 16 par rapport à une capacité planaire. Ce gain élevé a été obtenu pour une structure avec 15 nm d'alumine. Les dispositifs fabriqués présentent une chute de la valeur de la capacité avec la fréquence de mesure qui apparaît dès les plus faibles fréquences. Cela témoigne également d'une forte résistance série. Cette forte résistance provient probablement d'un mauvais contact électrique entre l'électrode en TiN déposée sur les nanofils et l'empilement métallique sous les nanofils et connecté à la face arrière. Ceci est probablement dû au magma poreux entre les nanofils qui empêche ce contact de se faire, mais probablement aussi à cause de l'état de surface sur laquelle devrait se faire le contact électrique. Cette surface est probablement oxydée pendant l'étape d'oxydation du catalyseur nécessaire à la croissance des nanofils.

Les courbes de mesure de la capacité en fonction de la tension sur les capacités MIM présentent en revanche des valeurs de linéarité en tension conformes à l'état de l'art des capacités tridimensionnelles avec les mêmes matériaux.

Pour les deux filières d'intégration MOS et MIM, le magma poreux présent entre les nanofils a un effet néfaste, il faudra poursuivre les efforts sur les études de croissance pour l'éliminer et permettre ainsi d'obtenir des capacités de plus faibles résistances série. Cela permettra d'étendre les plages de fréquences de fonctionnement des dispositifs. Nos démonstrateurs sont pour l'instant limités à quelques kilos Hertz.

Chapitre 6 : Etude de l'intégration des nanofils pour la fabrication de transistors dans les interconnexions

Introduction

Le chapitre précédent a permis de mettre en évidence l'intérêt des nanofils pour la fabrication de capacités de haute densité dans les niveaux d'interconnexion. Cette application mettait à profit principalement leur propriété dimensionnelle pour déployer une surface importante. Nous allons dans cette partie étudier leur intégration dans les interconnexions pour la fabrication de transistors en mettant à profit leur propriété de croissance cristalline sur ligne métallique. En effet, cette propriété devrait permettre la fabrication dans les niveaux d'interconnexion de transistors MOS comme ceux déjà réalisés sur le silicium du substrat. Ainsi dans ce chapitre, nous nous intéressons dans un premier temps aux applications de ce type de dispositifs. Afin d'étudier l'opportunité des nanofils de silicium obtenus par croissance et d'évaluer les performances d'un empilement de grille formé à partir de procédés compatibles avec le Back End, nous avons réalisé des capacités MOS à base de nanofils localisés. Nous présentons les principales étapes de fabrication des dispositifs, depuis la localisation du catalyseur, aux dépôts des matériaux de capacités en passant par l'étude de la croissance guidée. Nous présentons aussi la fabrication de dispositifs de référence obtenus sans catalyseurs par épitaxie sélective. Le chapitre se termine par la caractérisation électrique des dispositifs et leur comparaison avec les références ainsi qu'avec les capacités précédemment présentées.

I- Conception de transistors à base de nanofils pour les interconnexions

I-1 Le transistor à nanofils dans les interconnexions

Le nanofil de silicium, grâce à son mode de croissance, permet d'amener un matériau semi-conducteur monocristallin dans les niveaux d'interconnexion. Ceci n'est pas possible avec les procédés existant en microélectronique. En effet l'épitaxie nécessite la présence d'une souche cristalline sur laquelle on fait croître le matériau cristallin. La recristallisation d'un matériau déposé se fait à des températures supérieures aux limites fixées par le Back End à 450°C. Le nanofils de silicium obtenu par croissance CVD est donc une opportunité d'amener dans les niveaux d'interconnexion du silicium monocristallin et de ce fait de réaliser des transistors dans ces interconnexions.

Ces transistors pourraient ainsi être fabriqués soit horizontalement, c'est l'approche choisie par A. Lecestre et al. [Lecestre10], soit verticalement. Dans les 2 cas, leur fonction est de bloquer ou de laisser circuler le courant entre 2 éléments métalliques d'interconnexion. La Figure 6.1 représente ce type de dispositif en configuration verticale.

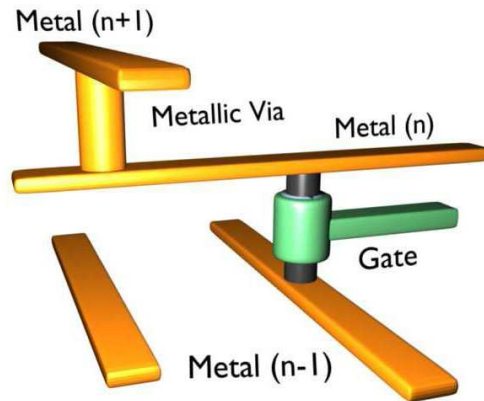


Figure 6.1 : Schéma d'un transistor vertical dont le canal est constitué d'un nanofil entre 2 lignes métalliques d'interconnexion.

La grille serait ensuite connectée à une autre ligne métallique à partir d'un via (connexion verticale).

I-2 Applications

I-2.1 Pour les mémoires embarquées

Les transistors fabriqués à partir de nanofils ne devraient pas à priori pouvoir présenter des performances aussi optimisées que celles des transistors fabriqués aujourd'hui au niveau du substrat de silicium. D'abord parce qu'il restera toujours une contamination métallique du canal en silicium, notamment par le catalyseur servant à la croissance mais aussi due à l'utilisation d'équipements présentant une contamination métallique au cuivre. Ensuite les nanofils pour être utilisés doivent subir une croissance guidée et cela induit des défauts cristallins dans les nanofils comme des macles comme l'ont montré A. Lecestre et al. [Lecestre10] et comme nous le montrons plus loin dans ce chapitre. Pour ces raisons que nous n'envisageons pas que ces transistors puissent être utilisés pour réaliser les mêmes fonctions logiques que les transistors du Front End.

En revanche, l'émergence de l'intégration 3D montre le grand intérêt porté par les industriels sur l'empilement de fonctions variées au-dessus de la logique CMOS en particulier de la mémoire. Il existe déjà 2 façons d'empiler une partie de la mémoire avec le processeur : soit par collage de plaques (ou de puces) où l'une contient le processeur et l'autre la mémoire, soit de déporter dans le Back End les matériaux actifs stockant les points mémoires. C'est le cas par exemple dans les PCRAM (Phase Change Random Access Memory) qui sont des dispositifs stockant l'information à partir de l'état cristallin ou amorphe d'un matériau à changement de phase. Dans ce dernier cas, les transistors qui contrôlent les points mémoire sont en Front End alors que les points mémoire sont eux mêmes en Back End. La fabrication de transistors dans le Back End devrait permettre de délocaliser tout le bloc mémoire dans le Back End. P.E Gaillardon et al. [Gaillardon11] du Léli ont quantifié l'intérêt de cette approche.

I-2.2 Pour les circuits logiques reconfigurables (FPGA)

Les circuits FPGA (Field Programmable Gate Arrays) sont des circuits constitués de blocs de logique standard qui contiennent toutes les fonctions utilisées dans les circuits intégrés. Ces blocs de base sont connectés entre eux par des interconnexions reconfigurables par l'utilisateur en fonction de la façon dont il souhaite utiliser le circuit. Ces FPGA sont utilisés principalement par les concepteurs de circuits intégrés qui disposent ainsi à coût réduit de circuits réels leur permettant de simuler et d'extraire des caractéristiques de fonctionnement en fonction de la façon dont sont connectés les blocs logiques entre eux. Ils sont également de plus en plus utilisés dans le monde de l'électronique pour réaliser de petites séries de produits finis ou en complément de circuits complexes. Leur propriété de reprogrammation les rendant extrêmement souples pour adresser de nombreuses applications.

Certains envisagent pour diminuer les coûts de fabrication des circuits intégrés qu'à l'avenir les FPGA remplacent petit à petit les circuits intégrés produits « sur mesure » pour chaque application. Ainsi on ne produirait qu'un seul type de circuit contenant toutes les fonctions logiques de base à partir d'une architecture standard pouvant servir à plusieurs applications. Il ne s'agirait ensuite que de configurer les interconnexions pour que le circuit remplisse la fonction désirée.

Aujourd'hui les FPGA ne permettent pas la mise en place de cette approche à cause de la partie du circuit qui gère les configurations de connexion. Il s'agit d'une portion de circuit constituée d'un grand nombre de transistors qui permettent de définir comment sont connectés entre eux les blocs logiques. Cette architecture est volumineuse et peu efficace à cause de la distance non optimisée entre les blocs logiques et du passage systématique de ces connexions par le circuit de gestion des configurations

La fabrication de via programmables formés par des transistors à base de nanofils permettrait de simplifier et de déporter en Back End ce circuit de gestion des interconnexions. P.E Gaillardon et al. [Gaillardon11'] du LÉTI ont quantifiés le gain en performances d'une telle architecture à base de transistors verticaux à base de nanofils CVD comme ceux que nous proposons dans ce chapitre.

I-3 Procédés de fabrication de transistors verticaux à base de nanofils

I-3.1 Etat de l'art des transistors verticaux à base de nanofils

On trouve très facilement dans la littérature des études réalisées sur des transistors horizontaux à base de nanofils. On peut notamment citer les travaux de M.T. Björk et al [Björk09] qui ont utilisé cette structure pour caractériser le dopage dans des nanofils CVD. W.M. Weber et al [Weber06] ont quant à eux travaillé sur la siliciuration des extrémités du nanofils pour améliorer les contacts électriques sur la source et le drain. E.C. Garnett et al [Garnett09] ont travaillé eux aussi sur le dopage des nanofils et ont appliqué la méthode de la mesure C(V) pour extraire le dopage dans les nanofils et ont aussi caractérisé l'interface entre leur nanofil et un dépôt ALD d'alumine. B. Salem et al [Salem09] ont démontré la fabrication de transistors à partir d'une croissance de nanofil d'une des électrodes vers l'autre électrode. Le transistor ainsi réalisé fonctionne avec la face arrière du substrat.

En revanche, il existe très peu de travaux portant sur l'intégration des nanofils de silicium dans des transistors verticaux, la Figure 6.2 montre les images des travaux correspondant.

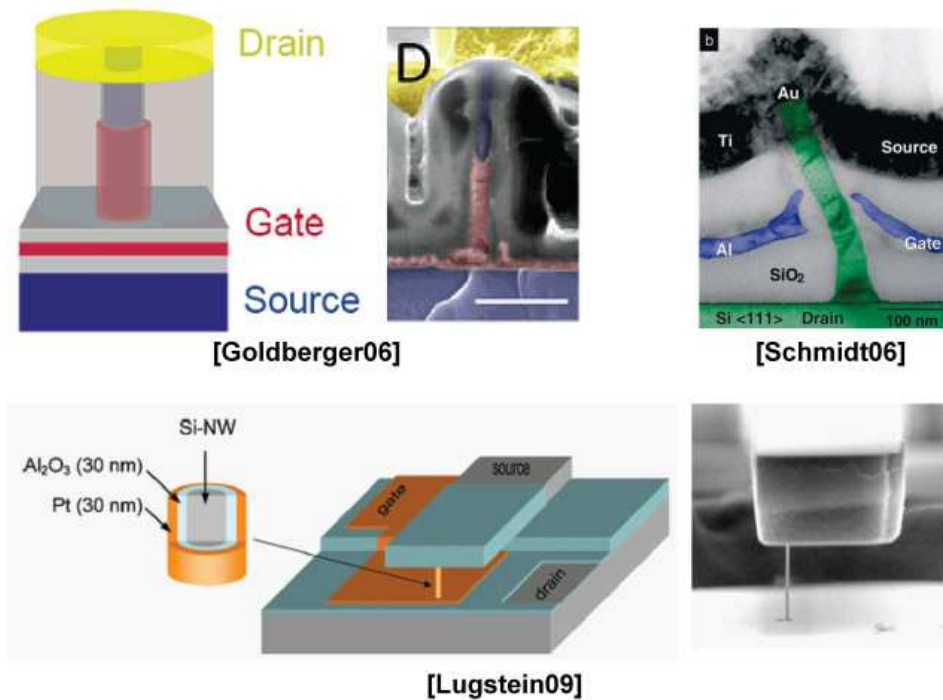


Figure 6.2 : Images des transistors verticaux à base de nanofils fabriqués par différentes équipes : [Goldberger06], [Schmidt06] et [Lugstein09]

La Figure 6.2 montre les travaux de 3 équipes dont les dispositifs ont pour point communs une croissance catalysée à l'or sur substrat de silicium orienté (111) avec un grille de transistor enrobante toute autour du nanofil. Les 2 premiers ont pour diélectrique de l'oxyde de silicium et le 3^e utilise de l'alumine. L'oxyde de silicium est à priori le meilleur oxyde pour réaliser une grille de transistor lorsqu'il n'y a pas de contrainte sur la longueur de grille étant donné la qualité de son interface avec le silicium. Le métal de grille est quant à lui différent sur les trois, Golberger a utilisé du chrome, Schmidt de l'aluminium et Lugstein du platine. Seul l'aluminium parmi ces 3 est un matériau connu et déjà utilisé en microélectronique.

Chacun de ces travaux a été effectué sur silicium orienté (111) car une des difficultés de cette intégration est liée à l'orientation des nanofils. Ainsi sur silicium orienté (111), on peut obtenir des nanofils parfaitement perpendiculaires au substrat, ce qui facilite ensuite les différents dépôts pour réaliser l'empilement de grille.

I-3.2 Proposition de fabrication de transistors verticaux pour les interconnexions

I-3.2.a Procédés de fabrication

Nous allons proposer dans cette partie une filière utilisant les nanofils de silicium obtenus par croissance. Le but est ici de mettre en évidence les principales difficultés technologiques ainsi que les briques de base à constituer pour optimiser le fonctionnement d'un tel dispositif. La Figure 6.3 montre les schémas en coupe correspondants aux principales étapes de fabrication.

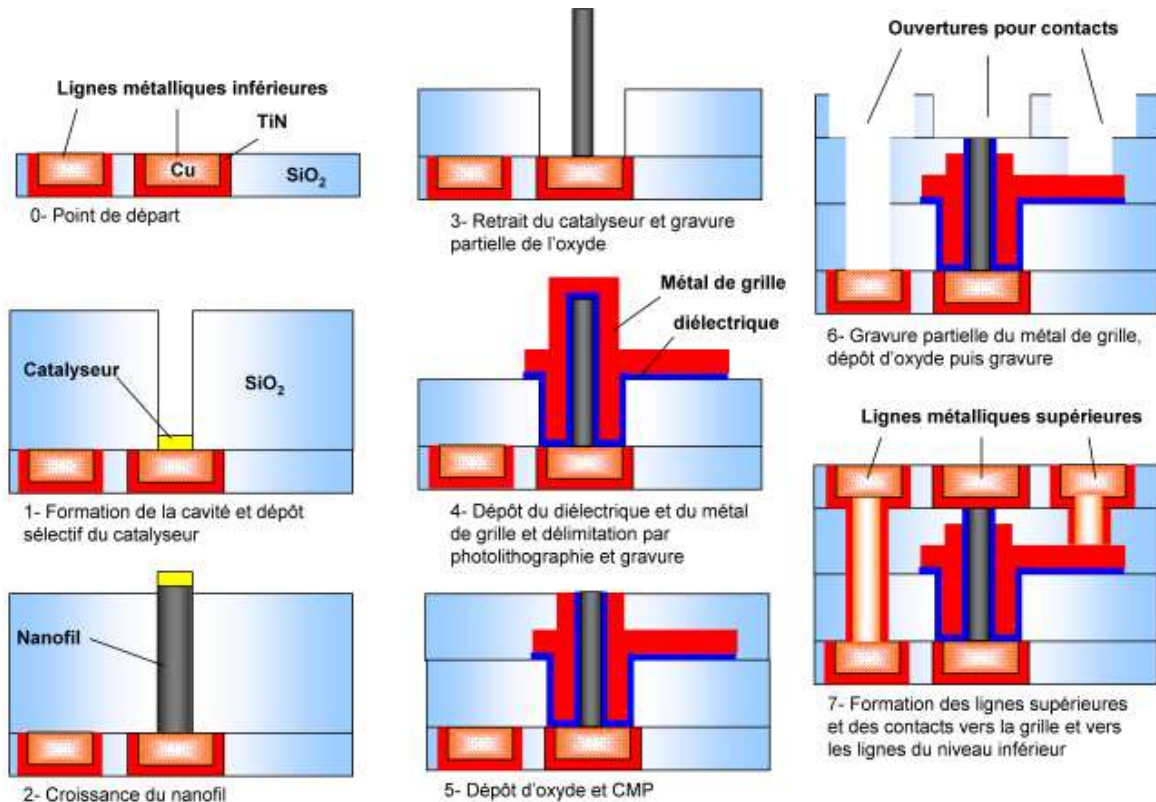


Figure 6.3 : Schémas en coupe des principales étapes de fabrication d'un transistor vertical entre 2 niveaux métalliques d'interconnexion.

Dans ce schéma, au point de départ (**étape 0**), on considère qu'on est à un niveau métallique N situé plutôt dans les derniers niveaux d'interconnexion là où l'espace entre les niveaux est le plus important. Le dispositif va ainsi être fabriqué dans ce cas entre les niveaux N et N+1. La ligne métallique représentée à gauche du schéma ne participera pas au fonctionnement du dispositif mais a été représentée pour montrer comment se fait la co-intégration du dispositif avec les autres lignes métalliques en cours de fabrication.

La filière commence à l'**étape 1** par le dépôt d'un oxyde épais, son épaisseur déterminera la longueur totale du transistor, par exemple 1 μm . Cette étape comprend également une photolithographie et une gravure pour déterminer le diamètre de la cavité où se fera la croissance du nanofil ainsi que la localisation du catalyseur en fond de cavité. A ce stade, plusieurs variantes sont possibles : soit le cuivre de la ligne métallique sous la cavité sert directement de catalyseur de croissance, soit on aura déposé et délimité une couche de barrière de diffusion en TiN par exemple

entre le cuivre de la ligne métallique et le catalyseur, dans ce cas la croissance se fera sur la couche barrière. Nous présentons plus loin dans ce chapitre des méthodes de localisation du catalyseur en fond de cavité, et discuterons de l'importance que ce catalyseur soit bien en fond de cavité et absent sur les flancs. Le meilleur matériau entre le cuivre de la ligne métallique inférieure et le nanofil devra faire l'objet d'études afin d'obtenir le meilleur contact électrique possible tout en jouant le rôle de barrière pour éviter la diffusion du cuivre de la ligne métallique dans le nanofil.

L'**étape 2** correspond à la croissance guidée du nanofil dans la cavité d'oxyde. En effet, la croissance n'étant pas réalisée sur silicium orienté (111) dans cette configuration, le nanofil n'a pas de raison a priori de croître en direction de la ligne métallique supérieure. Il faut pour cela le guider, c'est le rôle de la cavité qu'on vient de former. Nous verrons dans ce chapitre, l'impact du guidage sur les propriétés cristallographiques du nanofil. Le but ici est que le nanofil soit guidé sur toute sa longueur et qu'il ne dépasse pas trop de la cavité. Si on souhaite réaliser un transistor avec des jonctions P/N au sein du nanofil, il faut effectuer une croissance avec un dopage *in-situ* en alternant les dopages P et N pour créer 3 zones dopées.

L'**étape 3** consiste tout d'abord à graver une partie de l'oxyde de façon à dégager les flancs du nanofil. Il y a deux approches possibles pour cette gravure, soit on fait une gravure humide comme celle représentée sur le schéma où en même temps qu'on abaisse les flancs de la cavité, on l'élargit. La deuxième approche consiste à faire une gravure sèche qui abaisse les flancs de la cavité sans l'élargir. On utilisera cette deuxième approche pour réaliser un transistor avec des jonctions P/N au sein du nanofil. Dans ce cas, il faut abaisser les flancs de la cavité jusqu'à les aligner avec la jonction P/N la plus basse dans le nanofil. Il est important de faire cette étape de gravure avant le retrait du catalyseur, cela permet d'enlever à la fois le catalyseur métallique au sommet du nanofil et à la fois d'enlever une partie des résidus de catalyseurs présents sur les flancs du nanofil.

A l'**étape 4**, le dépôt de l'empilement de grille est effectué par dépôts conformes du diélectrique et du métal. Ces dépôts doivent être effectués à des températures compatibles avec les niveaux d'interconnexion c'est-à-dire inférieures à 450°C. Les critères de choix des matériaux de l'empilement de grilles sont les mêmes que ceux pour la réalisation de capacités MOS présentés au chapitre 3. Une fois ces dépôts réalisés, il faut délimiter cet empilement de grille autour du nanofil par photolithographie et gravure.

L'**étape 5** consiste à redéposer de l'oxyde sur l'ensemble et à procéder à un polissage mécano-chimique (CMP) afin d'obtenir une structure plane sur les parties hautes et de dégager le sommet du nanofil pour préparer le futur contact supérieur.

A l'**étape 6**, on commence par graver partiellement le métal de la grille pour l'isoler électriquement du futur contact électrique supérieur. Dans le cas de transistors à jonctions P/N dans le nanofil, cette gravure sélective doit se faire de façon à aligner la grille avec la jonction P/N la plus haute située dans le nanofil. Il faut ensuite refaire un dépôt d'oxyde afin de remplir l'espace laissé par la précédente gravure et pour la formation des lignes métalliques du niveau N+1. A présent on va graver les cavités qui seront ensuite remplis de métal pour constituer les contacts électriques vers le nanofil, la grille et les autres lignes métalliques du niveau N+1 et leurs contacts vers le niveau N. Cela

revient à faire des gravures de profondeurs différentes. Cela est rendu possible par plusieurs photolithographies et l'utilisation de couches d'arrêt à la gravure.

L'étape 7 correspond au remplissage métallique des cavités formées à l'étape 6, suivie d'une étape de polissage mécano-chimique pour former les contacts électriques. De cette façon on réalise la co-intégration d'un transistor vertical à nanofils avec les autres lignes métalliques et contacts verticaux entre les niveaux N et N+1.

I-3.2.b Principales difficultés d'intégration et opportunité du transistor sans jonction

La fabrication d'un transistor vertical à nanofils à base de jonctions P/N présente de nombreuses difficultés. En particulier, au niveau du dopage puisqu'il faut localiser 2 jonctions P/N au sein d'un nanofil. Ensuite il faut aligner la grille sur ces jonctions, pour cela la position des jonctions doit être parfaitement connue. A partir d'un dopage *in-situ*, il est très complexe d'obtenir des jonctions P/N franches car il faut prendre en compte le temps de vider le catalyseur en élément dopant lorsqu'on passe d'un type de dopant à un autre pendant la croissance. De cette façon, apparaissent des gradients de dopage dans le nanofil au niveau des jonctions. Ensuite la cinétique de croissance du nanofil est modifiée par la présence de dopants, il faut donc contrôler la croissance en prenant en compte des régimes transitoires entre différentes cinétiques de croissance. Dans ces conditions, il est très difficile sur 1 μm de nanofil de localiser précisément 2 jonctions P/N.

Une autre architecture innovante est possible, on peut réaliser un transistor de type « jonction less », c'est-à-dire sans jonction P/N. Ce type de transistor dont le fonctionnement a été mis en évidence par J.P. Colinge et al. [Colinge10] fonctionne à l'inverse du transistor avec jonction. A partir d'un fort dopage du canal et une grille polarisée en accumulation, ce type de transistor est à l'état passant. Lorsque la grille est polarisée en inversion, les porteurs sont chassés et le transistor bascule à l'état bloqué. Ce type de transistor est une opportunité très intéressante pour les nanofils CVD, puisque réaliser un dopage homogène *in-situ* est bien plus abordable que de localiser 2 jonctions dans un nanofil.

Les autres principaux points techniques à étudier concernant cette intégration sont : la localisation du catalyseur en fond de cavité, la croissance guidée et l'impact du guidage sur les propriétés du nanofil, les propriétés de l'empilement de grille déposé à basse température et la mise en place des derniers contacts.

I-3.2.c Etudes réalisées dans le cadre de cette thèse

Dans cette thèse nous nous sommes intéressés aux étapes 1 à 4 de la Figure 6.3. Nous nous sommes d'abord intéressés aux techniques de localisation du catalyseur en prenant l'exemple de l'or. L'or a été choisi comme catalyseur étant donnée la maîtrise plus importante que nous avons de la croissance avec ce catalyseur par rapport à celle que nous pouvions avoir avec le cuivre. Nous avons ensuite étudié la croissance guidée dans une cavité et l'impact du guidage sur la morphologie des nanofils. Nous avons enfin travaillé sur les propriétés électriques de capacités MOS à base de nanofils après retrait du catalyseur et dépôt à basse température d'un empilement de grille à base d'alumine et de nitrure de titane.

Pour réaliser cette étude, nous avons choisi d'effectuer la croissance sur silicium au lieu de travailler sur une ligne métallique. Ce choix a été fait pour faciliter la fabrication des dispositifs ainsi que la prise de contact électrique inférieure en utilisant la face arrière du substrat. En revanche pour voir un effet réel du guidage sur la croissance, nous avons pris un substrat de silicium orienté (100) et pas (111). Sur substrat (111) le nanofil pourrait être « naturellement » perpendiculaire au substrat et on ne verrait pas l'effet du guidage.

A titre de comparaison et pour servir plus tard de référence pour les mesures électriques, nous avons réalisé dans le même type de cavités la croissance de nanofils par épitaxie sélective sans catalyseur. Les principales étapes de fabrication étudiées sont représentées sur la Figure 6.4.

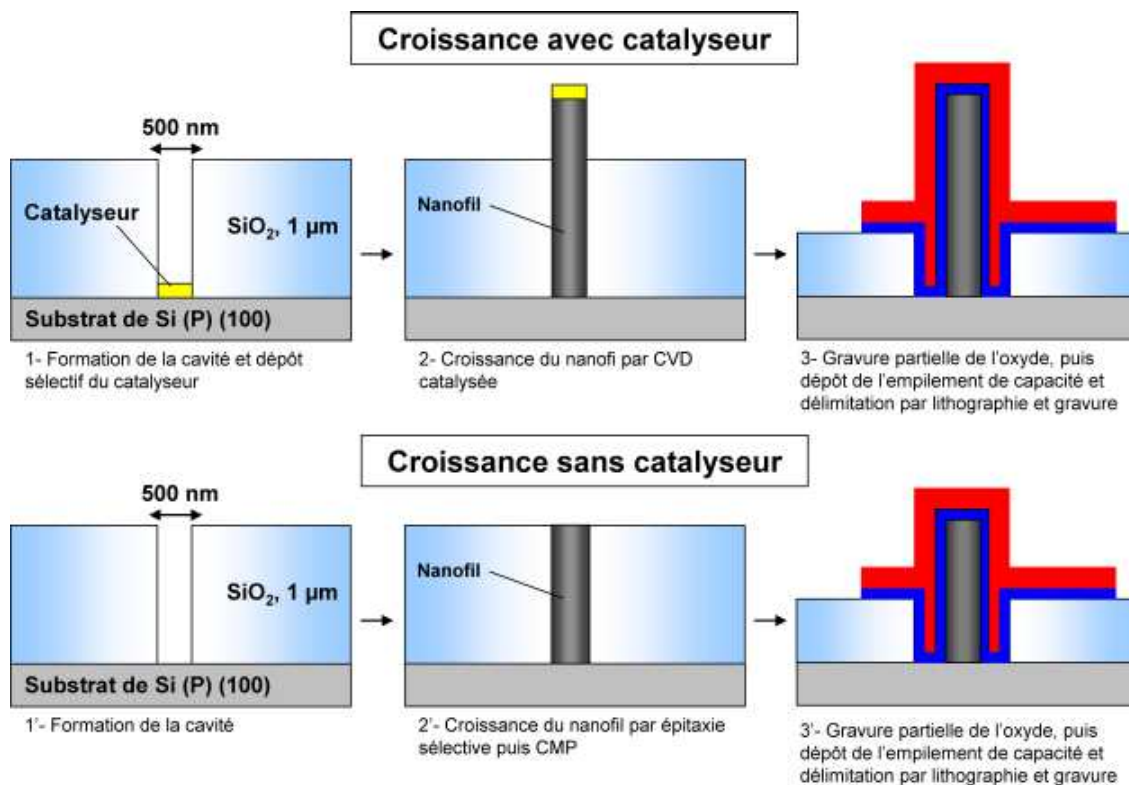


Figure 6.4 : Principales étapes étudiées de fabrication des dispositifs à base de nanofils obtenus par croissance CVD catalysée à l'or et par épitaxie sélective sans catalyseur pour comparaison.

Le principe de fabrication consiste à utiliser le même masque d'oxyde pour les 2 croissances. Pour la croissance catalysée, la filière commence la localisation du catalyseur en fond de cavité dont nous verrons plusieurs techniques pour obtenir ce résultat. Nous effectuons ensuite la croissance des nanostructures dans les cavités formées, nous détaillerons dans la suite les recettes utilisées. La gravure partielle de l'oxyde ayant servi à guider la croissance a été effectuée à partir d'une solution tamponnée à base d'acide fluorhydrique. Pour la croissance catalysée, l'or a ensuite été gravé en plongeant les échantillons dans un bain à base d'iodure de potassium. Les échantillons ont ensuite subi un dépôt ALD d'alumine à 250°C puis le dépôt du métal supérieur de la capacité composé de 100 nm de TiN, 200 nm d'aluminium et de nouveau 100 nm de TiN, les trois couches ayant été déposées par PVD.

Ainsi, les cavités des dispositifs mesurés font 500 nm de diamètre après photolithographie et gravure anisotrope et 1 μm de profondeur. Ces cavités seront ensuite élargies en fonction des gravures humides effectuées et présentées dans la suite. En croissance catalysée, nous verrons plus loin que les nanofils obtenus dépassent de la cavité et sont ainsi plus longs que ceux obtenus par épitaxie sélective. Nous avons ensuite étudié les propriétés électriques de ces 2 types de nanofils en les intégrant dans des capacités MOS.

II- Etude des procédés de localisation du catalyseur en fond de cavité

II-1 Enjeux de cette localisation

Dans l'ensemble de cette étude, nous nous plaçons dans le cas où la croissance est effectuée à partir d'un catalyseur déposé en fond de cavité sur la ligne métallique et n'utilisons pas le métal de la ligne comme catalyseur. La Figure 6.5 montre un dépôt d'or effectué par évaporation thermique dans une cavité sans protection des flancs et le résultat de croissance obtenu dans ces conditions.

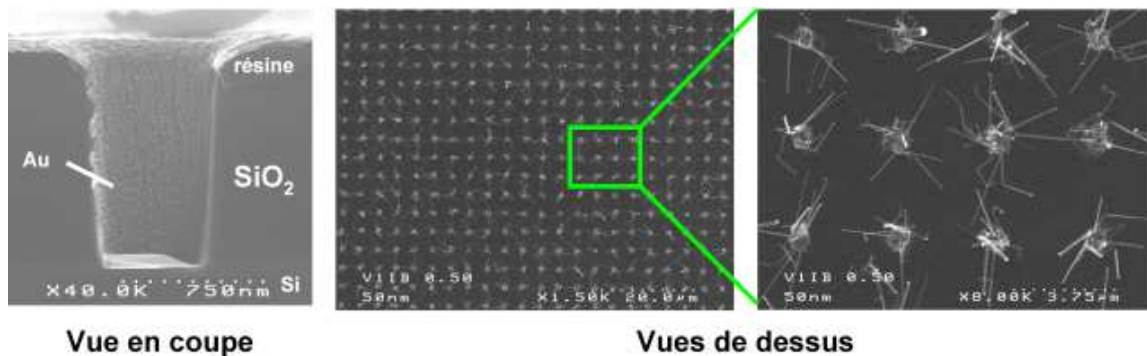


Figure 6.5 : A gauche : image MEB en coupe de la cavité avec son dépôt d'or qui tapisse son fond et ses flancs avant le retrait de l'or et de la résine autour des cavités dans les zones hautes. A droite : 2 images MEB en vue de dessus des nanofils après croissance.

Lorsque le catalyseur est déposé sur les flancs, la croissance de nanofils se fait à partir des flancs de la cavité. Dans ces conditions les nanofils obtenus sont bien localisés au niveau des cavités comme le montrent les images de droite de la Figure 6.5, en revanche ils ne sont pas connectés électriquement au substrat. De plus on obtient plusieurs nanofils par cavités. Il est donc nécessaire de développer des procédés de localisation du catalyseur en fond de cavité sans déposer sur les flancs.

II-2 Méthodes de localisation du catalyseur en fond de cavité

II-2.1 Méthodes électrochimiques

II-2.1.a Mise en œuvre

Nous avons commencé par étudier la localisation d'or par dépôt électrochimique. Cette technique consiste à déposer un élément métallique sur une surface conductrice. L'espèce métallique à déposer est en solution sous forme d'ions. C'est grâce à une réaction électrochimique faisant intervenir un transfert d'électron entre la plaque et l'ion métallique en solution que se forme sur les surfaces non masquées par l'oxyde une couche métallique. De cette façon, on peut déposer le catalyseur métallique au fond des cavités d'oxyde, sans déposer de catalyseur sur les flancs des cavités ni autour.

Afin de s'assurer de la possibilité d'implémenter cette technique dans les niveaux d'interconnexion, en plus de la mettre en œuvre sur silicium, nous l'avons aussi testée sur nitrure de titane et sur cuivre. L'équipement utilisé est une RAIDER ECD d'Applied Materials qui fonctionne avec des plaques entières de 200 mm de diamètre.

Le contact électrique sur la plaque est assuré par une série de pattes métalliques posées à 6 mm du bord tout autour de la plaque. La plaque est plongée dans un bain à base de cyanure d'or face à un disque métallique : l'anode, dont la répartition du courant peut être réglée en fonction de la répartition des cavités sur la plaque. La grande toxicité du cyanure impose un dépôt dans un équipement entièrement fermé.

On appelle surface ouverte, la surface non masquée par l'oxyde et sur laquelle on souhaite effectuer le dépôt d'or. La surface ouverte de nos plaques était de 4,3 cm².

II-2.1.b Dépôt d'or sur silicium

Nous avons mis en œuvre le dépôt électrolytique sur des substrats de silicium de très faible résistivité (entre 0,014 et 0,020 Ω .cm). Afin de faciliter les réactions de réduction de l'or à la surface du silicium, la plaque a préalablement été immergée 40 secondes dans un bain à base d'acide fluorhydrique pour enlever l'oxyde natif à la surface du silicium. L'équipement permet à l'aide d'une buse de réaliser un pré-traitement à l'acide sulfurique juste avant l'immersion de la plaque dans le bain de dépôt contenant l'or. La Figure 6.6 montre l'effet de ce pré-traitement effectué pendant 60 secondes. La plaque est polarisée électriquement avant son immersion dans le bain de dépôt. Ceci permet de s'affranchir d'un régime transitoire d'établissement du courant au sein de la plaque de silicium ce qui pourrait avoir pour effet de générer des réactions parasites et un dépôt moins uniforme. Le dépôt est effectué à courant constant pendant 40 secondes.

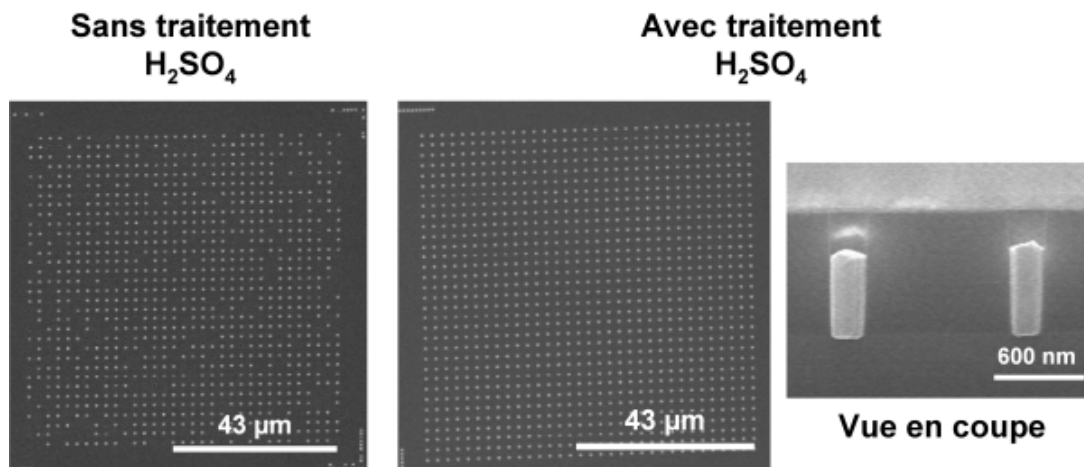


Figure 6.6 : Photos MEB en vue de dessus des cavités après dépôt électrochimique d'or, à gauche sans pré-traitement à l'acide sulfurique, à droite avec le pré-traitement accompagnée d'une vue en coupe montrant l'épaisseur d'or déposée dans les cavités.

La Figure 6.6 montre que sans le traitement à l'acide sulfurique, toutes les cavités ne reçoivent pas le dépôt d'or. L'acide n'a pourtant pas d'effet chimique sur le silicium, surtout après une gravure à l'acide fluorhydrique. En revanche, le fait que ce traitement se fasse juste avant le dépôt et dans le même équipement, cela permet de mouiller les cavités avant leur immersion dans le bain de dépôt. L'approvisionnement des espèces depuis la solution vers le fond des cavités n'est ainsi plus limité par le mouillage de la solution dans la cavité.

La Figure 6.6 montre en coupe une épaisseur déposée entre 500 et 800 nm. Cette épaisseur est trop importante, en effet l'équipement est normalement utilisé pour effectuer des dépôts entre 5 et 10 µm d'or. Pour obtenir un dépôt plus fin, le temps de dépôt de 40 secondes est trop court pour être réduit, la densité de courant peut quant à elle être modifiée au risque de ne plus avoir de dépôt. Enfin, on peut envisager de diluer le bain de dépôt pour ralentir la diffusion des espèces vers le fond des cavités et diminuer ainsi l'épaisseur déposée.

II-2.1.c Dépôt d'or sur nitrure de titane

Le nitrure de titane n'est à priori pas un bon matériau pour recevoir un dépôt électrochimique étant donné sa résistivité, surtout lorsqu'il est déposé par CVD. Nous avons fait le test de déposer de l'or dans les mêmes conditions que sur silicium sur 20 nm de nitrure de titane déposé par CVD. Le TiN CVD est encore plus résistif que le TiN PVD, en revanche c'est un matériau très utilisé dans les niveaux d'interconnexion. Pour la croissance de nanofils, dans les interconnexions, il est fort probable que ce soit sur TiN CVD que la croissance se fasse, pour ses propriétés de barrière de diffusion. Pour cette raison nous montrons ici les résultats de dépôt effectué sur un TiN CVD déposé par une séquence de 4 dépôts de 5 nm de TiN suivis chacun d'un plasma de densification. Ce plasma, comme nous l'avons vu, permet de diminuer la résistivité du TiN déposé par CVD.

Afin de faciliter l'apport en courant du bord de la plaque vers le centre, le TiN CVD a été déposé sur un empilement composé de 150 nm de nitrure de titane déposé par PVD (moins résistif

que le TiN CVD) sur du siliciure de titane formé à partir de 30 nm de titane et d'un recuit à 720°C sous N₂ comme pour les capacités présentées dans les chapitres précédents. L'empilement est schématisé sur la Figure 6.7. Cet empilement est destiné à faciliter l'apport du courant du bord de la plaque vers le centre et à compenser en partie la forte résistivité du TiN CVD.

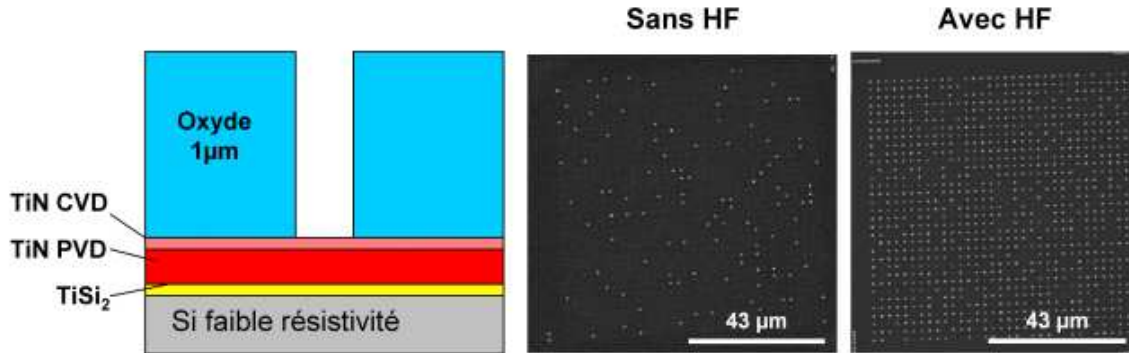


Figure 6.7 : Schéma de l'empilement des couches ayant permis de tester le dépôt d'or sur TiN CVD. Photos en vue de dessus des cavités après dépôt avec et sans pré-traitement à l'acide fluorhydrique (HF).

Pour tous les essais, la plaque est polarisée lorsqu'elle pénètre dans le bain de dépôt. Nous avons effectué deux essais de dépôt, le premier a été effectué avec un pré-traitement à l'acide sulfurique avant l'immersion dans le bain. On a obtenu un dépôt d'or dans très peu de cavités comme le montre la photo MEB de gauche en vue de dessus. Le dépôt a été significativement amélioré en ajoutant avant l'acide sulfurique, une immersion de 30 secondes dans un bain d'acide fluorhydrique comme le montre la photo de droite de la Figure 6.7. En effet comme l'ont montré C. Pernel et al. [Pernel09], ce traitement du TiN par le HF permet d'éliminer des oxydes de titane présents à la surface du TiN qui gênent les dépôts électrolytiques. En revanche, l'or n'est pas déposé dans toutes les cavités, il faut continuer à travailler sur les pré-traitements avant dépôt d'or sur le TiN. De plus l'épaisseur déposée est la même que sur silicium, trop épaisse et comprise entre 500 et 800 nm.

II-2.1.d Dépôt d'or sur cuivre

Afin de s'approcher au mieux de la configuration dans laquelle serait déposé le catalyseur sur une ligne métallique, nous avons mis en présence dans notre empilement les mêmes matériaux que ceux qu'on retrouve dans les niveaux d'interconnexion. Sous ces matériaux, nous avons ajouté comme précédemment un siliciure de titane qui a pour rôle de faciliter le contact électrique entre le nanofil et la face arrière du substrat pour pouvoir faire des mesures électriques et également faciliter l'apport du courant électrique pendant le dépôt électrochimique. La Figure 6.8 montre en coupe un schéma de l'empilement mis en œuvre.

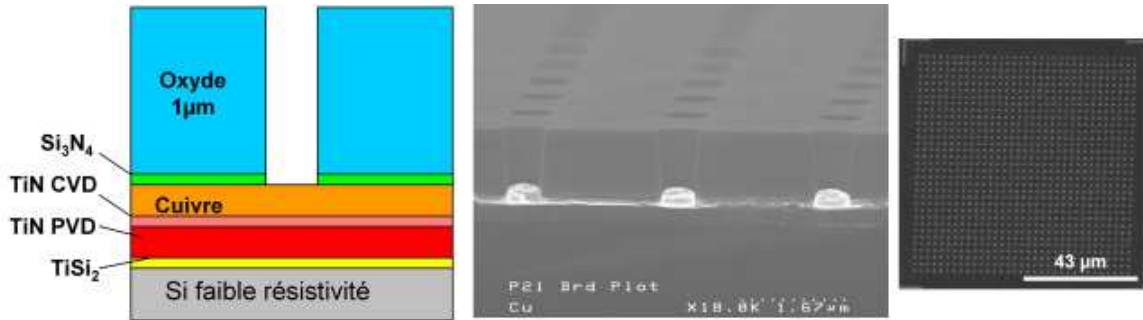


Figure 6.8 : Schéma en coupe de l'empilement mis en œuvre pour le dépôt d'or sur cuivre. Photos MEB en coupe et en vue de dessus après le dépôt d'or.

Dans cet empilement, on retrouve du nitrure de titane PVD qui lui n'a pour seul rôle que d'empêcher l'oxydation du titane déposé sur le silicium entre son dépôt et son recuit de siliciuration. Le TiN CVD sous le cuivre simule la barrière de diffusion présente dans les interconnexions à base de cuivre. Le nitrure de titane quant à lui ne sert que de couche d'arrêt lors de la gravure de l'oxyde, il est lui aussi couramment utilisé dans les interconnexions.

Un traitement à l'acide sulfurique de 30 secondes a été effectué juste avant de plonger la plaque dans le bain pour le dépôt d'or. Ce traitement est connu pour éliminer l'oxyde de cuivre présent en surface. La plaque a été mise sous tension comme pour les 2 autres dépôts avant son entrée dans le bain. Le dépôt a été effectué en 40 secondes dans les mêmes conditions que pour les 2 autres sous couches. Les 2 images MEB de la Figure 6.8 montrent un dépôt de 200 nm d'épaisseur présent dans toutes les cavités. L'épaisseur obtenue est reproductible entre toutes les cavités quelque soit leur diamètre. Il n'y a donc pas d'autres optimisations à faire pour ce dépôt.

II-2.2 Méthode par évaporation thermique

Devant les difficultés mises en évidence précédemment avec les dépôts électrochimiques sur Si et sur TiN, nous avons mis au point une filière de localisation du catalyseur par dépôt physique. L'avantage de cette technique est qu'elle est indépendante de la sous couche. C'est cette technique que nous avons utilisée pour la croissance de nanofils et la fabrication des capacités MOS présentées dans ce chapitre. La filière développée est présentée sous forme de schémas en coupe sur la Figure 6.9, elle ne met en œuvre que des techniques compatibles avec une production massive de dispositifs.

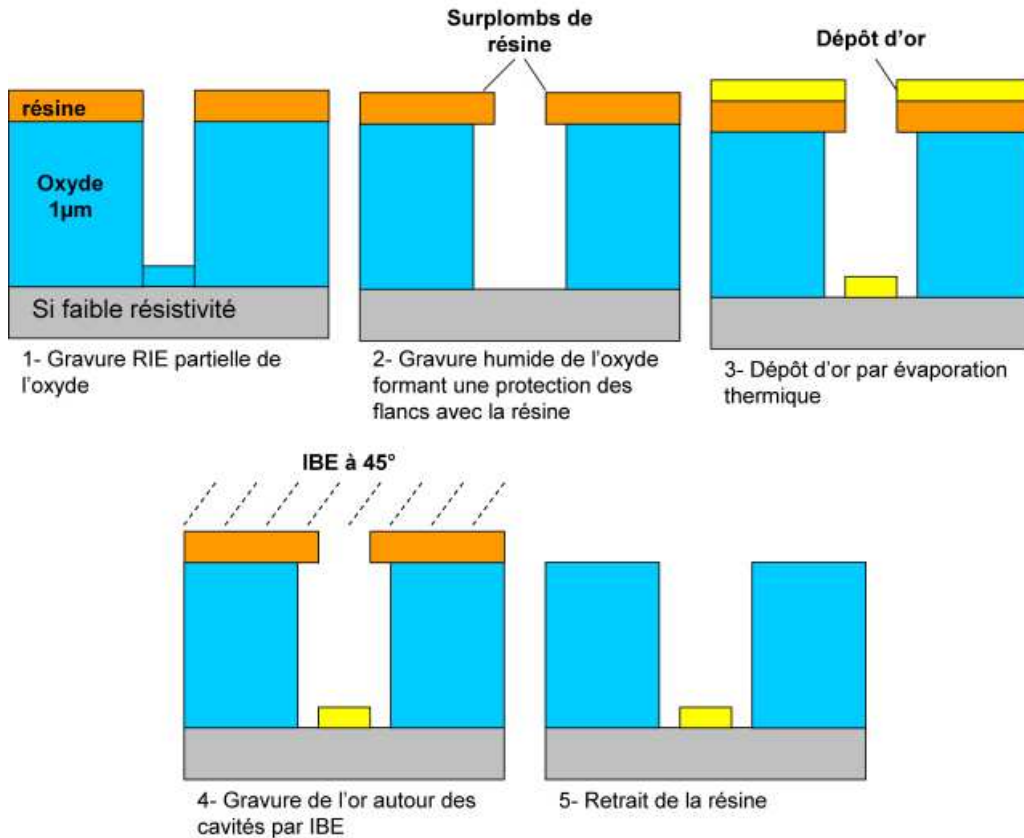


Figure 6.9 : Schéma *vis en coupe* des principales étapes mises au point pour la localisation en fond de cavité d'un dépôt d'or effectué par évaporation thermique.

La filière commence par la gravure partielle de l'oxyde (**étape 1**), le but est de laisser en fond de cavité un peu d'oxyde de façon à ne pas abîmer le silicium du substrat sur lequel se fera la croissance. La filière présentée ici correspond à celle mise en œuvre pour la fabrication des capacités MOS qui seront mesurées dans la suite de ce chapitre. L'étape 1 de cette filière ne s'applique que dans le cas d'une croissance sur silicium.

A l'**étape 2**, on effectue la gravure isotrope de l'oxyde et on termine de graver le fond de la cavité dans le cas d'une gravure partielle à l'étape 1. C'est à cette étape qu'on forme un surplomb de résine tout autour de la cavité. Il s'agit d'une protection des flancs de la cavité contre le dépôt d'or effectué à l'**étape 3** par évaporation thermique.

A l'**étape 4**, on grave par IBE (Ion Beam Etching) c'est-à-dire par gravure physique sous faisceau d'ions de la couche d'or déposée sur la résine. Cette gravure est effectuée en inclinant l'échantillon d'un angle de 45° par rapport au faisceau d'ion. Une rotation de l'échantillon pendant la gravure est assurée de façon à obtenir une gravure homogène. La gravure dure ainsi 20 min avec un bombardement d'argon ionisé par un plasma. L'angle de 45° permet de retirer le catalyseur déposé sur la résine sans graver celui présent au fond de la cavité. Ce procédé déjà utilisé pour la fabrication de microsystemes est plus facilement industrialisable que le « lift off ». Le lift off consiste à graver directement la résine pour enlever les couches déposées dessus. Le lift off est plus difficile à

industrialiser car sa reproductibilité dépend du nombre de cavités présentes sur la plaque, l'espace entre elles ainsi que de la taille de la plaque.

A l'étape 5, il ne reste plus qu'à retirer la résine restante autour des cavités. Cette gravure a été effectuée par plasma d'oxygène suivi d'une gravure dans une solution commerciale d'EKC LE Posistrip® utilisée à 50°C.

La Figure 6.10 montre les caractérisations MEB en coupe des étapes 2, 3 et 5.

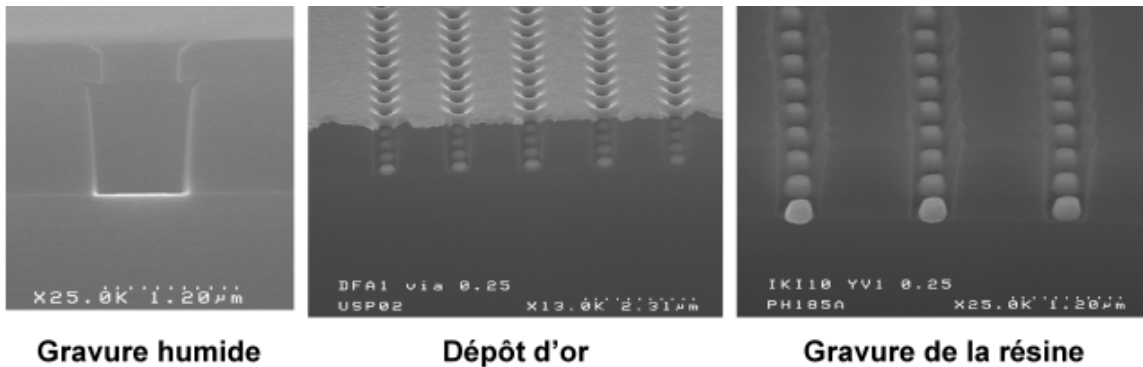


Figure 6.10 : Photos MEB en coupe après les étapes de gravure humide, dépôt d'or et de gravure de la résine.

III- Etude de la croissance guidée

Nous allons dans cette partie décrire les nanofils obtenus par croissance guidée sur TiN et sur silicium. Cette croissance a été réalisée dans les mêmes conditions quelque soit la sous couche de TiN ou de silicium dans un équipement de type CENTURA5200 d'Applied Matériaux par l'équipe de Simon Perraud et notamment Christine Morin du CEA Liten. Cet équipement permet de réaliser des croissances catalysées à l'or. Les croissances catalysées ont été réalisées en 2 étapes : une étape de démouillage du catalyseur à 625°C sous H₂ pendant 10 min puis croissance à 650°C pendant 900 secondes à 10 torrs sous silane dilué dans du H₂ en présence de HCl. Nous ne présentons en revanche pas de croissance à partir d'or déposé sur cuivre, car nous ne disposons pas de procédés de croissance à plus basse température compatible avec la présence de cuivre.

III-1 Croissance sur nitrure de titane

Pour la croissance sur nitrure de titane, nous avons utilisé un morceau de plaque issu des essais de dépôt d'or par électrochimie. L'empilement présent sous les nanofils est celui schématisé sur la Figure 6.7. La Figure 6.11 montre les nanofils obtenus après croissance sur TiN. Ces nanofils présentent une longueur de 4 à 5 μm et un diamètre de 500 nm.

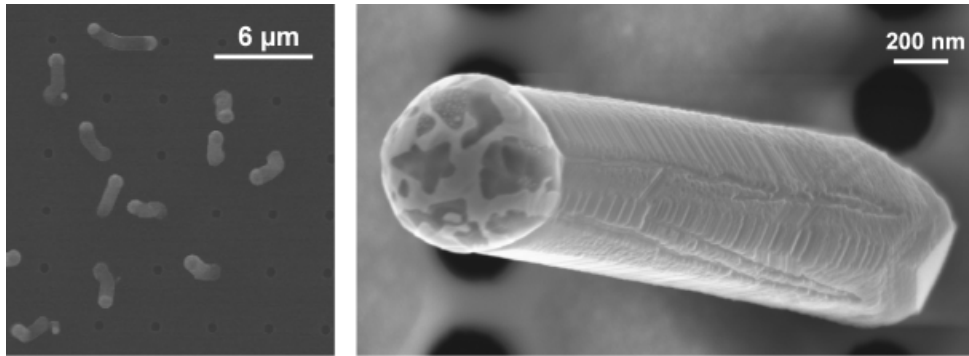


Figure 6.11 : Photos MEB en vue de dessus de nanofils après croissance guidée sur TiN

Etant donné que le dépôt d'or n'était pas présent dans toutes les cavités comme nous l'avons vu dans la partie précédente, la croissance de nanofil ne s'est faite que dans les cavités ayant eu un dépôt d'or. Les nanofils obtenus présentent les mêmes facettes sur les flancs que les nanofils publiés [Oehler10] dans la littérature pour des croissances sur silicium (111) avec de l'or. En effet les facettes sont indépendantes de la sous couche sur laquelle le nanofil croit, elles se forment pendant la croissance.

Afin de mieux caractériser notamment l'interface entre le nanofil et la sous couche de nitrure de titane, nous avons effectué une tranche longitudinale de nanofil à l'aide d'un FIB. Pour réaliser cette tranche, un dépôt de dioxyde de silicium a été effectué sur le nanofil pour l'encapsuler et le protéger. Un dépôt épais de tungstène est ensuite effectué pour souder l'échantillon à prélever à une pointe. Cette pointe, souvent en platine, sert à transporter la coupe depuis son emplacement d'origine jusqu'au porte échantillon du TEM. La Figure 6.12 montre sur un nanofil les plans de coupe FIB pour extraire la tranche de nanofil. On a effectué une tranche pour obtenir une lame TEM de moins de 100 nm d'épaisseur, alors que le nanofil présentait un diamètre d'environ 500 nm en dehors de la cavité.

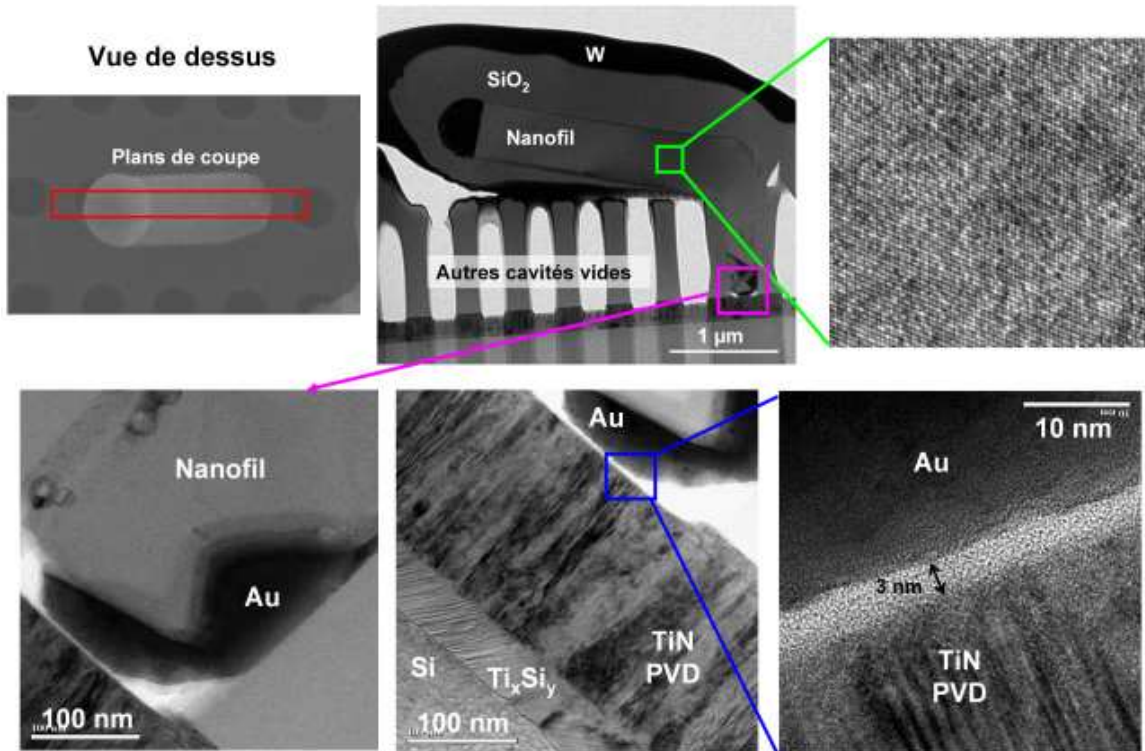


Figure 6.12 : Vue MEB en vue de dessus d'un nanofil après croissance sur TiN montrant les plans de coupe pour réaliser une tranche longitudinale de nanofil. Les autres images sont obtenues dans le TEM à différents grossissements.

Cette caractérisation permet tout d'abord de mettre en évidence que le nanofil présente un diamètre égal à celui de la cavité dans la partie qui est à l'intérieur de la cavité, soit 280 nm puis un diamètre nettement supérieur, de 630 nm en dehors. On a vu précédemment qu'on déposait une épaisseur trop importante d'or dans la cavité par électrochimie. Cela n'empêche pas la croissance et permet d'obtenir un nanofil qui remplit tout l'espace de la cavité. En sortie de cavité, le catalyseur passe sans doute d'une forme allongée à une forme hémisphérique plus stable et plus large, le nanofil prend alors un diamètre plus important.

L'image faite en haute résolution et montrée en haut à droite de la Figure 6.12, montre que le nanofil est bien monocristallin, son orientation de croissance est (111) en sortie de cavité. A l'intérieur, n'avons pas obtenu d'images permettant de la déterminer.

On peut voir ensuite qu'à la base du nanofil, il reste de l'or. Ceci est probablement dû à la trop forte quantité d'or présente dans la cavité au moment de la croissance. Le catalyseur a dû se séparer en deux au tout début de la croissance. Pour cette raison il y a sous le nanofil une couche d'or. Entre cet or et le TiN de la sous couche, on a 3 nm d'oxyde interfacial. On aurait aimé que cette caractérisation montre l'interface entre le nanofil de silicium et le TiN au niveau de la cristallinité de ces 2 matériaux. La trop forte quantité d'or n'a ainsi pas permis de faire cette caractérisation.

III-2 Croissance sur silicium

III-2.1 Croissance catalysée

Cette fois, nous utilisons la filière mise au point pour déposer l'or en fond de cavité. Cette filière permet de mieux contrôler l'épaisseur déposée ainsi que la reproductibilité du dépôt entre les cavités. Nous avons fait la croissance dans les mêmes conditions que sur TiN. La Figure 6.13 montre les nanofils obtenus en vue de dessus et en coupe. La vue en coupe montre un nanofil ayant été obtenu avec un temps de croissance plus court que les autres, pour cette raison, le nanofil est moins long.

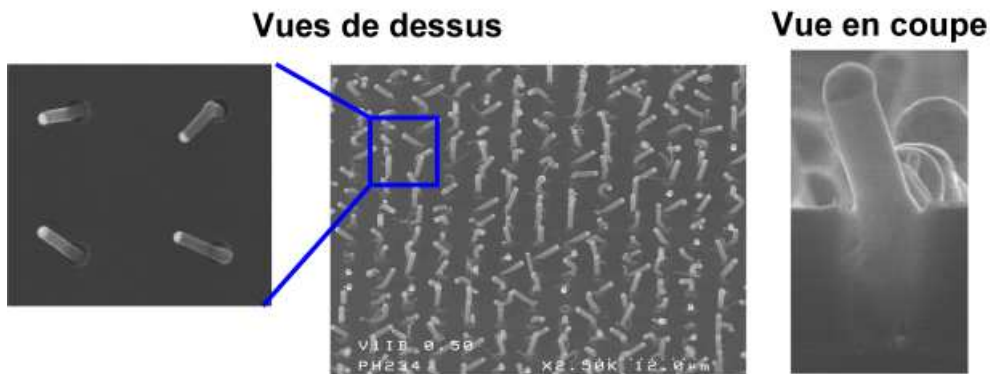


Figure 6.13 : Photos MEB en vue de dessus à gauche et en coupe à droite de nanofils après croissance catalysée à l'or sur silicium orienté (100).

Les nanofils obtenus sont comme sur sous couche de TiN perpendiculaires au substrat uniquement dans la cavité. Lorsqu'ils sont en dehors de la cavité, ils prennent une autre direction aléatoire. Nous avons utilisé 200 nm d'or pour faire cette croissance, les nanofils obtenus ne remplissent pas complètement les cavités. Il faudrait déposer davantage d'or pour obtenir des nanofils qui comme précédemment remplissent totalement la cavité.

Comme pour la croissance sur TiN, nous avons réalisé une tranche longitudinale de nanofil par 2 coupes FIB pour caractériser en TEM le nanofil à l'intérieur et à l'extérieur de la cavité. La Figure 6.14 montre les résultats de la caractérisation TEM en coupe.

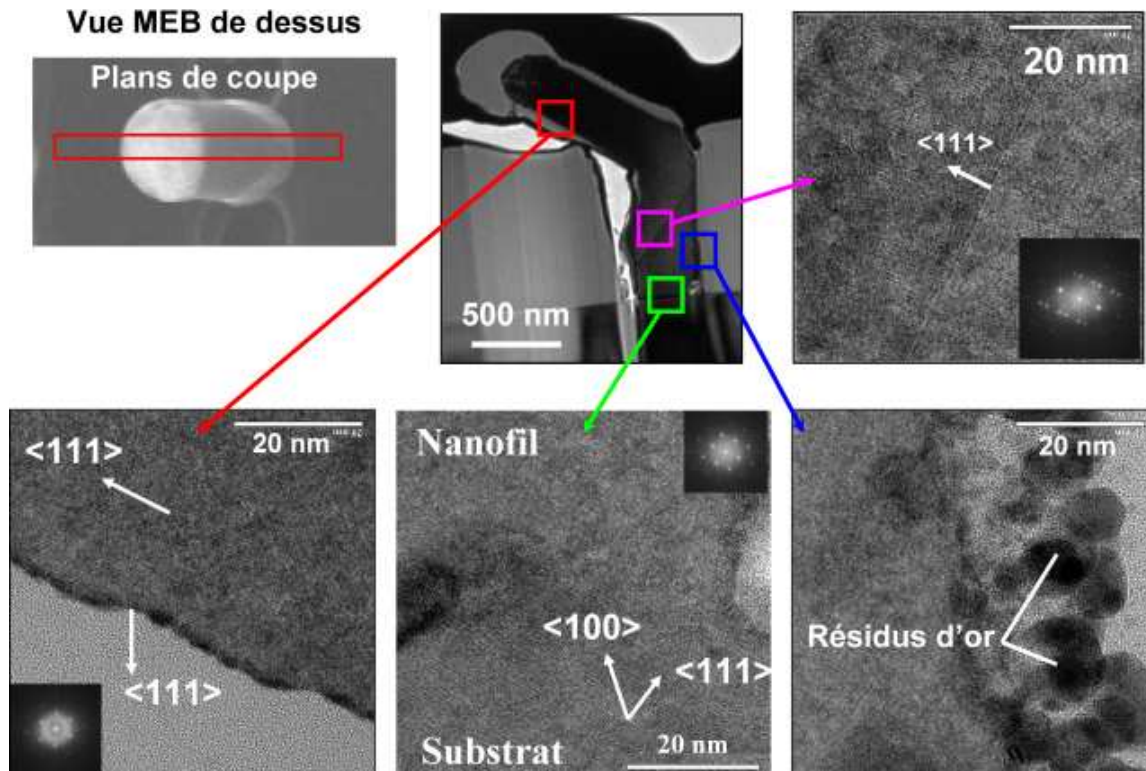


Figure 6.14 : Vue MEB en vue de dessus d'un nanofil après croissance sur silicium montrant les plans de coupe pour réaliser une tranche longitudinale de nanofil. Les autres images sont obtenues dans le TEM à différents grossissements.

La vue en coupe montre un nanofil qui semble croître en s'appuyant sur l'oxyde. En effet d'autres caractérisations MEB en vue de dessus dans des cavités de diamètre plus importants montrent que les nanofils commencent par croître en direction d'un flanc de la cavité avant de croître le long de ce flanc puis de prendre une direction aléatoire en dehors de la cavité. L'image en bas à gauche de la Figure 6.14 montre que le nanofil a une direction de croissance selon les plans (111) en dehors de la cavité. Le carré vert montre quant à lui que le nanofil a une parfaite relation d'épitaxie avec le substrat. En revanche, on ne peut pas déterminer la direction de croissance du nanofil à l'intérieur de la cavité.

On peut supposer que le nanofil croît sur toute sa longueur selon les plans (111), c'est pour cette raison qu'à partir de sa relation d'épitaxie avec le substrat orienté (100), il rejoint rapidement un des flancs de la cavité. Une fois qu'il a rejoint le flanc de la cavité le nanofil change de direction en créant une macle comme le montre la photo en haut à droite. On a en effet une macle sur toute la largeur du nanofil montrant que le nanofil complet change de direction à cet endroit. La croissance continue ensuite de se faire en dehors de la cavité et suivant les plans (111). Il est en revanche très difficile de vérifier ce scénario, il faudrait pouvoir filmer dans le TEM la croissance du nanofil dans la cavité.

L'image en bas à droite correspondant au flanc du nanofil à sa base montre la présence de grosses particules d'or d'environ 10 à 15 nm de diamètre. Ces résidus d'or sont probablement dus à un dépôt parasite d'or sur les flancs de la cavité au moment du dépôt par évaporation. En effet,

lorsqu'on fait le dépôt d'or dans les cavités, même si la majeure partie de l'or déposé se concentre au centre de la cavité, on observe toujours des très petites quantités qui se déposent également sur les flancs. Sur la photo en bas à gauche, on aperçoit aussi des résidus d'or sur les flancs du nanofil. Cette image montre également le facettage des flancs du nanofil. L'or semble n'être présent que sur les facettes orientées (111), ceci correspond à ce qui a été observé par Sivakov et al. [Sivakov09].

La présence d'or sur les flancs du nanofil peut avoir un effet notable sur un transistor à nanofil car l'or induit des pièges dans la bande interdite du silicium. Cela a pour effet de créer des zones de génération et de recombinaison des porteurs. Cela nuit au fonctionnement du dispositif et notamment le courant à l'état passant. Afin de mieux visualiser cette présence d'or sur le sommet du nanofil, nous avons effectué une caractérisation en tomographie électronique. Le TEM est cette fois-ci utilisé en mode HAADF (High Annular Angle Dark Field) qui correspond à l'utilisation des électrons diffusés aux grands angles avec un balayage du faisceau d'électron (Scanning TEM). Dans ce mode le TEM permet d'obtenir un contraste chimique plutôt qu'un contraste cristallographique. La reconstruction a ensuite été effectuée en utilisant la technique de reconstruction itérative simultanée (SIRT). Les résultats de cette caractérisation sont donnés sur la Figure 6.15. Cette caractérisation a été effectuée par A. Grenier appartenant à la plateforme de nanocaractérisation du Légi.

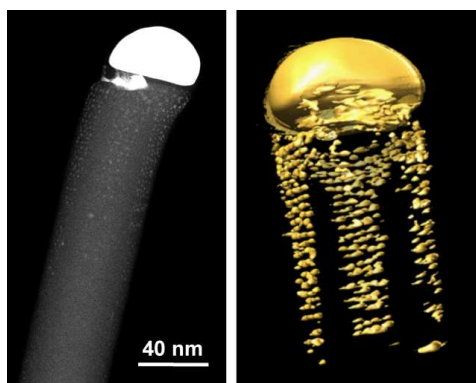


Figure 6.15 : A gauche vue en STEM et à droite la reconstruction obtenue par tomographie électronique d'un nanofil montrant la présence d'or sur certaines facettes du nanofil.

Cette figure montre clairement que l'or n'est pas présent sur toutes les faces du nanofils. En revanche, plus on s'éloigne du catalyseur au sommet du nanofil et moins il y a d'or sur les flancs. Cette présence d'or fait penser à une diffusion d'or depuis le catalyseur vers les flancs du nanofil. En effet la croissance est réalisée en présence de HCl qui bloque la diffusion d'or. En fin de croissance lorsqu'on arrête l'approvisionnement en gaz et que la température commence à descendre, cette diffusion peut avoir lieu en l'absence de HCl et grâce à la diminution lente de la température dans le réacteur. Ce que montre ce résultat c'est que cette diffusion ne se fait pas à la même vitesse selon l'orientation du silicium sur lequel l'or diffuse.

Ainsi pour la fabrication d'un transistor vertical, il pourra être judicieux d'enlever la partie supérieure du nanofil correspondant à cette zone où l'or a diffusé. Ceci pourrait être fait lors du

polissage mécano-chimique à l'étape 5 de la Figure 6.3. En effet le retrait du catalyseur par voie chimique après croissance ne permet pas d'enlever l'or qui a pu ensuite diffuser vers l'intérieur du nanofil.

III-2.2 Croissance non catalysée

Pour servir de référence lors des mesures électriques que nous présentons plus loin mais aussi à titre de comparaison entre 2 techniques d'élaboration de nanofils, nous avons réalisé des nano-structures par épitaxie sélective. Cette technique permet de fabriquer sans catalyseur les mêmes structures que par croissance CVD catalysée à condition d'utiliser les mêmes cavités d'oxyde débouchant sur le silicium. En revanche cette technique n'est pas utilisable dans les niveaux d'interconnexion car elle met en jeu la relation d'épitaxie entre la structure en croissance et le substrat de silicium et qu'elle demande une température très élevée (950°C)

Pour réaliser la croissance de nanostructures par épitaxie sélective, les cavités ont tout d'abord subi un nettoyage à base de HF et sans rinçage, pour retirer tout oxyde natif à la surface du silicium. Une fois les plaques chargées dans l'équipement d'épitaxie, un second traitement *in situ* avant dépôt est effectué pour s'assurer de l'absence d'oxyde à la surface du silicium pouvant bloquer l'épitaxie. Ce traitement consiste en un recuit sous dihydrogène à 950°C. La croissance est ensuite effectuée à 950°C et sous 20 torrs selon la séquence de dépôt et de gravure suivante :

- dépôt nominale de 150 nm de silicium à partir de SiH_2Cl_2 et d'HCl pendant 63 secondes
- gravure nominale de 50 nm de silicium monocristallin à partir de HCl seul pendant 30 secondes.

Cette séquence a été répétée 10 fois pour obtenir des nanofils de la même hauteur que la cavité, soit 1 μm . Ce type d'épitaxie sélective utilisant un masque d'oxyde et une séquence de dépôt et de gravure a été décrit par J.M. Hartmann et al. [Hartmann10]. La Figure 6.16 montre les résultats juste après l'épitaxie, après la CMP et après la gravure partielle de l'oxyde.

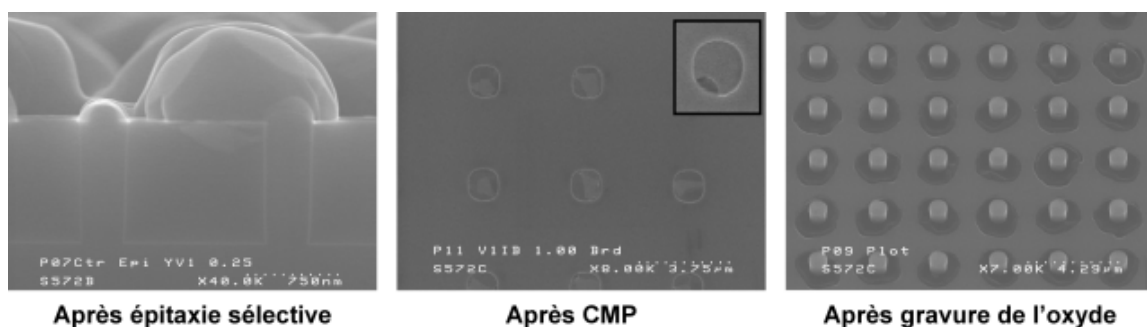


Figure 6.16 : Photos MEB des nanostructures obtenues par épitaxie sélective, vue en coupe après croissance, puis après CMP en vue de dessus et après la gravure partielle de l'oxyde en vue de dessus tiltée. Les tailles des cavités sont de gauche à droite de 250 nm, 1 μm et 500 nm de diamètres.

Après croissance, on voit qu'on a une croissance parasite sur l'oxyde de silicium polycristallin. Ces éléments parasites sont supprimés grâce à la CMP. En revanche, la CMP révèle que dans certaines cavités, cette croissance a dû se produire comme le montre la photo dans le coin de la photo du milieu. La photo de droite montre une couronne gris foncé autour de chaque nanofil, cela correspond à une croissance parasite dans les cavités. En effet sur certaines plaques, nous avons eu plus de mal à réaliser la croissance des nanostructures et 2 nettoyages HF de 2 min ont été réalisés. Ces nettoyages ont dû élargir le fond de la cavité en créant un espace entre l'oxyde et le substrat. Cet espace a été en partie comblé par la croissance de silicium lors de l'épitaxie. La Figure 6.17 montre une coupe réalisée sur ce type de plaque après épitaxie. Malheureusement ce sont ces échantillons qui ont été intégrés dans les capacités MOS que nous mesurons dans la suite de ce chapitre. La Figure 6.17 montre un nanofil sur lequel le phénomène est facilement visible, il n'est pas dans les mêmes proportions sur les dispositifs mesurés.

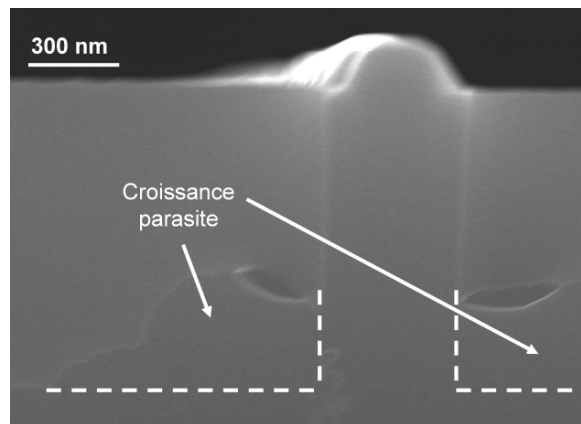


Figure 6.17 : Vue MEB en coupe d'un nanofil obtenu par épitaxie sélective et montrant la croissance parasite dans la cavité créée par les nettoyages avant croissance.

De la même façon que pour les croissances catalysées, nous avons caractérisé ces structures en microscopie en transmission. Les résultats sont donnés à sur la Figure 6.18.

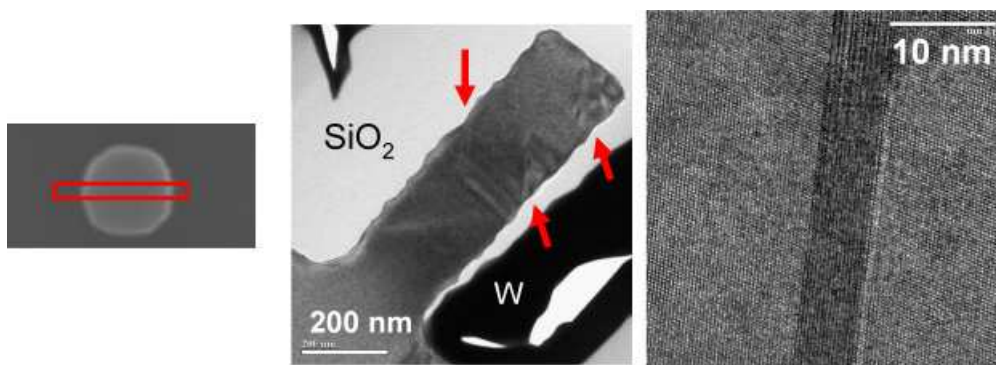


Figure 6.18 : A gauche, image MEB en vue de dessus montrant des plans de coupe, puis images obtenues dans le TEM montrant les fautes d'empilement s'étendant du bord vers le centre des structures.

La caractérisation TEM en coupe montre que si sur la majorité des structures, il n'y a pas de gros défauts comme ceux révélés sur certaines structures par la CMP, en revanche ces structures présentent tout de même des fautes d'empilement. Ces fautes ainsi que cette rugosité visible sur la photo du centre sont probablement liés à la croissance parasite de petits cristaux de silicium sur les flancs de la cavité pendant la croissance. Ces cristaux en contact avec la structure en croissance dans la cavité la gêne et occasionnent cette rugosité et ces fautes d'empilement observées à haute résolution. Cette rugosité peut également être liée à la rugosité des flancs de la cavité d'oxyde après les étapes de photolithographie et de gravure.

IV- Présentation des capacités MOS réalisées

Nous avons vu précédemment que le dépôt d'or sur TiN par électrochimie n'avait pas permis de déposer de l'or dans toutes les cavités. Le nombre de cavités par structure de test ayant reçu le dépôt étant aléatoire et parfois très faible, nous n'avons pas réalisé l'intégration des nanofils obtenus par croissance sur TiN. En revanche, nous présentons dans cette partie l'intégration dans des capacités MOS à base de nanofils obtenus par croissance catalysée à l'or sur silicium et par épitaxie sélective sans catalyseur. Le but ici est de caractériser un dispositif MOS à base de nanofils et d'un empilement de grille déposé à basse température. Il n'est plus comme dans les chapitres précédents de réaliser des capacités de haute densité.

IV-1 Choix des matériaux et des procédés de fabrication

Afin de comparer les dispositifs à base de nanofils obtenus selon les 2 modes de croissance : catalysée et non catalysée l'empilement de capacité a été réalisé en même temps sur les 2 types de dispositifs.

Pour les nanofils obtenus par croissance catalysée, après le retrait du catalyseur dans un bain à base d'iodure de potassium, il reste à faire la gravure partielle de l'oxyde, le dépôt de l'empilement de grille et la délimitation de cet empilement.

Etant donné que les nanofils après croissance ne remplissent pas complètement la cavité et qu'ils sont plus longs que ceux obtenus par épitaxie sélective, nous avons préféré graver moins d'oxyde pour ne pas trop élargir la cavité. Ceci permet de limiter la valeur de la capacité parasite au pied des nanofils qui sera mesurée en parallèle avec la capacité des nanofils eux-mêmes (voir Figure 6.20). L'objectif de cette étude étant de caractériser des dispositifs MOS à base de nanofils, on cherche à minimiser toutes les capacités qui entrent en jeu dans la mesure et qui ne correspondent pas à la capacité des nanofils.

L'empilement que nous avons retenu correspond à celui qui a permis de réaliser des dispositifs complets et fonctionnels. D'autre part nous avons cherché à utiliser les mêmes matériaux que ceux utilisés pour réaliser les capacités de haute densité présentées précédemment afin de pouvoir éventuellement faire des comparaisons sur les comportements électriques. Ainsi les

dispositifs ont été fabriqués avec 15 nm d'alumine comme diélectrique déposé à 250°C et une électrode supérieure composée de 100 nm de TiN, 200 nm d'aluminium et de 100 nm de TiN. Cet empilement permet d'avoir une grille en TiN au contact de l'alumine comme précédemment. L'aluminium permet de diminuer la résistance globale de l'électrode supérieure et le TiN déposé dessus évite son oxydation. Les 3 couches ont été déposées par PVD dans le même équipement, sans remise à l'air entre les dépôts. La PVD donne des dépôts moins conformes que la CVD mais nous ne disposons pas d'équipement de dépôt par CVD compatibles avec la présence d'or sur les échantillons.

IV-2 Description des dispositifs et caractérisation de l'empilement sur les nanofils

Les dispositifs choisis pour les mesures électriques se composent de 2178 cavités réparties en 2 blocs et chaque cavité contient 1 nanofil. Sur ces 2 blocs a été déposé un empilement de capacité délimité selon un carré de 200 x 200 μm^2 . On mesure ainsi 2178 nanofils connectés en parallèle comme le montre la photo de gauche de la Figure 6.19.

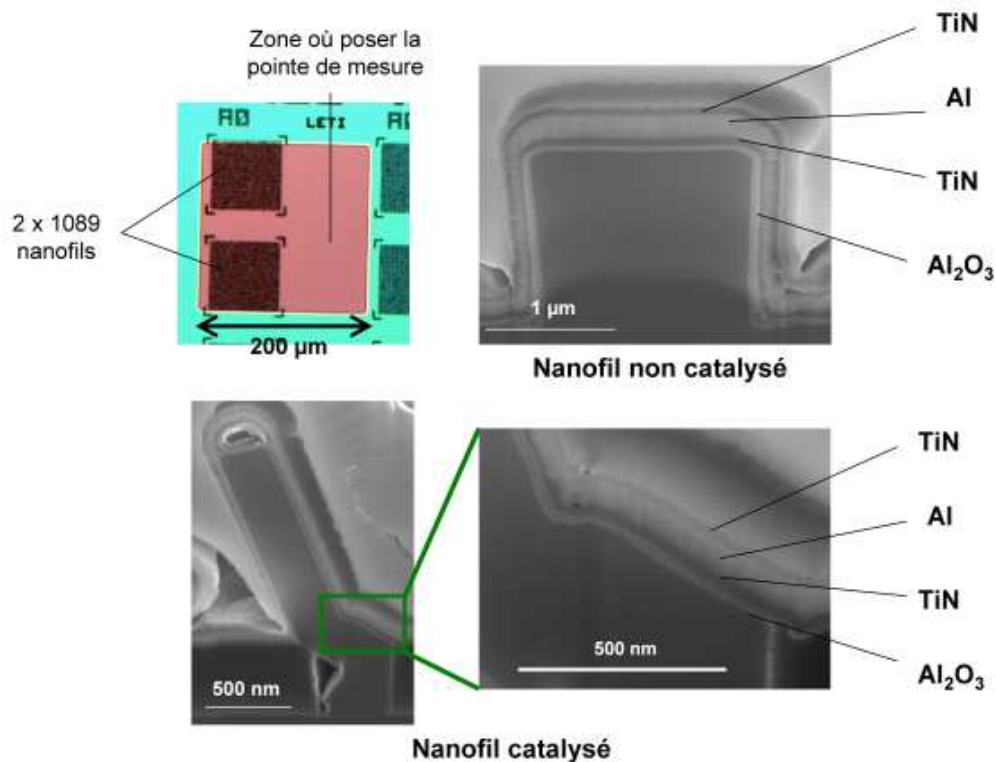


Figure 6.19 : De gauche à droite : Photo en vue de dessus prise au microscope optique d'une capacité MOS à base de nanofils, nanofil catalysé et nanofil non catalysé vus au MEB en coupe. Les nanofils vus en coupe ont reçu sur l'empilement de capacité un dépôt d'oxyde et de tungstène pour réaliser la coupe au FIB.

Le dépôt ALD de l'alumine est parfaitement conforme autour des nanofils et sur toute leur longueur. Les dépôts PVD quant à eux se révèlent plus épais au sommet des nanofils et sur les parties horizontales. Malgré cela, la caractérisation MEB sur la Figure 6.19 montre que le dépôt

métallique est bien présent tout autour des nanofils. On voit également sur cette figure que le contact présente une surface importante, dans la suite du chapitre. Nous quantifierons la valeur de la capacité parasite du contact.

IV-3 Les capacités parasites et la capacité mesurée attendue

Plusieurs capacités parasites vont entrer en jeu dans la mesure. Nous avons vu précédemment la surface du contact en vue de dessus sur la Figure 6.19. Il y a par ailleurs une capacité parasite autour des nanofils liée notamment à la dernière étape de gravure humide de l'oxyde. La Figure 6.20 schématise l'ensemble des capacités parasites.

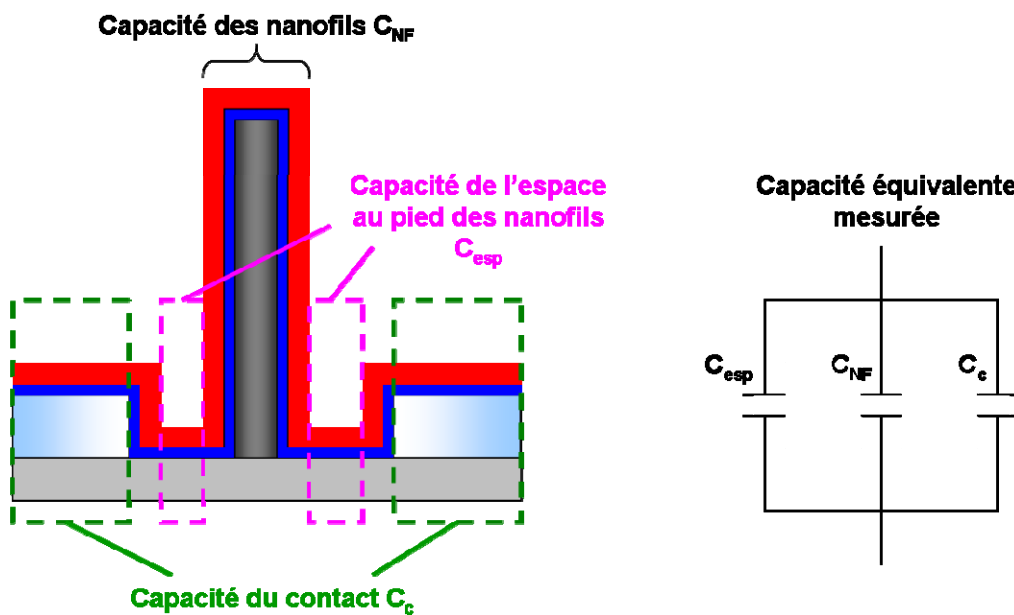


Figure 6.20 : Schéma d'un nanofil vu en coupe montrant les capacités parasites dues au contact et à l'espace entre la base des nanofils et le flanc des cavités

Nous allons dans la suite de cette partie présenter les valeurs de ces différentes capacités entrant en jeu dans la mesure. Afin de bien visualiser les dimensions des différentes parties entrant en jeu dans le calcul, nous les avons schématisées sur la Figure 6.21 pour les nanofils catalysés et non catalysés (épitaxie sélective).

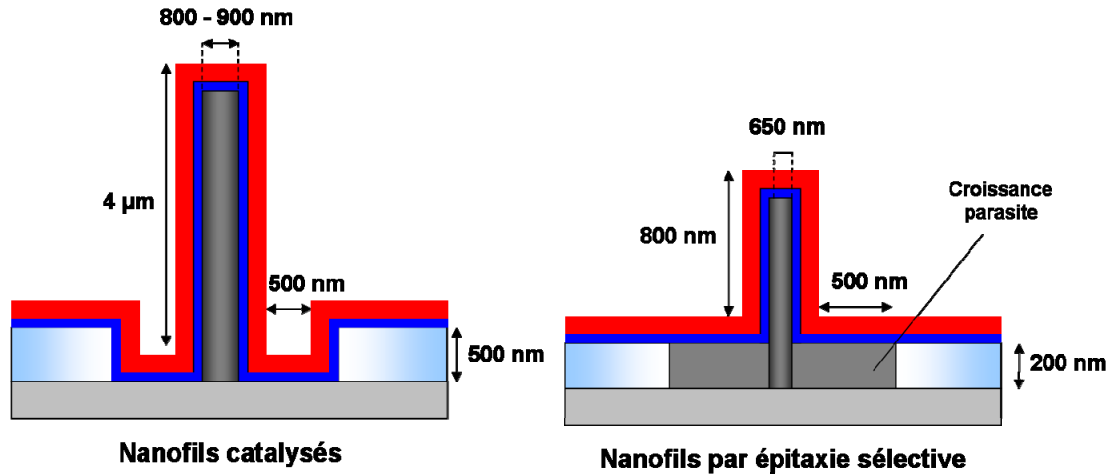


Figure 6.21 : Schéma en coupe des capacités MOS réalisées présentant les différentes dimensions entrant en jeu dans le calcul des différentes capacités composant la capacité mesurée.

Pour les dispositifs mesurés et présentés dans la partie V de ce chapitre, les nanofils catalysés ont un diamètre entre 800 et 900 nm et une longueur de l'ordre de 4 μm . L'épaisseur d'oxyde laissée après gravure humide et constituant les cavités restantes est de 500 nm. Quant à l'espace entre le nanofil et le flanc de la cavité, il est estimé à 500 nm environ. Dans ces conditions, la capacité due au contact est de 2 pF, celle due à l'espace au pied des nanofils est de 20 pF et celle due aux nanofils est de 156 pF. On s'attend ainsi à mesurer une capacité de l'ordre de 180 pF sur les nanofils catalysés.

Pour les nanofils non catalysés, l'espace au pied des nanofils correspond à la croissance parasite au pied des nanofils comme indiqué sur la Figure 6.17. A cause de cette croissance parasite, la longueur effective du nanofil n'est plus de 1 μm mais de 800 nm. L'espace créé par cette croissance parasite entre le nanofil et l'oxyde de la cavité est quant à lui de 500 nm. L'épaisseur d'oxyde laissé autour des nanofils et qui constitue les cavités restantes est de 200 nm. Les nanofils ont en revanche un diamètre exactement égal au diamètre de la cavité avant croissance et après les différents nettoyages : 650 nm. Dans ces conditions, la capacité due au contact est de 5 pF, celle due à l'espace au pied des nanofils est de 20 pF et celle due aux nanofils est de 27 pF. On s'attend ainsi à mesurer une capacité d'après nos calculs de 53 pF (de l'ordre de 50 pF) sur les nanofils non catalysés.

V- Caractérisations électriques des dispositifs

V-1 Résultat des mesures de capacité

Comme pour les capacités de haute densité caractérisées précédemment, nous avons effectué des mesures de capacité en fonction de la tension appliquée à l'aide d'un équipement de mesure sous pointes connectées à un capacimètre HP 4284A Precision LCR meter utilisé en mode parallèle. La Figure 6.22 montre les courbes obtenues sur les capacités à base de nanofils obtenus par épitaxie sélective et par croissance CVD catalysée à l'or.

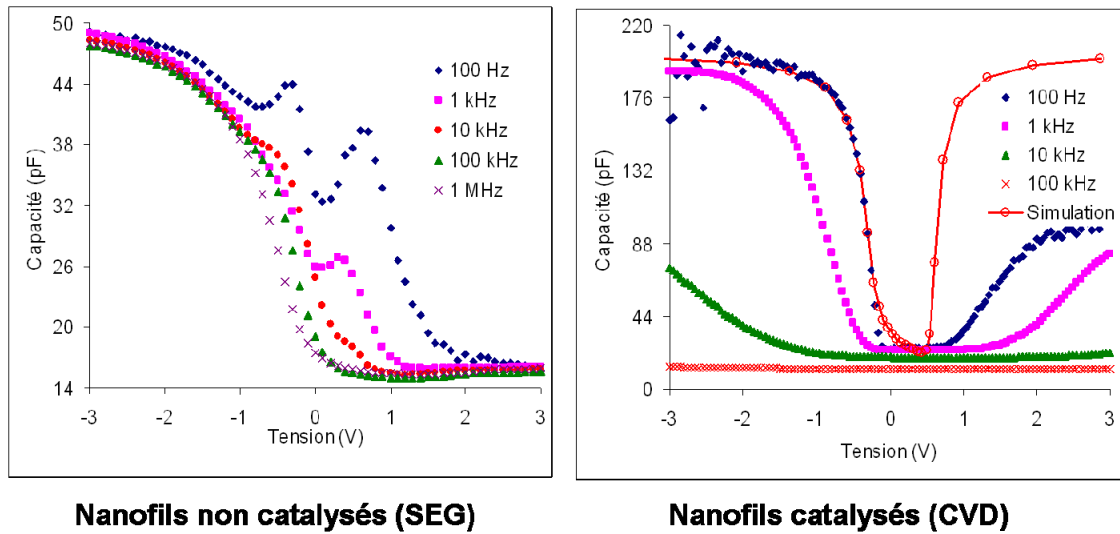


Figure 6.22 : Courbes de mesure de la capacité en fonction de la tension, à gauche pour des capacités à base de nanofils obtenus par épitaxie sélective et à droite par croissance CVD catalysée à l'or.

Les 2 dispositifs mesurés sur la Figure 6.22 sont comme décrits dans la partie précédente. Pour les nanofils non catalysés, on mesure une capacité de 49 pF (avec une dispersion de 10 %) qui correspond à l'ordre de grandeur de ce que nous avons évalué. En revanche pour les nanofils on mesure une capacité d'environ 200 pF alors que nous nous attendions plutôt à 180 pF. Nous attribuons cette différence tout d'abord à la reproductibilité des dimensions des nanofils, en effet leur diamètres peuvent présenter des variations jusqu'à 100 nm et d'environ 500 nm sur leur longueur. Nous n'avons pu baser nos prévisions que sur une estimation de la dimension moyenne. En revanche nous avons obtenue une dispersion de 10% sur les résultats de mesures d'une dizaine de dispositifs présents sur le même échantillon. Cette dispersion reste faible malgré la dispersion des dimensions des nanofils entre eux, cela est dû à l'effet de moyenne car le dispositif se compose de 2178 nanofils connectés en parallèle. Coté épitaxie sélective, dans la mesure où les nanofils remplissent toute la cavité et où ils sont aplanis par la CMP, tous les nanofils font le même diamètre et la même longueur. Il est donc dans ces conditions plus facile de prévoir les performances d'un dispositif obtenu par épitaxie sélective que par croissance CVD catalysée.

Nous avons obtenus une bonne reproductibilité des mesures de C_{ox} entre différents dispositifs pour les nanofils catalysés et non catalysés grâce à l'effet de moyenne. En revanche, ces nanostructures sont destinées à être intégrées dans des transistors de façon unitaires, c'est-à-dire un seul (ou quelques uns) nanofil par transistors. La dispersion que nous avons ici sur les nanostructures catalysées n'est pas compatible avec la fabrication de transistors. Des efforts seront à déployer pour diminuer cette dispersion, notamment en réalisant des croissances où les nanofils rempliraient complètement la cavité.

On peut ensuite voir qu'à fréquence de mesure égale, par exemple 100 Hz, les 2 courbes n'ont pas la même morphologie. Coté épitaxie sélective (à gauche) la courbe présente 2 pics qui

correspondent à la réponse d'états d'interface. Nous avons représenté sur la Figure 6.23, le profil en énergie de ces états d'interface en utilisant la méthode de Castagné et Vapaille avec pour référence la courbe mesurée à 1 MHz. On observe sur cette courbe une faible quantité d'états d'interface avec une répartition fine autour de 2 positions correspondant aux 2 pics de la mesure dont le plus grand présente un maximum d'environ $9 \times 10^{11} \text{ eV}^{-1} \cdot \text{cm}^{-2}$. Les valeurs obtenues ici sont inférieures aux $5,5 \times 10^{12} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ obtenus sur les nanofils CVD catalysés au cuivre et présentés au chapitre 5. Nous avons en revanche pour les nanofils catalysés au cuivre de nombreuses sources de défauts en particulier les nombreuses macles présentes sur toute la longueur des nanofils.

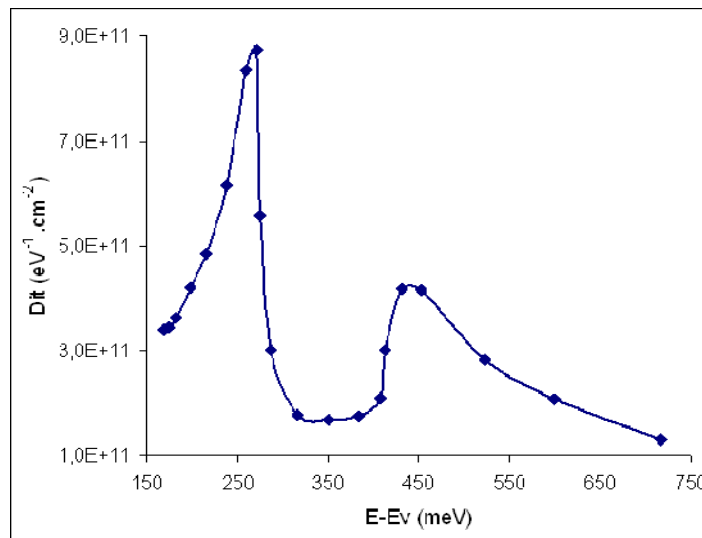


Figure 6.23 : Profil en énergie des états d'interface du dispositif à base de nanofils obtenus par épitaxie sélective.

En revanche, coté croissance CVD catalysée à l'or (à droite de la Figure 6.22), on obtient une courbe quasiment parfaite qui se modélise sans ajouter aucun état d'interface. En effet, la croissance des nanofils s'est faite en réalité indépendamment de la cavité d'oxyde, même s'il y a bien eu un guidage, en dehors de la zone en contact avec la cavité, les flancs des nanofils étaient libres. De plus les nanofils que nous avons caractérisés, ont eu une croissance en dehors de la cavité sur plusieurs micromètres. Pour l'épitaxie sélective, les flancs des nanofils sont eux en revanche en contact avec la cavité sur toute leur longueur. C'est cette seule surface qui entre en jeu dans la mesure de la capacité MOS. C'est probablement pour cela qu'on mesure plus d'états d'interface en épitaxie sélective que sur les nanofils CVD catalysés.

Pour les 2 types de nanofils, on obtient des courbes quasiment centrées en 0 V, cela indique une faible quantité de charge piégée dans l'oxyde. En effet avec une grille en TiN (matériau *mid-gap*) un décalage de tension de bandes plates ne correspond qu'à la contribution des états d'interface et des charges piégées dans l'oxyde.

On mesure également une charge d'inversion sur les nanofils CVD qu'on n'observe pas sur les nanofils par épitaxie sélective. Cette charge d'inversion correspond aux tensions positives à une

augmentation de la capacité : c'est la réponse des porteurs minoritaires. Coté épitaxie sélective, aucun porteur minoritaire ne semble répondre alors que coté nanofils catalysée, des porteurs minoritaires répondent. Nous attribuons cette réponse à la présence plus nombreuse dans les nanofils catalysés de sites de génération d'électrons comme les défauts cristallins et la présence de résidus d'or. Nous décrivons la chute en fréquence coté nanofils CVD catalysés dans la partie suivante.

V-2 Commentaires sur la chute en fréquence coté nanofils catalysés et différences avec les capacités de haute densité

Si on regarde à présent l'évolution de la capacité mesurée en accumulation avec la fréquence, on voit pour les nanofils CVD catalysés une chute rapide de la valeur de la capacité dès 10 kHz. Pour l'épitaxie sélective, on n'observe aucune évolution de la courbe avec la fréquence en dehors de l'extinction de la réponse des états d'interface. Cette chute n'a pas la même apparence que la chute observée sur les capacités de haute densité et que nous avons attribué à une résistance série distribuée le long des nanofils. Tout d'abord les nanofils que nous avons ici ont un diamètre compris entre 800 et 900 nm, ce qui est plus de 10 fois supérieur aux nanofils des capacités de haute densité. D'autre part, comme le montre la Figure 6.20 nous n'avons pas de résistance d'accès supplémentaire entre la capacité mesurée et le substrat comme nous l'avions à cause du magma poreux. La cause de cette chute en fréquence n'est donc pas tout à fait la même que pour les capacités de haute densité.

En fait la chute en fréquence est ici liée à l'approvisionnement en porteurs. Ce phénomène est le même que celui qui se produit pour la réponse des porteurs minoritaires en inversion. Lorsqu'on a une architecture de type transistor MOS avec des sources de porteurs minoritaires présentes à proximité du canal, on mesure à base fréquence une capacité d'inversion égale à la capacité d'accumulation. A fréquence élevée, les porteurs présents dans les réservoirs n'ont pas le temps d'être acheminés jusqu'au canal, la capacité mesurée en inversion reste faible. U. Lieneweg [Lieneweg80] a mis en évidence l'effet de cet approvisionnement en porteurs de charge sur la forme de la courbe de mesure $C(V)$ d'une capacité MOS en montrant son évolution avec la fréquence. Cette évolution est donnée sur la Figure 6.24 où les porteurs minoritaires à acheminer vers l'interface de la capacité sont les trous.

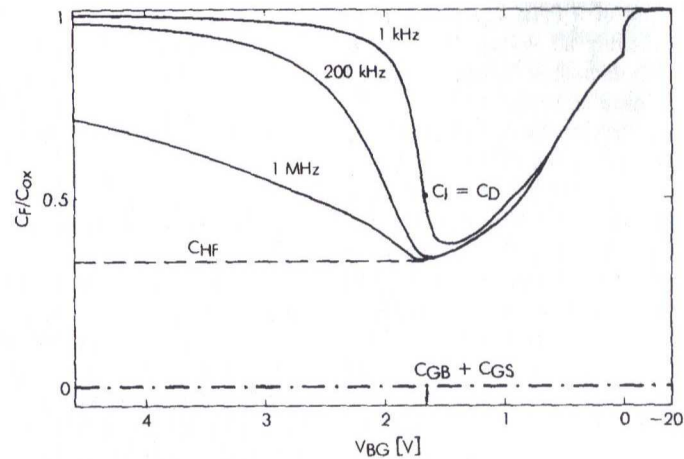


Figure 6.24 : Evolution avec la fréquence de mesure de la capacité d'inversion pour un semi-conducteur de type N en inversion. [Lieneweg80]

On obtient ainsi la même évolution de la mesure en fonction de la fréquence que sur nos nanofils. En effet, nos nanofils étant non dopés et longs de $4 \mu\text{m}$, il est donc cohérent d'avoir le même phénomène de limitation l'approvisionnement en porteurs. Pour les capacités de haute densité, ce phénomène doit aussi se produire mais est en compétition avec l'importante résistance des fils. En effet sur les capacités de haute densité, on a non seulement des nanofils plus longs et de plus faible diamètre mais également de nombreux défauts cristallins qui doivent diminuer la mobilité des porteurs. Ainsi la forme de la forme des courbes en fonction de la fréquence n'est plus la même.

Conclusion

Dans ce chapitre, nous avons identifié 2 applications pour les transistors à base de nanofils dans les interconnexions : les mémoires et les circuits FPGA. Pour les mémoires, il s'agirait de déporter tout le bloc mémoire en Back End grâce au transistor directement intégré dans les interconnexions à proximité de l'élément de stockage. Pour les circuits FPGA, il s'agirait de déporter en Back End la reconfiguration des interconnexions.

Nous avons mis au point les dépôts de catalyseurs par électrochimie sur sous-couche de silicium, de nitrure de titane et de cuivre. Dans tous les cas, des efforts sont nécessaires pour améliorer la reproductibilité de l'épaisseur déposée et en adapter l'épaisseur pour la croissance. Une filière de dépôt sélective du catalyseur en fond de cavité et compatible avec toutes les sous-couches est présentée et mise en œuvre pour la croissance catalysée et guidée de nanofils.

La croissance sur sous couche métallique en nitrure de titane a été étudiée en microscopie électronique en transmission et révèle que les nanofils obtenus sont bien monocristallins. Il y a entre le nanofil et la sous couche en nitrure de titane 3 nm d'oxyde ainsi qu'une partie du catalyseur. La croissance guidée sur silicium (100) a été étudiée de la même façon. Elle a permis de mettre en évidence une relation d'épitaxie entre le nanofil et le substrat orienté (100). Le nanofil semble en revanche croître selon une direction (111) et générer des macles lorsqu'il rencontre les flancs d'oxyde pendant sa croissance.

Une diffusion d'or depuis le catalyseur au sommet des nanofils vers les flancs a été mise en évidence par tomographie électronique et révèle une diffusion sélective selon l'orientation des faces des flancs du nanofil.

La mesure électrique des dispositifs à base de nanofils catalysés comparée aux nanofils non catalysés obtenus par épitaxie sélective permet de mettre en évidence l'impact des défauts cristallins et des résidus d'or. Une capacité d'inversion est en effet observée sur les nanofils catalysés, elle correspond à la présence de zones de génération d'électrons absentes dans les nanofils non catalysés.

Les nanofils catalysés révèlent enfin une très bonne qualité d'interface avec un empilement de grille compatible Back End composé d'alumine et de nitrure de titane déposés respectivement par ALD et PVD. Cela montre que notre empilement pourra être utilisé pour la fabrication de transistors verticaux. En revanche, les résultats obtenus dans cette étude, concernent des dispositifs composés de plusieurs nanofils (ici 2178). Dans le cadre de l'application visée, il faudra évaluer les performances de notre empilement sur des nanofils uniques. Il faudra également mettre au point une filière permettant d'obtenir une bonne reproductibilité des dimensions des nanofils. Dans ces conditions, les nanofils devraient avoir une dimension déterminée par photolithographie. Leur intérêt est dans cette application purement lié à leur propriété de croissance cristalline sur une ligne métallique et non plus pour leurs dimensions pouvant être indépendantes de la photolithographie.

Conclusion Générale et Perspectives

Nous avons étudié dans cette thèse les potentialités des nanofils de silicium obtenus par croissance en phase vapeur. Ce travail s'inscrit dans un contexte où la microélectronique évolue vers l'intégration tridimensionnelle.

Nous avons tout d'abord étudié le dimensionnement et la fabrication de capacités intégrant une population de nanofils. Cette nouvelle approche devait permettre de profiter de l'importante surface développée par une assemblée de nanofils de taille nanométriques. Cette approche a été un succès puisqu'elle a permis la fabrication d'un démonstrateur de capacité MOS ultra-dense de $22 \mu\text{F}/\text{cm}^2$. Cette valeur montre un gain en surface apporté par les nanofils de 27,5. La technologie mise au point sur plaque de 200 mm utilise uniquement des procédés industriels et compatibles avec une intégration 3D dans les niveaux d'interconnexions. Cette réalisation constitue à ce jour l'état de l'art international des capacités de haute densité intégrables en Back End dans l'approche 3D. Les applications de ces capacités ont été identifiées pour la fabrication de capacités commutées, de capacités de découplage et de convertisseur DC/DC.

La morphologie des nanofils obtenus par croissance, la dispersion de leurs dimensions au sein des dispositifs et leur enchevêtrement ne sont pas dans cette approche un obstacle à la reproductibilité des dispositifs. Nous l'avons démontré à partir des résultats obtenus avec 15 nm d'alumine.

Les dispositifs obtenus dans cette thèse, ne répondent pas complètement à ce jour à toutes les spécifications des applications. En particulier, à 10 nm d'alumine et à tension négative, nos dispositifs présentent des courants de fuite trop élevés. Pour y remédier, l'adaptation de la séquence de dépôt ALD d'alumine semble nécessaire pour éviter des inhomogénéités d'épaisseur. Il faudra également optimiser le pré-traitement humide avant le dépôt d'alumine pour diminuer le rapport entre le courant de fuite et la capacité.

La résistance série de nos dispositifs est également trop élevée ce qui restreint la plage de fréquences d'utilisation. Pour élargir cette plage, il faut diminuer la résistance des électrodes et surtout celle des nanofils qui est prépondérante. Nous proposons d'étudier le dopage *in situ* des nanofils pendant leur croissance jusqu'à éliminer l'effet semi-conducteur et obtenir des électrodes inférieures moins résistives avec un comportement métallique. La faible température de croissance pourrait rendre ce dopage difficile, cela reste à étudier. Nous proposons également d'étudier soit la croissance de nanofils de siliciure de nickel à partir de nickel comme catalyseur à la place du cuivre ou la siliciuration des nanofils de silicium après leur croissance. Dans tous les cas, la mise au point des procédés de croissance devra garder comme objectif de maintenir une forte densité de nanofils et d'éviter la formation du magma poreux que nous avons dans nos dispositifs au centre des plaques.

Nous avons également réalisé des démonstrateurs de capacités MIM en déposant tout l'empilement métal / isolant / métal sur les nanofils. Cette seconde filière a permis d'obtenir à 15 nm d'alumine, une densité de $10 \mu\text{F}/\text{cm}^2$ en multipliant par 16 la surface développée. Les dispositifs obtenus présentent également des coefficients de linéarité en tension conformes à l'état de l'art.

Cependant, nous avons obtenus des valeurs de courant de fuite plus fortes que sur les capacités MOS ainsi que des valeurs de densité de capacité inférieures à ce que nous attendions. Nous avons également obtenus de très fortes résistances séries.

Cette filière MIM, nous paraît moins robuste à l'intégration et plus difficile à optimiser que la filière MOS. Nous conseillons de focaliser les efforts plutôt sur la filière dite MOS et de conférer aux nanofils un comportement métallique avec les solutions citées précédemment pour obtenir une capacité MIM.

Nous avons également travaillé sur l'opportunité des nanofils pour la fabrication de transistors verticaux dans les interconnexions selon une approche conventionnelle où les structures sont toutes localisées par photolithographie. Ce type d'intégration demande de relever de nombreuses difficultés technologiques et en particulier la réalisation d'un empilement de grille de bonne qualité à basse température.

Nous avons mis au point des solutions pour la localisation du catalyseur en fond de cavités d'oxyde pour permettre la croissance guidée de nanofils. Ce guidage sera en effet nécessaire pour obtenir des nanofils droits sur des lignes métalliques. Nous avons également étudié les qualités des interfaces d'un empilement à base d'alumine et de nitrure de titane déposé à basse température sur des nanofils de silicium. Les interfaces se sont révélées de très bonne qualité, sans états d'interface.

En revanche, nous avons mis en évidence la présence de nombreux défauts cristallins dans les nanofils et notamment des macles qui semblent être dues au guidage. Nous avons pu observer sur les caractérisations électriques la réponse soit des défauts cristallins induits par la croissance guidée soit des résidus de catalyseur dans le nanofil. Ces défauts auront un impact négatif sur les propriétés électriques des transistors car elles constituent des zones de recombinaison des porteurs. De plus la croissance sur ligne métallique impose l'utilisation d'un guide pour obtenir des nanofils droits. Il semble donc à ce stade difficile d'éliminer ces défauts. Malgré cela, la technologie à base de nanofils, proposée dans cette thèse, peut être compétitive par rapport à ce qui existe dans l'état de l'art notamment avec des matériaux à changement de phase.

Pour poursuivre cette étude, il faudrait maintenant réaliser un démonstrateur complet de transistors verticaux à base de nanofils pour comparer ses performances à l'état de l'art. Cette fabrication demandera de relever de nombreux défis technologiques comme le dopage des nanofils, l'alignement de la grille et les prises de contact sur les sources et drains.

Les nanomatériaux obtenus par croissance comme les nanofils de silicium présentés dans cette thèse possèdent de nouvelles propriétés intéressantes pour l'industrie de la microélectronique. Leur intégration constituera une rupture avec les technologies existantes et pour tirer profit au mieux de ces propriétés, il faudra adopter des nouvelles approches. Nous montrons avec ce travail, qu'une approche innovante où une population de nanofils est intégrée, il est possible d'obtenir des dispositifs plus performants, à faible coût et reproductibles.

Bibliographie

-
- [Allen08]** : J.E. Allen, E.R. Hemesath, D.E. Perea, J.L. Lensch-Falk, Z.Y. Li et al., High-resolution detection of Au catalyst atoms in Si nanowires, *Nature Nanotechnology* 3, (2008) 168-173
- [Atwater07]** : B.M. Kayes, M.A. Filler, M.C. Putnam, M.D. Kelzenberg, N.S. Lewis, H.A. Atwater, Growth of vertically aligned Si wire arrays over large areas (> 1 cm) with Au and Cu catalysts, *Applied Physics Letters* 91, (2007) 103110
- [Atwater10]** : M. D. Kelzenberg, S. W. Boettcher, J. A. Petykiewicz, D. B. Turner- Evans, M. C. Putnam, E. L. Warren, J. M. Spurgeon, R. M. Briggs, N. S. Lewis, H. A. Atwater, Enhanced absorption and carrier collection in Si wire arrays for photovoltaic applications, *Nature Materials* 9(3), (2010) 239–244
- [Ayala10]** : J.L.Ayala, C. Méndez, M. Lopez-Vallejo, Thermal analysis and modeling of embedded processors, *Computers and Electrical Engineering* 36, 1, (2010) 142-154
- [Bajolet05]** : A. Bajolet, J.C. Giraudin, C. Rossato, L. Pinzelli et al., Three-dimensional 35 nF/mm² MIM Capacitors Integrated in BiCMOS Technology, *Proc. of ESSDERC*, (2005) 121
- [Bajolet06]** : A. Bajolet, Intégration de capacités MIM tridimensionnelles de 35 nF/mm² et au-delà dans les technologies CMOS et BiCMOS, Thèse de l'Institut National Polytechnique de Grenoble, 2006
- [Bajolet06b]** : A. Bajolet, R. Clerc, G. Pananakakis, E. Picollet et al., Modeling and optimization of series resistance of planar MIM capacitors, *Solid State Elec.* 50, (2006) 1244-1251
- [Bajolet07]** : A. Bajolet, S. Bruyere, M. Proust, L. Montès, G. Ghibaudo, Impact of TiN Plasma Post-Treatment on Alumine Electron Trapping, *IEEE Trans. on Dev. and Mater. Rel.* 7, 2, (2007) 242-251
- [Bandaru10]** : P.R. Bandaru, P. Pichanusakorn, An outline of the synthesis and properties of silicon nanowires, *Smicond. Sci. Technol.* 25, (2010) 024003
- [Banerjee09]** : P. Banerjee, I. Perez, L. Henn-Lecordier, S. B. Lee, G. W. Rubloff, Nanotubular metal-insulator-metal capacitor arrays for energy storage, *Nature Nanotech.* 4, (2009) 292-296
- [Baron06]** : T. Baron, M. Gordon, F. Dhalluin, C. Ternon, P. Ferret, P. Gentile, Si nanowire growth and characterization using a microelectronics compatible catalyst: PtSi, *Appl. Phys. Lett.* 89, (2006), 233111
- [Batude09]** : P. Batude, M. Vinet, A. Pouydebasque, C. Le Royer, B. Previtali, C. Tabone et al., GeOI and SOI 3D Monolithic Cell integrations for High Density Applications, *Dig. Of tech. papers symp. On VLSI tech.* (2009)
- [Bécu06]** : S. Bécu, Etude des non-linéarités de permittivité de diélectriques utilisés en microélectronique. Application aux capacités MIM, Thèse de l'Université d'Aix-Marseille I, 2006
- [Bernardini04]** : S. Bernardini, Modélisation des structures Metal-Oxyde-Semiconducteur (MOS) : Applications aux dispositifs mémoires, Thèse de l'Université d'Aix-Marseille I, 2004
- [Björk09]** : M.T. Björk, H. Schmid, J. Knoch, H. Riel, W. Riess, Donor deactivation in silicon nanostructures, *Nat. Nanotech.* 4, (2009) 103-107
- [Black04]** : C.T. Black, K.W. Guarini, Y. Zhang, H. Kim, J. Benedict et al., High-Capacity, Self-Assembled Metal-Oxide-Semiconductor Decoupling Capacitors, *Elec. Dev. Lett.* 25, (2004) 622
- [Cambridge]** : www.cambridgenanotech.com
- [Castagné71]** : R. Castagné, A. Vapaille, Description of the SiO₂-Si interface properties by means of very low frequency MOS capacitance measurements, *Surface Science* 28, (1971) 157

[Cha08] : S.N. Cha, B.G. Song, J.E. Jang, J.E. Jung, I.T. Han et al., Controlled growth of vertically aligned ZnO nanowires with different crystal orientation of the ZnO seed layer, *Nanotechnology* 19, (2008) 235601

[Chan08] : C.K. Chan, H. Peng, G. Liu, K. Mcllwraith, X.F. Zhang, R.A. Huggins, Y. Cui, High-performance lithium battery anodes using silicon nanowires, *Nat. Nanotech.* 3, (2008) 31-35

[Chang04] : Y. Chang, F. Ducroquet, E. Gautier, O. Renault et al, Surface preparation and post thermal treatment effects on interface properties of thin Al₂O₃ films deposited by ALD, *Microelectronic Engineering* 72, (2004) 326-331

[Chang07] : Y.F. Chang, Q.R. Chou, J.Y. Lin, C.H. Lee, Fabrication of high-aspect-ratio silicon nanopillar arrays with the conventional reactive ion etching technique, *Appl. Phys. A* 86, (2007) 193-196

[Chang09] : C.-M. Chang, Y.-C. Chang, Y.-A. Chung, C.-Y. Lee, and L.-J. Chen, Synthesis and Properties of the Low Resistivity TiSi₂ Nanowires Grown with TiF₄ Precursor, *J. Phys. Chem. C* 113, (2009) 17720–17723

[Chartier08] : C. Chartier, S. Bastide, C. Lévy-Clément, Metal-assisted chemical etching of silicon in HF-H₂O₂, *Electrochem. Acta* 53, (2008) 5509-5516

[Chen08] : K.N. Chen, L. Krusin-Elbaum, D.M. Newns, B.G. Elmegreen, R. Cheek, N. Rana, A.M. Young, S.J. Koester, C. Lam, Programmable via using indirectly heated phase-change switch for reconfigurable logic applications, *IEEE Elec. Dev. Lett.* 29, 1, (2008) 131-133

[Choi10] : Y. Choi, L.E. Mosley, Y. Min, G.A.J. Amaratunga, Carbon nanotube capacitors arrays using high-k dielectrics, *Diamond & Related Materials* 19, (2010) 221-224

[Chueh06] : Y.-L. Chueh, M.-T. Ko, L.-J. Chou, L.-J. Chen, C.-S. Wu and C.-D. Chen, *Nano Lett.* 6, (2006) 1637–1644

[coursphysique] : <http://pagesperso-orange/physique.belledonne>

[Colinge10] : J.P. Colinge, C.W. Lee, A. Afzalian, N.D. Akhavan, R. Yan et al., Nanowire transistors without junctions, *Nature Nanotechnology* 5, (2010) 225-229

[Cui01] : Y. cui, Q. Wei, H. Park, C.M. Lieber, Nanowire Nanosensors for Highly Sensitive and Selective Detection of biological and Chemical Species, *Science* 293, (2001) 1289-1292

[Dayeh07] : S.A. Dayeh, E.T. Yu, D. Wang, III-V Nanowire Growth Mechanism: V/III Ratio and Temperature Effects, *Nano Lett.* 7, 8, (2007) 2486-2490

[Demichel09] : O. Demichel, F. Oehler, V. Calvo, P. Noé, N. Pauc, P. Gentile, P. Ferret, N. Magnea, Photoluminescence of silicon nanowires obtained by epitaxial chemical vapor deposition, *Physica E : Low-dimensional Systems and Nanostructures* 41, 6, (2009) 963-965

[Detalle10] : M. detalle, M. Barrenetxea, P. Muller, G. Pottoms, A. Phommahaxay et al., High density, low leakage Back-End 3D capacitors for mixed signals applications, *Micro. Eng.* 87, (2010) 2571-2576

[EETimes] : www.eetimes.com

[Ehow.com] : http://www.ehow.com/how_8051195_choose-decoupling-capacitors.html

[Ellis64] : R. S. Wagner, W. C. Ellis, Vapour-liquid-solid mechanism of single crystal growth, *Appl. Phys. Lett.* 4, (1964) 89-90

[Ernst06] : T. Ernst, C. Dupre, C. Isheden, E. Bernard et al., Novel 3D integration process for highly scalable Nano-Beam stacked-channels GAA (NBG) FinFETs with HfO₂/TiN gate stack, *IEDM Conf.*, (2006) San Francisco, CA

-
- [Ernst11]** : T. Ernst, S. Barraud, K. Tachi, C. Vizioz, T. MAgis, P. Brianceau, A. Hubert, N. Vuillet, J.-M. Hartmann, M. Cassé, Ultra-dense silicon nanowires: A technology, transport and interfaces challenges insight, *Microelec. Eng.* 88, 7, (2011) 1198-1202
- [Evans00]** : P.R. Evans, G. Yi, W. Schwarzacher, *Appl. Phys. Lett.* 76, (2000) 481
- [Fan05]** : Fan Z Y, Wen X G, Yang S H, Lu J G, *Appl. Phys. Lett.* 87, (2005) 013113
- [Fang07]** : W. Fang, N. Singh, L. K. Bera, H. S. Nguyen, S. C. Rustagi, G. Q. Lo, N. Balasubramanian, D.-L. Kwong, Vertically Stacked SiGe Nanowire Array Channel CMOS Transistors, *IEEE Electron Device Letters* 28, 3, (2007) 211
- [Farcy08]** : A. Farcy, J. F. Carpentier, M. Thomas, P. Ancey, Integration of high-performance RF passive modules (MIM capacitors and inductors) in advanced BEOL, *Micro. Eng.* 85, (2008) 1940-1946
- [Gaillardon11]** : P.-E. Gaillardon, M. Haykel Ben-Jamaa, M. Reyboz, G. Betti Beneventi, F. Clermidy, L. Perniola, I. O'Connor, Phase-Change-Memory-Based Storage Elements for Configurable Logic, International Conference on Field-Programmable Technology (FPT), December 2010, Beijing, China.
- [Gaillardon11']** : P.-E. Gaillardon M. H. Ben-Jamaa, P.-H. Morel, J.-P. Noël, F. Clermidy, I. O'Connor, Can We Go Towards True 3-D Architectures?, WACI session, 48th Design Automation Conference (DAC), 2011, San Diego (CA), USA.
- [Garnett09]** : E.C. Garnett, Y.C. Tseng, D.R. Khannal, J. Wu, J. Bokor, P. Yang, Dopant profiling and surface analysis of silicon nanowires using capacitance-voltage measurements, *Nature Nanotech* 4, (2009) 311-314
- [Gay10]** : G. Gay, T. Baron, C. Agraffeil, B. Salhi, T. Chevolleau, G. Cunge, H. Grampeix et al. CMOS compatible strategy based on selective atomic layer deposition of a hard mask for transferring block copolymer lithography patterns, *Nanotechnology* 21, 43 (2010) 435301
- [Gerritsen05]** : E. Gerritsen, N. Emonet, C. Caillat, N. Jourdan et al., Evolution of materials technology for stacked-capacitors in 65 nm embedded-DRAM, *Solid-State Electronics* 49, (2005) 1767-1775
- [Goldberger06]** : J. Goldberger, A.I Hochbaum, R. Fan, P. Yang, Silicon Vertically Integrated Nanowire Field Effect Transistors, *Nano Lett* 6, 5, (2006) 973-977
- [Gole00]** : Gole, J. L.; Stout, J. D.; Rauch, W. L.; Wang, Z. L. *Appl. Phys. Lett.* 76, (2000), 2346.
- [Gosele06]** : Y. Wang, V. Schmidt, S. Senz, U. Gösele, Epitaxial growth of silicon nanowires using an aluminium catalyst, *Nature* 1(3), (2006) 186–189
- [Gunawan09]** : O. Gunawan, S. Guha, Characteristics of vapour-liquid-solid grown silicon nanowire solar cells, *Sol. En. Mat. & Sol. Cells* 93, (2009) 1388-1393
- [Guo08]** : Guo X L, Wang G X, Yang J, Park J S and Wexler D., *J. Mater. Chem.* 18, (2008) 965
- [Ham09]** : M.-H. Ham, J.-W. Lee, K.-J. Moon, J.-H. Choi and J.-M. Myoung, *J. Phys. Chem. C* 113, (2009) 8143–8146
- [Harper90]** : J.M.E. Harper, A. Charai, L. Solt, F.M. d'Heurle, P.M. Fryer, Room-temperature oxidation of silicon catalysed by Cu₃Si, *Appl. Phys. Lett.* 56, (1990) 2519-2521
- [Hartmann10]** : J.M. Hartmann, M. Py, P.H. Morel, T. Ernst, B. Prévitali, J.P. Barnes, N. Vulliet, N. Cherkashin, S. Reboh, M. Hýtch, V. Paillard, *ECS Trans.* 33 (7) (2010) 391.

-
- [Higgins08]** : J. M. Higgins, A. L. Schmitt, I. A. Guzei and S. Jin, *J. Am. Chem. Soc.* 130, (2008) 16086–16094
- [Hoshbaum09]** : A. I. Hochbaum, D. Gargas, Y. J. Hwang, P. Yang, *Nano Lett.* **2009** , 9 , 3550
- [Huang07]** : Z. P. Huang , H. Fang , J. Zhu , *Adv. Mater.* **2007** , 19 , 744 .
- [Huang11]** : Z. Huang, N. Geyer, P. Werner, J. de Boor, U. Gosele, Metal-Assisted Chemical Etching of Silicon: A Review, *Adv. Mater.* 23, (2011) 285-308
- [Hubert11]** : A. Hubert, M. Bawedin, G. Guegan, T. Ernst, O. Faynot, S. Cristoloveanu, SOI 1T-DRAM cells with variable channel length and thickness: Experimental comparison of programming mechanisms, *Solid State Electronics*, (2011) *In Press*
- [IPEDIA.com]** : www.ipdia.com
- [In08]** : J. In, K. S. K. Varadwaj, K. Seo, S. Lee, Y. Jo, M.-H. Jung, J. Kim and B. Kim, *J. Phys. Chem. C* 112, (2008) 4748–4752
- [Intel]** : www.intel.com
- [ITRSWhitePaper]** : W. Arden, M. Brillout, P. Coge, M. Graef, B. Huitzing, R. Mahnkopf, More-than-Moore White Paper, ITRS Report
- [Jain02]** : P. Jain, E. J. Rymaszewski, Embedded Thin Film Capacitors-Theoretical Limits, *IEEE Trans. On Adv. Pack.* 25, (2002) 454
- [Jakschik03]** : S. Jakschik, U. Schroeder, T. Hecht et al, Crystallisation behaviour of thin ALD-Al₂O₃ films, *Thin Solid Films* 425, (2003) 216-220
- [Jeannot07]** : S. Jeannot, A. Bajolet, J.P. Manceau, S. Cremer, E. Deloffre et al., Toward next high performances MIM generation: up to 30 fF/μm² with 3D architecture and high-k materials, *Proc. of IEDM2007*, (2007)
- [Johari09]** : H. Johari, F. Ayazi, High-Density Embedded Deep Trench Capacitors in Silicon With Enhanced Breakdown Voltage, *Trans. On Comp. and pack. Tech.* 32, (2009) 808
- [Kawaba08]** : A. Kawabata, S. Sato, T. Nozue, T. Hyakushima, M. Norimatsu, M. Mishima, T. Murakami, D. Kondo, K. Asano, M. Ohfuti, H. Kawarada, T. Sakai, M. Nihei, Y. Awano, IITC, San Francisco, (2008).
- [Kamata08]** : Y. Kamata, High-K / Ge MOSFETs for future nanoelectronics, *Materials Today* 11, (2008) 30
- [Kamins01]** : T.I. Kamins, R. Stanley Williams, D.P. Basile, T. Hesjedal, J.S. Harris, Ti-catalysed Si nanowires by chemical vapour deposition: microscopy and growth mechanisms, *J. Appl. Phys.* 89, (2001) 1008-1016
- [Kang10]** : J.H. Kang, Q. Gao, H.J. Joyce, H.H. Tan, C. Jagadish et al., Novel growth and properties of GaAs nanowires on Si substrates, *Nanotechnology* 21, (2010) 035604
- [Kayes07]** : Kayes, B. M.; Filler, M. A.; Putnam, M. C.; Kelzenberg, M. D.; Lewis, N. S.; Atwater, H. A.; *Appl. Phys. Lett.* 91, (2007) 103110.
- [Kim07]** : J. Kim, D. H. Shin, E.-S. Lee, and C.-S. Han, Electrical characteristics of single and doubly connected Ni silicide nanowire grown by plasma-enhanced chemical vapor deposition, *Appl. Phys. Lett.* 90, (2007) 253103
- [Kim07b]** : C.-J. Kim, K. Kang, Y.-S. Woo, K.-G. Ryu, H. Moon, J.-M. Kim, D.-S. Zang and M.-H. Jo, *Adv. Mater.* 19, (2007) 3637–3642.
-

-
- [Kim07c]** : J. Kim, D. H. Shin, E.-S. Lee, C.-S. Han and Y. C. Park, Appl. Phys. Lett. 90, (2007) 253103
- [Klootwijk08]** : J. H. Klootwijk, K. B. Jinesh, W. Dekkers, J. F. Verhoeven et al., Ultrahigh Capacitance Density for Multiple ALD-Grown MIM Capacitor Stacks in 3-D Silicon, Elec. Dev. Lett. 29, (2008) 740-742
- [Klootwijk11]** : J. H. Klootwijk, K. B. Jinesh, F. Roozeboom, MIM in 3D: Dream or reality?, Microelectronic Engineering **88**, (2011) 1507-1513
- [Kolb04]** : Kolb, F. M.; Hofmeister, H.; Scholz, R.; Zacharias, M.; Goesele, U.; Ma, D. D.; Lee, S. T.; J. Electrochem. Soc. 151, (2004) G472.
- [Kolb05]** : Kolb, F. M.; Hofmeister, H.; Zacharias, M.; Goesele, U. ; Appl. Phys. A: Mater. Sci. Process. 80, (2005) 1405
- [Kolodzey00]** : Kolodzey J., Jiao D., He J. Radhakrishan K., Dai C., Electrical conduction and dielectric breakdown in aluminium oxide insulator on silicon, IEEE Trans. On Elec. Dev. 47, (2000) p121
- [Korotcenkov10]** : G. Korotcenkov, B.K. Cho, Silicon Porosification : State of the Art, Critical Reviews in Solid State and Materials Sciences 35, (2010) 153-260
- [Kuhn70]** : M. Kuhn, Solid State Electron. 13 (1970) 873.
- [Lecestre10]** : A. Lecestre, E. Dubois, A. Villaret, T. Skotnicki, P. Coronel, G. Patriarche, C. Maurice, Confined VLS growth and structural characterization of silicon nanoribbons, Microelec. Eng 87, (2010) 1522-1526
- [Lee08]** : C.-Y. Lee, M.-P. Lu, K.-F. Liao, W.-W. Wu and L.-J. Chen, Appl. Phys. Lett. 93, (2008) 113109
- [Lee09]** : C.-Y. Lee, M.-P. Lu, K.-F. Liao, W.-F. Lee, C.-T. Huang, S.-Y. Chen and L.-J. Chen, J. Phys. Chem. C 113, (2009) 2286–2289
- [Lensch09]** : J.L. Lensch-Falk, E.R. Hemesath, D.E. Perea, I.J. Lauhon, Alternative catalysts for VSS growth of silicon and germanium nanowires, J. Mater. Chem. **19**, (2009) 849-857
- [Leroux99]** : C. Leroux, D. Blachier, Light emission microscopy for reliability studies, Microelectronic Engineering 49, (1999) 169-180
- [Leroux07]** : C. Leroux et al, Automatic statistical full quantum analysis of C-V and I-V characteristics for advanced MOS gate stacks, Microelec. Eng. 84 (2007) 2408-2411
- [LeRouzo09]** : J. Le Rouzo, D. Maestre, D. Barakel, O. Palais, L. Escoubas, C. Alfonso, L. Charrin, M. Gailhanou, Growth and characterization of Si nanowires by an electroless etching process, 24th Europ. Photo. Sol. E. Conf., (2009) Hamburg, Germany
- [Lew03]** : K.K. Lew, J.M. Redwing, Growth characteristics of silicon nanowires synthesized by vapor-liquid-solid growth in nanoporous alumina templates, J. of Crystal Growth 254, (2003) 14-22
- [Li00]** : X. Li, P. W. Bohn, Metal-assisted chemical etching in HF/H₂O₂ produces porous silicon, Appl. Phys. Lett. 77, (2000) 2572
- [Liao09]** : L. Liao, Z. Zhang, B. Yan, Z. Zheng, Q.L. Bao, T. Wu et al., Multifunctional CuO nanowire devices: p-type field effect transistors and CO gas sensors, Nanotechnology 20, (2009) 085203
- [Lieber98]** : A. M. Morales, C. M. Lieber., A Laser Ablation Method for the Synthesis of Crystalline Semiconductor Nanowires. Science 279, (1998) 208-211

-
- [Lieber01]** : Y. Cui, Q. Wei, H. Park, C.M. Lieber, Nanowire Nanosensors for Highly Sensitive and Selective Detection of Biological and Chemical Species, *Science* 293, (2001) 1289–1292
- [Lieber03]** : Z. Zhong, D. Wang, Yi Cui, M. W. Bockrath, C.M. Lieber, Nanowire Crossbar Arrays as Address Decoders for Integrated Nanosystems. *Science* 302, (2003) 1377–1379
- [Lieber07]** : B. Tian, X. Zheng, T.J. Kempa, Y. Fang, N. Yu, G. Yu, J. Huang, C.M. Lieber, Coaxial silicon nanowires as solar cells and nanoelectronic power sources, *Nature* 449, (2007) 885–889
- [Lieneweg80]** : U. Lieneweg, Frequency response of charge transfer in MOS inversion layers, *Solid State Electronics* 23, (1980) 577-583
- [Lin08]** : Y.-C. Lin, K.-C. Lu, W.-W. Wu, J. Bai, L. J. Chen, K. N. Tu, and Y. Huang, Single Crystalline PtSi Nanowires, PtSi/Si/PtSi Nanowire Heterostructures, and Nanodevices, *Nano Lett.* 8, (2008) 913-918
- [Lin08b]** : H.-K. Lin, Y.-F. Tzeng, C.-H. Wang, N.-H. Tai, I. N. Lin, C.-Y. Lee and H.-T. Chiu, *Chem. Mater.* 20, (2008) 2429–2431
- [Lissorgues05]** : G. Lissorgues, P. Bildstein, Filtres à capacités commutées, *Techniques de l'ingénieur*, E140, (2005)
- [Liu07]** : M. Liu, *Demystifying Switched Capacitor Circuits*, Chapitre 6 : Switched-Capacitor DC-DC Converters, (2006) 223-245
- [Liu07b]** : B. Liu, Y. Wang, S. Dilts, T. S. Mayer and S. E. Mohny, *Nano Lett.* 7, (2007) 818–824
- [Liu08]** : Z. Liu, H. Zhang, L. Wang and D. Yang, *Nanotechnology* 19, (2008) 375602
- [Lu07]** : K.-C. Lu, W.-W. Wu, H.-W. Wu, C. M. Tanner, J. P. Chang, L. J. Chen and K. N. Tu, *Nano Lett.* 7, (2007) 2389–2394.
- [Lugstein09]** : A. Lugstein, M. Steinmair, C. Henkel, E. Bertagnolli, Scalable Approach for Vertical Device Integration of Epitaxial Nanowires, *Nano Lett.* 9, 5, (2009) 1830-1834
- [Martensson03]** : T. Martensson, M. Borgstrom, W. Seifert, B.J. Ohlsson, L. Samuelson., Fabrication of individually seeded nanowire arrays by vapour-liquid-solid growth, *Nanotechnology* 14, (2003) 1255
- [Meijer05]** : M. Meijer, I. Pineda de Gyvez, R. Otten, On-chip digital power supply control for system-on-chip applications. *Proc. IEEE ISLPED'05*, Monterey, Ca., USA (2005) 311-4
- [Melnik03]** : V. Melnik, D. Wolanski, E. Bugiel, A. Goryachko, S. Chernjaski, D. Krüger, Influence of N₂/H₂ plasma treatment on chemical vapour deposited TiN multilayer structures for advanced CMOS technologies, *Materials Sciences & Engineering B* 102, (2003) 358
- [Mohammad09]** : S.N. Mohammad, Why droplet dimension can be larger than, equal to, or smaller than the nanowire dimension, *I. of Appl. Phys.* 106, (2009) 104311
- [Morton08]** : K.J. Morton, G. Nieberg, S. Bai, S.Y. Chou, Wafer-scale patterning of sub-40 nm diameter and high aspect ratio (>50:1) silicon pillar arrays by nanoimprint and etching, *Nanotechnology* 19, (2008) 345306
- [Motoyama07]** : M. Motoyama, Y. Fukunaka, T. Sakka, Y.H. Ogata, Initial stages of electrodeposition of metal nanowires in nanoporous templates, *Electrochem. Act.* 53, (2007) 205-212
- [Ngo07]** : Q. Ngo, A. M. Cassell, V. Radmilovic, J. Li, S. Krishnan, M. Meyyappan, C. Y. Yang, *Carbon* 45, 424-428, (2007)
- [Ng09]** : R.M.Y Ng, T. Wang, F. Liu, X. Zuo, J. He, M. Chan, Vertically Stacked Silicon Nanowire Fabricated by Inductive Plasma Etching and Stress-Limited Oxidation, *IEEE Elec. Dev. Lett.* 30, 5, (2009) 520-522
-

[Nims] : <http://www.nims.go.jp/mana/index.html>

[Oehler10] : Fabrice Oehler, Etude et compréhension des mécanismes de croissance catalysés des nanofils de silicium obtenus par Dépôt Chimique en phase Vapeur, Thèse de l'université de Grenoble, 2010

[Oehler10*] : F. Oehler, P. Gentile, B. Ferret, M. Den Hertog, J. Rouvière, The Importance of the Radial Growth in the Facetting of Silicon Nanowires, *Nano Lett.* 10 (2010), 2335-2341

[Ouyang06] : L. Ouyang, E. S. Thrall, M. M. Deshmukh and H. Park, *Adv. Mater.* 18, (2006) 1437–1440

[Ozgun05] : U. Ozgur, Y. I. Alivov, C. Liu, A. Teke, M.A. Reshchikov, S. Dogan, V. Avrutin, S.-J. Cho and H.Morko_c, *J. Appl. Phys.* 98, (2005) 041301

[Pan01] : Pan, Z. W.; Dai, Z. R. *J. Phys. Chem. B.* 2001, 105, 2507.

[Pernel09] : C. Pernel, N. Chaix, S. Landis, V. Ivanova, Metallic nanodots arrays electrodeposited through Nanolmprint templates, 216th ECS meeting, Vienna, Austria (2009)

[Perraud09] : S. Perraud, S. Poncet, S. Noël, M. Levis, P. Faucherand et al., Full process for integrating silicon nanowire arrays into solar cells, *Sol. En. Mat. & Sol. Cells* 93, (2009) 1568-1571

[Pherson03] : J. McPherson, J. Y. Kim, A. Shanware, H. Mogul, Thermochemical description of dielectric breakdown in high dielectric constant materials, *Appl. Phys Lett.* 82, (2003) 2121

[Rao11] : P.M. Rao, X. Zheng, Flame synthesis of tungsten oxide nanostructures on diverse substrates, *Proc. Of the Comb. Inst.* 33, (2011) 1891-1898

[Renard09] : Renard V. T., Jublot M., Gergaud P., Cherns P., Rouchon D., Chabli A., Jousseume V. Catalyst preparation for CMOS-compatible silicon nanowire synthesis, *Nature Nanotech.* 4, 654-657 (2009)

[Roddaro08] : S. Roddaro, K. Nilsson, G. Astromskas, L. Samuelson et al., InAs nanowire metal-oxide-semiconductor capacitors, *Appl. Phys. Lett.* 92, (2008) 253509

[Roozeboom00] : F. roozeboom, R. Elfrink, J. Verhoeven, J. van den Meerakker, F. Holthuysen, High-value MOS capacitor arrays in ultradeep trenches in silicon, *Micro. Eng.* 53, (2000) 581-584

[Roozeboom06] : F. Roozeboom, A.L.A.M. Kemmeren, J.F.C. Verhoeven, F.C. van den Heuvel, J. Klootwijk et al., Passive and heterogeneous integration towards a Si-based System-in-Package concept, *Thin Solid Films* 504, (2006) 391-396

[Roozeboom09] : F. Roozeboom, H. J. Bergveld, K. Nowak, F. Le Cornec et al., Ultrahigh-density trench capacitors in silicon and their application to integrated DC-DC conversion, *Procedia Chemistry* 1, (2009) 1438-1438

[Rosina09] : M. Rosina, P. Ferret, P.-H. Jouneau, I.C. Robin, F. Levy, G. Feuillet et M. Lafossas, *Microelectron. J.* 40, (2009) 242-245

[Ross05] : F. M. Ross, J. Tersoff, M. C. Reuter, Sawtooth Faceting in Silicon Nanowires, *Phys. Rev. Lett.* 95, (2005) 146104

[Thomas06] : M. Thomas, A. Farcy, N. Gaillard, C. Perrot, M. Gros-Jean et al, Integration of high density Ta₂O₅ MIM capacitor following 3D damascene architecture compatible with copper interconnects, *Micro. Eng.* 83, (2006) 2163-2168

[Salem09] : B. Salem, F. Dhalluin, H. Abed, T. baron, P. Gentile, N. Pauc, P. Ferret, Self-connected horizontal silicon nanowire field effect transistor, *Solid State Comm.* 149, (2009) 799-801

-
- [Samuelson04]** : K.A. Dick, K. Deppert, M.W. Larsson, T. Maartensson, W. Seifert, L.R. Wallenberg, L. Samuelson, Synthesis of branched 'nanotrees' by controlled seeding of multiple branching events, *Nature Materials* 3(6), (2004) 380–384
- [Schmidt04]** : Schmidt, V.; Wittemann, J. V.; Senz, S.; Gösele, U. ; *Adv. Mater.*21, (2009) 2681
- [Schmidt05]** : V. Schmidt, S. Senz, U. Gosele, Diameter-Dependent Growth Direction of Epitaxial Silicon Nanowires, *Nano Letters* Vol 5 No 5, (2005) 931-935
- [Schmidt06]** : V. Schmidt, H. Riel, S. Senz, S. Karg, W. Riess, U. Gösele, Realization of a Silicon Nanowire Vertical Surround-Gate Field-Effect Transistor, *Small* 2, 1, (2006) 85-88
- [Schmidt09]** : V. Schmidt, J.V. Wittermann, S. Senz, U. Gösele, Silicon Nanowires: A review on Aspects of their Growth and their Electrical Properties, *Adv. Mater.* 21, (2009) 2681-2702
- [Schmidt10]** : V. Schmidt, J.V. Wittermann, U. Gosele, Growth, Thermodynamics, and Electrical Properties of Silicon Nanowires, *Chem. Rev.* 110, (2010) 362-368
- [Schmitt06]** : A. L. Schmitt, M. J. Bierman, D. Schmeisser, F. J. Himpsel and S. Jin, *Nano Lett.* 6, (2006) 1617–1621
- [Schmitt06b]** : A. L. Schmitt, L. Zhu, D. Schmeier, F. J. Himpsel and S. Jin, *J. Phys. Chem. B* 110, (2006) 18142–18146
- [Schmitt08]** : A. L. Schmitt, J. M. Higgins and S. Jin, *Nano Lett.* 8, (2008) 810–815
- [Schubert04]** : Schubert, L.; Werner, P.; Zakharov, N. D.; Gerth, G.; Kolb, F. M.; Long, L.; Gösele, U.; Tan, T. Y. *Appl. Phys. Lett.* 84, (2004), 4968.
- [Seo07]** : K. Seo, K. S. K. Varadwaj, P. Mohanty, S. Lee, Y. Jo, M.-H. Jung, J. Kim and B. Kim, *Nano Lett.* 7, (2007) 1240–1245
- [Seo07b]** : K. Seo, K. S. K. Varadwaj, D. Cha, J. In, J. Kim, J. Park and B. Kim, *J. Phys. Chem. C* 111, (2007) 9072–9076
- [Shelimov00]** : K.B. Shelimov, D.N. Davydov, M. Moskovits, Template-grown high-density nanocapacitor arrays, *Appl. Phys. Lett.* 77, (2000) 1722
- [Shi00]** : Shi, W. S.; Peng, H. Y.; Zheng, Y. F.; Wang, N.; Shang, N. G.; Pan, Z. W.; Lee, C. S.; Lee, S. T. ; *Adv. Mater.* 12, (2000) 1343
- [Shibuya10]** : A. Shibuya, A. Ouchi, K. Takemura, A Silicon Interposer With an Integrated SrTiO₃ Thin Film Decoupling Capacitor and Through-Silicon Vias, *Trans. On Comp. and pack. Tech.* 33, (2010) 582
- [Sivakov09]** : V.A. Sivakov, R. Scholz, F. Syrowatka, F. Falk, U. Gosele, S.H. Christiansen, Silicon nanowire oxidation: the influence of sidewall structure and gold distribution, *Nanotechnology* 20, (2009) 405607
- [Sivakov10]** : V.A. Sivakov, G. Brönstrup, B. Pecz, A. Berger, G.Z. RAdnoczi, M. Krause, S.H. Christiansen, Realization of Vertical and Zigzag Single Crystalline Silicon Nanowire Architectures, *J. Phys. Chem. C* 114, (2010) 3798-3803
- [Song07]** : Y. Song, A. L. Schmitt and S. Jin, *Nano Lett.* 7, (2007) 965–969
- [Song07b]** : Y. Song and S. Jin, *Appl. Phys. Lett.* 90, (2007) 173122
- [SVie]** : <http://www.science-et-vie.net/definition-circuit-integre-406.html>
- [Sze81]** : Sze, S. M.; *Physics of Semiconductor DeVices*, 2nd ed.; Wiley: New York, 1981.
-

-
- [Szczech07]** : J. R. Szczech, A. L. Schmitt, M. J. Bierman and S. Jin, Chem. Mater. 19, (2007) 3238–3243
- [Tang99]** : Tang, Y. H.; Zhang, Y. F.; Wang, N.; Lee, C. S.; Han, X. D.; Bello, I.; Lee, S. T. J. Appl. Phys. 85, (1999) 7981
- [TaylorLab]** : <http://bio.fsu.edu/taylorlab/?p=184>
- [Wagner64]** : R.S. Wagner, W.C. Ellis, Vapor-Liquid-Solid mechanism of single crystal growth, App. Phys. Lett 4, 5, (1964) 89-90
- [Wan09]** : L. Wan, W.L Gong, K.W. Jiang, H.L. Li, B.R. Tao, J. Zhang, Selective formation of silicon nanowires on pre-patterned substrates, Applied Surface Science 255, (2009) 3752-3758
- [Wang98]** : Wang, N.; Tang, Y. H.; Zhang, Y. F.; Yu, D. P.; Lee, C. S.; Bello, I.; Lee, S. T. ; Chem. Phys. Lett. 283, (1998) 368
- [Wang06]** : Y. Wang, V. Schmidt, S. Senz, U. Gosele, Epitaxial growth of silicon nanowires using an aluminium catalyst, Nature Nanotech. 1, (2006) 186-189
- [Wang09]** : X. Wang, K.L. Pey, W.K. Choi, C.K.F. Ho, E. Fitzgerald, D. Antoniadis, Arrayed Si/SiGe Nanowire and Heterostructure Formations via Au-Assisted Wet Chemical Etching Method, Electrochem. And Solid-State Lett., 12 (5), (2009) K37-K40
- [Weber06]** : W.M. Weber, L. Geelhaar, A.P. Graham, E. Unger et al., Silicon-Nanowire Transistors with Intruded Nickel-Silicide Contacts, Nano Letters 6, 12, (2006) 2660-2666
- [Werner06]** : Werner, P.; Zakharov, N. D.; Gerth, G.; Schubert, L.; Gosele, U.; Int. J. Mater. Res.97, (2006), 1008
- [Xu10]** : T. Xu, J. P. Nys, A. Addad, O. I. Lebedev, A. Urbieto, B. Salhi, M. Berthe, B. Grandidier, D. Stiévenard, Faceted sidewalls of silicon nanowires: Au-induced structural reconstructions and electronic properties, Phys. Rev. B 81 (2010) 115403
- [Yang04]** : Yang, Y.-H.; Wu, S.-J.; Chiu, H. S.; Lin, P.-I.; Chen, Y.-T. 2004, 108, 846
- [Yang08]** : A. I. Hochbaum, R. Chen, R. D. Delgado, W. Liang, E. C. Garnett, M. Najarian, A. Majumdar, P. Yang, Enhanced thermoelectric performance of rough silicon nanowires, Nature 451, (2008) 163–167
- [Yang10]** : P. Yang, R. Yan, M. Fardy, Semiconductor Nanowire : What's Next ? Nano Letters 10, 5, (2010) 1529–1536
- [Zakharov06]** : Zakharov, N. D.; Werner, P.; Gerth, G.; Schubert, L.; Sokolov, L.; Gosele, U. J. Cryst. Growth 6, (2006) 290
- [Zhang05]** : R. Q. Zhang, Y. Lifshitz, D. Ma, Y. L. Zhao, Th. Frauenheim, S. T. Lee, S. Y. Tong, Structures and energetics of hydrogen-terminated silicon nanowire surfaces, The J. of Chem. Phys. 123, (2005) 144703
- [Zhong03]** : Z. Zhong, D. Wang, Y. Cui, M.W. Bockrath and C.M. Lieber, Nanowire Crossbar Arrays as Address Decoders for Integrated Nanosystems, Science 302, (2003) 1377-1379
- [Zhou08]** : S. Zhou, X. Liu, Y. Lin and D. Wang, Angew. Chem., Int. Ed., 2008, 47, 7681–7684
- [Zschech07]** : D. Zschech, D. H. Kim, A. P. Milenin, R. Scholz, R. Hillebrand, C.J. Hawker, T.P. Russell, M. Steinhart, U. Gosele, Ordered Arrays of <100>-Oriented Silicon Nanorods by CMOS-Compatible Block Copolymer Lithography, Nano Lett. 7, 6, (2007) 1516-1520

Liste des Communications Scientifiques

Conférences

P.H. Morel, T. Baron, B. Salem, M. Fayolle-Lecocq, P. Gentile, P. Ferret, T. Ernst, Silicon nanowire integration in a SiO₂ template made by conventional lithography and etching process, GDR Nanofils, Autrans 2009

P.H. Morel, J.M. Hartmann, C. Morin, P. Faucherand, S. Perraud, A. Grenier, T. Baron, B. Salem, M. Fayolle-Lecocq, T. Ernst, Study and comparison of silicon nanostructures for MOS devices : CVD vs Epitaxy, MRS Fall Meeting, Boston 2010

J.M. Hartmann, M. Py, P.H. Morel, T. Ernst, B. Prévitali, J.P. Barnes, N. Vulliet, N. Cherkashin, S. Reboh, M. Hÿtch, V. Paillard, ECS Trans. 33 (7) (2010) 391.

P.-E. Gaillardon, M. H. Ben-Jamaa, P.-H. Morel, J.-P. Noël, F. Clermidy, I. O'Connor, "Can We Go Towards True 3-D Architectures?", WACI session, 48th Design Automation Conference (DAC), 5-10 June 2011, San Diego (CA), USA.

Journaux

P.H. Morel, C. Leroux, J.M. Hartmann, C. Morin, P. Faucherand, S. Perraud, L. Cagnon, T. Baron, B. Salem, M. Fayolle-Lecocq, T. Ernst, Study of CVD nanowire high-k metal interface quality for interconnect level MOS devices, Microelectronic Engineering 88, (2011) 1228-1233

P. H. Morel, G. Haberehner, D. Lafond, G. Audoit, V. Jousseau, M. Fayolle-Lecocq, T. Baron and T. Ernst, Ultra High Density 3D nanowire capacitors compatible with CMOS interconnects, (à soumettre)

Brevets

PH Morel, T. Ernst , Dispositif microélectronique à niveaux métalliques d'interconnexion connectés par des vias programmables.

PE Gaillardon, PH Morel, F. Clermidy, I. O'Connor, Logique reconfigurable à base de nanofils.

Etude de l'Intégration 3D et des Propriétés Physiques de Nanofils de Silicium obtenus par Croissance – Réalisation de Capacités Ultra-Denses

L'évolution de la microélectronique est rythmée par l'augmentation constante du nombre de transistors intégrés dans chaque circuit grâce à la miniaturisation des dispositifs. Face à des coûts de fabrication et de développement de plus en plus élevés d'une part et à l'apparition de phénomènes parasites de plus en plus importants dans les dispositifs miniaturisés d'autre part, l'industrie se tourne progressivement vers l'intégration tridimensionnelle où les circuits sont empilés. La phase suivante de cette évolution pourra consister en la fabrication de circuits eux-mêmes tridimensionnels avec des composants répartis sur plusieurs niveaux.

Dans ce contexte, la croissance catalysée de nanofils par CVD permet d'obtenir des structures cristallines en silicium sans relation d'épitaxie et de dimensions nanométriques sans photolithographie agressive.

Nous avons utilisé ces propriétés pour la réalisation de démonstrateurs de capacités MOS et MIM ultra-denses de respectivement $22 \mu\text{F}/\text{cm}^2$ et de $9 \mu\text{F}/\text{cm}^2$ grâce à l'importante surface déployée par une assemblée de nanofils. Ces valeurs correspondent à des gains en surface apportée par les nanofils de 27,5 et de 16 pour les capacités MOS et MIM. Nous présentons dans ce travail de thèse, le dimensionnement, la fabrication et la caractérisation de ces dispositifs, depuis la croissance des nanofils jusqu'à l'obtention du démonstrateur complet.

Nous nous sommes également intéressés aux principales briques technologiques de la fabrication de transistors verticaux à base de nanofils pour les niveaux d'interconnexion. Nous avons pour cela mis au point une technologie de croissance guidée de nanofils et étudié les qualités d'interface de l'empilement d'une grille déposée à basse température sur les nanofils. Cette étude s'appuie sur la comparaison des propriétés électriques de capacités MOS à base de nanofils obtenus par croissance catalysée avec les mêmes nanostructures obtenues par épitaxie sélective. Les nanofils catalysés présentent une très bonne qualité d'interface avec un empilement à base d'alumine et de nitrure de titane.

Les technologies mises au point dans cette thèse ouvrent de nouvelles opportunités pour l'intégration tridimensionnelle au sein d'une même puce.

Mots clés : microélectronique, nanotechnologies, nanofil CVD, intégration, capacité MOS, capacité MIM, transistor, croissance.

Study of the grown silicon nanowire 3D integration and physical properties – Fabrication of high density capacitors

The main focus of microelectronic industry has been to increase the number of integrated transistors in each circuit thanks to the device miniaturization. However, due to the increasing manufacturing and development costs combined with the increase of parasitic phenomena in transistors when the dimensions decrease, the microelectronic industry is now focusing on the three-dimensional integration in which strategy, the circuits are stacked. The next step of this tendency will be able to consist in a component stacking inside the same three-dimensional circuit.

In this context, the catalyzed CVD grown silicon nanowires are a very promising material since they can be grown with a crystalline structure without any epitaxial relationship. They can also have nanoscale dimensions without any aggressive photolithography step.

We report in this thesis, the nanowire integration in high density MOS and MIM capacitors using the high developed surface of a nanowire assembly. This way, we have obtained capacitance densities of $22 \mu\text{F}/\text{cm}^2$ and of $9 \mu\text{F}/\text{cm}^2$ for MOS and MIM capacitors respectively. In this work, we present how the devices have been designed, fabricated and characterized from the nanowire growth to the complete devices.

We have also studied the main steps of the nanowire integration MOS transistors for the interconnects. A guided nanowire growth process has been developed and the interface quality of a low temperature deposited gate stack has been investigated. This study is based on a comparison of MOS capacitor electrical performances between catalyzed and unanalyzed silicon nanowires obtained by selective epitaxial growth. The catalyzed nanowires show a very good interface quality with a gate stack composed of alumina and titanium nitride.

The technologies developed in this thesis open new opportunities for the 3D integration of devices on the same chip.

Key words : microelectronics, nanotechnologies, CVD nanowires, integration, MOS capacitor, MIM capacitor, transistor, growth.