

TABLE DES MATIÈRES

(i) ENSC-(n° d'ordre)	1
REMERCIEMENTS	5
TABLE DES MATIÈRES.....	9
TABLE DES FIGURES.....	15
TABLE DES TABLEAUX.....	19
INTRODUCTION GÉNÉRALE.....	21
CHAPITRE I	27
CONTEXTE DE L'ÉTUDE.....	27
I. BESOINS ET CONTRAINTES INDUSTRIELLES	29
I.1. Introduction	29
I.2. Description d'une carte électronique	29
I.3. Evolution de la complexité des cartes.....	31
I.4. Besoins de l'industrie	34
II. L'INTÉGRITÉ DE SIGNAL	35
II.1. Introduction	35
II.2. Immunité aux bruits	36
II.3. Les phénomènes de réflexion.....	37
II.3.1. Ligne de transmission.....	37
II.3.2. Phénomènes de désadaptation	39
II.3.3. Terminaison de ligne	40
II.4. La diaphonie.....	42
II.4.1. Diaphonie NEXT et FEXT	43
II.4.2. Diaphonie paire et impaire.....	44
II.4.3. Méthodes de résolution.....	44
II.5. La stabilité des masses et des alimentations.....	45
II.5.1. Bruit induit dans les circuits d'alimentation	45
II.5.2. Impédance cible.....	47
II.5.3. Contraintes technologiques.....	47
II.5.4. Le réseau d'alimentation.....	47
II.5.5. Optimisation du réseau d'alimentation	49
II.6. Les bruits de commutations simultanées.....	50
II.6.1. Description du phénomène	50
II.6.2. Impact du phénomène sur l'intégrité des alimentations et l'intégrité du signal.....	51
II.6.3. Solutions à mettre en œuvre	51
II.7. Analyse des timings	52
II.7.1. Principe.....	52
II.7.2. Les délais de transmission	52
II.7.3. Les temps de Setup et Hold	53
II.8. Liens séries rapides	54
II.9. Conclusion partielle	55

III. LES OUTILS DE CONCEPTIONS ASSISTÉ PAR ORDINATEUR (CAO).....	55
III.1. Introduction	55
III.2. Intégration de la simulation d'intégrité de signal dans la conception.....	56
III.2.1. Introduction	56
III.2.2. Description du processus de conception	57
III.3. Les différents outils de simulation	58
III.3.1. Les simulateurs SPICE.....	58
III.3.2. Les simulateurs Electromagnétiques	58
III.3.3. Les simulateurs pré et post-routage.....	59
III.4. Modèles de simulation	59
III.4.1. Modèles SPICE.....	60
III.4.2. Modèles IBIS	60
III.4.3. Modèles HSPICE	61
III.5. Conclusion	61
 CHAPITRE II.....	 63
 DÉMONSTRATEURS DE TEST	 63
I. INTRODUCTION	65
II. ÉTUDE SUR VÉHICULE DE TEST	65
II.1. Objectifs.....	65
II.2. Définition de l'architecture	65
II.2.1. Arbre d'alimentation	66
II.2.2. Arbre d'horloge.....	68
II.2.3. Empilage du circuit imprimé.....	68
II.3. Définition des scénarios	69
II.3.1. Réflexion	69
II.3.2. Diaphonie	69
II.3.3. Bruits de commutations simultanées.....	70
II.3.4. Stabilité des alimentations.....	71
II.3.5. Liens séries rapides	72
III. ÉTUDE D'UN PRODUIT RÉEL	73
IV. CONCLUSION.....	75
 CHAPITRE III	 77
 ÉTUDE DES IMPÉDANCES CARACTÉRISTIQUES ET DE LA RÉFLEXION SUR LES LIGNES	 77
I. INTRODUCTION	79
II. CARACTÉRISATION DE L'EMPILAGE	79
III. INFLUENCE DE LA FABRICATION SUR L'IMPÉDANCE DES PISTES	81
III.1. Introduction	81
III.2. Étude du coupon de test	82
III.3. Étude et mesures de micro-sections	83
III.4. Conclusion partielle	85
IV. INFLUENCE DU ROUTAGE SUR L'IMPÉDANCE DES PISTES.....	86

IV.1.	Plan de masse partiel – Calcul analytique	86
IV.2.	Superposition de lignes – Étude en 2 dimensions	87
IV.3.	Ligne droite et ligne sinueuse – Etude en 3 dimensions.....	88
IV.4.	Conclusion partielle	90
V.	MESURE DE RÉFLECTOMETRIE SUR CUIVRE NU	90
V.1.	Conditions de mesure	90
V.1.1.	Matériel utilisé	90
V.1.2.	Interprétation des mesures.....	91
V.1.3.	Limitation introduite par la mesure	92
V.2.	Mesure de la variabilité de l'impédance caractéristique.....	94
V.3.	Superposition ligne et plan.....	95
V.4.	Ligne droite et ligne sinueuse.....	96
V.5.	Conclusion partielle	99
VI.	ÉTUDE DE L'IMPACT DU ROUTAGE ET DE LA FABRICATION SUR LA QUALITÉ DU SIGNAL	99
VI.1.	Présentation de l'outil de simulation	99
VI.2.	Étude de corrélation entre la mesure et la simulation.....	100
VI.2.1.	Conditions de la mesure	100
VI.2.2.	Conditions de simulation	101
VI.2.3.	Validation des résultats de simulation	102
VI.3.	Étude de l'impact de la variation de l'impédance sur l'allure d'un signal	103
VI.4.	Conclusion partielle	105
VII.	CONCLUSION ET PERSPECTIVES	105
CHAPITRE IV	107	
LA DIAPHONIE	107	
I. PRISE EN COMPTE DE LA DIAPHONIE PAR LA CAO	109	
II. ETUDE THEORIQUE D'UN SCENARIO DE DIAPHONIE	110	
II.1.	Résultats issus de SigXplorer	111
II.2.	Etude des paramètres linéiques	113
II.3.	Etude du couplage sur une ligne adaptée	115
II.4.	Etude du couplage dans la configuration du véhicule de test.....	117
II.5.	Conclusion partielle	120
III. ETUDE SUR UNE TOPOLOGIE COMPLETE.....	121	
III.1.	Introduction	121
III.2.	Etude à l'aide d'Allegro PCB.....	121
III.2.1.	Définition des marges de bruit	122
III.2.2.	Simulations	123
III.3.	Etude des topologies et définition des paramètres linéiques	124
III.4.	Confrontation des résultats.....	126
III.5.	Conclusion partielle	128
IV. ETUDE DES RESULTATS ISSUS DE L'OUTIL DE SIMULATION.....	128	
IV.1.	Introduction	128
IV.2.	Présentation des résultats obtenus	129
IV.3.	Tension induite en fonction de la longueur de couplage	130
IV.3.1.	Etude des topologies	131
IV.3.2.	Couplage 1 mm à 1W et 180 mm à 5W	132
IV.3.3.	Définition de la longueur de couplage critique	133
IV.3.4.	Conclusion partielle	134
IV.4.	Evolution de la tension induite en fonction de la longueur de couplage	134
IV.4.1.	Etude de la périodicité du couplage	135

IV.4.2.	Application de la périodicité des couplages dans notre cas d'étude.....	136
IV.5.	Conclusion partielle	137
V.	VALIDATION DE LA SIMULATION PAR LA MESURE	138
V.1.	Introduction	138
V.2.	Appareils et conditions de mesures	138
V.3.	Exploitation des mesures.....	140
V.3.1.	Reproductibilité	141
V.3.2.	Etude de corrélation temporelle.....	141
V.3.3.	Synthèse de l'étude de corrélation.....	145
V.4.	Conclusion partielle	148
VI.	CONFRONTATION PAR LA SIMULATION DES DIFFERENTS SCENARIOS	149
VI.1.	Etude d'un couplage adjacent en interne du PCB	149
VI.1.1.	Evolution de la tension induite en fonction de l'isolement	150
VI.1.2.	Evolution de la tension induite en fonction du couplage pair ou impair	150
VI.2.	Comparaison entre des couplages adjacents et superposés en couches interne et externe	150
VI.2.1.	Evolution de la tension induite en fonction d'un couplage adjacent interne ou externe	151
VI.2.2.	Evolution de la tension induite en fonction d'un couplage superposé en couche interne ou externe 152	
VI.3.	Comparaison entre les différentes géométries de couplages superposés.....	154
VI.3.1.	Evolution de la tension induite en fonction de l'écartement horizontal mis en œuvre dans un couplage superposé	154
VI.3.2.	Evolution de la tension induite en fonction de l'isolement vertical mis en œuvre pour un couplage superposé	155
VI.4.	Etude des couplages multiples	155
VI.5.	Conclusion partielle	156
VII.	CONCLUSION ET PERSPECTIVES.....	157
CHAPITRE V	159	
STABILITE DES MASSES ET DES ALIMENTATIONS	159	
I. INTRODUCTION	161	
II. PRÉSENTATION DE L'OUTIL « POWER INTEGRITY »	162	
II.1.	Introduction	162
II.2.	Modélisation du régulateur (VRM).....	162
II.3.	Simulation « Single-Node »	163
II.4.	Simulation « Multi-Node »	164
II.5.	Conclusion partielle	167
III. CONDITIONS D'ÉTUDE ET DE MESURE	168	
III.1.	Introduction	168
III.2.	Conditions de mesure	168
III.2.1.	Calibration.....	168
III.2.2.	Mesure du plan et des capacités	169
III.2.3.	Définition des paramètres Z à partir des paramètres S.....	170
III.3.	Conditions de simulation pour l'étude de corrélation	172
III.4.	Conclusion partielle	172
IV. CARACTÉRISATION DU MODÈLE DU PLAN ET DES CONDENSATEURS	173	
IV.1.	Introduction	173
IV.2.	Caractérisation du modèle du plan	173
IV.2.1.	Configuration de l'outil de simulation	173
IV.2.2.	Comparaison des résultats obtenus	174
IV.2.3.	Influence de la permittivité du diélectrique.....	176
IV.2.4.	Conclusion partielle	177

IV.3.	Caractérisation et modèles des condensateurs.....	178
IV.3.1.	Extraction du modèle	179
IV.3.2.	« Inductance montée »	180
IV.3.3.	Mesure des réponses fréquentielles des condensateurs	181
IV.4.	Conclusion partielle	183
V.	ÉTUDE DU SYSTÈME PLAN ET CONDENSATEURS.....	184
V.1.	Introduction	184
V.2.	Mesures et simulations de condensateurs associés au plan	184
V.2.1.	Plan VCCINT avec un condensateur	184
V.2.2.	Plan VCCINT avec trois condensateurs	187
V.2.3.	Définition du modèle de condensateur et d'inductance parasite optimal.....	188
V.2.4.	Plan VCCINT avec soixante condensateurs	189
V.2.5.	Conclusion partielle.....	191
V.3.	Étude des inductances parasites	192
V.4.	Découplage « plan » et découplage « composant ».....	196
V.4.1.	Mesures comparées aux simulations.....	196
V.4.2.	Simulations	197
V.5.	Conclusion partielle	199
VI.	CONCLUSION ET PERSPECTIVES	200
	CONCLUSION GÉNÉRALE	203
	REFERENCES	209
	ANNEXES	217

TABLE DES FIGURES

figure 1 : Loi de Moore de 1970 à 2007 [INTEL].....	23
figure 2 : Evolution de la densité des cartes électroniques.....	24
figure 3 : Encombrement composants sur les cartes électroniques.....	29
figure 4 : Exemple d'empilage [ELVIA 2004].....	30
figure 5 : μ via standard vs μ via stacké.....	32
figure 6 : Représentation des passifs sur PCB (taille réelle) et équivalence graphique.....	33
figure 7 : Principaux phénomènes d'Intégrité de Signal.....	36
figure 8 : Détermination des seuils dans l'immunité au bruit.....	37
figure 9 : Paramètres linéiques RLCH d'un tronçon de la ligne.....	38
figure 10 : Représentation géométrique d'une ligne micro-ruban et stripline.....	38
figure 11 : Présentation du phénomène de réflexion.....	39
figure 12 : Réflexion sur un signal numérique.....	40
figure 13 : Exemple d'un signal sans adaptation et avec une terminaison série.....	41
figure 14 : Représentation géométrique et électrique d'un couplage.....	42
figure 15 : Couplages entre deux conducteurs.....	43
figure 16 : Diaphonie NEXT et FEXT [INTEL].....	43
figure 17 : Quatre cas de diaphonie suivant les configurations de lignes. [CAIGNET 2005].....	44
figure 18 : Représentation du réseau d'alimentation.....	45
figure 19 : Plages de fréquence mises en jeu dans les bruits d'alimentation [MUHTAROGLU 2004].....	46
figure 20 : Composants du réseau de découplage en fonction de la fréquence [CADENCE 2006].....	48
figure 21 : Illustration d'un plan avant (bleu) et après (rouge) la mise en place du réseau de découplage.....	48
figure 22 : Inductance induite en fonction de la liaison d'un condensateur à un plan [SMITH 1999].....	49
figure 23 : Buffer de sortie – Vdd et Vss fluctuent dus aux bruits de commutation [YUAN 2006].....	50
figure 24 : Basculement d'un signal de sortie dû à un bruit de masse.....	51
figure 25 : Délais associés au chemin électrique d'un signal.....	52
figure 26 : Transmission numérique.....	53
figure 27 : Marges de Setup et de Hold.....	53
figure 28 : Comparaison liaison parallèle et série.....	54
figure 29 : Diagramme de l'œil d'une liaison série – Mesures ΔV et Δt	54
figure 30 : Environnement CAO en conception électronique.....	56
figure 31 : Description d'un processus de conception « classique ».....	57
figure 32 : Modèle d'une broche de sortie.....	60
figure 33 : Modèle d'une broche d'entrée.....	60
figure 34 : Architecture Véhicule de test.....	66
figure 35 : Arbre d'alimentation.....	67
figure 36 : Répartition des différents potentiels sur les plans d'alimentation.....	67
figure 37 : Arbre d'horloge.....	68
figure 38 : Empilage du PCB.....	69
figure 39 : Scénarios pour l'étude de la diaphonie.....	70
figure 40 : Représentation des règles pour le routage d'un couplage.....	70
figure 41 : Scénarios pour l'étude du SSN.....	71
figure 42 : Scénarios pour l'étude des masses / alimentations.....	72
figure 43 : Scénarios pour l'étude des liens MGH.....	73
figure 44 : Vue CAO d'un portion de la carte produit - Composants + Signaux.....	73
figure 45 : Vue CAO d'un portion de la carte produit - Composants.....	74
figure 46 : Vue du PCB en CAO.....	75
figure 47 : Véhicule de test.....	76
figure 48 : Empilage des couches externes avec plan.....	80
figure 49 : Empilage des couches externes sans plan.....	80
figure 50 : Coupon de test vu au microscope.....	82
figure 51 : Choix des échantillons pour l'analyse de la structure du PCB.....	84
figure 52 : Observation du centre d'une micro-section au MEB.....	85
figure 53 : Mesures au MEB sur un échantillon des couches (a) 1 à 4 (b) 4 à 7 (c) 7 à 10 et (d) 10 à 14.....	85
figure 54 : Simulation électrostatique, piste isolée.....	87
figure 55 : Simulation électrostatique, pistes superposées.....	87
figure 56 : Routage d'une partie d'un bus de données.....	88
figure 57 : Dimensions ligne sinueuse, $W=120\ \mu\text{m}$	89
figure 58 : Modélisation 3D d'une ligne sinueuse de 45mm – Visualisation du Champs B.....	89
figure 59 : Matériel utilisé pour la caractérisation des impédances de lignes.....	90
figure 60 : Mesure TDR du câble SMA (50 Ω) seul (10mV/div, 1,3ns/div).....	91
figure 61 : Mesure TDR du câble SMA et de la sonde (10mV/div, 1,3ns/div).....	91
figure 62 : Extraction d'une piste DDR2 sous l'outil SigXplorer de Cadence.....	92
figure 63 : Mesure TDR d'une piste DDR2.....	92
figure 64 : Présentation d'un parasite dû à la réflexion au sein de la mesure.....	93

figure 65 : Accessibilité aux signaux.....	93
figure 66 : Vue du PCB et des quatre interfaces DDR2 identiques.....	94
figure 67 : Mesure TDR de l'homogénéité de l'impédance sur le PCB.....	95
figure 68 : Mesure TDR - Plan partiel et superposition de lignes.....	96
figure 69 : Représentation de la topologie de la paire différentielle.....	96
figure 70 : Illustration des lignes droites et sinueuses mesurées.....	97
figure 71 : Mesure TDR - Etude des différences entre une ligne droite (DQ1) et sinueuse (DQ46).....	97
figure 72 : Mesure TDR - Etude des différences entre une ligne droite (DQ3) et sinueuse (DQ41).....	98
figure 73 : Gabarit maîtrisé pour une ligne sinueuse.....	98
figure 74 : Extraction d'une ligne sous Allegro PCB SI.....	100
figure 75 : Représentation asymptotique de l'enveloppe du spectre d'un signal.....	101
figure 76 : Limitation de la boucle de courant introduit par la masse de la sonde.....	101
figure 77 : Étude de corrélation entre la simulation (courbe rouge) et la mesure (courbe bleue).....	102
figure 78 : Simulations de la ligne avec différentes adaptations séries ($R=0\ \Omega$; $R=35\ \Omega$; $R=50\ \Omega$).....	103
figure 79 : Simulation d'une ligne avec variation d'impédance ($R_{série} = 35\ \Omega$).....	104
figure 80 : Simulation d'une ligne avec variation d'impédance ($R_{série} = 50\ \Omega$).....	104
figure 81 : Définition de l'étude mise en œuvre.....	109
figure 82 : Schématisation du motif étudié (coupe / vue de haut).....	110
figure 83 : Scénario 1-extraction de deux lignes couplées avec l'outil SigXplorer de Cadence.....	111
figure 84 : Simulation de la topologie complète du scénario étudié.....	112
figure 85 : Simulation du scénario simplifié (couplage de 180 mm seul).....	112
figure 86 : Simulations (a) électrostatique et (b) magnétodynamique issues de Maxwell 2D.....	113
figure 87 : Représentation des différentes capacités pour deux lignes couplées.....	115
figure 88 : Caractérisation du couplage sous Pspice dans le cas d'une configuration adaptée.....	116
figure 89 : Simulations Spice-FEXT/NEXT en fonction des matrices issues de SigXplorer et Maxwell.....	116
figure 90 : Courbes « Pull up » issues du modèle IBIS du driver LVTTTL 3V3.....	117
figure 91 : Caractérisation du couplage sous Pspice dans le cas d'une configuration non adaptée.....	118
figure 92 : Tensions NEXT et FEXT - Résultats de simulation issus d'Allegro.....	118
figure 93 : Tensions FEXT sous SPICE suivant les matrices issues de Maxwell et de SigXplorer.....	119
figure 94 : Tensions NEXT sous SPICE suivant les matrices issue de Maxwell et de SigXplorer.....	119
figure 95 : Comparaison de l'allure du driver modélisé sous Allegro (a) à celui modélisé sous Pspice (b).....	120
figure 96 : Représentation de la fenêtre d'analyse.....	122
figure 97 : Marges d'une technologie compatible TTL.....	122
figure 98 : Résultats de simulation de diaphonie sous Constraint Manager.....	124
figure 99 : Caractérisation du scénario SC1_V21.....	124
figure 100 : Caractérisation du scénario SC3_V5.....	124
figure 101 : définition des couches et des conducteurs sous TNT-MMTL.....	125
figure 102 : Modélisation simplifiée d'un couplage pour une topologie complète et désadaptée.....	126
figure 103 : Signaux FEXT du scénario SC1_V21 pour un couplage ODD.....	127
figure 104 : Signaux NEXT du scénario SC1_V21 pour un couplage ODD.....	127
figure 105 : Signaux FEXT du scénario SC3_V5 pour un couplage ODD.....	127
figure 106 : Signaux NEXT du scénario SC3_V5 pour un couplage ODD.....	128
figure 107 : Niveau de tension relevé dans les études de comparaison.....	129
figure 108 : Présentation du scénario étudié.....	129
figure 109 : Synthèse des résultats des patterns du scénario 1 pour des simulations ODD.....	129
figure 110 : Vue de la densité d'interconnexion entre les deux FPGA.....	130
figure 111 : Vue du motif mettant en œuvre un couplage de 1 mm.....	131
figure 112 : Représentation des scénarios simplifiés (a) $L_c=1\text{mm}$, (b) $L_c=2\text{mm}$	132
figure 113 : Evolution de la tension perturbatrice en fonction de la longueur du couplage.....	133
figure 114 : Impact de la longueur d'un couplage sur une topologie complète.....	134
figure 115 : Evolution de la tension induite en fonction de la longueur de couplage-cas adapté.....	135
figure 116 : Evolution de la tension induite en fonction de la longueur de couplage-cas non adapté.....	135
figure 117 : Evolution de la tension induite en fonction de la longueur de couplage - cas d'étude.....	136
figure 118 : Evolution de la tension induite en fonction de la longueur de couplage sous Allegro.....	137
figure 119 : Vue d'une partie du PCB autour du FPGA.....	138
figure 120 : Limitation des perturbations à travers l'optimisation de l'accès à la mesure.....	139
figure 121 : Oscillogramme (4 ns/DIV et 100 mV/DIV) du signal FEXT avec une (a) $BW=1\ \text{GHz}$ (b) $BW=4\ \text{GHz}$ et du signal NEXT avec une (c) $BW=1\ \text{GHz}$ (d) $BW=4\ \text{GHz}$	140
figure 122 : Oscillogramme (4 ns/DIV et 100 mV/DIV) avec une $BW=1\ \text{GHz}$ du signal (a) FEXT de SC1_V24 (b) NEXT de SC1_V24 (c) FEXT de SC3_V5 (d) NEXT de SC3_V5.....	141
figure 123 : Simulation vs Mesure de SC1_V24 FEXT.....	142
figure 124 : Simulation vs Mesure de SC1_V24 FEXT après modification des conditions de simulation (relevé au niveau du point de mesure et modélisation de la sonde).....	142
figure 125 : Simulation vs Mesure de SC1_V24 NEXT avant et après modification des conditions de simulation (relevé au niveau du point de mesure et modélisation de la sonde).....	143
figure 126 : Simulation vs Mesure de SC3_V5 FEXT avant et après modification des conditions de simulation (relevé au niveau du point de mesure et modélisation de la sonde).....	144

figure 127 : Simulation vs Mesure de SC3_V5 NEXT avant et après modification des conditions de simulation (relevé au niveau du point de mesure et modélisation de la sonde).....	144
figure 128 : Simulation vs Mesure – FEXT – ODD (victime à '1') Motifs du scénario 1	145
figure 129 : Simulation vs Mesure – FEXT – ODD (victime à '1') Motifs du scénario 3	145
figure 130 : Simulation vs Mesure – FEXT – ODD (victime à '1') Motifs du scénario 5	146
figure 131 : Simulation vs Mesure – FEXT – ODD (victime à '1') Motifs du scénario 7	146
figure 132 : Vues CAO des signaux superposés couche 12 et 10 par rapport à leur plan de référence (a) en couche 8 et (b) en couche 9	147
figure 133 : Vue de dessus du couplage multiconducteurs de 4 mm du Scénario 7.....	148
figure 134 : Motifs du Scénario 1 – FEXT – ODD (victime à '1').....	149
figure 135 : Motifs du Scénario 1 – Comparaison ODD vs EVEN– FEXT	149
figure 136 : Comparaison scénario 1, 2, 3 et 4 - ODD - FEXT.....	151
figure 137 : Etude électrostatique d'un couplage interne (a) et d'un couplage externe (b).....	151
figure 138 : Etude électrostatique d'un couplage superposé en externe	153
figure 139 : Comparaison scénario 3, 4, 5 et 6 - ODD - FEXT.....	154
figure 140 : Couplage multiple – 1 victime / 9 agresseur (W=1) – ODD - FEXT	155
figure 141 : Description de l'ensemble des éléments constituant le réseau de distribution des alimentations	161
figure 142 : (a) Diagramme simplifié d'un régulateur à découpage (b) Modélisation de l'étage de régulation.....	162
figure 143 : Schéma équivalent d'une simulation « Single-Node ».....	163
figure 144 : Simulation « Single-Node » du plan VCCINT du véhicule de test	164
figure 145 : Maillage (8x8) de la paire de plan étudiée pour une caractérisation électrique [SMITH 2000]	165
figure 146 : Modèle comportemental de la paire de plans	165
figure 147 : Vision du plan avant et après maillage	166
figure 148 : Courbes issues de la simulation « multi-node »	166
figure 149 : Courbes de la simulation « multi-node » (rouge) FPGA de droite (noir) FPGA de gauche.....	167
figure 150 : Kit de calibration.....	168
figure 151 : Mesure sur le véhicule de test à l'aide du VNA	169
figure 152 : Câblage du condensateur pour la mesure VNA	169
figure 153 : Modèle en T du quadripôle.....	170
figure 154 : Principe de la mesure.....	170
figure 155 : Comparaison des méthodes de conversion (S to Z) de 30 KHz à 1 GHz.....	171
figure 156 : Comparaison des méthodes de conversion (S to Z) de 30 Mhz à 1 GHz.....	171
figure 157 : Conditions de simulation nécessaires à l'étude de corrélation	172
figure 158 : Principe d'étude – Mesure vs Simulation.....	173
figure 159 : Etude de corrélation entre la mesure et les simulations – Plan VCCINT	174
figure 160 : Etude de corrélation entre la mesure et la simulation avec $\epsilon_r = 5,4$	176
figure 161 : Variation dans domaine fréquentiel (a) de la constante diélectrique (b) de la tangente de perte	177
figure 162 : Circuit équivalent d'un condensateur.....	179
figure 163 : Comportement de l'impédance d'un condensateur en fréquentielle.	179
figure 164 : Comparaison de contribution des inductances parasites.....	180
figure 165 : Motifs d'implantation des condensateurs (vias traversants)	181
figure 166 : Simulation et mesures du condensateur 100nF	181
figure 167 : Simulation et mesures du condensateur 10nF	182
figure 168 : Simulation et Mesures du condensateur 1nF	183
figure 169 : Placement du condensateur de 100 nF sur le circuit imprimé	185
figure 170 : Simulations plan nu et plan + 100nF	185
figure 171 : Simulations Lm Fast Henry et mesure de VCCINT + 100 nF.....	186
figure 172 : Simulations Lm Fast Henry et mesure de VCCINT + 100 nF	186
figure 173 : Placement des condensateurs de 100 nF, 10 nF et 1 nF sur le circuit imprimé	187
figure 174 : Simulations et mesure de VCCINT + 1 nF, 10 nF et 100 nF.....	188
figure 175 : Simulations modèles mesurés compensés et mesure de VCCINT + 1 nF, 10 nF et 100 nF.....	189
figure 176 : Placement de 60 condensateurs sur le circuit imprimé.....	190
figure 177 : Simulations et mesure de VCCINT + 60 condensateurs	190
figure 178 : Simulations et mesure de VCCINT + 60 condensateurs	191
figure 179 : Découplage plan et composant	192
figure 180 : Motifs pour évaluation de l'outil Fast Henry (vias traversants).....	193
figure 181 : Découplage Composant	193
figure 182 : Motifs pour évaluation de l'outil Fast Henry (μ vias)	194
figure 183 : Motifs implantés et interprétés par l'outil Fast Henry	194
figure 184 : Histogramme présentant les valeurs d'inductance montée calculées par « Fast Henry »	195
figure 185 : Découplage composant - vue des différents niveaux de via.....	195
figure 186 : Découplage plan et composant	196
figure 187 : Mesures découplage plan et composant	196
figure 188 : Simulations découplage plan et composant	197
figure 189 : Découplage « plan » et « composant » – Conditions de simulations.....	198
figure 190 : Simulations découplage « plan » et « composant » (FPGA de droite).....	198
figure 191 : Simulations découplage « plan » et « composant » (FPGA de gauche).....	198

figure 192 : Simulation « Single-Node » Comparaison simulation initiale et actuelle..... 200
figure 193 : Vue globale du processus de conception 207

TABLE DES TABLEAUX

tableau 1 : Densité de pin au cm^2 en fonction du pas des composants.....	31
tableau 2 : Faisabilité du routage d'un composant avec des technologies connues	32
tableau 3 : Solutions de terminaison pour les interconnexions présentant des désadaptations	41
tableau 4 : Contrainte technologique sur Zcible de 1990 à 2005.....	47
tableau 5 : Quelques chiffres du produit.....	74
tableau 6 : Chiffres clés du véhicule de test.....	75
tableau 7 : Récapitulatif des impédances de l'empilage.....	80
tableau 8 : Pré-imprégné et laminé utilisés pour l'empilage	81
tableau 9 : Valeurs spécifiées, construites et mesurées de l'empilage en μm	83
tableau 10 : Calcul analytique de l'impact d'un plan de masse partiel.....	86
tableau 11 : Résultats des simulations 2D.....	88
tableau 12 : Résultats des simulations 3D.....	89
tableau 13 : Résultats des simulations 2D sur la superposition des pistes.....	95
tableau 14 : Synthèse des résultats théoriques et expérimentaux.....	98
tableau 15 : Définition du paramétrage de l'outil vs paramètres par défaut.....	102
tableau 16 : Présentation des scénarios implantés sur le véhicule de test.....	110
tableau 17 : Comparaison des éléments linéiques issus de SigXplorer et de Maxwell 2D.....	113
tableau 18 : Tensions induites calculées à partir des données issues de SigXplorer et de Maxwell 2D	115
tableau 19 : Définition de la « matrice Spice ».....	116
tableau 20 : Comparaison des tensions induites observées sous Allegro et celles issues de l'étude théorique ..	118
tableau 21 : paramétrage de l'outil Constraint Manager.....	121
tableau 22 : Représentation des couplages étudiés.....	123
tableau 23 : Matrice inductance et capacitance définies à l'aide de Maxwell et TNT-MMTL.....	125
tableau 24 : Comparaison des matrices issues de TNT-MMTL et d'Allegro.....	126
tableau 25 : Liste des paramètres prépondérant dans l'étude d'un couplage.....	131
tableau 26 : Comparaison des matrices et tensions induites pour un couplage 1 mm à 1W et 180 mm à 5W....	133
tableau 27 : Représentation des couplages étudiés.....	140
tableau 28 : Représentation des couplages étudiés.....	151
tableau 29 : Comparaison des éléments linéiques pour des couplages externe et interne	152
tableau 30 : Comparaison des éléments linéiques pour des épaisseurs de conducteurs de 17 et 40 μm	152
tableau 31 : Eléments linéiques pour un couplage superposé en externe et en interne.....	153
tableau 32 : Représentation des couplages étudiés.....	154
tableau 33 : Calcul de la diaphonie induite par Allegro pour un couplage multiple.....	156
tableau 34 : Configuration outil « single-node » pour l'étude du plan VCCINT.....	164
tableau 35 : Configuration mesure et simulations.....	174
tableau 36 : Calcul des capacités inter-plan.....	175
tableau 37 : Permittivité en fonction de la fréquence et capacités inter-plan.....	176
tableau 38 : Définition des condensateurs céramiques utilisés pour le découplage des plans.....	178
tableau 39 : Modèles KEMET des condensateurs céramiques	180
tableau 40 : Relevé des valeurs des inductances montées calculées par Fast Henry (vias traversants).....	181
tableau 41 : Modèles KEMET et modèles mesurés – Condensateur 100nF	182
tableau 42 : Modèles KEMET et modèles mesurés – Condensateur 10nF	182
tableau 43 : Modèles KEMET et Modèles mesurés – Condensateur 1nF.....	183
tableau 44 : Comparaison mesure et simulation – VCCINT + 100 nF.....	187
tableau 45 : Relevé des valeurs des inductances montées (nH) calculées par Fast Henry	192
tableau 46 : Relevé des valeurs des inductances montées calculées par Fast Henry	194

INTRODUCTION GÉNÉRALE

L'évolution des contraintes industrielles et plus particulièrement dans le domaine de la défense entraîne une rupture dans la conception des cartes électroniques. Aujourd'hui, les produits doivent présenter un panel de fonctions numériques et analogiques de plus en plus vaste. Il est nécessaire que l'ensemble de ces fonctions soit intégré sur des supports de plus en plus petits et qu'elles présentent des débits toujours plus importants. La miniaturisation croissante des circuits intégrés et l'augmentation des vitesses d'horloge permettent aujourd'hui de répondre à ces contraintes et de créer des cartes plus denses tout en améliorant leurs performances. Cependant, ces évolutions technologiques entraînent également une dégradation de la qualité des signaux et une augmentation des perturbations électromagnétiques au sein des cartes, ce qui oblige les concepteurs à revoir leurs méthodologies, processus et règles de conception dans le but d'assurer la maîtrise de l'intégrité des signaux et de minimiser les interférences.

Depuis la création du premier circuit intégré en 1958 par Texas Instrument et la première formulation de la loi de Moore énoncée en 1965 par Gordon Moore, l'électronique numérique connaît une évolution exponentielle. En 40 ans la gravure d'un transistor est passée de $10\mu\text{m}$ à 45nm , ce qui entraîne une intégration croissante du nombre de transistors au sein des circuits intégrés proche de ce qu'avait prévu Gordon Moore. Aujourd'hui, ce nombre s'élève à plus d'un milliard [INTEL].

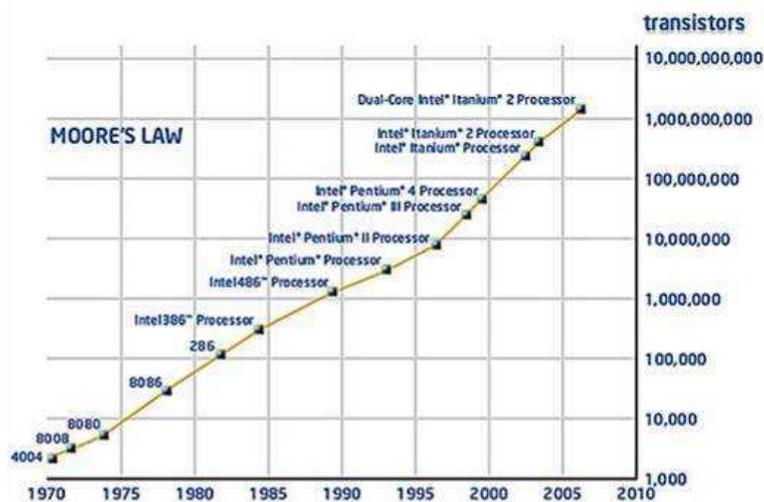


figure 1 : Loi de Moore de 1970 à 2007 [INTEL]

Cette évolution (figure 1) entraîne une consommation toujours plus importante et des temps de commutation plus rapides. Pour compenser les problèmes de dissipation thermique au sein des circuits intégrés, les tensions d'alimentation ne cessent de diminuer. Enfin, avec la réduction de la taille des transistors, les vitesses d'échange sur silicium et sur cuivre continuent à augmenter.

Cette miniaturisation des circuits intégrés permet de réduire sensiblement la taille des circuits imprimés (Printed Circuit Board : PCB), augmentant de façon exponentielle le nombre d'interconnexion au dm^2 . En effet, l'évolution des contraintes physiques dans l'industrie tend vers une intégration de plus en plus importante des circuits intégrés et des circuits imprimés, entraînant des densités de composants et d'interconnexions toujours plus importantes. La figure 2 ci-dessous illustre bien cette évolution croissante des cartes et les objectifs qu'il est nécessaire d'atteindre pour rester compétitif dans la conception matériel.

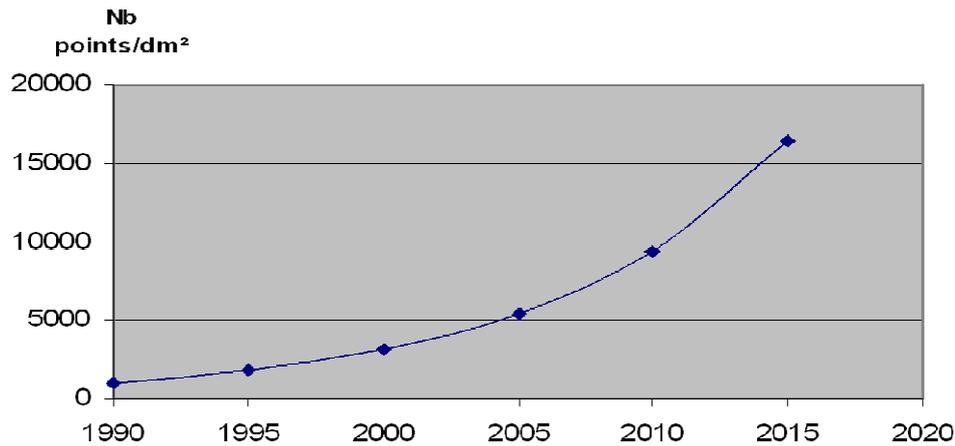


figure 2 : Evolution de la densité des cartes électroniques

Ces évolutions de l'électronique numérique font apparaître de nouveaux phénomènes au sein des cartes qui entraînent la fluctuation des signaux circulant par les pistes (oscillations, gigue) et qui ont un effet direct sur la qualité des signaux numériques.

L'augmentation des vitesses d'horloge amplifie les phénomènes introduits par les désadaptations et réduit sensiblement les marges sur les temps. L'accroissement de la densification des cartes multiplie les phénomènes de couplage électromagnétique et électrostatique entre les différentes interconnexions. D'autre part, l'amplification de la consommation, la diminution des marges de bruit et la multiplication des potentiels rendent la stabilité des réseaux d'alimentation complexe et sensible aux forts appels de courant ainsi qu'aux bruits de commutations simultanées.

L'intégrité de signal (IS) devient donc un élément majeur à prendre en compte dans la fabrication des cartes électroniques. Les concepteurs doivent revoir leurs méthodologies et leurs règles de conception, mais aussi multiplier les analyses d'intégrité de signal à l'aide d'outils numériques, tout au long du processus de conception, pour minimiser les interférences et garantir la qualité des signaux avant le lancement du circuit imprimé en production.

Les outils de conception assistée par ordinateur (CAO) doivent donc aujourd'hui répondre à une activité croissante des développeurs de circuits imprimés. Il devient indispensable d'introduire les simulations d'intégrité de signal au sein du processus de conception. La passerelle entre les différents outils doit être simple et rapide, les temps de simulation doivent être courts et donner des résultats précis.

Les outils de simulations doivent être capables de modéliser l'ensemble des interconnexions présentes sur une carte. Pour compléter cette modélisation il est aussi nécessaire d'implémenter les modèles comportementaux des différentes entrées/sorties. Les fabricants de composants sont donc sollicités par les concepteurs qui souhaitent, pour maximiser l'analyse d'une carte, obtenir l'ensemble des modèles de simulations.

Cela représente une nouvelle problématique pour résoudre les études d'intégrité de signal : sans modèle de composant, les simulations ne peuvent être mises en œuvre. De plus, leur précision est primordiale si l'on souhaite obtenir des résultats représentatifs de la réalité. Ce point est donc capital dans l'étude de l'intégrité de signal.

La mise en œuvre d'étapes de simulation et la définition d'une approche analytique avec une méthodologie précise et viable par rapport aux contraintes de l'industrie est devenue aujourd'hui nécessaire dans la conception d'une carte électronique rapide à haute densité d'intégration (HDI). L'objectif est de définir une approche adaptée pour traiter les problèmes d'intégrité de signal, de manière à garantir le fonctionnement d'une carte numérique complexe sans avoir besoin d'un prototype physique et donc des itérations de mise au point coûteuses.

Cette étape n'est approuvée qu'une fois les outils de simulations validés. Aujourd'hui, de nombreux outils d'intégrité de signal existent et sont utilisés pendant les phases de conception. L'expérience aurait dû permettre de valider leur degré de précision a posteriori. Cependant, les contraintes industrielles et les règles empiriques d'intégrité de signal contraignent à supprimer l'accessibilité aux signaux. En effet, la densité est telle que la place au sein des circuits imprimés est comptée. De plus, la mise en place de points de mesure sur un signal entraîne l'apparition d'un tronçon de ligne (stub) supplémentaire qui va introduire une désadaptation sur la ligne et dégrader l'intégrité du signal, phénomène amplifié par l'accroissement des fréquences de fonctionnement. Ainsi l'accessibilité aux signaux est devenue quasi-nulle, la validation des modèles et outils de simulations n'est donc pas réalisable simplement. Les problématiques de mesure au sein des circuits imprimés deviennent proches de celles des circuits intégrés.

Enfin, la méthodologie doit pouvoir apporter aux concepteurs des indicateurs permettant, à partir de la description d'une architecture, de définir la criticité des signaux et donc d'indiquer la couverture de test qu'il sera nécessaire d'appliquer sur la carte en cours de conception pour éliminer les risques potentiels de non intégrité des signaux.

Le contexte de l'étude, à travers la description des cartes électroniques, leur complexité et les contraintes industrielles associées, sera développé dans le premier chapitre. Nous aborderons également la caractérisation et la définition des différents phénomènes d'intégrité de signal engendrés par ces évolutions. Les différentes solutions d'outils et modèles de composants permettant d'étudier l'ensemble des phénomènes seront aussi abordées.

Le deuxième chapitre sera consacré à la présentation d'une carte « produit » utilisée comme support d'étude, nous exposerons aussi le véhicule de test conçu dans le cadre de la thèse.

Le troisième chapitre présentera l'étude effectuée sur la carte « produit », qui a permis d'effectuer une étude a posteriori sur les impédances caractéristiques et la mise en place d'empilages à impédance contrôlée.

Les quatrième et cinquième chapitres seront dédiés à la diaphonie et à l'étude de stabilité des alimentations. L'étude de ces deux phénomènes sera effectuée sur le véhicule de test. Le but sera de confronter la mesure à la simulation et donc d'étudier le degré de validité et de précision des outils ainsi que des modèles de simulation. Cette confrontation des mesures et des simulations permettra d'optimiser nos méthodes de mesures, mais également le paramétrage des outils de simulation pour obtenir une précision qui soit représentative de nos applications et de nos besoins. En outre, le démonstrateur permettra de valider les règles empiriques d'intégrité de signal et d'adapter celles qui sont difficilement applicables au vu des contraintes de conception sur les cartes actuelles. Chacun des chapitres présentera l'exploitation des différents résultats, la validation des outils de simulations et les études théoriques associées.

CHAPITRE I

CONTEXTE DE L'ÉTUDE

I. BESOINS ET CONTRAINTES INDUSTRIELLES

I.1. Introduction

L'évolution technologique et la multiplication des contraintes sur les cartes conçues dans l'industrie, et plus particulièrement dans l'industrie de défense, entraînent une multiplication des phénomènes d'intégrité de signal au sein des circuits imprimés. L'analyse et la simulation de ces phénomènes sont donc devenues incontournables. Pour rester compétitif en termes de coûts et de délais, l'objectif est de réaliser une carte numérique rapide à haute densité d'interconnexion qui fonctionne au premier essai, c'est-à-dire sans mettre en œuvre au préalable de prototype intermédiaire. La détection et la résolution d'un problème de conception est souvent possible, alors que la détection d'un défaut d'intégrité de signal a posteriori est beaucoup moins aisé. De plus, la résolution de ce type de problème peut devenir quasiment impossible. Par exemple, un problème de diaphonie sur une couche interne de l'empilage peut être fatal au fonctionnement de l'ensemble de la carte. La réalisation d'un nouveau circuit est incontournable et engendre donc des dépassements de budgets et des retards importants, qui sont inacceptables dans un contexte industriel.

I.2. Description d'une carte électronique

Une carte électronique est composée de deux éléments : les composants et le circuit imprimé.

En termes de composants (figure 3), on trouve les passifs (condensateurs, résistances et inductances) qui sont principalement utilisés pour la mise en œuvre des circuits d'alimentation, pour les configurations des composants (analogiques et numériques) et pour l'adaptation des signaux. Ils sont de plus en plus nombreux et représentent en moyenne un encombrement de 26 % de la surface de la carte. Ensuite, il y a les composants analogiques pour l'implantation des réseaux d'alimentation et pour les fonctions d'émission radio. Les circuits intégrés numériques sont également nécessaires pour les parties de traitement et calcul numérique. Ces deux familles présentent un taux d'occupation des cartes de 49 %. Enfin, on trouve sur les cartes des connecteurs et des composants divers (transistor / diode / ...) qui représentent un encombrement de 25 %.

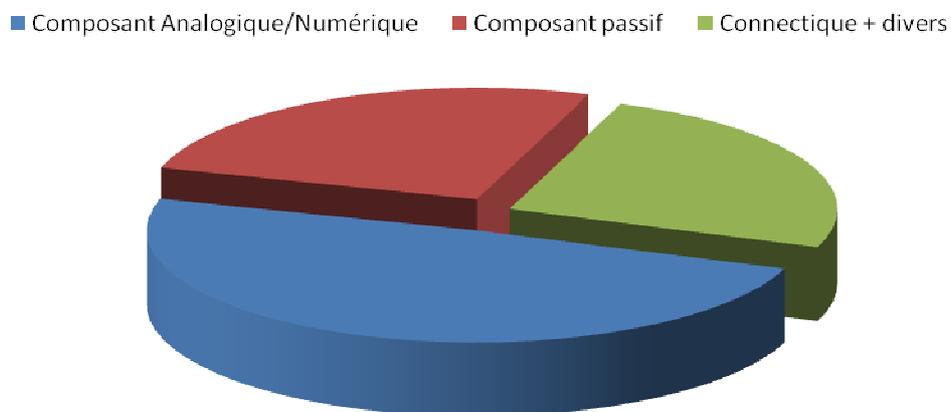


figure 3 : Encombrement composants sur les cartes électroniques

Ces composants sont implantés sur le circuit imprimé.

Un circuit imprimé est un empilement de couches de cuivre et d'isolants destiné à recevoir les composants d'un système et à assurer leur interconnexion de façon à réaliser la fonction initialement définie par le schéma électrique. Il est composé d'une ou de plusieurs couches de cuivre selon les applications. Les couches de cuivre (conducteur) se présentent sous forme de pistes, de pads et de vias et sont destinées à véhiculer les différents signaux numériques et analogiques et à accueillir les nombreuses références de tension permettant d'alimenter les différents composants. Il est important de distinguer les couches de signaux et les couches d'alimentation.

Ces couches de cuivre sont séparées par des couches de matériaux diélectriques. Ces matériaux utilisés dans la réalisation d'empilages rigides sont constitués d'un tissu de verre imprégné d'une résine qui est polymérisée dans le cas d'un stratifié, ou pré-polymérisée dans le cas d'un pré-imprégné. Le stratifié est généralement revêtu d'une couche de cuivre sur ces deux faces. Le pré-imprégné, du fait de la polymérisation partielle, permet d'avoir une bonne adhérence contrairement au stratifié, et est donc utilisé dans l'assemblage de stratifié et/ou de couche de cuivre [GUIDE_THALES 2008]. Les stratifiés sont utilisés pour les circuits double face, et les pré-imprégnés pour assembler ces circuits ou pour ajouter des couches supplémentaires dans les parties haute et basse des circuits imprimés. Il est à noter que les épaisseurs des stratifiés sont précises et généralement importantes, contrairement aux pré-imprégnés. Ces derniers seront quasi-systématiquement utilisés par deux pour éviter des délaminages du cuivre et donc des courts-circuits. Enfin, les propriétés électriques du diélectrique que sont la constante diélectrique (ϵ_r) et le facteur de dissipation (tangente δ), sont données par les fabricants de matériaux. Elles dépendent de la composition chimique de la résine mais également des taux de verre, de résine et de charges présents dans le matériau.

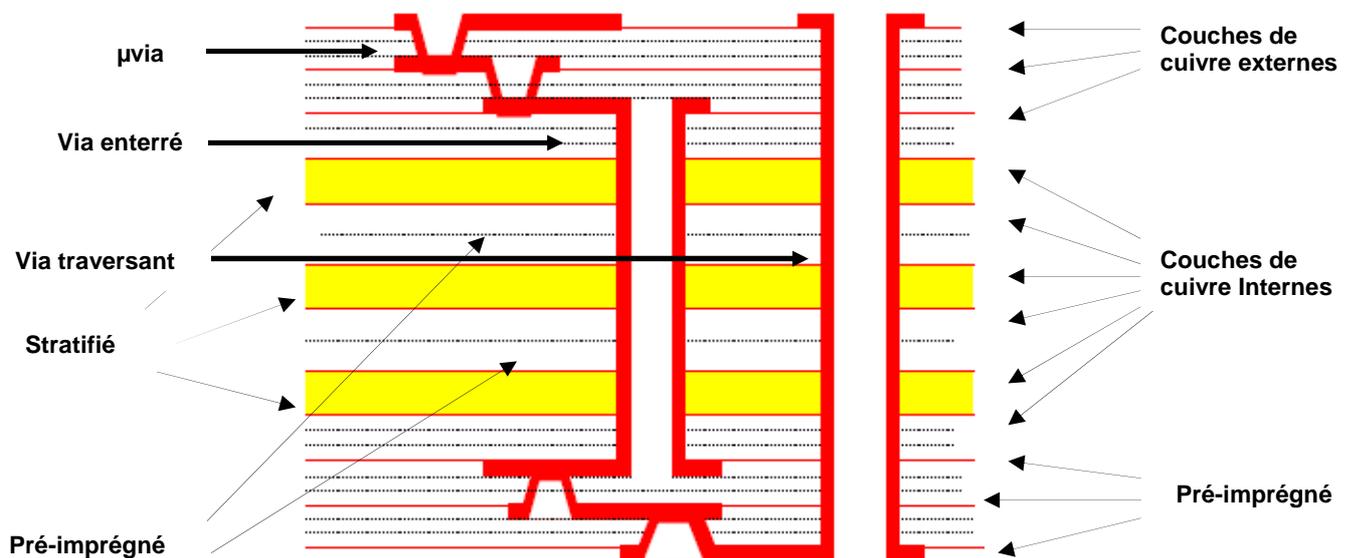


figure 4 : Exemple d'empilage [ELVIA 2004]

La liaison entre les couches se fait à l'aide de via. Un via est un trou métallisé permettant d'interconnecter des pistes situées sur des couches différentes. On peut trouver sur un circuit imprimé différents types de vias : les vias traversants qui, comme leur nom l'indique, traversent la carte dans son intégralité. Les vias enterrés relient les couches internes et les vias semi enterrés relient les couches externes aux couches internes. Enfin, il y a les μ vias qui

permettent de relier les couches externes entre elles (ex : couche 1 avec couche 2). La figure 4 présente le type de structure couramment utilisé. L'empilage pour des raisons mécaniques doit être équilibré.

L'ensemble des éléments qui constitue un circuit, notamment les pistes et les vias, sont régis par des normes [NFC 93-713] [IPC-A-600]. Pour une classe donnée, la norme définit une largeur minimum de conducteur, l'espacement minimum que l'on peut avoir entre deux conducteurs, mais aussi le diamètre des pastilles ainsi que le diamètre du trou qui peut traverser cette pastille.

I.3. Evolution de la complexité des cartes

La miniaturisation et l'augmentation des performances sont les tendances principales dans l'évolution des cartes électroniques. Les densités de points au dm^2 relevées sur les cartes étaient de 5000 en 2006, 7700 en 2007 et de plus de 8300 en 2008. La densité prévue en suivant ces tendances est de 12000 points au dm^2 dès 2011. Cela va entraîner une augmentation des couplages au sein des circuits imprimés et avoir des conséquences directes sur l'intégrité des signaux.

La taille des circuits imprimés fait partie des contraintes de conception, il n'est donc pas possible de la modifier pour diminuer la densité. On pourrait cependant accroître la surface en augmentant le nombre de couches, mais une standardisation des épaisseurs de cartes à 1,6mm nous contraint à un maximum de 12 couches.

Une autre solution est d'implémenter des pistes de plus en plus étroites. Aujourd'hui la gravure standard mise en œuvre est de 120 μm (classe 6), certaines cartes utilisent des gravures de 100 μm et même 75 μm . Toutefois, ces largeurs de conducteurs sont encore trop importantes au vu des évolutions futures. Des projets européens sont aujourd'hui en cours et tentent de qualifier l'utilisation de gravures de pistes inférieures (50 μm / 25 μm / 15 μm).

La miniaturisation des cartes impose également d'utiliser des composants plus petits, entraînant la réduction des écarts entre les broches. En quelques années, on observe une diminution importante du pas, de 1,27 mm à 0,4 mm, augmentant sensiblement la densité d'interconnexion. En comparant les circuits intégrés reprogrammables (FPGA) proposés par l'industriel Actel pour l'année 2009, on peut quantifier l'impact de cette évolution en terme de densité.

Composant	Taille (mm)	Epaisseur (mm)	Pas (mm)	Nombre pins	Densité pin/ cm^2
FG144	13 x 13	1,45	1	144	100
CS289	14 x 14	1,2	0,8	289	147
CS196	8 x 8	1,11	0,5	196	306
UC36	3 x 3	0,8	0,4	36	400

tableau 1 : Densité de pin au cm^2 en fonction du pas des composants

Le tableau 1 montre bien l'augmentation de la densité au niveau des composants et exprime la difficulté et même l'impossibilité de router l'ensemble des signaux issus des broches du composant sur le circuit imprimé. En effet, aujourd'hui nous utilisons des largeurs de pistes et des isollements de 120 μm , et les pastilles de micro-via mesurent 350 μm de diamètre. Le tableau suivant (tableau 2) présente, en fonction du pas utilisé, les pastilles et les

gravures qu'il sera nécessaire de mettre en œuvre pour extraire du composant l'ensemble des signaux sur le PCB.

	0,4mm	0,5mm	0,8mm	1mm
$\mu\text{via}=350\mu\text{m}$ Piste/isol= $120\mu\text{m}$	X	X	✓	✓
$\mu\text{via}=300\mu\text{m}$ Piste/isol= $120\mu\text{m}$	X	X		
$\mu\text{via}=250\mu\text{m}$ Piste/isol= $100\mu\text{m}$	X	(1)		
$\mu\text{via}=200\mu\text{m}$ Piste/isol= $75\mu\text{m}$	X	✓		
$\mu\text{via}=200\mu\text{m}$ Piste/isol= $50\mu\text{m}$	(2)			

tableau 2 : Faisabilité du routage d'un composant avec des technologies connues

Les tests ont montré pour le cas (1) qu'il serait possible de router un composant à bille (BGA) au pas de 0,5 mais difficilement et pour une matrice n'excédant pas 150 broches. Au-delà on se retrouverait automatiquement bloqué. Pour le cas (2), on ne pourra router le composant que pour un maximum de 5 rangées. Si la matrice du composant est pleine, il sera également impossible de le router dans sa totalité. Cela impose donc de réduire encore la gravure de la piste, mais également d'évoluer sur les sorties de composants (pin-escape, via). Aujourd'hui, avec des technologies de via plus évoluées telles que les « vias in pad » ainsi que les « stacked μvia » on pourrait faciliter le routage de ces nouveaux composants et éliminer les limitations rencontrées avec des technologies plus classiques. Différents projets tentent de qualifier ces nouveaux vias qui permettraient de descendre directement dans les couches internes à la sortie du composant et réduiraient le nombre de connexions dans les couches externes (figure 5).

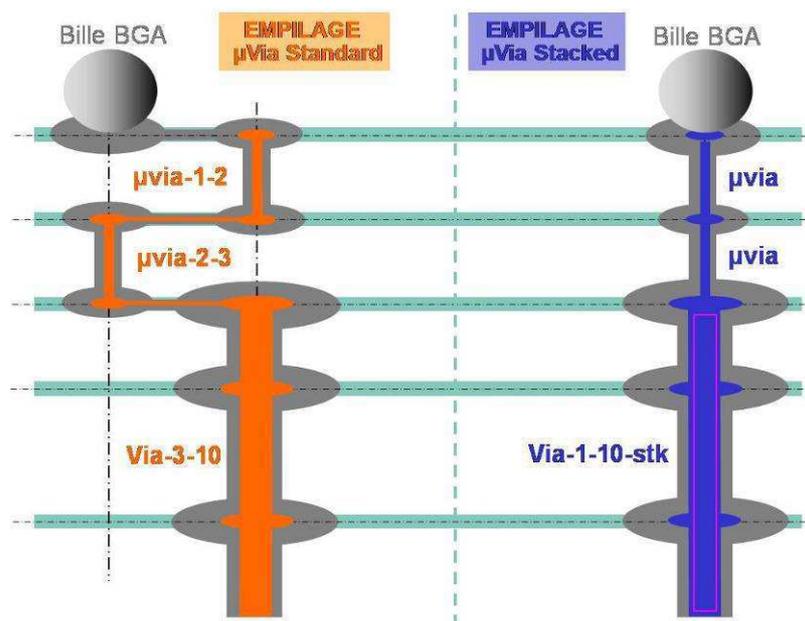


figure 5 : μvia standard vs μvia stacké

La miniaturisation des produits complexifie le placement de l'ensemble des composants sur le circuit imprimé. Les cartes actuelles embarquent classiquement près de 1500 composants, le maximum atteint en 2007 était de 4000. Il est à noter que la majorité des composants sont des passifs (80 %). Ce nombre important de passif est principalement dû aux condensateurs nécessaires pour le découplage des composants. La technologie des passifs évolue rapidement, les boîtiers 0402 sont couramment utilisés, les tendances mèneront à utiliser des boîtiers 0201 et 01005 (figure 6).

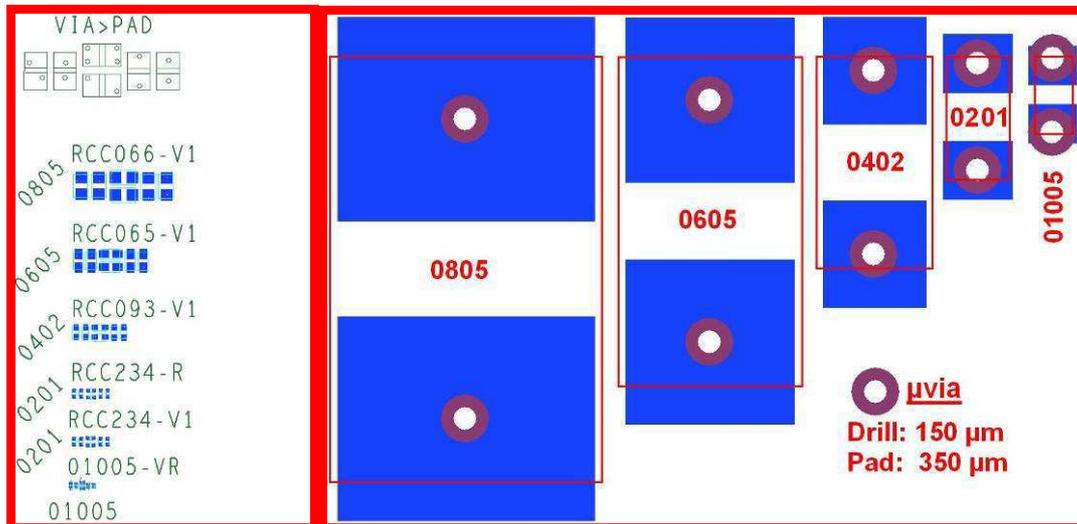


figure 6 : Représentation des passifs sur PCB (taille réelle) et équivalence graphique

D'autre part, les alimentations des cartes sont de plus en plus complexes à mettre en œuvre en raison du nombre de potentiels nécessaires. Il est aujourd'hui courant de trouver sur une carte plus de six potentiels différents (12 V / 3,3 V / 2,5 V / 1,5 V / 1,2 V / 1 V / ...), avec des niveaux de tensions qui diminuent et les courants qui augmentent. Ces évolutions nécessitent d'implanter un nombre conséquent de condensateurs de découplage pour avoir des niveaux de tension stables. Pour palier à ce problème, les industriels étudient la possibilité d'enterrer les composants passifs et les composants actifs.

L'augmentation du nombre de sources de tension implique également des difficultés pour la répartition des niveaux de tension sur les couches d'alimentation. Aujourd'hui, il est devenu incontournable de faire cohabiter plusieurs potentiels sur une même couche, ce qui entraîne des ruptures dans les plans de référence.

Ces dernières années, les fréquences sont passées de 100MHz (DDR) à 400MHz (DDR2) sur les bus synchrones 16 à 32 bits. D'ici peu, les cartes intégreront des technologies de bus à 800MHz (DDR3). Les liaisons séries rapides sont apparues depuis peu sur les cartes avec des fréquences de 1,25 Gb/s et 6,375 Gb/s. Les technologies les plus rapides utilisées ont donc vu la durée des fronts diminuer de la nanoseconde à 350 picosecondes en quelques années.

Enfin, un problème majeur dans la conception et la mise au point des cartes électroniques est la suppression de l'accessibilité aux signaux. La mise en place d'un point de mesure sur une interconnexion contribue à augmenter la densité des circuits imprimés tout en dégradant l'intégrité du signal rendu accessible. Il n'est pas imaginable de rendre accessibles les 1500 signaux présents au sein des couches de l'empilage.

L'ensemble de ces évolutions rend la conception des cartes électroniques de plus en plus complexe, et provoquent une apparition croissante des phénomènes d'intégrité de signal. Il est donc nécessaire, pour limiter les coûts de production, de mettre en place des méthodologies de

travail et d'intégrer l'utilisation d'outils de simulation de façon systématique au cours de la conception.

L'objectif est de pouvoir anticiper l'apparition des perturbations avant la production d'un circuit imprimé, mais aussi de pouvoir évaluer rapidement l'impact qu'auront ces ruptures technologiques sur les futures cartes. Pour cela, l'utilisation des outils de conception assistée par ordinateur est incontournable.

I.4. Besoins de l'industrie

La demande de l'industrie est claire : avoir des cartes qui fonctionnent sans avoir recours à des prototypes intermédiaires. Pour cela, il est nécessaire de mettre en œuvre un processus de conception optimisé, intégrant de nombreux contrôles ainsi que des étapes de simulation pour caractériser et corriger le cas échéant l'ensemble des phénomènes d'intégrité de signal. Il faut également mettre en place des indicateurs permettant de définir la criticité d'un signal ou d'une carte et avoir des règles de conception à suivre pour limiter en amont l'apparition d'éventuels dysfonctionnements.

Les besoins en simulation sont donc incontournables, car les tendances montrent qu'il sera bientôt quasi impossible d'accéder aux signaux par la mesure. L'industrie doit donc avoir des outils de simulation intégrés au sein de leur processus de conception qui soient représentatifs de ce que l'on observe sur les cartes. Pour cela ils devront avoir des moyens de caractérisation et de modélisation pour le PCB mais également pour les buffers d'entrées/sorties des composants afin de permettre une simulation précise de l'ensemble d'une carte.

Les outils, les indicateurs et les règles de conception doivent permettre de traiter différents phénomènes :

Réflexion :

- Définir un empilage à impédance contrôlée pour limiter les échos dans les lignes dus à une désadaptation.
- Définir les marges minimales et maximales acceptables pour une technologie donnée.
- Simuler une liaison en réflexion en pré et post routage, et définir l'adaptation la plus optimisée tout en tenant compte des problèmes d'encombrement et de consommation.
- Connaître l'impact d'un via et d'un « stub » (point de mesure) sur une ligne en fonction de sa longueur et des fréquences mises en œuvre.
- Simuler des liaisons cartes à cartes avec une modélisation adaptées des connecteurs.
- Pouvoir appréhender les évolutions technologiques futures et définir l'impact que cela aura sur les cartes à venir.
- Connaître les limitations engendrées par les outils de simulation.

Diaphonie :

- Simuler l'ensemble des interconnexions en pré et post routage pour appréhender les dysfonctionnements potentiels.
- Avoir des règles précises pour optimiser le routage des différents signaux afin de limiter les phénomènes de couplage.
- Avoir une vision de l'ensemble des couplages qui pourront apparaître sur un circuit imprimé.
- Définir les marges minimales et maximales acceptables pour une technologie donnée.
- Avoir une configuration optimisée des outils pour limiter les temps de simulation.

- Connaître les différents moyens pour résoudre ou limiter les phénomènes de couplage.
- Connaître les limitations engendrées par les outils de simulation.

Stabilité des alimentations :

- Avoir des moyens de simulation permettant des études pré et post routage.
- Définir les marges à respecter pour le bon fonctionnement d'une carte.
- Pouvoir optimiser un réseau de découplage en limitant le nombre de condensateurs.
- Pouvoir simuler l'impact de commutations simultanées sur les tensions d'alimentation ainsi que sur l'allure des signaux.
- Connaître les limitations engendrées par les outils de simulation.

Le besoin industriel est important et va nécessiter, au-delà des règles de conception, l'utilisation d'outils de simulation performants. Avant de présenter les solutions de simulation présentes sur le marché, il est nécessaire de comprendre les différents phénomènes qu'englobe l'Intégrité de Signal.

II. L'INTÉGRITE DE SIGNAL

II.1.Introduction

Les vitesses des signaux ne cessent d'augmenter dans les systèmes électroniques. Or, à haute fréquence, les châssis, les connecteurs et les pistes de cuivre des circuits imprimés ont tendance à adopter un comportement similaire à celui d'une ligne de transmission avec, selon les caractéristiques, des impédances qui varient. Les conducteurs ne se comportent donc plus comme des équipotentielles.

Par conséquent, de plus en plus de circuits imprimés rapides présentent un certain nombre d'anomalies telles que bruit, résonance ou diaphonie, qui entraînent la non-intégrité des signaux.

L'intégrité de signal peut être décrite comme la gestion comportementale des signaux logiques afin qu'ils ne perturbent pas les fonctionnalités de la carte électronique [ZAK 2001]. Cela revient à étudier l'influence des éléments passifs (pistes, boîtiers, connecteurs et câbles) sur les systèmes électroniques rapides. En ce sens, les analyses d'intégrité de signal sont à rapprocher des analyses de compatibilité électromagnétique (CEM) qui ont trait aux interférences radioélectriques entre systèmes électroniques. Ces deux approches sont similaires. Cela fait environ 20 ans que les problèmes d'intégrité des signaux commencent à être pris en compte, tant au niveau des cartes que des systèmes. Un des initiateurs de ce concept est la société Intel, qui a ressenti au début des années 90 le besoin d'une telle analyse dans le cadre des spécifications de ses bus de transmission de données.

La figure suivante (figure 7) présente les principaux phénomènes qui altèrent l'intégrité du signal sur les cartes électroniques.

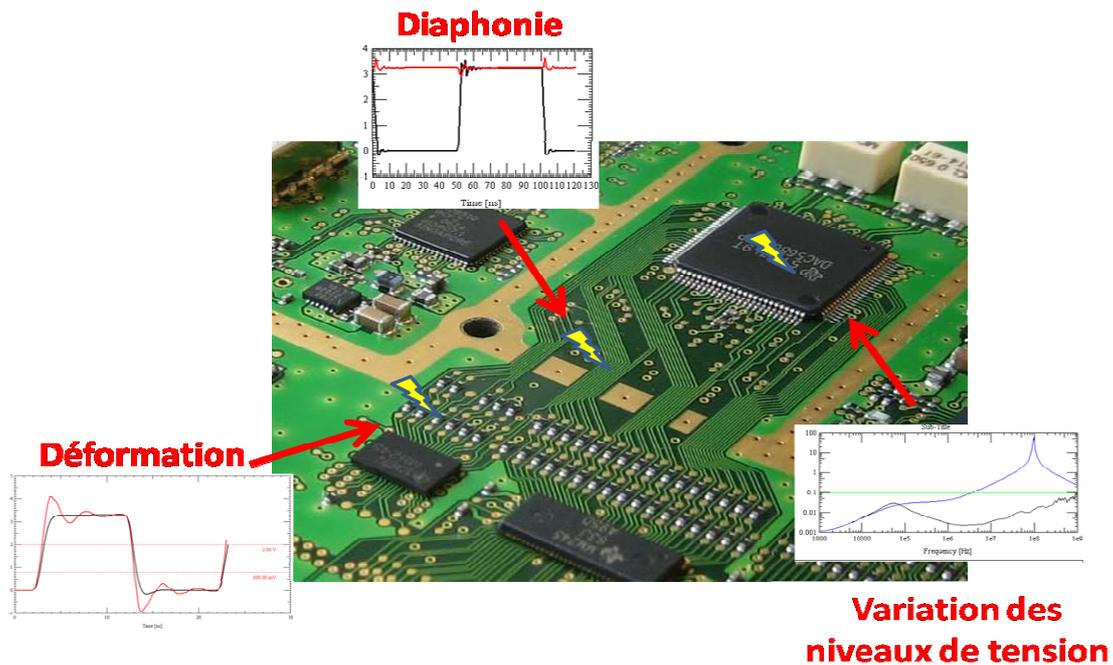


figure 7 : Principaux phénomènes d'Intégrité de Signal

On retrouve sur cette figure les problèmes de :

- Réflexion, qui caractérise des lignes de transmission non adaptées, c'est-à-dire présentant une rupture d'impédance.
- Diaphonie, qui est le couplage entre lignes conductrices proches ou parallèles, autrement dit l'induction de courant d'une ligne sur une autre.
- Non stabilité des réseaux d'alimentation. Le réseau d'alimentation ne permet pas de fournir un niveau de tension et de courant constant sur la gamme de fréquence nécessaire au bon fonctionnement des différents composants.

D'autres phénomènes apparaissent au sein des cartes comme les problèmes de commutations simultanées au sein d'un bus qui engendre des perturbations dans les réseaux d'alimentation et donc sur l'allure des signaux. De plus, du fait de l'augmentation des vitesses d'horloge les marges sur les timings diminuent considérablement. Cette diminution est amplifiée par les phénomènes d'intégrité de signal qui déforment l'allure des signaux et engendrent des retards supplémentaires sur les lignes.

II.2. Immunité aux bruits

La notion de seuil de basculement et donc d'immunité aux bruits est importante quand on parle d'étude d'intégrité de signal. En effet, la mise en place de nombreuses contraintes va se baser sur ces paramètres.

Pour chaque technologie, une norme a été mise en place pour définir les niveaux de tension des entrées et sorties des circuits logiques, ces niveaux définissant les états haut et bas des signaux [ROBERT]. La figure 8 présente la définition d'une technologie 3,3 V de type LVTTTL (Low Voltage Transistor-Transistor Logic). Il est important en conception électronique de bien connaître ces paramètres lorsque l'on connecte deux circuits ensemble. Les niveaux des signaux émis doivent être suffisamment importants pour atteindre les niveaux

de basculements du circuit récepteur, mais aussi qu'ils ne doivent pas être trop importants pour ne pas dégrader ou entraîner un vieillissement prématuré du circuit.

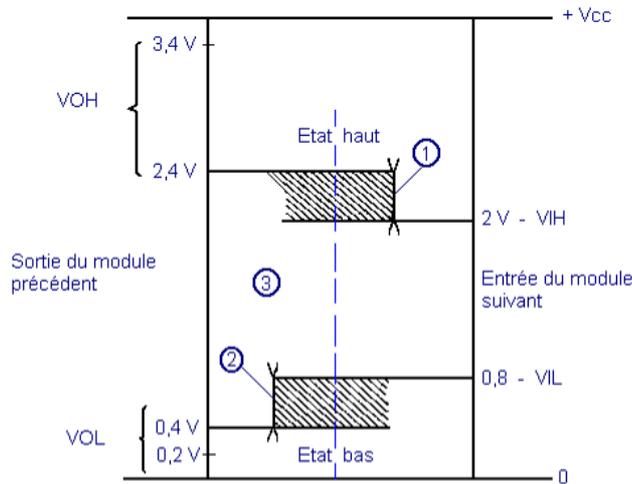


figure 8 : Détermination des seuils dans l'immunité au bruit

En intégrité du signal, ces niveaux nous permettent de définir les limites que l'on ne souhaite pas dépasser pour assurer le bon fonctionnement du circuit.

II.3. Les phénomènes de réflexion

Une ligne de transmission est constituée d'un ou plusieurs conducteurs acheminant un signal électrique, d'une source (émetteur) vers une charge (récepteur). Si le signal acheminé rencontre une rupture d'impédance caractéristique [SWANSON 2001] au long de la ligne de transmission, une partie de celui-ci est réfléchi vers l'émetteur causant ainsi une déformation de son allure. Les pistes sont donc considérées comme des lignes de transmission.

II.3.1. Ligne de transmission

Une ligne de transmission est caractérisée par son impédance caractéristique, sa constante d'affaiblissement (qui précise les pertes dans la ligne) et la vitesse de propagation des signaux.

La vitesse de propagation d'une onde électromagnétique est inversement proportionnelle à la constante diélectrique du milieu ambiant (Equation [1]). Le délai de propagation défini par l'équation [2] est l'inverse de la vitesse :

$$V_p = \frac{c}{\sqrt{\epsilon_{eff}}} \quad [1]$$

$$T_p = \frac{1}{V_p} \quad [2]$$

On se place ici dans l'hypothèse de propagation transverse électromagnétique (TEM) qui nous permet de caractériser la ligne par ses paramètres linéiques (figure 9). A basse fréquence, l'impédance caractéristique d'une ligne de transmission est définie par l'équation [3] :

$$Z_c = \sqrt{\frac{R + j \omega L}{G + j \omega C}} \quad [3]$$

Où L et C sont respectivement l'inductance et la capacité par unité de longueur de la ligne, R et G sont la résistance et la conductance de pertes par unité de longueur. L'équation [4] définit l'impédance caractéristique à haute fréquence où R et G sont négligés :

$$Z_0 = \sqrt{\frac{L}{C}} \quad [4]$$

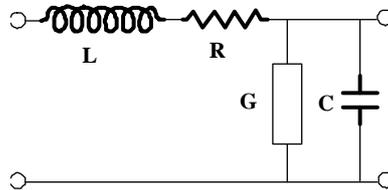


figure 9 : Paramètres linéiques RLCG d'un tronçon de la ligne

Sur les circuits imprimés, on trouve principalement des lignes micro-ruban (microstrip) et des lignes stripline. La figure ci-dessous représente ces deux types de ligne en 2D [LEROSE 2001].

Les éléments géométriques de la ligne de transmission présentés dans la figure 10 permettent de définir la valeur de l'impédance caractéristique.

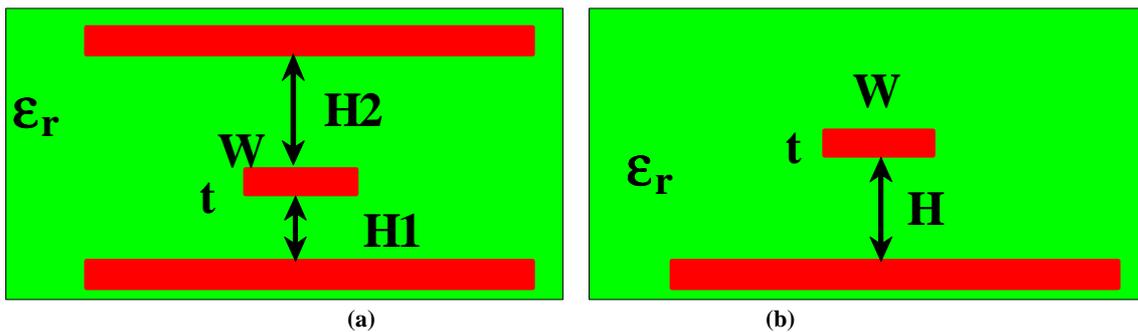


figure 10 : Représentation géométrique d'une ligne micro-ruban et stripline

L'impédance caractéristique dépend des paramètres physiques de la ligne :

- La largeur du conducteur (W)
- L'épaisseur du conducteur (t)
- L'épaisseur du diélectrique (H)
- La constante diélectrique (ϵ_r)

Elle pourra être définie à l'aide d'équations semi-empiriques [RITCHEY 2003]. L'équation [5] ci-dessous permet de calculer l'impédance Z_{01} d'une piste Microstrip enterrée comme présentée sur la figure 10-b.

$$Z_{01} = \left(43.037 \times \ln \frac{H}{W}\right) + 5.048 \times \frac{t}{W} + \frac{106.76}{1.09 \sqrt{\epsilon_r}} \quad [5]$$

L'équation [6] exprime l'impédance Z_{02} d'une piste Stripline asymétrique (figure 10-a). On considère les plans de masse parfaits et ayant des dimensions transversales importantes ($>5H+W$). Les résultats auront une précision de calcul à plus ou moins 5 % et sont valides si la géométrie respecte : $127 \mu\text{m}$ (5 mils) $< W < 381 \mu\text{m}$ (15 mils). Pour l'équation [5], une

condition supplémentaire est nécessaire : le calcul est valide si l'épaisseur du diélectrique au dessus de la ligne mesure au minimum 127 μm .

$$Z_{02} = 80 \times \left[\frac{1 - \frac{H2}{H2 + H1 + t}}{\sqrt{\epsilon_r}} \right] \times \text{Ln} \left(\frac{1.9 \times 2 \times H2 + t}{0.8 \times W + t} \right) \quad [6]$$

Un calcul plus précis peut être rapidement obtenu à l'aide d'un solveur 2D. Ce dernier permet d'obtenir les valeurs des capacités et inductances linéiques de la ligne et son impédance caractéristique.

II.3.2. Phénomènes de désadaptation

Comme nous l'avons expliqué, le phénomène de réflexion apparaît quand le signal, au cours de son parcours, rencontre un changement brusque de la valeur d'impédance caractéristique.

En régime impulsionnel, l'amplitude du signal réfléchi est définie par les équations [7] et [8] :

$$V_{\text{réfléchi}} = \rho \cdot V_{\text{incidente}} \quad [7]$$

$$\rho = \frac{Z_1 - Z_0}{Z_1 + Z_0} \quad [8]$$

Avec ρ coefficient de réflexion, où Z_0 est la valeur de l'impédance vue du point d'émission jusqu'au point de discontinuité d'impédance et Z_1 la valeur de l'impédance du point de discontinuité jusqu'au récepteur (voir figure 11).

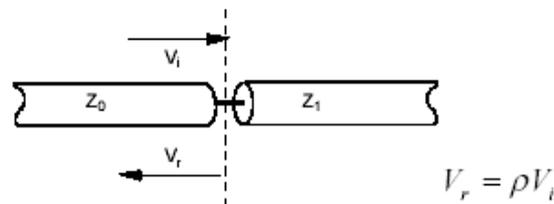


figure 11 : Présentation du phénomène de réflexion

L'impédance caractéristique d'une ligne dépend de sa géométrie. Si cette dernière rencontre une modification de géométrie, un phénomène de réflexion apparaîtra.

Cette discontinuité de la ligne pourra être due :

- au passage par un via,
- à la modification de la largeur de la piste,
- à un changement de couche dans l'empilage,
- au passage dans un connecteur,
- à une rupture dans le plan de référence,
- à un stub (ligne multipoint / point de mesure).

Une désadaptation d'impédance peut apparaître le long d'une ligne de transmission mais également entre la source et la ligne ou entre la ligne et la charge. La désadaptation engendre une déformation du signal qui se caractérise par des dépassements et des oscillations (figure 12).

L'overshoot a lieu lorsque le niveau du signal réfléchi passe au-dessus de la valeur correspondant au « signal haut » pour une logique positive, et inversement (0 V) pour une logique négative. L'undershoot a lieu lorsque le niveau du signal réfléchi passe au-dessous de la valeur correspondant au signal haut (V_{IH}) pour une logique positive, et inversement (V_{IL}) pour une logique négative.

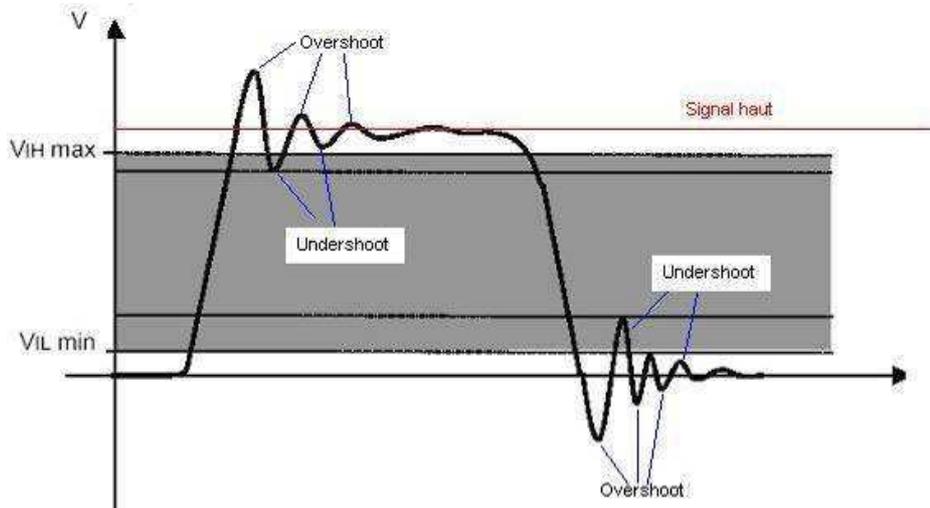


figure 12 : Réflexion sur un signal numérique

Si l'amplitude des oscillations est suffisamment importante, elle peut entraîner un basculement non désiré des entrées du circuit logique et donc provoquer un fonctionnement incorrect du circuit.

Il est donc nécessaire, dans la création de cartes électroniques numériques rapides à très forte densité d'intégration, de mettre en place des circuits imprimés à impédance contrôlée [BOGATIN 2000]. Cela consiste à garder l'impédance d'une ligne constante tout au long de son trajet et à assurer si besoin l'adaptation à une extrémité.

Mettre en place cette stratégie implique de suivre les trois règles suivantes :

- Utiliser une ligne de transmission uniforme.
- Définir des règles de routage précises qui permettront de garder une topologie de ligne et donc une impédance constante tout au long de l'interconnexion.
- Définir et placer des terminaisons de lignes pour adapter la ligne avec le driver ou le récepteur.

II.3.3. Terminaison de ligne

Une fois que les interconnexions ont une impédance définie et uniforme sur l'ensemble de leurs parcours, il faut adapter la ligne avec l'impédance interne du driver et/ou du récepteur. L'apparition d'une désadaptation en début et en fin de ligne peut engendrer des rebonds importants sur le signal (voir figure 13).

Pour résoudre ce problème, de nombreuses techniques d'adaptation de début et de fin de ligne ont été définies [ETHIRAJAN 1998]. Le tableau 3 présente les différentes solutions de terminaison.

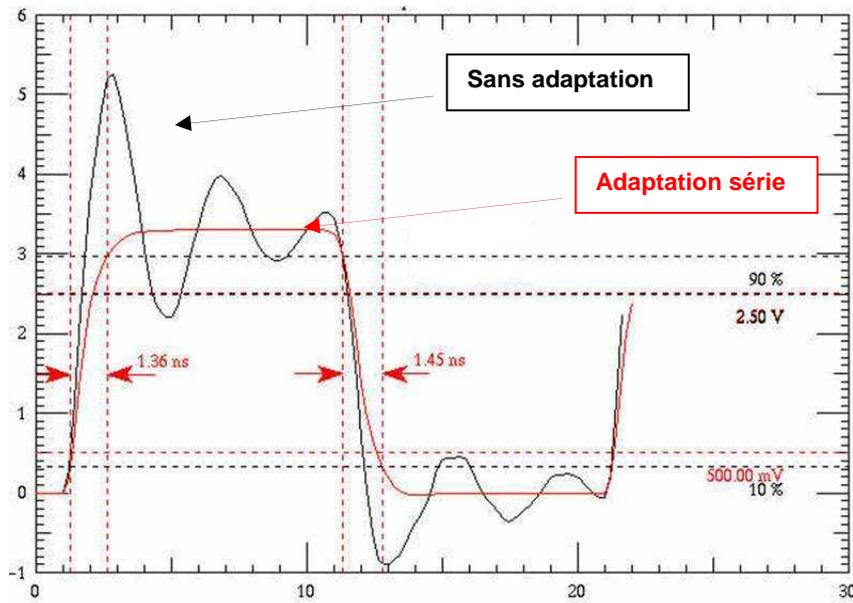


figure 13 : Exemple d'un signal sans adaptation et avec une terminaison série

Terminaisons	Illustrations	Valeurs des passifs	Remarques
Série		$Z_0 = R_s + R_d$	<ul style="list-style-type: none"> - Bonne marge de bruit - Diminue la capacité d'entrée - Introduit des retards dans la ligne (dégradation de tr)
Parallèle		$R_p = Z_0$	<ul style="list-style-type: none"> - Engendre peu de retard sur la ligne - Entraîne des consommations importantes
Thèvenin		$R_p = 2 \times Z_0$	<ul style="list-style-type: none"> - Idem terminaison parallèle - Meilleure symétrie
AC		$R_p = Z_0$ $R_p \times C > 4 \times T_p$	- Dégradation importante des fronts de commutations
Diodes			- Ecrêtage du signal

tableau 3 : Solutions de terminaison pour les interconnexions présentant des désadaptations

Ces différentes techniques de terminaison permettent de résoudre la totalité des problèmes de désadaptation entre les lignes et les composants. Cependant, les contraintes de place sur les cartes ne permettent pas de multiplier indéfiniment l'implantation de composants passifs et impose de faire des compromis sur l'adaptation des signaux.

Pour résoudre cela, les concepteurs de circuits intégrés embarquent de plus en plus ces solutions de terminaison au sein des composants ; il est possible sur certains composants tels que les FPGA de configurer les entrées/sorties à l'aide de terminaisons séries ou parallèles. Malgré cela, il reste encore des compromis à faire car les systèmes embarqués imposent des produits à très basse consommation. L'implantation de solutions telles que la résistance parallèle et le pont de Thévenin ne sont donc pas acceptables.

La maîtrise de l'impédance des pistes et l'adaptation des signaux sensibles sont essentielles pour le bon fonctionnement d'une carte et doivent être mises en œuvre au plus tôt dans la conception pour éviter de nombreuses itérations.

II.4. La diaphonie

Un signal qui se propage sur une ligne provoque des variations de tension et de courant qui se répercutent sur le champ électrique et magnétique à proximité de la ligne. Ces variations de champ induisent l'apparition de courants et de tensions dans les lignes adjacentes [BOGATIN 2003]. Le couplage par diaphonie (crosstalk) est donc un phénomène parasite qui apparaît lorsque les lignes sont proches. Les deux pistes métalliques séparées par un diélectrique (figure 14) sont liées par une capacité (couplage capacitif) et par une inductance mutuelle (couplage inductif). L'agresseur, défini en rouge, perturbera la victime, en bleu, à chacune de ses commutations.

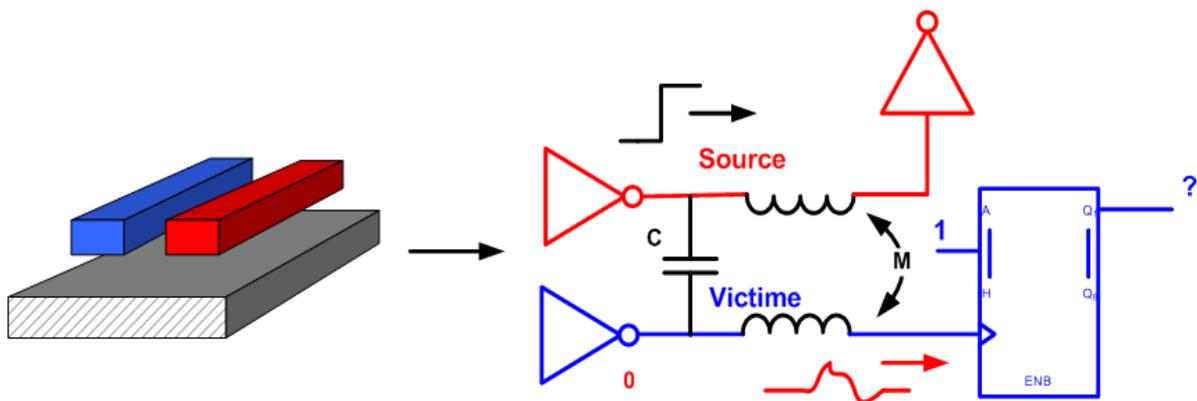


figure 14 : Représentation géométrique et électrique d'un couplage

La présence d'une tension dans un conducteur en vis-à-vis avec un plan de masse crée un champ électrique. Un conducteur présent à proximité intercepte une partie des lignes de champ, ce qui induit dans ce dernier un courant parasite. De même, la circulation d'un courant dans le conducteur source crée un champ magnétique. Un conducteur présent à proximité intercepte une partie de ces lignes de champ, ce qui induit une tension sur la ligne.

La figure 15 modélise le couplage par diaphonie entre deux conducteurs.

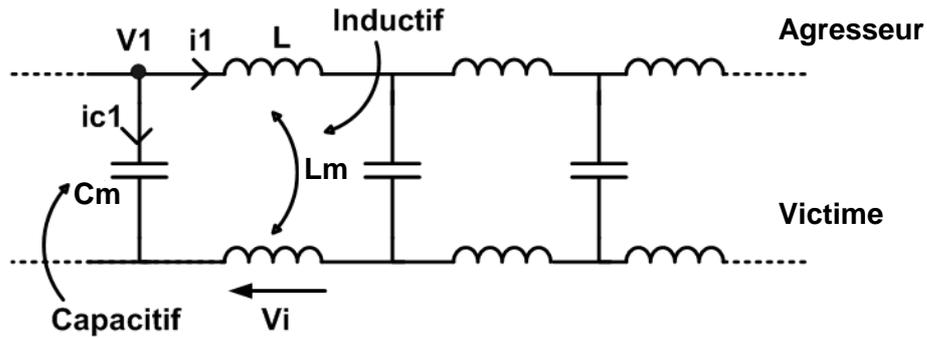


figure 15 : Couplages entre deux conducteurs

Le courant injecté sur le conducteur victime est défini par la relation suivante ([9]) :

$$I_{C1} = C_m \times \frac{dV_1}{dt} \quad [9]$$

Où I_{C1} représente le courant collecté par le conducteur victime, C_m représente la capacité de couplage entre le conducteur agresseur et le conducteur victime. Enfin, dV/dt représente la variation temporelle de tension de la source V_1 .

La tension induite sur le conducteur victime est définie par la relation suivante ([10]) :

$$V_i = L_m \times \frac{dI_1}{dt} \quad [10]$$

Où V_i représente la tension induite sur le conducteur victime, L_m représente l'inductance mutuelle entre le conducteur agresseur et le conducteur victime. Enfin, dI/dt représente la variation temporelle de courant de la source.

II.4.1. Diaphonie NEXT et FEXT

Le courant qui traverse la capacité de couplage parcourt le conducteur victime dans les deux sens. D'après la loi de Lenz, la tension induite aux bornes de l'inductance mutuelle entraîne la circulation d'un courant qui parcourt le conducteur victime dans le sens inverse au courant sur la ligne active. La diaphonie dont le courant retourne vers la source est nommée par la suite NEXT (Near End crosstalk). Celle dont le courant parcourt la victime dans le même sens que le courant agresseur est appelée FEXT (Far End crosstalk). Une tension induite peut donc être observée au début et à la fin de la ligne victime (figure 16).

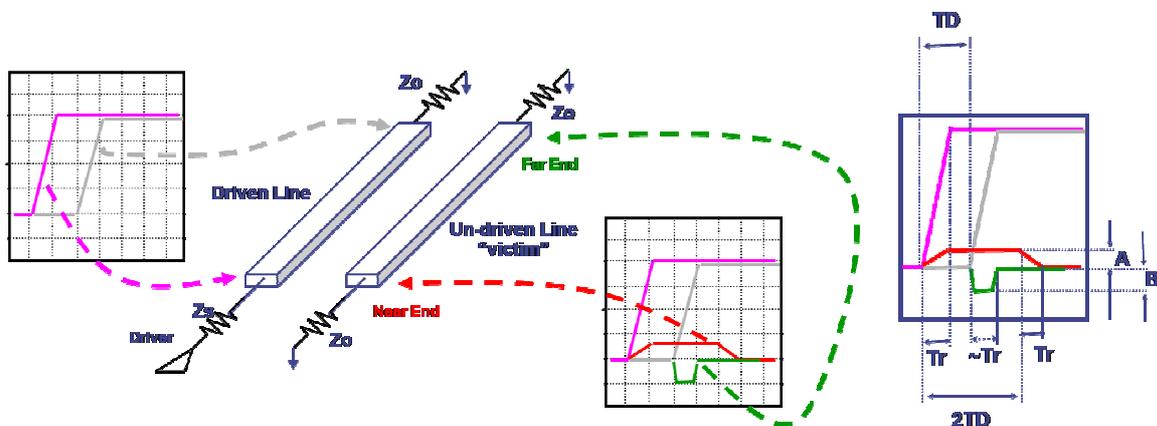


figure 16 : Diaphonie NEXT et FEXT [INTEL]

Définition des paramètres A (équation [11]), B (équation [12]) et TD (équation [13]) présentés dans la figure 16 :

$$A = \frac{V_{input}}{4} \times \left[\frac{Lm}{L} + \frac{Cm}{C} \right] \quad [11]$$

$$TD = X \times \sqrt{LC} \quad [12]$$

$$B = -\frac{V_{input} \times TD}{2t_r} \times \left[\frac{Lm}{L} - \frac{Cm}{C} \right] \quad [13]$$

Conditions :
 - $t_r < 2TD$ (couplage réparti)
 - Couplage faible

A partir de ces éléments il est facile de voir les paramètres sur lesquels il faut influencer pour diminuer les perturbations induites par diaphonie. En effet les amplitudes des tensions parasites dépendent des tensions sources (V_{input}), des capacités de couplage, des inductances mutuelles, du temps de propagation (TD) ainsi que du temps de montée du signal source (t_r).

II.4.2. Diaphonie paire et impaire

Quand deux conducteurs sont couplés, le signal victime peut être à un état identique ou non avec celui de l'agresseur après basculement. On retrouve quatre cas de figure envisageables (figure 17) :

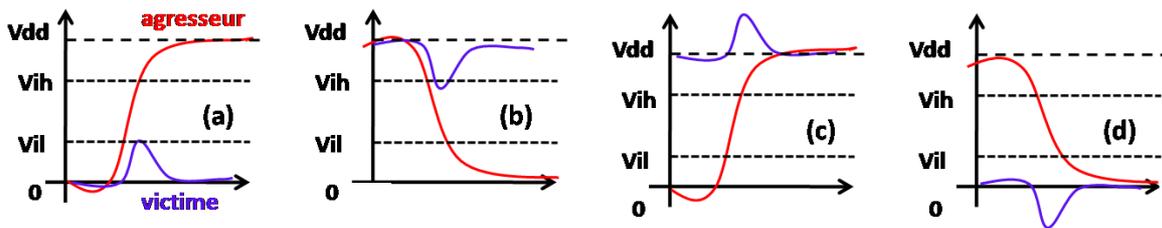


figure 17 : Quatre cas de diaphonie suivant les configurations de lignes. [CAIGNET 2005]

On parle de diaphonie paire (even) pour les cas c et d, ou impaire (odd) pour les cas a et b. Les cas prépondérants à étudier sont les a et b (odd), car une tension induite trop importante sur la ligne victime peut entraîner un dépassement du seuil de basculement et donc conduire à des fautes logiques. Il ne faut tout de même pas négliger les cas c et d qui peuvent introduire des surtensions au sein du récepteur et engendrer un vieillissement prématuré ou un claquage de ce dernier.

II.4.3. Méthodes de résolution

On peut déjà citer quelques règles permettant de limiter les effets de diaphonie en modifiant l'implémentation du PCB, ou les technologies de composants utilisées :

Paramètres Géométriques :

- Augmenter l'espace entre les lignes (: S).
- Limiter la longueur des interconnexions de façon à ce que les temps de propagation soient inférieurs au temps de montée du signal.
- Préférer le routage orthogonal (en XY), pour les signaux se trouvant sur des couches adjacentes, cela limitera les longueurs de couplage.

- Séparer les interconnexions critiques par des lignes de garde qui doivent être régulièrement reliées à la masse [HUANG 2007]. Sans cette mise à la masse, la ligne de garde pourrait s'avérer inutile, voire même amplifier et transmettre à la victime la perturbation générée par le signal agresseur.
- Limiter la longueur de couplage sur une même couche ou sur deux couches superposées.
- Utiliser des plans de référence uniformes pour minimiser les cavités dans les plans et avoir un courant de retour le plus direct possible [YU 2002].

Paramètres Technologiques :

- Préférer les matériaux ayant une constante diélectrique faible et maîtrisée, ce qui permet d'obtenir un temps de propagation moins important.
- Utiliser des technologies d'entrées/sorties présentant les niveaux de tension les plus faibles possibles pour les signaux rapides peu sensibles.
- Utiliser des technologies de composants, présentant des temps de montée faible, ou utiliser des résistances séries pour augmenter ce temps de montée.

La théorie nous permet de quantifier simplement la tension induite lors d'un couplage entre deux lignes adaptées. Cependant, en réalité les interconnexions sur nos circuits ne présentent habituellement pas d'adaptation avec les buffers d'entrée/sortie. Les résistances séries sont uniquement implantées sur des signaux rapides et très critiques, mais dans la plupart des cas la sortie se modélise simplement par la résistance interne du buffer (10-30 Ω). Les entrées des buffers ne sont pas adaptées et se comportent comme des circuits à haute impédance. Les comportements des couplages FEXT et NEXT sont alors différents et ne peuvent pas être définis à l'aide des équations analytiques 11 et 13. Généralement ils sont déterminés en utilisant des logiciels de simulation.

II.5. La stabilité des masses et des alimentations

II.5.1. Bruit induit dans les circuits d'alimentation

Le circuit d'alimentation source de courant et de tension est généralement encombrant et ne peut souvent pas être directement connecté aux transistors présents au sein des circuits intégrés. Les courants devront donc traverser des interconnexions, des plans d'alimentations, des fils de bondings avant d'alimenter les transistors (figure 18). Tous ces éléments présentent une résistance et une inductance propre. Les courants traversant ces éléments vont donc créer des fluctuations de tensions à l'arrivée. Cette fluctuation de tension est donnée par les relations suivantes (équations [14] [15] [16] [17]) [SWAMINATHAN 2007] :

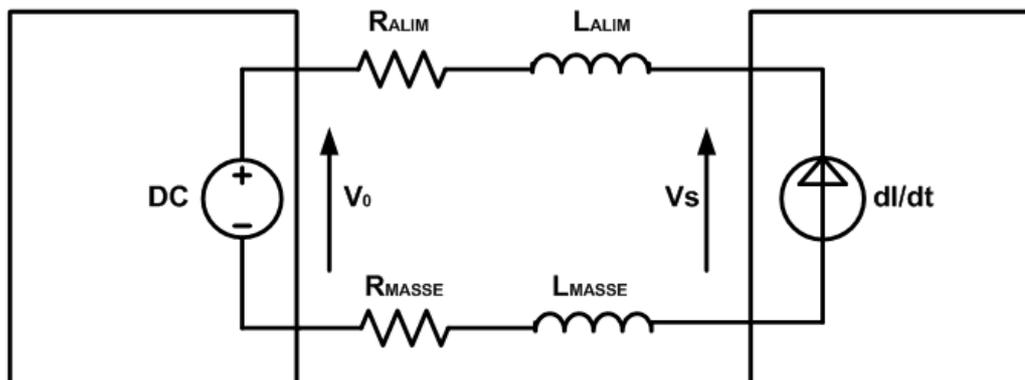


figure 18 : Représentation du réseau d'alimentation

$$V_L = L \frac{dI}{dt} + RI \quad [14]$$

$$L = L_{ALIM} + L_{MASSE} - L_{mutuelle} \quad [15]$$

$$R = R_{ALIM} + R_{MASSE} \quad [16]$$

$$V_S = V_0 - V_L \quad [17]$$

V_L représente le saut de tension, L et R sont l'inductance et la résistance globale de l'alimentation, et dI/dt représente la variation de courant au sein du circuit. V_0 et V_S sont respectivement la tension d'alimentation et de source.

Les bruits d'alimentation sont engendrés par l'ensemble des composants présents dans les réseaux d'alimentation et ce, dans quatre plages de fréquence comme le présente la figure 19 :

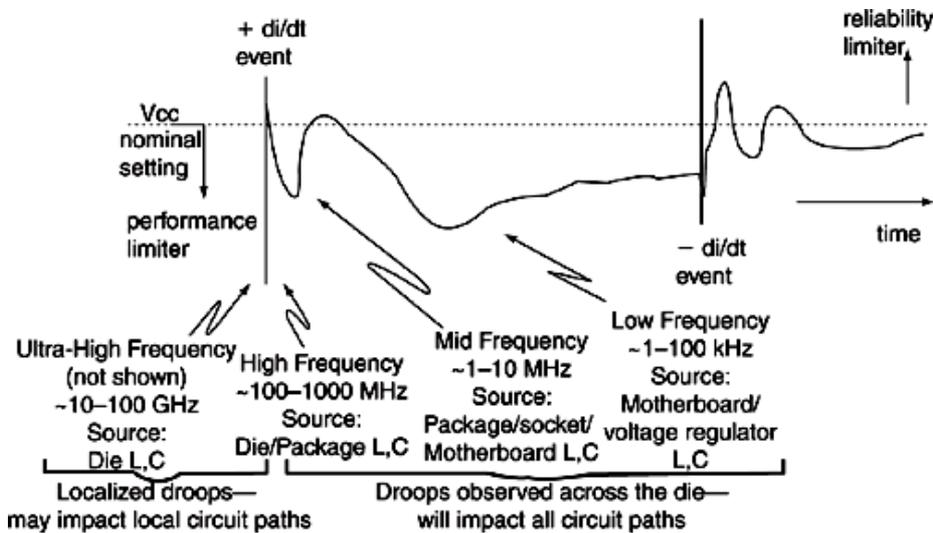


figure 19 : Plages de fréquence mises en jeu dans les bruits d'alimentation [MUHTAROGLU 2004]

Les inductances internes aux composants affectent à la fois les très hautes et les hautes fréquences (>1 GHz), le boîtier du composant aura un effet sur les moyennes et hautes fréquences (10 MHz-1 GHz). Enfin l'inductance des plans et des interconnexions ainsi que le régulateur vont affecter les moyennes et basses fréquences (<1 MHz).

Ces fluctuations au niveau des tensions d'alimentation et de masse peuvent générer des dysfonctionnements sur l'alimentation des circuits intégrés :

- La diminution de la tension d'alimentation au niveau du buffer peut ralentir sa commutation et entraîner des problèmes sur les temps de commutation,
- La dégradation du signal pourra également introduire des erreurs de timing en sortie des transistors,
- La baisse de la tension peut aussi réduire la dynamique du signal, à un niveau inférieur du seuil de commutation, qui laisserait le buffer dans un état indéterminé,
- L'augmentation de la tension risque d'engendrer, si elle dépasse un certain niveau, le vieillissement prématuré du composant voire sa destruction,
- La fluctuation de tension peut être induite sur un transistor voisin dû à une diaphonie et/ou à un bruit de commutation.

II.5.2. Impédance cible

L'évaluation des réseaux d'alimentation ou Power Distribution Network (PDN) s'effectue aussi bien à l'aide :

- d'analyses temporelles pour quantifier la valeur de la fluctuation de tension induite,
- d'analyses fréquentielles pour observer les résonances et antirésonances produites par les capacités et inductances présentes dans le réseau.

L'étude temporelle permet d'observer si la variation de tension respecte la contrainte d'ondulation alors que l'étude fréquentielle est utilisée pour définir le découplage à implanter pour obtenir un réseau d'alimentation stable par rapport à une contrainte d'impédance.

L'impédance « cible » du plan Z, définie par l'équation [18], fixe la valeur maximale à ne pas dépasser en tenant compte du courant nécessaire à l'alimentation des composants (ΔI) ainsi que de la variation de la tension d'alimentation (ΔV_{dd}) autorisée :

$$Z_{cible} = \frac{\Delta V_{dd}}{\Delta I} = \frac{Ondulation(\%) \times V_{dd}}{50\% \times I_{max}} \quad [18]$$

A l'aide de ce paramètre on peut donc analyser le comportement fréquentiel de l'impédance du réseau d'alimentation. Si l'impédance du plan est supérieure à l'impédance cible pour une fréquence correspondant au fonctionnement du circuit, la tension d'alimentation aura une fluctuation supérieure à l'ondulation autorisée.

II.5.3. Contraintes technologiques

L'évolution des contraintes technologiques rendent la mise en œuvre des réseaux de découplage de plus en plus complexe, comme le présente le tableau 4.

Année	Tension (V)	Consommation (W)	Courant (A)	Zcible (m-Ohms)	Fréquence (MHz)
1990	5	5	1	250	16
1993	3,3	10	3	54	66
1996	2,5	30	12	10	200
1999	1,8	90	50	1,8	600
2002	1,2	180	150	0,4	1200
2005	1	180	180	0,2	5000

tableau 4 : Contrainte technologique sur Zcible de 1990 à 2005

Ces contraintes réduisent fortement la valeur de l'impédance cible et augmentent la plage de fréquence à découpler.

II.5.4. Le réseau d'alimentation

Plusieurs éléments constituent un réseau d'alimentation (figure 20). Tout d'abord le régulateur de tension, puis aux fréquences où l'impédance du régulateur devient supérieure à l'impédance cible, il est nécessaire d'avoir une source pour maintenir le niveau de tension. Pour cela on utilise des condensateurs de découplage :

- Les condensateurs « réservoirs » nécessaires pour les basses fréquences sont placés juste à la sortie du régulateur de tension (tantaes / chimiques).

- Les condensateurs qui permettent de découpler les fréquences entre 1 MHz et 1 GHz (céramiques).

Enfin, pour les très hautes fréquences les plans font office de découplage. De nouvelles technologies apparaissent aujourd'hui, avec la mise en place de condensateurs de découplage à l'intérieur du circuit intégré sur les broches d'alimentation. Ces condensateurs permettent de découpler les hautes et très hautes fréquences.

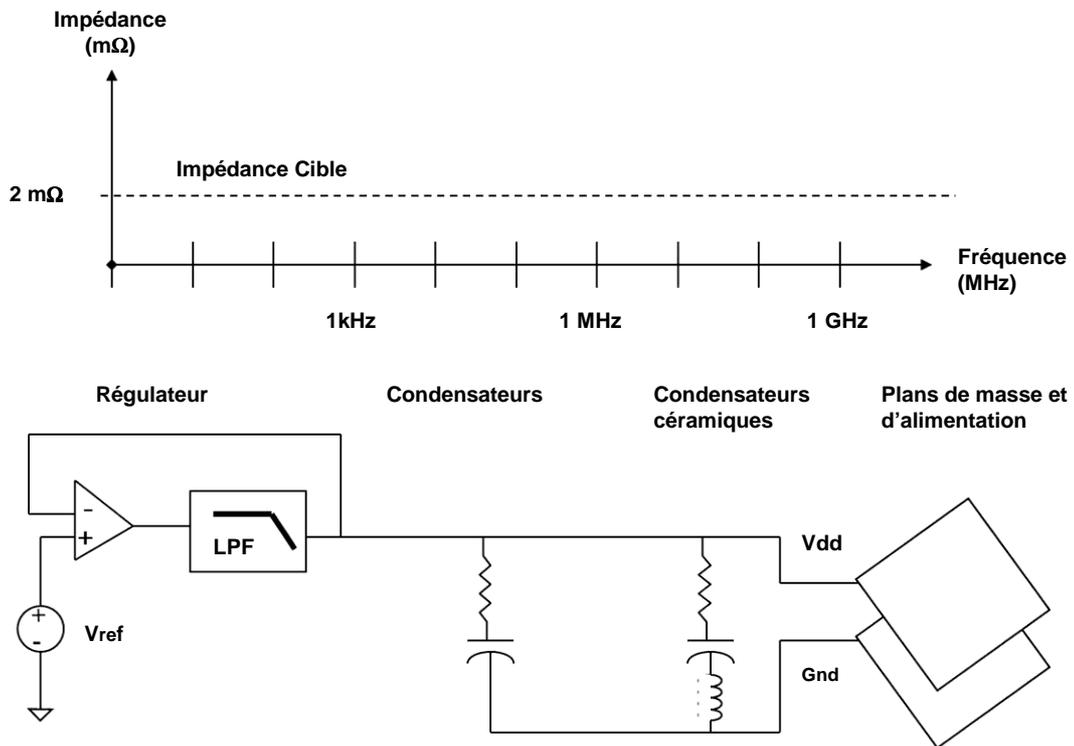


figure 20 : Composants du réseau de découplage en fonction de la fréquence [CADENCE 2006]

La figure 21 présente un exemple d'impédance de plan, avant et après la mise en place des condensateurs céramiques (1 nF / 10 nF / 100 nF).

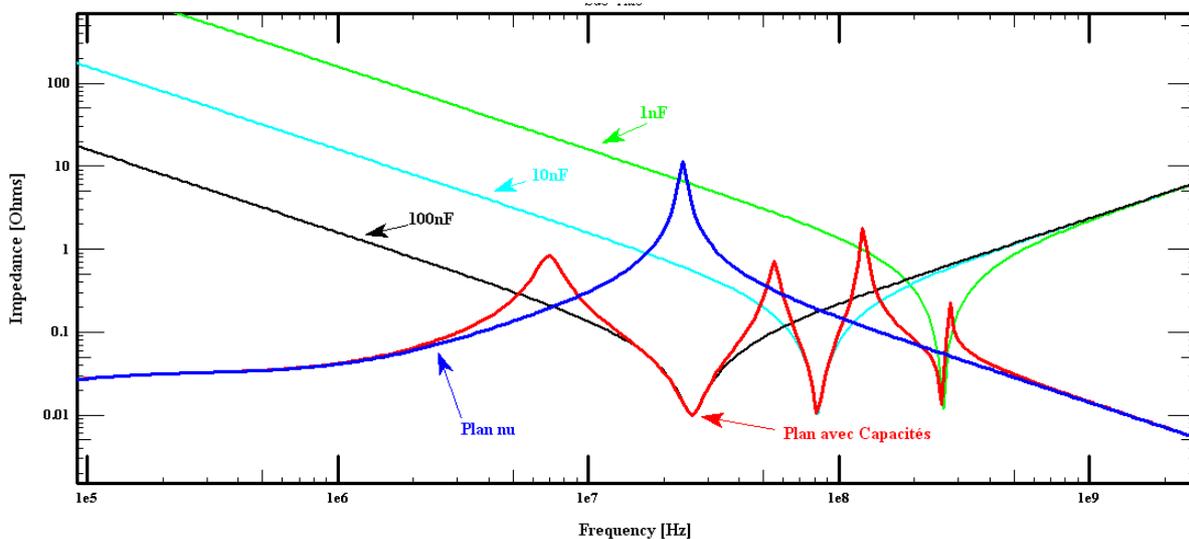


figure 21 : Illustration d'un plan avant (bleu) et après (rouge) la mise en place du réseau de découplage.

II.5.5. Optimisation du réseau d'alimentation

La mise en place d'un réseau d'alimentation stable requiert de limiter au maximum l'impédance du plan d'alimentation pour que ce dernier soit inférieur à l'impédance cible. Pour cela, il faut que la tension respecte un niveau précis de variation et donc qu'elle ne rencontre pas d'éléments inductifs qui la ferait fluctuer à des niveaux non-désirés.

Ci-dessous une liste de règles à suivre pour limiter les variations de tension :

- Proscrire l'utilisation d'interconnexions dans les réseaux d'alimentation et préférer l'utilisation de plans (Shape).
- Utiliser des boîtiers de condensateurs les plus petits possible pour limiter les éléments parasites (ESL et ESR) ou composants spécifiques (ex : X2Y).
- Limiter l'inductance créée par la liaison du condensateur aux plans Vdd et GND (voir figure 22).
- Placer les plans d'alimentation et de masse le plus proche possible pour réduire la boucle inductive.
- Placer plusieurs condensateurs en parallèle de façon à réduire l'ESL et l'ESR.

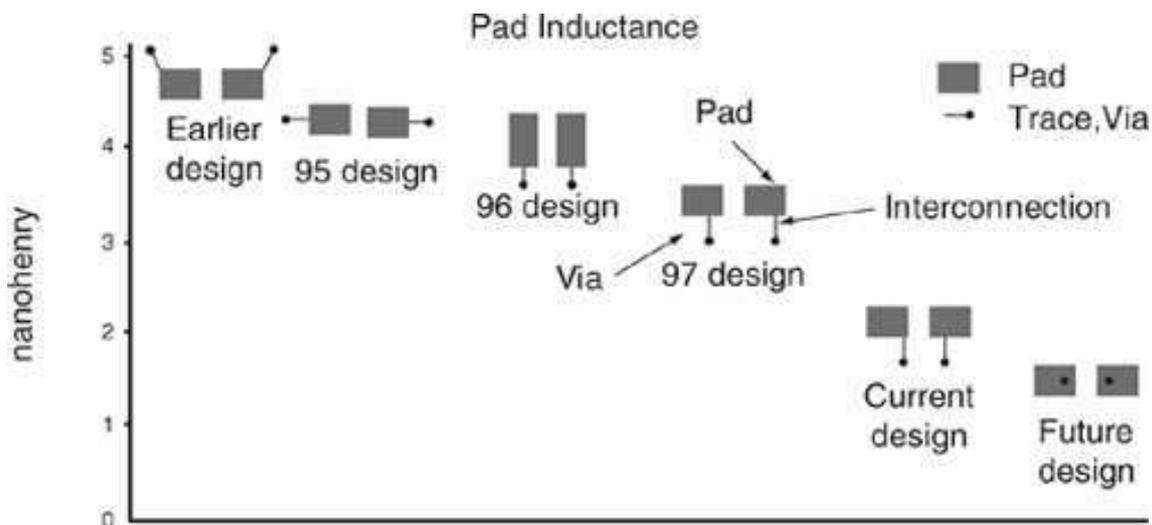


figure 22 : Inductance induite en fonction de la liaison d'un condensateur à un plan [SMITH 1999]

La mise en œuvre d'un réseau devient de plus en plus complexe. En effet, les évolutions technologiques engendrent des niveaux de tension ne tolérant pratiquement plus de variation et des plages de fréquence à découpler sont toujours plus grandes. Les fabricants proposent aujourd'hui les réseaux de découplages qu'il serait nécessaire d'appliquer, mais cela va à l'encontre des contraintes de l'industrie :

- Le nombre de condensateurs à implanter est physiquement impossible à mettre en œuvre sur les cartes hautes densités car la place ne le permet pas.
- Pour découpler l'ensemble des fréquences, les constructeurs proposent un nombre important de valeurs de condensateurs ; l'industrie essaye de limiter le nombre de références pour minimiser les coûts de production.

La mise en œuvre d'outils de simulation est donc primordiale pour étudier le meilleur compromis à réaliser sur nos circuits.

II.6. Les bruits de commutations simultanées

Un dernier point à examiner sur les cartes rapides et complexes est l'interaction entre l'Intégrité de Signal et l'intégrité des alimentations, c'est-à-dire les interférences que l'on peut trouver entre le signal et l'alimentation. On appelle ce phénomène Switching Simultaneous Noises (SSN) ou Switching Simultaneous Output (SSO), qui est le bruit induit sur les alimentations par des commutations simultanées d'E/S. Des commutations simultanées vont induire des chutes importantes des niveaux d'alimentation et se répercuter sur des signaux utilisant ces mêmes alimentations.

Ce phénomène est de plus en plus présent sur les cartes du fait du nombre croissant d'entrées/sorties sur les circuits intégrés. Les commutations simultanées engendrent l'instabilité des plans d'alimentation et dégradent les niveaux de sorties des transistors : commutations non souhaitées et retards sur les lignes.

II.6.1. Description du phénomène

Le phénomène de bruit dans les alimentations apparaît du fait des inductances parasites non négligeables au sein des circuits, entraînant des fluctuations dans le réseau d'alimentation [KATOPIS 1985] lors des commutations de courant.

La figure 23 représente un circuit avec ces inductances parasites ; les fils de bonding, les pads de bonding, les pistes et les broches qui interfacent le composant avec le circuit imprimé. Il existe aussi une inductance induite par la liaison entre les broches d'alimentation et les plans.

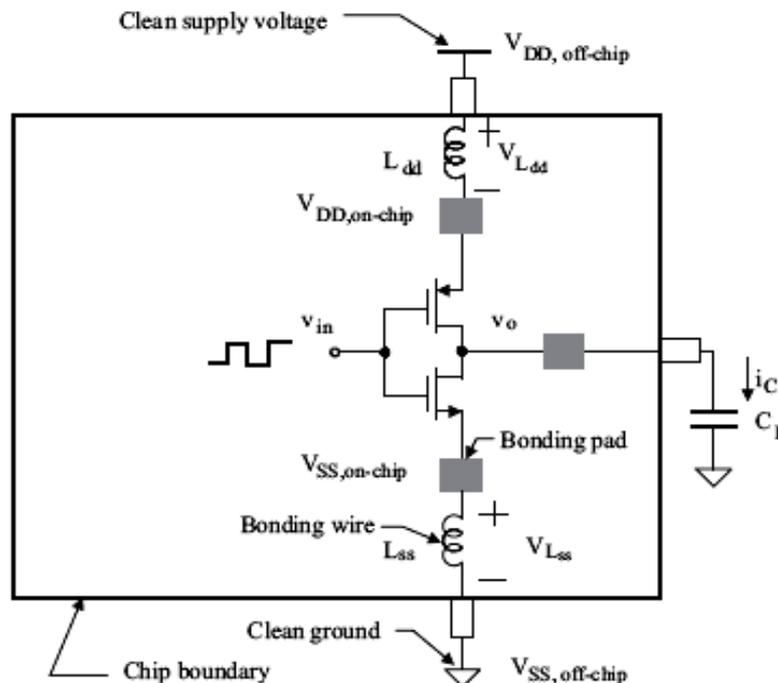


figure 23 : Buffer de sortie – Vdd et Vss fluctuent dus aux bruits de commutation [YUAN 2006]

Pendant le temps de commutation, une tension proportionnelle à la variation de courant et à l'inductance est induite aux bornes de L_{dd} et L_{ss} (cf. équation 14).

L'ensemble des E/S d'un circuit est connectée aux mêmes alimentations. En conséquence, plus le nombre d'E/S commutant est grand, plus l'impact sur les alimentations, et donc sur les signaux considérés comme victimes, est important.

II.6.2. Impact du phénomène sur l'intégrité des alimentations et l'intégrité du signal

La figure 24 illustre bien l'impact que peut avoir un bruit de masse sur l'intégrité du signal. Les sorties des transistors 1 et 2 sont « silencieux », l'un est à l'état '1', l'autre est à l'état '0'. Le transistor 3 bascule à l'état '0'. Un courant est généré par la décharge du condensateur équivalent (C_{eq}) et traverse l'inductance parasite de la masse. Il apparaît alors un saut de tension sur la masse qui se répercute sur le signal en sortie du transistor 2.

En CEM, on désigne cet effet par : « couplage par impédance commune ».

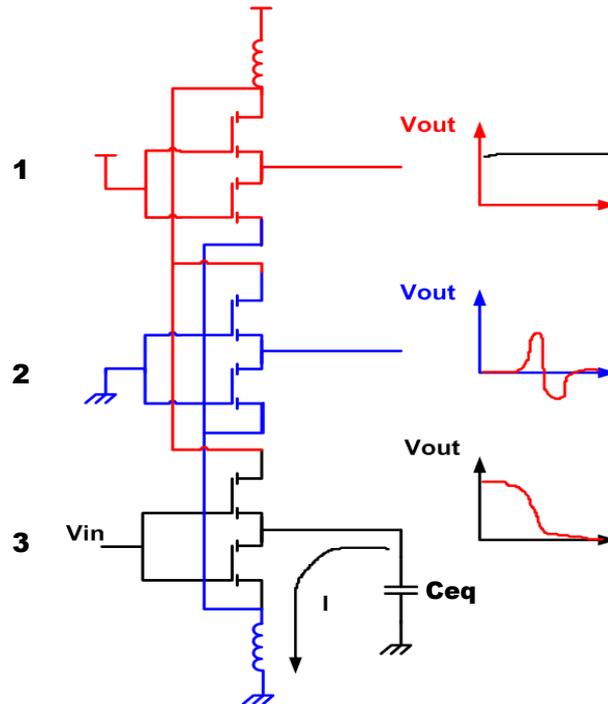


figure 24 : Basculement d'un signal de sortie dû à un bruit de masse

II.6.3. Solutions à mettre en œuvre

Comme pour les alimentations, il est donc important de limiter l'ensemble des éléments inductifs parasites, et d'utiliser des technologies ayant des commutations moins rapides. On donne ci-dessous une liste des précautions à prendre pour limiter ce phénomène :

- Optimiser le découplage des composants,
- Limiter les boucles induites par la connexion du composant aux plans d'alimentation,
- Utiliser des composants ayant des boîtiers les moins inductifs possible (ex : Flip Chip),
- Utiliser les technologies ayant un faible dI/dt où utiliser des résistances séries pour le limiter,
- Pour les composants programmables, limiter le nombre de signaux commutant simultanément dans une même zone où introduire un déphasage entre ces signaux,
- Pour les composants programmables, définir toutes les E/S non utilisées en tant que masse ou Alim : réduction de l'inductance parasite,
- Préférer l'utilisation de composants embarquant des capacités de découplage en interne, cela permet également de limiter les courants de fuite.

II.7. Analyse des timings

L'impact des réflexions, diaphonies et bruit dans les alimentations perturbent les informations numériques transitant sur les interconnexions. Si la forme du signal est importante à prendre en compte, les relations temporelles à respecter entre les signaux et l'horloge qui les échantillonne le sont aussi. [ELDUN 2007]

II.7.1. Principe

Le principe d'une interface numérique est de transmettre une donnée stockée dans le composant driver et que la donnée échantillonnée par le récepteur soit identique. Pour cela, il faut que la donnée soit dans un état '1' ou '0' stable à l'échantillonnage.

Si la donnée et l'horloge viennent à changer d'état au même moment, le système devient métastable et on se retrouve dans un état indéterminé. En effet, l'énergie nécessaire au basculement de l'horloge est réquisitionnée par le changement d'état de la donnée. Pour éviter ces phénomènes de métastabilité, les constructeurs de circuit intégré définissent des contraintes de temps.

Il faut donc prendre en compte les temps de propagation mis en jeu par les interconnexions et par les composants. Une fois ces paramètres pris en compte, on peut définir la fenêtre de temps dans laquelle les données doivent être stables puis définir les contraintes de longueur des pistes afin de respecter les cadencements.

II.7.2. Les délais de transmission

La figure 25 illustre les différents délais lors d'une communication numérique. Chaque élément constituant le chemin électrique d'une donnée introduit un délai dans la transmission :

- Les temps de commutation des portes,
- Les temps de transit dans la puce,
- Le retard associé au buffer de sortie,
- Le retard dû aux éléments parasites (Boîtier, Broche, ...),
- Le temps de propagation sur le PCB.

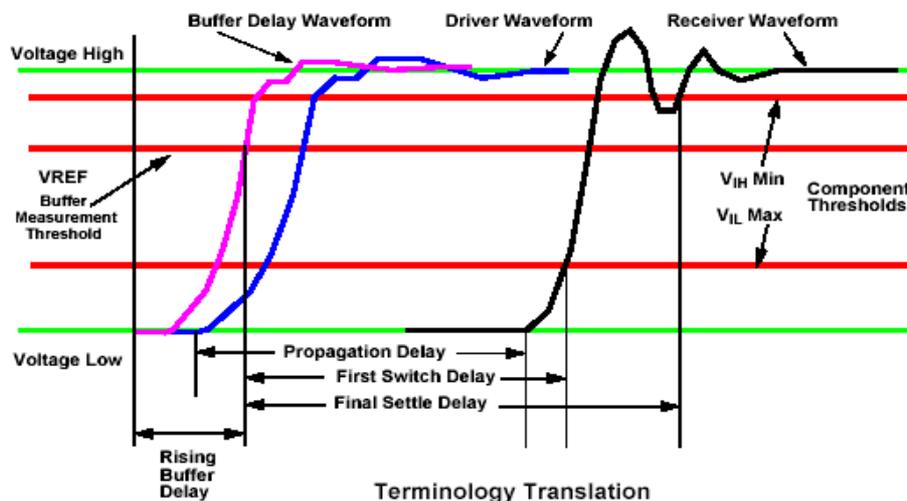


figure 25 : Délais associés au chemin électrique d'un signal

II.7.3. Les temps de Setup et Hold

Pour éviter les problèmes de métastabilité et/ou d'état indéterminé, les constructeurs de circuits imposent des contraintes de timing. Le temps d'établissement de la donnée (Setup) définit le moment à partir duquel la donnée doit être présente sur la bascule avant l'échantillonnage par l'horloge. Le temps de maintien (Hold) définit le temps au cours duquel la donnée doit rester stable après l'échantillonnage de l'horloge. Pour étudier le respect de ces contraintes de temps, il faut comparer le temps de transit de l'horloge par rapport à la donnée (figure 26).

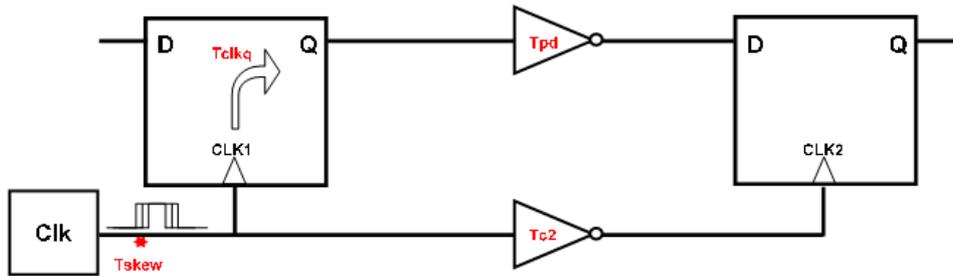


figure 26 : Transmission numérique

La figure 26 représente une transmission numérique et les temps mis en jeu dans l'étude des Setup et Hold : la variation de la phase de l'horloge (Tskew), le temps de propagation du Buffer (Tclkq), le temps de propagation sur le PCB de la donnée (Tpd) et de l'horloge (Tc2).

La donnée doit être présente avant l'horloge pour éviter la métastabilité la violation du temps de Setup. Si le temps de propagation de la donnée est inférieur au délai introduit sur l'horloge, la donnée est échantillonnée sur le même cycle d'horloge qui l'a généré : violation du Hold. Contrairement à la violation du Setup qui peut être résolue par une modification de la fréquence de fonctionnement, la violation de Hold impose de modifier le placement et/ou le routage. La figure 27 permet d'observer l'impact des différents délais sur ces marges.

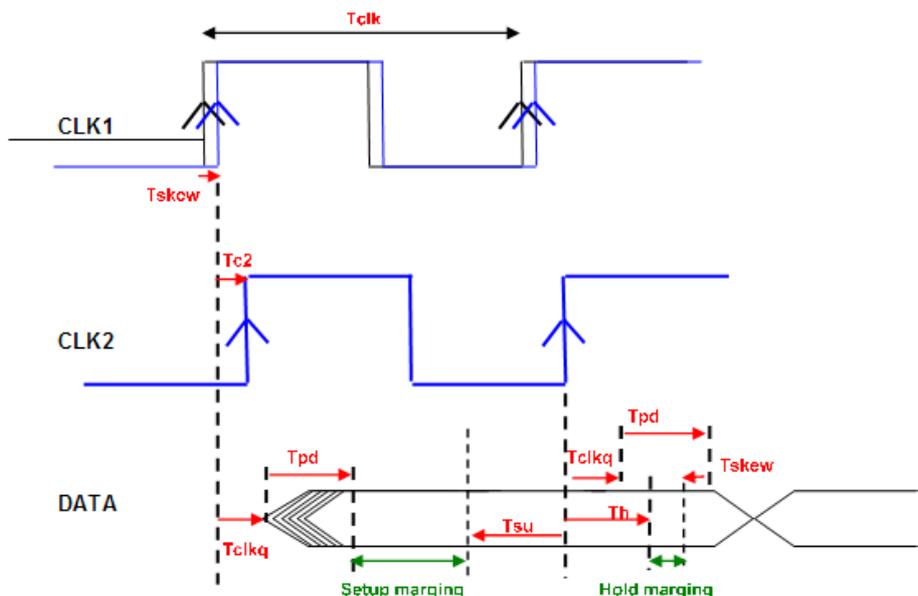


figure 27 : Marges de Setup et de Hold

L'augmentation des fréquences dans les transmissions numériques rend de plus en plus critiques les budgets de temps. Pour assurer le respect des contraintes de temps, il est nécessaire de calculer les marges de Setup et de Hold d'une interface. Ces marges permettent de définir les longueurs minimales et maximales des interconnexions.

II.8. Liens séries rapides

Aujourd'hui l'intégrité de signal fait face à de nouveaux challenges avec l'apparition des liens séries rapides sur les cartes électroniques. Ce type de liaison présente des fonctionnements à plusieurs gigabits par seconde et nécessite de mettre en œuvre des moyens supplémentaires d'études et de simulations pour pouvoir analyser leur comportement.

La figure 28 compare cette nouvelle architecture (SERDES) à une architecture parallèle.

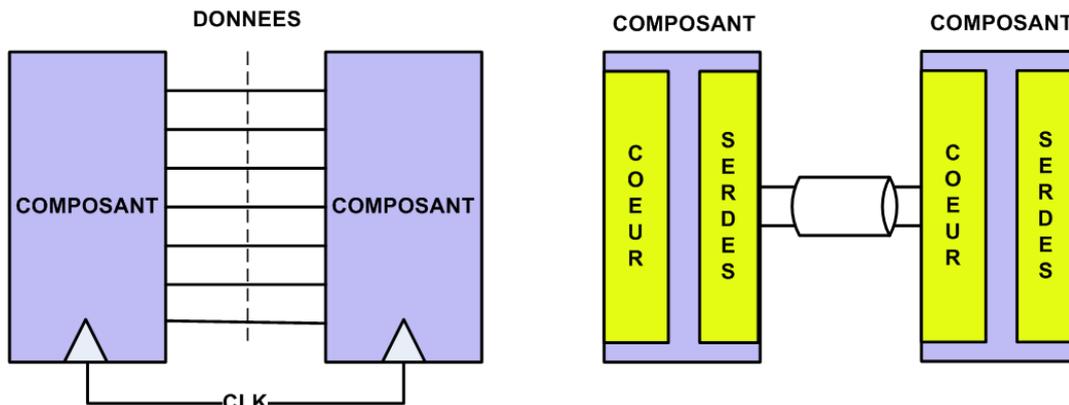


figure 28 : Comparaison liaison parallèle et série

Les vitesses introduites par ces liens séries rapides (2.5 Gb/s ; 12 Gb/s) amplifient les phénomènes décrits auparavant et demandent la mise en place d'analyses supplémentaires comme l'étude de la variation de la phase du signal (Jitter). La qualité de la liaison s'évalue à l'aide du diagramme de l'œil (figure 29).

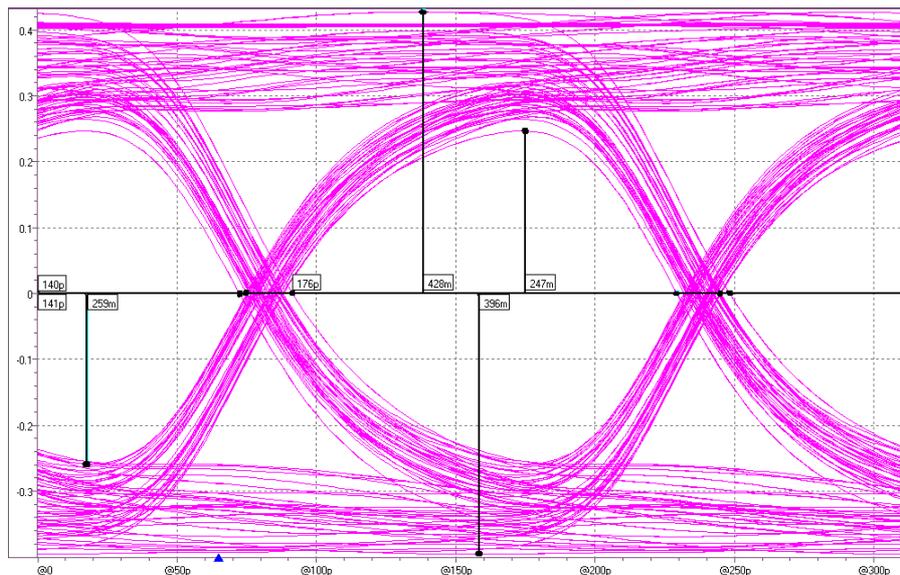


figure 29 : Diagramme de l'œil d'une liaison série – Mesures ΔV et Δt

La plupart des protocoles de liaison rapide définissent une contrainte d'ouverture de l'œil à respecter (masque). De plus, la transmission est qualifiée par son taux d'erreur bit et/ou interférence inter-symbole.

L'ensemble des éléments parasites (boîtiers / vias / stubs / désadaptation d'impédance) produisent des distorsions très importantes qui dégradent l'ouverture de l'œil.

A ces fréquences de fonctionnement, les interconnexions sont très sensibles à l'effet de peau et aux pertes dans le diélectrique. Si l'interconnexion présente des longueurs importantes (>50 cm) l'ouverture de l'œil obtenu est très faible et ce même si les lignes sont implantées de façon optimum. Ces nouveaux buffers intègrent donc, pour palier à ces distorsions, des fonctions de préaccentuation et d'égalisation en émission et réception.

II.9. Conclusion partielle

L'évolution de l'électronique a entraîné une rupture dans la mise en œuvre des circuits HDI. Les signaux de plus en plus rapides deviennent très sensibles à leur environnement mais également rayonnent davantage.

Il est aujourd'hui nécessaire de contrôler l'impédance des interconnexions avec une définition d'empilage précise, mais également de définir les adaptations pour éviter les phénomènes de réflexion entre les buffers et les lignes. Il faut en outre, au sein de ces circuits de plus en plus denses, définir des isollements importants pour éviter les phénomènes de couplage. Enfin, les potentiels nécessaires à l'alimentation très basse tension des composants se multiplient. Cela complexifie les découplages et demande de plus en plus de condensateurs sur des cartes où la surface diminue constamment.

Au vu de ces évolutions, la mise en place de contraintes à la fois physiques et électriques est devenue une étape obligatoire et doit être effectuée dès la définition de l'architecture.

Les pistes deviennent tous critiques et sont souvent plusieurs milliers sur les cartes. L'étude empirique est aujourd'hui devenue impossible. Les ingénieurs ont besoin de moyens de simulation leur permettant de contraindre leur routage et de simuler l'ensemble des phénomènes (Réflexion/Diaphonie/Stabilité alimentation).

III. LES OUTILS DE CONCEPTIONS ASSISTÉ PAR ORDINATEUR (CAO)

III.1. Introduction

Les outils de conception assistée par ordinateur dédiés à l'électronique sont apparus au milieu des années 1970, lorsque des développeurs ont commencé à automatiser la conception de leurs cartes électroniques. C'est en 1981 que la CAO devient industrielle à la suite de la publication du livre « Introduction au système VLSI » [MEAD 1979] qui a permis de mettre en place des outils pouvant amener à réaliser des circuits intégrés cent fois plus complexes en facilitant le travail des concepteurs. La conception était également plus sûre, car ces outils permettaient de simuler le comportement électronique d'un circuit avant sa fabrication.

Aujourd'hui, en raison de la complexité des systèmes à concevoir, l'utilisation des outils de CAO est obligatoire dans l'industrie électronique. Chacune des phases de conception a un outil associé, de la création d'un circuit intégré à la génération des fichiers de fabrication d'un circuit imprimé. Les étapes intermédiaires sont la mise en place du schéma électrique, la définition de l'empilage du circuit imprimé, le placement des composants sur la carte, et le routage des interconnexions. Depuis quelques années, les développeurs de suites logicielles mettent en œuvre des outils de plus en plus performants permettant de simuler l'ensemble des

phénomènes d'Intégrité de Signal. Cette étape est indispensable avant l'envoi en production d'une carte électronique.

Désormais, une suite logicielle de C.A.O. se présente dans un environnement intégré (figure 30). En effet, elle s'oriente vers une fonction de suivi et d'assistance avec la mise en œuvre de processus permettant de nombreuses passerelles entre les différents outils nécessaires à la conception.

Ce type de structure permet de mettre en œuvre des protocoles de conception multiples. Cependant, les différents distributeurs proposent généralement un processus propre à leur suite logicielle.

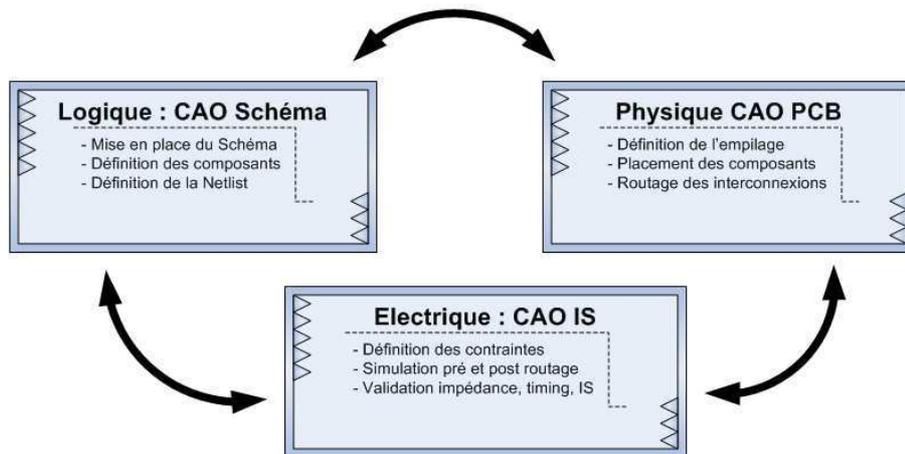


figure 30 : Environnement CAO en conception électronique

Les outils permettent de définir des contraintes dès la mise en place du schéma. Il devient effectivement possible d'associer rapidement aux signaux des contraintes de temps, de topologie, mais également de leur associer des marges électriques qu'ils doivent respecter pour éviter la non-intégrité. L'ensemble de ces contraintes est conservé et transmis tout au long du processus. Des simulations et des modifications de ces paramètres peuvent être effectuées à chaque étape, permettant par exemple d'ajuster les contraintes après l'évolution de spécifications ou encore après la modification du placement dans la phase physique. Ainsi, l'ensemble des étapes du processus doit suivre ces recommandations qui influent surtout sur la phase de routage. Il est également possible de mettre en place des routages automatiques et manuels sous contraintes.

III.2. Intégration de la simulation d'intégrité de signal dans la conception

III.2.1. Introduction

Il y a encore quelques années, il était aisé de définir les zones et les signaux critiques à simuler avant de lancer le produit en production, car ils étaient peu nombreux. On étudiait simplement les horloges et quelques signaux de reset. Aujourd'hui, avec l'augmentation des fréquences et des technologies (mémoires DDR2, signaux différentiels rapides) une grande partie des signaux devient critique.

Les outils doivent être capables de modéliser les éléments présents sur une carte ayant un impact sur l'intégrité du signal. La qualité des résultats dépend du degré de précision de l'outil. Aujourd'hui, les outils permettent de modéliser tout type d'interconnexion (lignes,

vias, ...) en prenant en compte l'ensemble des paramètres physiques et géométriques (plan d'alimentation/diélectrique/...). Ils utilisent aussi des modèles comportementaux pour caractériser les composants actifs. Sans modèle de composant passif et actif, les résultats seraient sommaires et peu représentatifs de la réalité. La validité des simulations est donc tributaire de la qualité des modèles.

III.2.2. Description du processus de conception

La figure 31 présente un processus devenu classique dans les études d'Intégrité de Signal. Le processus initial est représenté en bleu et la partie simulation y est associée en vert.

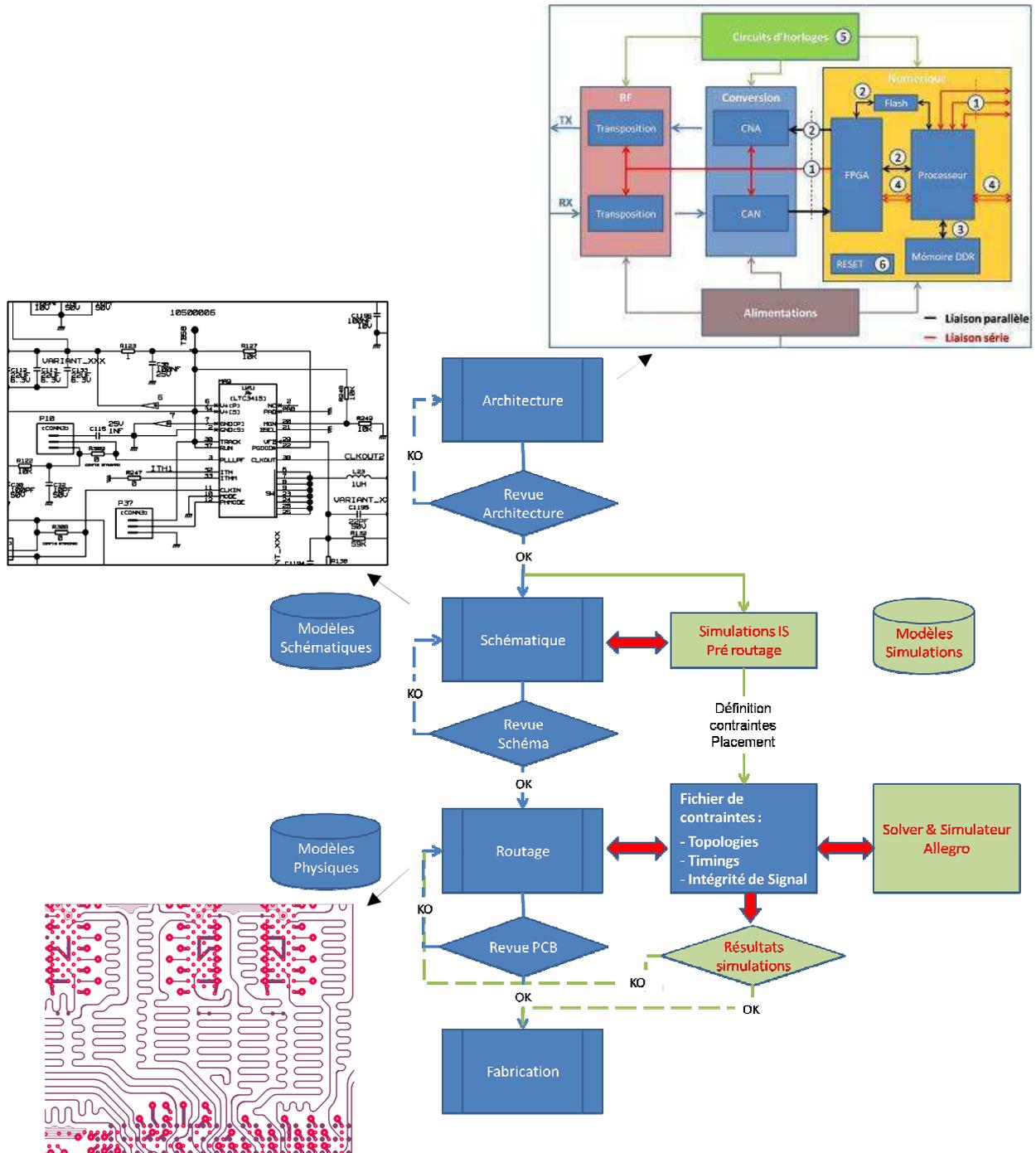


figure 31 : Description d'un processus de conception « classique »

Le rôle d'un simulateur est de proposer des solutions pour suivre la conception, depuis la mise en place du schéma électrique jusqu'à l'envoi en production. Les outils actuels permettent d'effectuer des simulations pré et post-routage et de définir des contraintes pour décrire les caractéristiques géométriques des pistes.

Les contraintes peuvent être modifiées au fur et à mesure de la conception et servent d'indicateur au moment de l'implantation du circuit imprimé. A tout moment l'outil peut indiquer si la contrainte est respectée ou non. Enfin, des simulations post-routage permettent de simuler l'ensemble de la carte, pour vérifier que les signaux sont intègres et qu'ils respectent les marges de bruit.

III.3. Les différents outils de simulation

III.3.1. Les simulateurs SPICE

Les simulateurs basés sur le noyau SPICE (Simulation Program with Integrated Circuit Emphasis) sont souvent la base de l'ensemble des outils d'Intégrité de Signal disponibles sur le marché. C'est un simulateur électrique classique qui permet l'analyse statique et transitoire des circuits non linéaires ainsi que l'analyse fréquentielle des circuits linéaires. Les circuits peuvent être composés de nombreux éléments (sources/passifs/lignes de transmission/dispositif actifs) et sont donc adaptés au contexte de l'électronique numérique.

Les développeurs CAO ont en général leur propre moteur de simulation, mais ces derniers sont quasi systématiquement de type SPICE.

Une fois les éléments linéiques (RLCG) des interconnexions caractérisées, les pistes sont modélisées sous Spice. Des simulations peuvent alors être effectuées en temporelle, fréquentielle, etc. Les éléments linéiques des pistes sont issus, en phase amont (pré-routage), de bibliothèques de lignes et de via, et permettent la mise en œuvre de simulations avant la réalisation physique de la carte. Quand on dispose d'un routage partiel ou complet du circuit, les paramètres RLCG issus de solveurs électromagnétiques sont représentatifs des pistes routées sur le PCB. De cette façon il est possible de simuler le comportement des interconnexions qui transiteront sur la carte avant son envoi en production.

III.3.2. Les simulateurs Electromagnétiques

Ce type de simulateur est indispensable à l'étude de nos cartes. Ils permettent la résolution d'équations complexes (Maxwell) à l'aide de méthodes numériques. On peut avec ces solveurs obtenir les éléments RLCG et les paramètres de couplage nécessaires à l'étude du comportement des lignes. Les données d'entrée de ces calculateurs sont les paramètres géométriques de l'empilage (répartition des couches/épaisseur des cuivres des diélectriques/permittivité/...) et des interconnexions (épaisseur/largeur/ taille de via/ ...).

Le marché propose un nombre important de produits. Le choix est difficile, car la précision des résultats dépend de la méthode utilisée. Dans ce type de simulation la précision entraîne des temps de simulation importants. Il faut alors trouver des compromis selon ce que l'on souhaite étudier.

Si on classe les simulateurs en trois catégories, on trouve :

- Les simulateurs à 2 dimensions qui ont des temps de calcul rapides en faisant l'hypothèse du mode de propagation TEM pour la troisième dimension. Ces simulateurs sont adaptés pour l'étude de signaux cadencés à des fréquences allant jusqu'à la centaine de MHz. (Ex : Maxwell 2D, TNT-MMTL).

- Les solutions 2.5D qui, à la différence du 2D, tiennent compte des discontinuités dans les lignes de la forme réelle des plans d'alimentation. Les temps de simulations sont plus importants mais permettent de faire des analyses précises sur les bus de mémoire très rapides (DDR2/DDR3) jusqu'à 1GHz. (Ex : Allegro PCB SI de Cadence).

- Enfin, on retrouve les simulateurs 3D qui vont résoudre des structures complexes comme par exemple, les vias, les boîtiers ou encore les connecteurs. Ces simulations demandent des puissances de calcul importantes et engendrent des temps très importants de simulation. Ce degré d'analyse est intéressant dans le traitement de liens séries rapides commutant à plusieurs Gigabit par seconde. (Ex : Maxwell 3D).

III.3.3. Les simulateurs pré et post-routage

Les outils présentés précédemment sont utilisés lors d'études pré et/ou post-routage. Ils permettent la mise en œuvre de nombreuses contraintes géométriques et électriques pour contrôler et simuler les différentes interconnexions durant la phase de placement routage. Les simulations pré-routage permettent une première validation des contraintes qui, considérées comme pertinentes, définissent les règles à suivre pour l'ensemble de l'implantation du PCB. Ces règles sont multiples : définition de l'empilage, assignation des signaux à une couche, leur longueur, largeur ainsi que leur topologie.

Lorsque les interconnexions sont routées sur le PCB, Il est possible d'effectuer des simulations post-routage qui vont, à l'aide des solveurs, extraire l'ensemble des paramètres RLCG des lignes, des plans et des différents couplages.

Il est ensuite nécessaire d'associer les modèles de composants passifs et actifs. Les éléments passifs sont définis par leurs éléments propres et parasites contrairement aux composants actifs qui présentent des modèles comportementaux associés aux éléments parasites des broches et du boîtier du composant.

Une fois ces informations rassemblées, il est possible d'analyser la totalité des interconnexions. Les liaisons entre les différents outils permettent, en cas de résultats ne satisfaisant pas les contraintes initialement prévues, d'extraire la topologie de la ligne routée. Il est alors possible de simuler cette topologie en modifiant les paramètres géométriques et/ou en y associant des terminaisons. Une fois les perturbations éliminées, la topologie est définie sous forme de contrainte et sert d'indicateur à la mise en œuvre des modifications à apporter au routage de façon à assurer l'intégrité des signaux.

III.4. Modèles de simulation

Le modèle des composants actifs est un des éléments les plus critiques dans le processus de simulation d'une carte électronique. Le modèle d'entrée qui va exciter la ligne est donc un paramètre crucial, aspect qui a été compris par les constructeurs de Circuits intégrés.

De part la criticité des modèles SPICE en terme de confidentialité, de nouveaux modèles « IBIS » ne comportant aucune information spécifique du constructeur et présentant de bonnes performances (rapidité d'analyse) ont été mis en œuvre. C'est ce type de modèle que nous allons utiliser pour nos simulations.

III.4.1. Modèles SPICE

Les modèles SPICE sont des fichiers de description physique des semi-conducteurs qui permettent de représenter le buffer sous forme nodale. Ils caractérisent le comportement d'un composant en continu, en fréquentiel et en transitoire.

Le modèle se compose de composants ou éléments reliés par des équipotentielles ou nœuds correspondant au réseau des connexions internes du composant. Sont également incluses dans ce type de modélisation, les informations sur la commutation des buffers ainsi que la description du boîtier. Le modèle permet de simuler le composant dans le meilleur des cas (best), dans des conditions optimales (typical) ou dans le pire des cas (worst).

Toutefois, les temps de simulations sont importants, de plus ils posent des problèmes de propriété intellectuelle. En effet, un modèle SPICE décrit la totalité de l'architecture du composant, or le distributeur ne souhaite pas partager ses connaissances. Ces points furent les éléments déclencheurs de la mise en œuvre de nouveaux modèles.

III.4.2. Modèles IBIS

Le modèle IBIS (I/O Buffer Information Specification) décrit les caractéristiques comportementales des composants actifs sans donner d'informations sur la composition interne du composant. Le premier modèle a été initié par la société Intel en 1993. Le fichier est composé principalement de courbes tension-courant V/I et tension-temps V/T définissant le comportement du buffer. Les courbes V/I permettent de caractériser les buffers de sortie et les diodes d'écrêtage dans le domaine statique. Le comportement dynamique est décrit par les valeurs des temps de commutation (rise time / fall time). Comme pour le modèle SPICE, on retrouve dans ce modèle les éléments parasites (RLC) correspondant au boîtier et à la broche du composant. Pour chaque grandeur, on dispose également de trois valeurs définies ici par Slow, Typical et Fast.

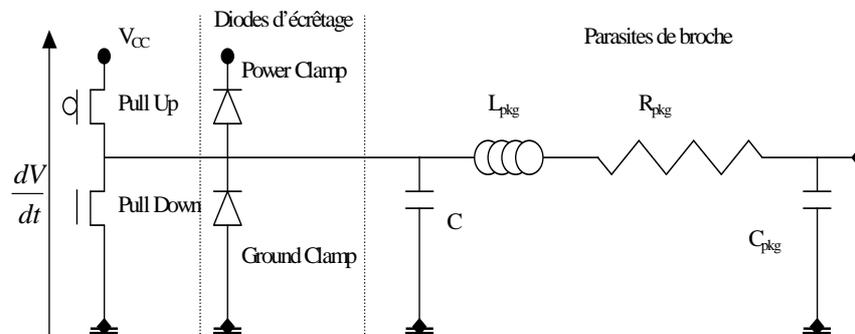


figure 32 : Modèle d'une broche de sortie

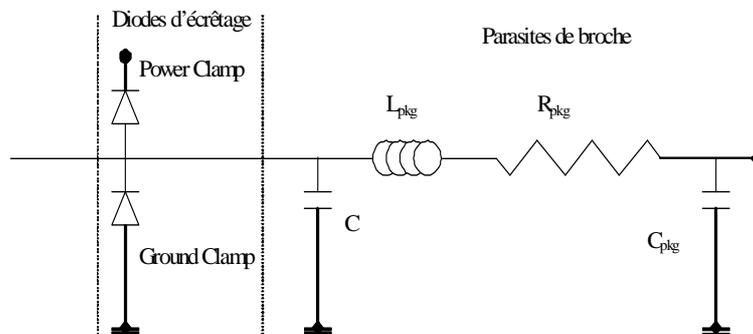


figure 33 : Modèle d'une broche d'entrée

Il s'agit donc d'un fichier décrivant le composant uniquement au travers de ses modèles de broches. Ces dernières sont toutes modélisées selon le même modèle électrique. La figure 32 et la figure 33 présentent les modèles des broches de sortie et d'entrée.

- Pull Up et Pull Down sont les transistors des buffers de sortie.
- Les diodes d'écrêtage représentent la protection aux décharges électrostatiques (ESD) des buffers d'entrées/sorties.
- C est la capacité d'entrée de la broche dans le boîtier.
- Les composants parasites sont les caractéristiques du boîtier.

Le fichier IBIS se structure en trois parties :

- Identification du composant modélisé.
- Description du composant (au travers de ses broches et des modèles associés).
- Description de chaque modèle de broche cité, avec les tables V/I correspondantes.

Le modèle IBIS présente donc des informations permettant de décrire le comportement complet des entrées/sorties des composants, sans pour autant contenir des informations sensibles. De plus il permet de mettre en œuvre des simulations rapides et compatibles avec les simulateurs actuels. Enfin, contrairement aux modèles SPICE, leur structure non confidentielle favorise leur distribution par les constructeurs.

III.4.3. Modèles HSPICE

Les cartes actuelles embarquent de plus en plus de liens séries rapides. Ces nouvelles technologies complexes nécessitent des moyens de modélisation avancés. La qualité de transmission des liens séries est qualifiée par son taux d'interférence inter-symbole. Il est donc nécessaire pour évaluer la transmission d'exciter les lignes avec des séquences de bits aléatoires importantes. La plupart des modèles ne permettent pas ce type de simulation. Donc des macro-modèles ont été mis en œuvre pour les applications multi-gigabit.

Le modèle HSPICE est la référence dans ce domaine. Ces modèles sont, comme leur nom l'indique, de type SPICE et sont cryptés pour éviter les problèmes de confidentialité. Ils permettent de mettre en œuvre des simulations complexes et de paramétrer les fonctions de préaccentuation et d'égalisation interne à ces buffers.

III.5. Conclusion

La CAO a évolué pour offrir des solutions complètes d'outils permettant de traiter les phénomènes d'intégrité de Signal. La présente étude s'appuie sur les logiciels de la suite Cadence. Ces outils sont mis en œuvre pour caractériser l'ensemble d'un système et associent à chaque élément un modèle de simulation :

- Modélisation des interconnexions, vias, plans,
- Modélisation des composants actifs et passifs.

L'utilisation de ces outils nécessite donc d'une part de maîtriser les caractéristiques géométriques des circuits imprimés, et d'autre part d'avoir des modèles de composant bien adaptés et correctement renseignés. Ainsi, il est capital d'avoir une gestion rigoureuse des modèles de composants fournis par les constructeurs. Ces modèles doivent être validés et mis à disposition du concepteur dès la mise en place de la schématique. Dans ce but, la gestion d'une bibliothèque associant le modèle de simulation à la référence du composant nous semble indispensable.

La validité et la précision des résultats obtenus en simulation dépendent fortement de la configuration et des paramètres définis. La validation des résultats demande de comprendre le fonctionnement des outils et d'analyser les méthodes utilisées dans la caractérisation des systèmes étudiés. Le paramétrage fin doit être adapté à la complexité du circuit étudié. Nous allons donc vérifier que ces outils sont adaptés à la simulation de cartes présentant une forte densité d'intégration et que les résultats de simulations sont représentatifs de ce que l'on obtient à l'aide de mesures sur le cuivre.

La mise en place de ces analyses et de ces mesures a nécessité la définition, l'étude et la réalisation d'un véhicule de test que nous allons maintenant détailler.

CHAPITRE II

DÉMONSTRATEURS DE TEST

I. INTRODUCTION

Les contraintes de densité et la complexité des cartes réalisées aujourd'hui ne nous permettent pas de réaliser des études a posteriori sur l'allure des signaux temporels véhiculés. Dans ces conditions, il est impossible de valider nos méthodologies d'étude et de simulation, il en est de même pour la validation d'outils d'intégrité de signal utilisés pour le contrôle de nos circuits. La mise en œuvre d'un véhicule de test (VT) est donc capitale et nous permettra d'avoir un retour sur expérience et d'évoluer dans nos règles et méthodologies de conception.

Une première étude a tout de même été possible avec la mise à disposition du cuivre nu d'un produit conçu dans le service. Ce dernier ne permet pas de valider les outils de simulation ou d'étudier nos signaux temporels, mais il rend possible l'étude des impédances caractéristiques. Cette carte, décrite par la suite, permet donc d'étudier le respect des tolérances du constructeur dans la fabrication du circuit imprimé et l'impact d'un routage à haute densité d'interconnexions sur la valeur de l'impédance caractéristique des pistes.

Une première partie décrira l'architecture et les motifs de tests qui ont été implantés sur le Véhicule de Test. La deuxième partie s'intéressera brièvement au produit utilisé comme support à l'étude des impédances caractéristiques.

II. ÉTUDE SUR VÉHICULE DE TEST

Le VT nous sert à évaluer les différents outils et modèles de simulation et à juger s'ils sont adaptés à l'étude des circuits à haute densité d'interconnexions. Pour répondre à cela il est essentiel que le démonstrateur soit représentatif des cartes conçues dans le service. Il doit donc présenter le même type d'empilage (12 couches) avec des technologies de composant (BGA), des techniques de routage équivalentes (μ via) et une densité importante d'interconnexions.

II.1. Objectifs

Cette carte permettra de :

- corrélérer les mesures avec les simulations effectuées avec les outils de CAO,
- optimiser le paramétrage des différents outils logiciels,
- valider les règles de conception,
- définir des indicateurs d'aide à la conception,
- définir un processus et des règles de conception.

Chaque phénomène d'Intégrité de Signal et l'étude des liens séries rapides doivent être traités et mis en œuvre sur le démonstrateur.

II.2. Définition de l'architecture

Pour réaliser une carte représentative, nous avons choisi d'implanter deux FPGA Altera stratixIIGX, composant nouvelle génération comprenant une matrice de 1152 pins et permettant l'implantation de 12 liens séries rapides. L'interfaçage de 2 FPGA de ce type autorise d'implanter :

- Plus de 24 scénarios de liens série rapides (3,125 Gb/s),
- De nombreux scénarios de diaphonie, de SSN et de réflexion (plus de 450 i/o),
- Des scénarios sur la consommation (6 potentiels différents),

- Les buffers IO peuvent être paramétrés avec des technologies et des niveaux de tension différents.

La gestion d'une telle matrice entraîne une architecture complexe dans la gestion des alimentations et des horloges. En outre, il faut intégrer une mémoire de chargement à chaque FPGA. La partie interface utilisateur doit être judicieusement définie pour faciliter l'exécution de nombreuses actions dans la configuration de la carte ou dans la sélection de scénarios. Enfin, il faudra prévoir les moyens d'accès à la mesure.

La figure 34 présente l'architecture générale de la carte.

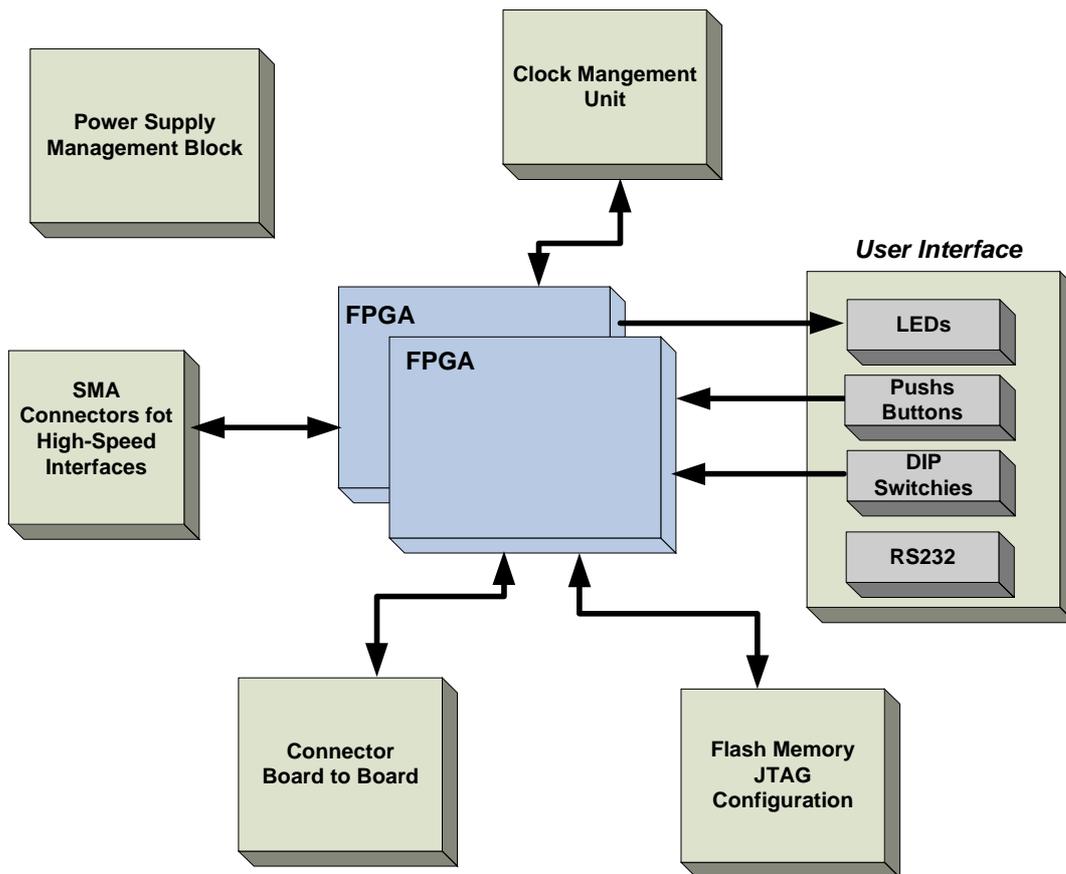


figure 34 : Architecture Véhicule de test

II.2.1. Arbre d'alimentation

La figure ci-dessous (figure 35) présente les différents niveaux de tension et de courant indispensables au bon fonctionnement de cette carte, ainsi que le choix d'architecture.

La complexité de l'arbre provient des liens séries rapides qui nécessitent des tensions linéaires bien particulières et ayant de forts appels de courant (V_{cch} / V_{cct} / $V_{c cr}$ / $V_{c cl}$). Il faut ensuite alimenter les cœurs ($V_{c cint}$) et les entrées/sorties ($V_{c cio}$) des FPGA avec des courants permettant de faire fonctionner les composants à leur capacité maximum. Enfin, une tension est nécessaire pour la partie « interface utilisateur » et également pour la partie horloge ($V_{c ca}$) qui devient également complexe avec la mise en place de liens multi-gigabits.

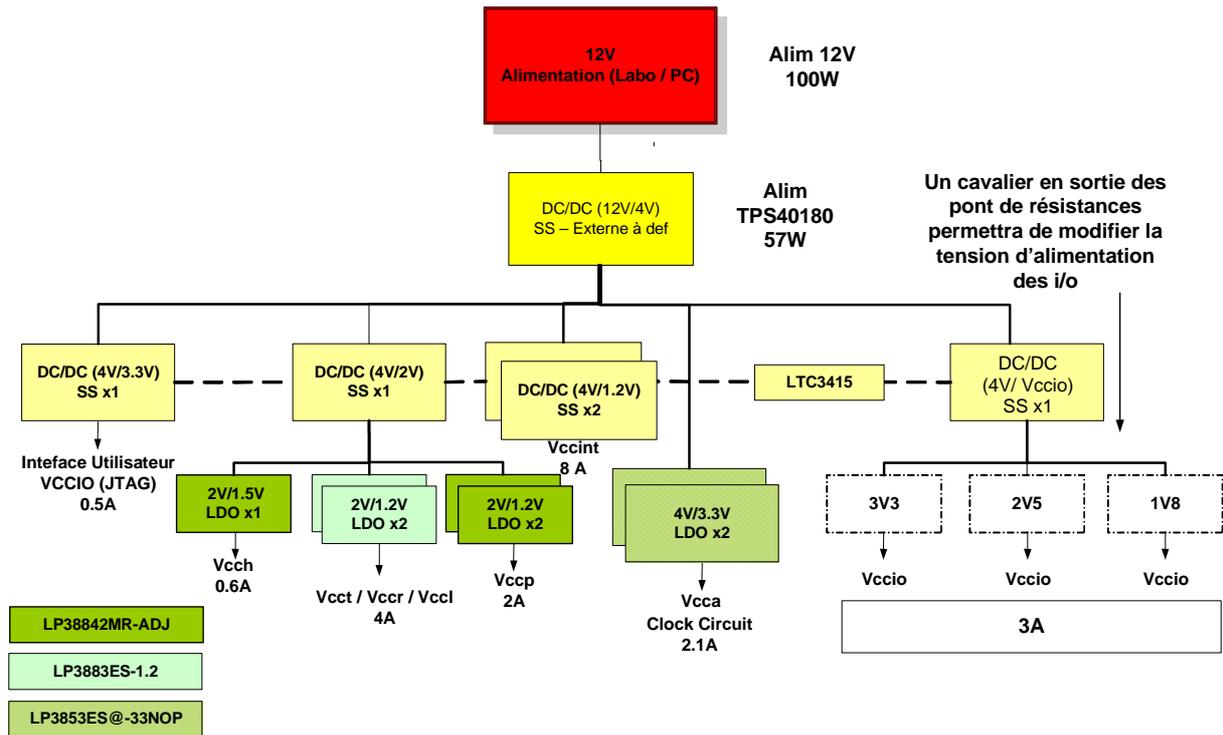


figure 35 : Arbre d'alimentation

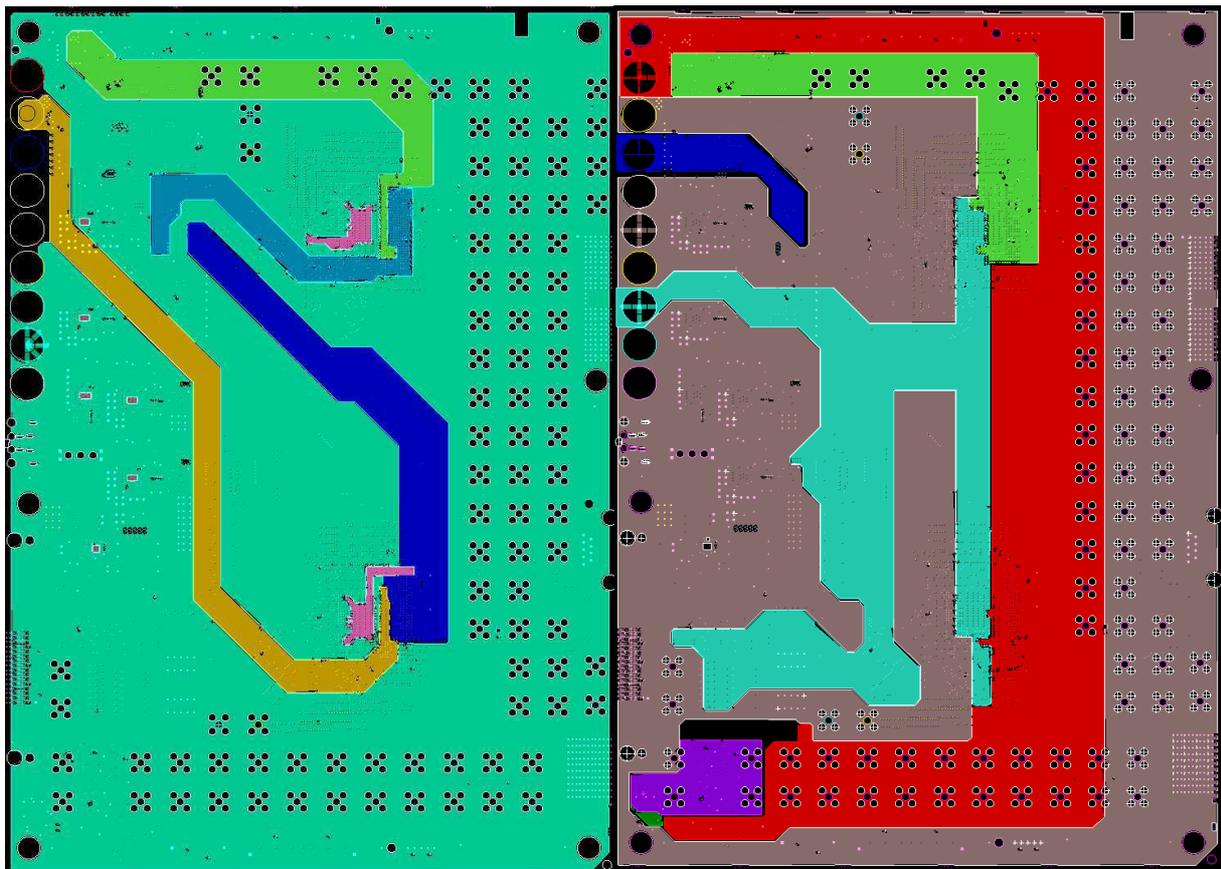


figure 36 : Répartition des différents potentiels sur les plans d'alimentation

Cette partie est donc complexe et mérite une attention particulière, tant au niveau schéma qu'au niveau routage. L'implantation d'une telle architecture nécessite la mise en œuvre de 6

alimentations à découpage et 7 alimentations linéaires, sans oublier les nombreux composants passifs pour découpler en entrée et en sortie les différents étages de conversion.

La disposition de ces composants sur le PCB est critique et véhiculer ces potentiels demande la réalisation de plans partiels. Le circuit imprimé prévoit 4 couches pour implanter les différentes tensions. La figure 36 présente 2 des 4 couches d'alimentation sur lesquelles on peut observer de nombreux îlots. Les découpes sur ces deux couches font apparaître 9 potentiels différents. Dans un souci d'intégrité une couche complète est associée au GND.

II.2.2. Arbre d'horloge

Le bloc horloge (figure 37) est également complexe à mettre en œuvre compte tenu de la qualité nécessaire à ces signaux. De plus l'implantation des liens rapides, demande, si l'on souhaite établir plusieurs protocoles, des fréquences variées.

Il est nécessaire d'avoir une horloge de fréquence 50 MHz pour l'ensemble des I/O et deux références d'horloge pour chacun des blocs de distribution des signaux d'horloge (1 vers 8) permettant de générer des liens séries rapides.

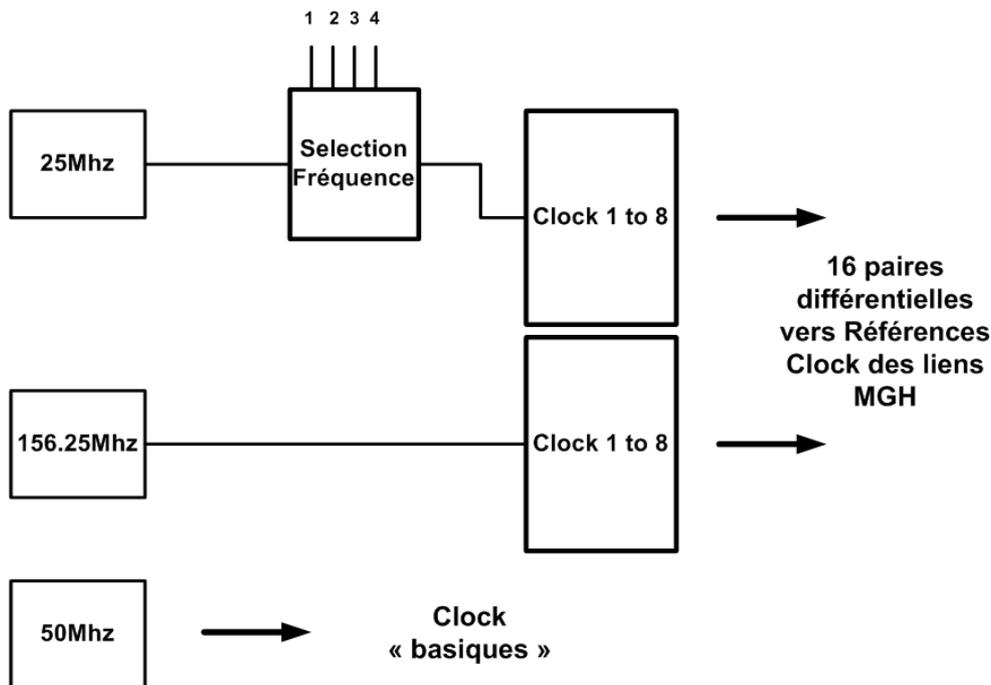


figure 37 : Arbre d'horloge

Les composants utilisés pour la distribution et la sélection d'horloge sont choisis de manière à introduire des variations de phases (Jitters) minimales. L'implantation des paires différentielles est contrainte de manière à obtenir les références les plus propres possibles.

II.2.3. Empilage du circuit imprimé

La définition de l'empilage du circuit imprimé (Stackup) est importante pour contrôler les impédances caractéristiques des pistes en fonction des couches où elles seront routées et de leur largeur (figure 38).

L'empilage comprend 12 couches : deux niveaux de micro-vias sur les couches supérieures et inférieures et 8 couches standards en interne (2+X+2).

Layer	Type	Thickness (mm)	Dielectric	Loss Tangent	Width (mm)	Impedance (Ohm)	Spacing (mm)	DIFZo
Top	Conductor	0,04	1		0,13	101,5	0,13	130
	Dielectric	0,075	3,6					
Int2	Conductor	0,04	3,6		0,13	73,5	0,15	103
	Dielectric	0,07	3,6					
Int3	Conductor	0,04	3,6		0,13	47	0,3	87,6
	Dielectric	0,08	3,6					
Int4	Plane	0,035	3,6					
	Dielectric	0,25	3,7					
Int5	Plane	0,035	3,6					
	Dielectric	0,2	3,9					
Int6	Conductor	0,017	3,9		0,1905	57,5	0,29	104
	Dielectric	0,25	3,9					
Int7	Conductor	0,017	3,9		0,13	67	0,15	104
	Dielectric	0,2	3,9					
Int8	Plane	0,035	3,6					
	Dielectric	0,25	3,7					
Int9	Plane	0,035	3,6					
	Dielectric	0,08	3,6					
Int10	Conductor	0,04	3,6		0,13	47	0,3	87,6
	Dielectric	0,07	3,6					
Int11	Conductor	0,04	3,6		0,13	73,5	0,3	124,5
	Dielectric	0,075	3,6					
Bottom	Conductor	0,04	1		0,13	101,5	0,13	130

figure 38 : Empilage du PCB

La définition des épaisseurs de diélectrique nous permet d’obtenir sur chaque couche une impédance de piste simple à 50 Ohm et de piste différentielle à 100 Ohms. Pour cela il faut simplement placer des plans partiels de masse sur les couches externes et/ou modifier la largeur du conducteur ou l’espace entre les lignes dans le cas d’une paire.

II.3. Définition des scénarios

Cette partie présente pour chaque phénomène d’intégrité de signal abordé la description des scénarios mis en œuvre.

II.3.1. Réflexion

La mesure et la simulation des phénomènes de réflexion sont aujourd’hui assez bien connues et maîtrisées. Cependant quelques scénarios ont été réalisés pour des signaux que l’on considère comme « classiques » (50-100 MHz / LVTTTL –LVCMOS).

- Impact de l’accessibilité sur des signaux (stub dû au point de mesure),
- Impact de la sonde sur le signal,
- Impact d’une désadaptation due à un passage d’un signal dans un connecteur.

Cela, nous permettra de faire une validation des simulations et des modèles, mais également de progresser sur la modélisation des connecteurs dans les simulations carte à carte.

De plus, il est nécessaire de voir l’impact qu’engendre un point de mesure (stub) sur l’allure des signaux. Aujourd’hui des règles proscrivent l’accessibilité à la mesure et donc complexifient l’étape de mise au point des cartes.

II.3.2. Diaphonie

La partie diaphonie est importante et permet de simuler les scénarios de la figure 39 avec différentes distances d’isolement (W) et différentes longueurs de couplage (L). Les pistes bleues représentent les agresseurs et les pistes rouges les victimes.

Ces scénarios sont implantés dans les couches internes et externes quand cela est possible. La mise en place des motifs de test représente le routage de plus de 160 interconnexions.

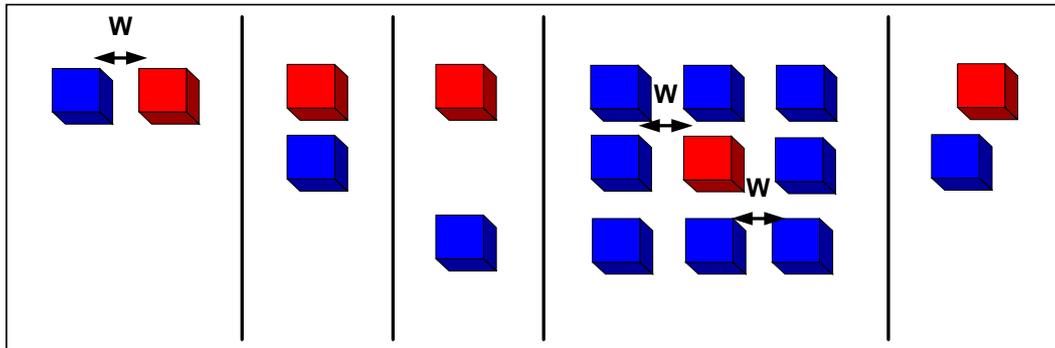


figure 39 : Scénarios pour l'étude de la diaphonie

Pour la mesure des tensions perturbatrices, le démonstrateur permet d'analyser la diaphonie NEXT et FEXT. Les points de mesure sont placés au plus près des FPGA et des points de masse sont implantés de façon à avoir un accès optimal à la mesure. Pour éliminer les effets de couplage au-delà de la longueur L , nous avons tenté de mettre en œuvre une règle (90°) permettant d'éloigner les pistes au maximum (figure 40). Cependant, la densité d'interconnexion nous a empêchée de respecter cette contrainte dans la plupart des cas.

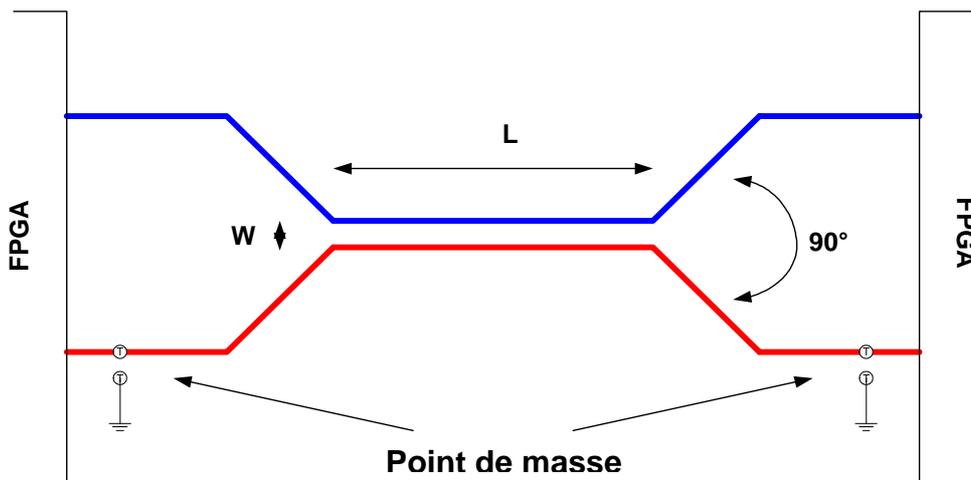


figure 40 : Représentation des règles pour le routage d'un couplage

Ces scénarios permettent d'étudier la validité des outils de simulation. De plus, les motifs mis en œuvre représentant une liste quasi-exhaustive des couplages pouvant exister sur une carte, nous pourrions précisément évaluer les points forts et les limitations de l'outil. Enfin, on pourra définir les règles à suivre pour minimiser les phénomènes de couplage sur les cartes.

II.3.3. Bruits de commutations simultanées

Pour pouvoir étudier ce phénomène nous avons utilisé 80 signaux inter-FPGA permettant de mettre en œuvre 8 scénarios (figure 41). 76 signaux sont définis comme agresseurs et 4 comme victimes.

L'interface utilisateur active les signaux 10 par 10. Nous pourrions donc observer l'évolution des niveaux de tensions sur les victimes en fonction du nombre d'agresseurs qui commutent simultanément.

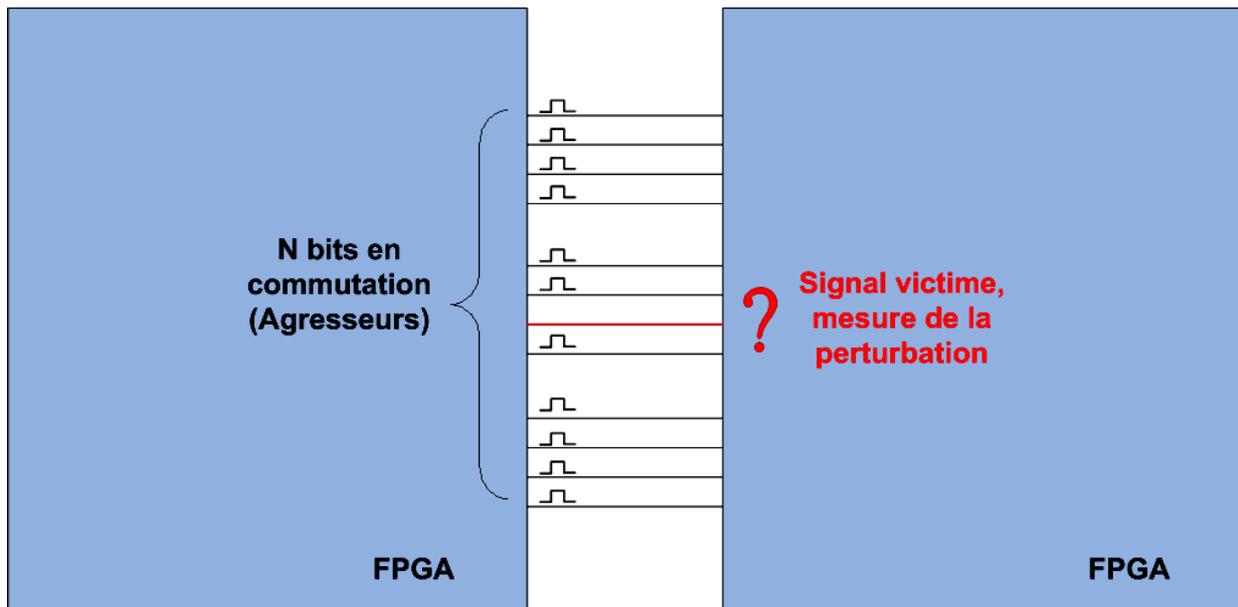


figure 41 : Scénarios pour l'étude du SSN

Comme pour la diaphonie, les mesures sont effectuées en début ou en fin de ligne. Des règles pourront émerger comme par exemple, le nombre de signaux commutant simultanément à ne pas dépasser.

Enfin, ce scénario permettra de faire des études couplées avec le découplage des plans de masse et d'alimentation. En fonction du dispositif mis en œuvre sur le démonstrateur, nous observerons et quantifierons l'impact sur le SSN.

II.3.4. Stabilité des alimentations

Les études d'intégrité des alimentations se basent sur 2 principaux potentiels : VCCIO représentant le potentiel des I/O et VCCINT pour l'alimentation des cœurs des FPGA. Le démonstrateur est prévu pour que le découplage des hautes fréquences soit réalisé par des condensateurs céramiques (MLCC : Multi-Layer Ceramic Capacitor) et des condensateurs à trois broches présentant une faible inductance intrinsèque (X2Y). Une fois l'estimation du découplage effectuée, nous implanterons plusieurs scénarios (figure 42) :

- Découplage au niveau des broches d'alimentation avec des condensateurs MLCC,
- Découplage au niveau des broches d'alimentation avec des condensateurs X2Y,
- Découplage du plan soit autour du composant actif avec des condensateurs MLCC,
- Découplage du plan soit autour du composant actif avec des condensateurs X2Y.

L'étude nous permet de valider le fonctionnement de l'outil en pratiquant des mesures sur le cuivre nu à l'aide d'un analyseur de réseau vectoriel (VNA) et de les confronter avec des simulations de l'impédance du plan dans le domaine fréquentiel. De plus, le cuivre nu pourra servir de support à la caractérisation des condensateurs.

L'étude du cuivre nu permet aussi d'étudier l'efficacité d'un découplage « plan » et celui du « composant ». Deux connecteurs SMA sont implantés sur les deux potentiels étudiés pour effectuer ce type de mesure.

Le véhicule de test rend également possible l'étude de l'ondulation de tension sur la carte en fonctionnement. Chacune des stratégies de découplage peut être implantée. De cette manière leur efficacité pourra être évaluée en fonction de la qualité des niveaux de tension obtenus.

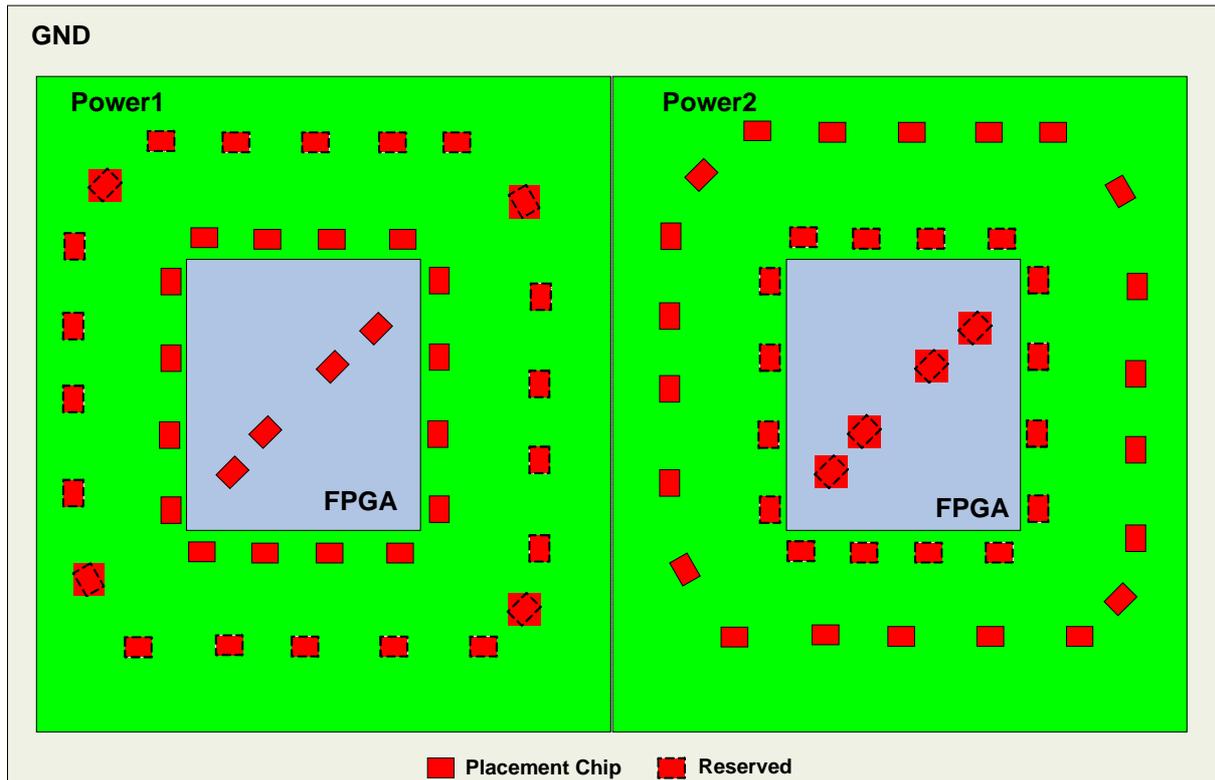


figure 42 : Scénarios pour l'étude des masses / alimentations

Pour finir, des mesures de courant peuvent être effectuées pour quantifier le courant dynamique consommé par les entrées/sorties et le cœur du FPGA. Pour obtenir différents niveaux de consommations, le VT permettra de faire varier, à l'aide de commandes, l'activité du cœur du FPGA et le nombre d'I/O qui commutent.

II.3.5. Liens séries rapides

La multitude de liens présents sur chaque FPGA permet de mettre en œuvre un nombre important de scénarios. La figure 43 présente la répartition globale des liens en fonction de ce que l'on souhaite étudier.

- Désadaptation : impact de la longueur (pertes), de la largeur de la piste, d'une désadaptation (changement de couche), d'un déphasage entre les signaux de la paire, de la valeur de l'impédance différentielle (75Ω / 100Ω / 125Ω).
- Impact de la mesure : mise en place de différentes longueurs de Stub que peut entraîner le placement d'un point de mesure.
- Impact des vias : μ via / via enterré / via traversant.
- Diaphonie : étude de la sensibilité de ces paires différentielles.
- Technique de préaccentuation et d'égalisation : un lien Inter-FPGA.
- L'impact de connecteurs carte à carte et fond de panier : trois de chaque présentant des performances différentes (Classique/Avancé/Expert).

L'accès à la mesure se fera principalement par des connecteurs SMA. Cela permet de faire des mesures propres sans entraîner de perturbations (stub / pastille / via) sur les signaux ce qui risqueraient de biaiser nos analyses.

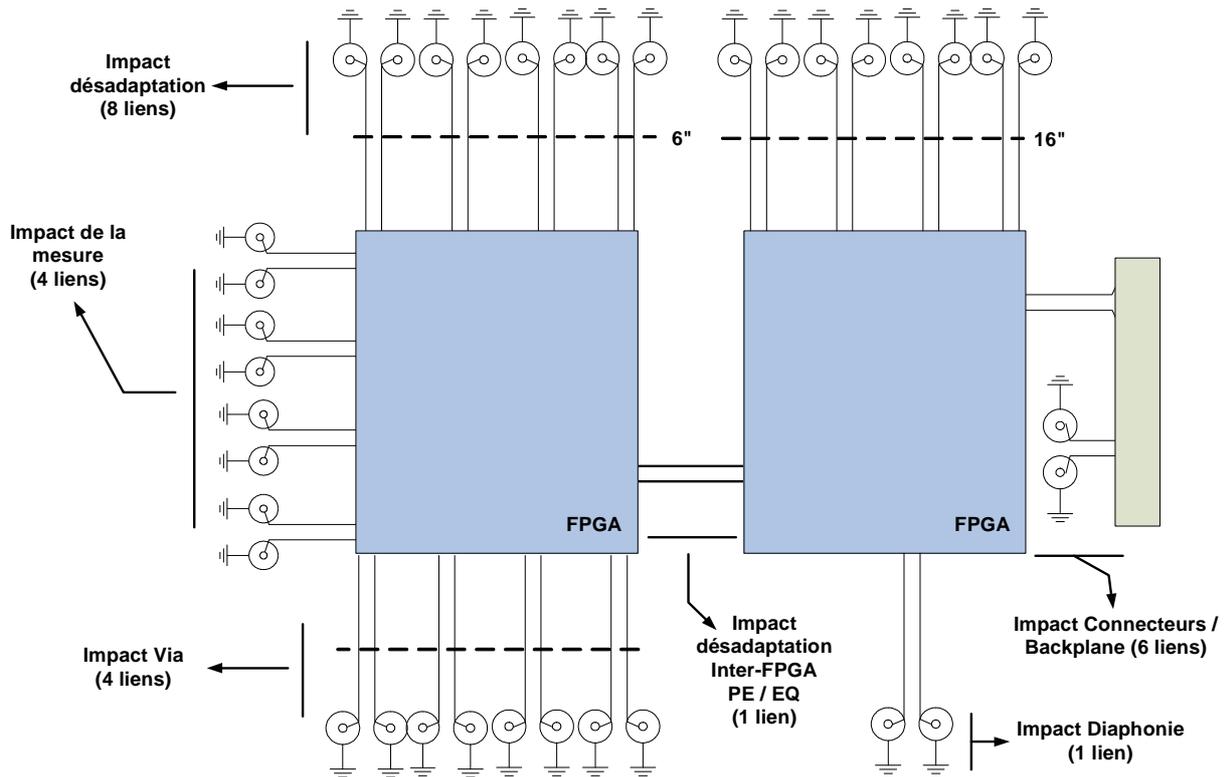


figure 43 : Scénarios pour l'étude des liens MGH

III.ÉTUDE D'UN PRODUIT RÉEL

La carte utilisée pour l'étude des impédances est complexe et à haute densité d'interconnexions. Elle a été créée dans un environnement industriel avec des contraintes de densité et de conception réelles. Cette densité est illustrée par la figure 44 qui représente la vue d'une portion (180 cm²) de la carte. Les cadres jaunes mettent en évidence la présence de 5 FPGA de 1000 et 1500 broches ; les cadres rouges présentent 12 mémoires DDR2.

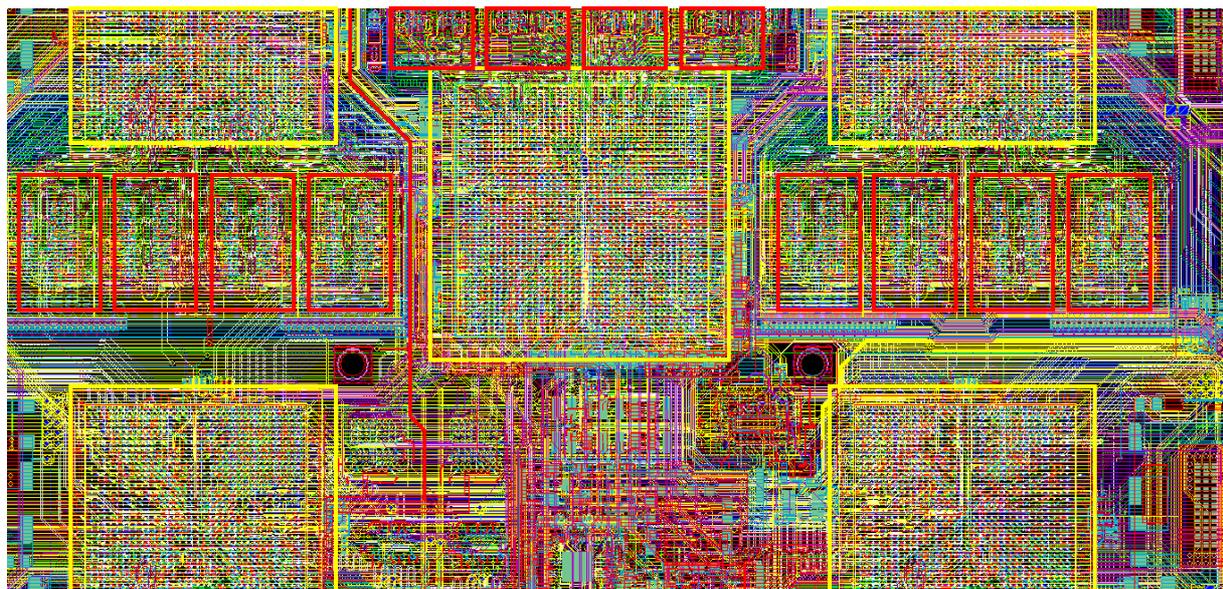


figure 44 : Vue CAO d'une portion de la carte produit - Composants + Signaux

Si on observe la même portion mais sans la superposition des pistes, on peut noter la densité importante de composants présents sur le cuivre (figure 45). Les zones jaunes représentent les composants sur la couche supérieure du circuit imprimé (Top), les zones blanches représentent les composants sur la couche inférieure du PCB (Bottom).

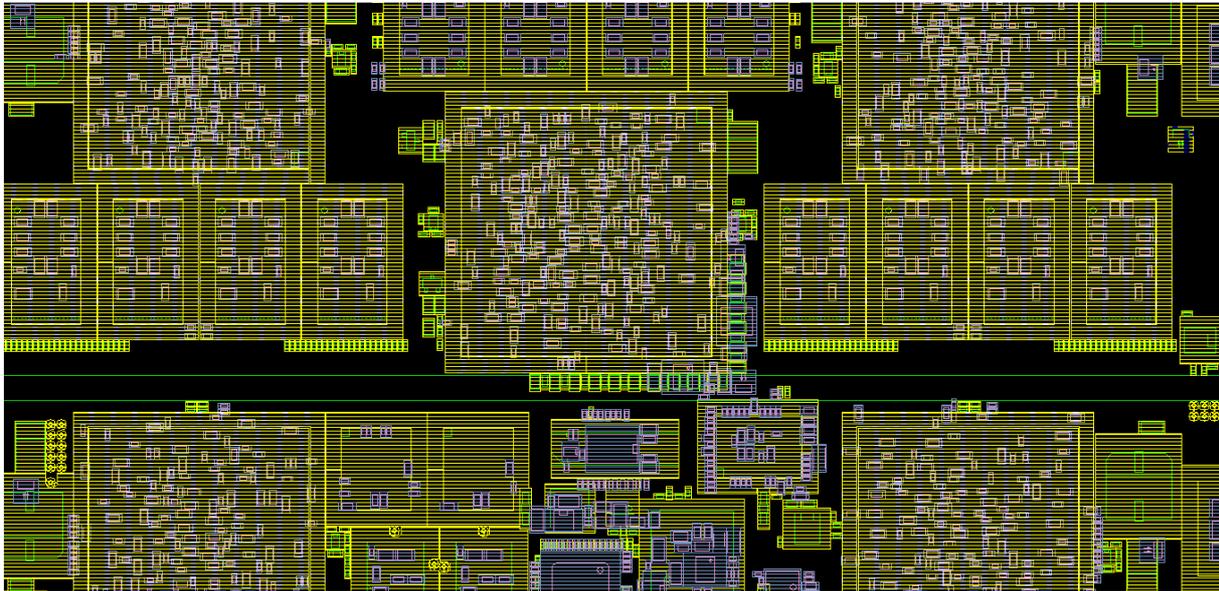


figure 45 : Vue CAO d'une portion de la carte produit - Composants

Le tableau 5 regroupe quelques données concernant ce produit industriel. La carte comprend un empilage de 14 couches conçu en technologie microvia (3+X+3) avec un routage de classe 6, soit une largeur minimale des pistes de 120 μm . On retrouve sur cette carte plus de 4000 équipotentielles sur une surface A4. Elle comporte plus de 50 BGA pouvant avoir jusqu'à 1500 broches. On y trouve des liaisons multiples : Gigabit Ethernet, LVDS 200 MHz, DDR2 400 MHz. Cette carte a été conçue et simulée à l'aide des outils CAO de la suite Cadence.

Surface	Nombre composants	Nombre couches	Nombre Nets	Classe de routage
653 cm^2	3961	14	4191	6 (120 μm)

tableau 5 : Quelques chiffres du produit

Ce circuit a demandé, de par sa complexité, une attention particulière sur l'intégrité des signaux. Il a nécessité la mise en œuvre d'un empilage à impédance contrôlée, l'étude de topologie de nombreux bus, la mise en place de lignes à retard pour l'ensemble des interfaces DDR2, l'adaptation des signaux à l'aide de plans de masse partiels et l'isolement de signaux rapides dans des guides d'onde. De plus, des simulations de pré et post-routage ont été effectuées pour étudier le phénomène de réflexion ainsi que la stabilité des alimentations.

Les technologies mises en œuvre apparaissaient comme nouvelles et l'effort développé dans l'étude de l'intégrité des signaux fut très important. Un retour d'expérience sur les méthodologies employées et les structures développées semble donc nécessaire pour pouvoir capitaliser. L'accessibilité aux différents signaux étant nulle, nous avons choisi d'étudier le cuivre sans composant, support qui est adapté à l'étude des impédances caractéristiques.

IV. CONCLUSION

La création d'un véhicule de test fut nécessaire pour étudier l'ensemble des phénomènes d'intégrité de signal et une carte « produit » a pu servir de support à l'étude des impédances caractéristiques des pistes.

Quatre cartes du véhicule de test ont été fabriquées et câblées. Les scénarios présentés dans ce chapitre sont implantés et activables à l'aide d'une interface pilotant la liaison série.

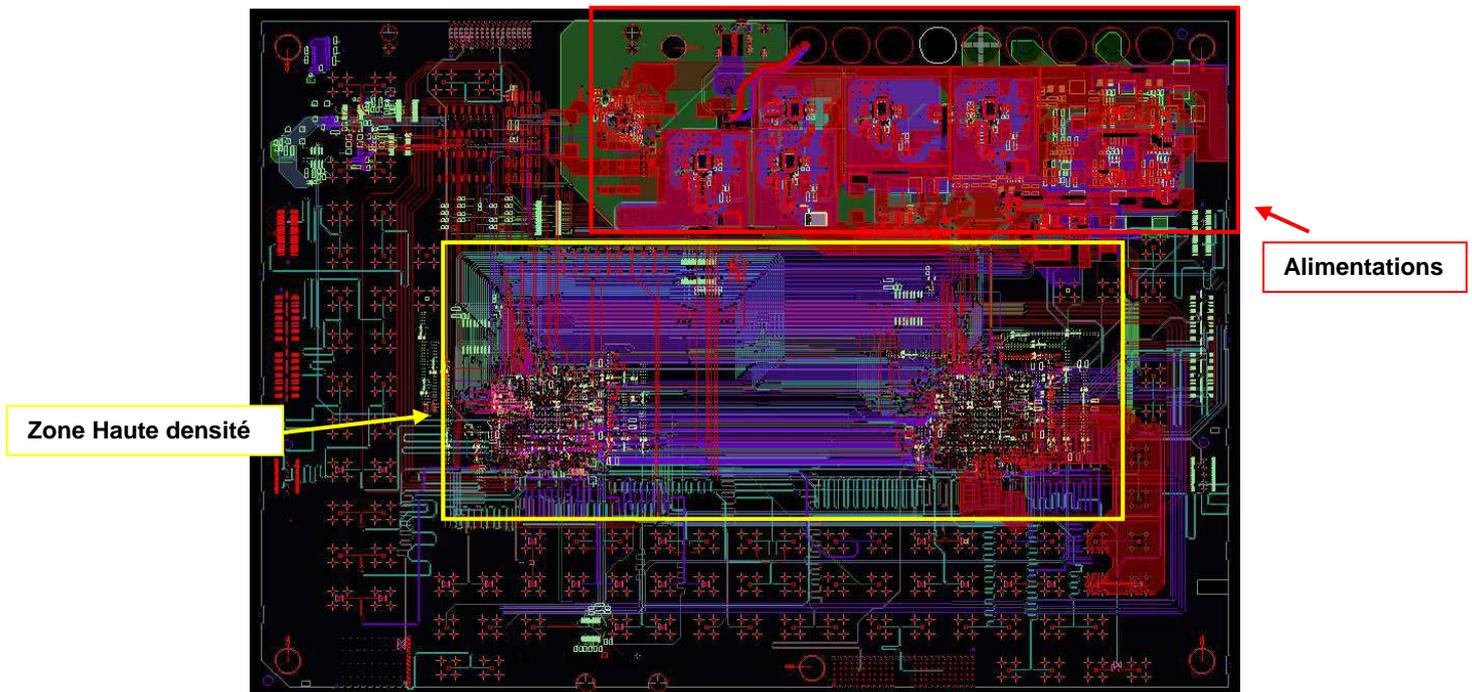


figure 46 : Vue du PCB en CAO

Ce véhicule de test nous permet de mettre en œuvre et de mesurer l'ensemble des phénomènes d'intégrité de signal. De plus, il embarque des technologies de liens séries rapides complexes. Mais surtout il présente des contraintes proches de celles que l'on rencontre dans le service (figure 46) ; zones de haute densité d'interconnexions, architecture d'alimentation complexe, composant BGA ayant des matrices importantes (> 1100 broches), signaux rapides (3,125 Gb/s), nombreux potentiels d'alimentation.

Quelques données :

Surface	Nombre références	Nombre composants	Composants Num/Ana	Composants RLC	Connecteurs	Composants divers
792 cm ²	132	2171	40	1497	157	477
Nombre couches	Couches signaux	Nombre équipotentiels	Longueur Net totale	Classe de routage	Nombre connexions	Nombre vias
12	8	854	107,32 m	6 (120 μm)	8851	8809

tableau 6 : Chiffres clés du véhicule de test

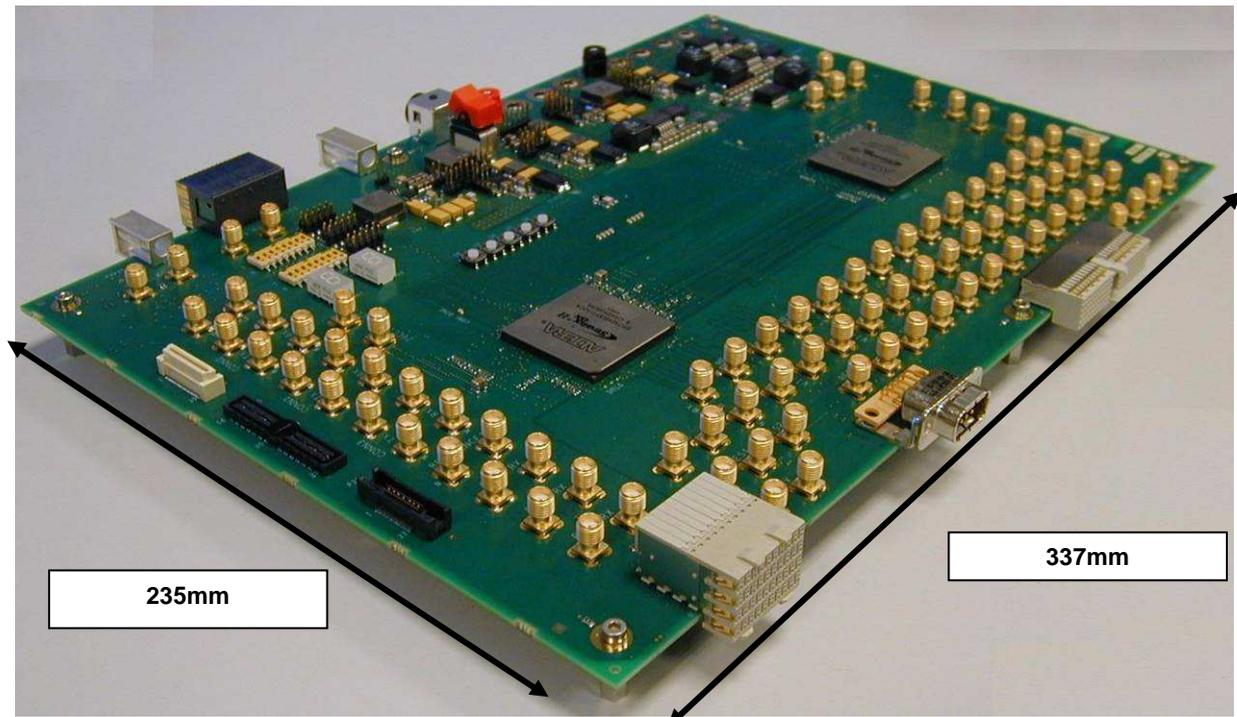


figure 47 : Véhicule de test

De la définition de l'architecture à la programmation des FPGA, la conception de cette carte présentée à la figure 47 a été effectuée en 13 mois. Le développement de ce démonstrateur a respecté les étapes de conception et l'ensemble des processus décrits dans le service. Cette partie permet d'avoir une bonne appréhension des protocoles de conception, ce qui est nécessaire dans la définition d'un processus associé à l'intégrité de signal.

Ce véhicule de test autorise la réalisation de nombreuses études et pourra être utilisé comme support dans le futur, bien au-delà du cadre de cette thèse, à la fois pour l'étude de nouveaux outils de simulation, le développement de nouvelles règles, et comme outil d'aide à la conception.

**CHAPITRE III
ÉTUDE DES IMPÉDANCES
CARACTÉRISTIQUES ET DE LA
RÉFLEXION SUR LES LIGNES**

I. INTRODUCTION

L'augmentation des vitesses d'horloge amplifie les phénomènes introduits par les désadaptations et réduit sensiblement les marges nécessaires pour le respect des timings. Les effets de la désadaptation dépendent des temps de montée et de descente du signal, de la longueur de la piste et des adaptations d'impédance [AMEDEO 2008] [KIMMEL 2002]. Ils dépendent aussi des variations d'impédance liées au routage des pistes [KIM 2001] [NEU 2003]. Afin de maîtriser au mieux les caractéristiques d'une piste, les changements de couche sont localisés aux extrémités et la plus grande partie de la piste est routée sur une couche dont l'impédance caractéristique Z_0 est maîtrisée. Cela impose de définir l'empilage du circuit imprimé en spécifiant précisément les épaisseurs des diélectriques, la largeur des pistes et la présence d'un plan de fermeture. Une fois le placement des composants effectué, il faut définir et calculer les adaptations de ligne [SRINIDASAGAM 2007]. De plus, le respect des contraintes de délai impose la mise à longueur des bus rapides [CHAO 1993].

La mise en place de ces étapes permet de maîtriser la topologie des lignes critiques et donc l'allure des signaux. Dans ce chapitre, l'étude porte sur une carte industrielle réelle et l'analyse est effectuée a posteriori. À partir des spécifications réalisées, nous étudions l'évolution de la valeur des impédances caractéristiques due au routage et à la fabrication.

Nous avons mené une étude complète sur la maîtrise de l'impédance caractéristique des pistes, depuis la mise en place de l'empilage jusqu'à la mesure sur cuivre, en passant par des analyses effectuées en utilisant des outils de simulation IS et de calcul 2D et 3D.

- Une première partie est consacrée à la définition de l'empilage.
- Dans un deuxième temps, nous présentons l'impact de la fabrication sur la valeur de l'impédance caractéristique par une étude de coupons et de micro-sections.
- Ensuite, nous détaillerons une étude de l'impact d'un routage haute densité (HDI) sur l'impédance caractéristique des pistes.
- Les résultats de ces études sont validés par une campagne de mesure réalisée sur la carte finale par réflectométrie à l'aide d'un TDR (Time Domain Reflectometer).
- Enfin, nous étudions comment l'outil de simulation prend en compte les différents paramètres liés aux caractéristiques du routage, et nous montrerons par des simulations l'impact des désadaptations sur la qualité des signaux.

II. CARACTÉRISATION DE L'EMPILAGE

Aujourd'hui le terme impédance contrôlée pour les pistes est de plus en plus ancré dans la conception de circuits imprimés (PCB) [POLAR 2000] [HALFORD 2005].

Mettre en place un empilage à impédance contrôlée nécessite une définition précise des paramètres de l'empilage. Il faut définir les diélectriques à utiliser avec le fabricant de circuit imprimé et préciser pour chaque couche la permittivité (ϵ_r) et l'épaisseur (t). En choisissant précisément ces paramètres et en spécifiant la largeur usuelle de la piste (W) et la distance par rapport au plan (H), il est possible d'obtenir un empilage avec une impédance caractéristique de piste définie sur chacune des couches [ALTIUM 2006]. Le choix de la valeur de ces impédances dépend des contraintes de conception liées à l'architecture (exemple pour un bus PCI : impédance caractéristique des pistes de 65Ω).

Le choix d'impédance sur l'ensemble de la carte est de $Z_0=50 \Omega$ pour les lignes référencées à un plan de retour, et $Z_{diff}=100 \Omega$ pour les lignes différentielles. La figure 48 présente les caractéristiques de l'empilage pour les couches externes en présence d'un plan de fermeture ; la figure 49 détermine l'empilage sans plan de fermeture. Les impédances caractéristiques définies sous Allegro PCB SI sont listées dans le tableau 7. La colonne Dielectric Constant définit la permittivité relative des couches de diélectrique. Pour les plans INT2 et INT3, elle définit la permittivité relative du diélectrique dans les zones où il n'y a pas de cuivre.

Subclass Name	Type	Material	Thickness (MM)	Conductivity (mho/cm)	Dielectric Constant	Loss Tangent	Negative Artwork	Shield	Width (MM)	Impedance (ohm)
	SURFACE	AIR			1.000000	0				
TOP	PLANE	COPPER	0.03048	595900	1.000000	0	<input type="checkbox"/>	<input checked="" type="checkbox"/>		
	DIELECTRIC	FR-4	0.0762	0	3.600000	0.035				
INT2	CONDUCTOR	COPPER	0.035	595900	3.600000	0	<input type="checkbox"/>		0.1200	43.367
	DIELECTRIC	FR-4	0.0711	0	3.600000	0.035				
INT3	CONDUCTOR	COPPER	0.035	595900	3.700000	0	<input type="checkbox"/>		0.1200	49.09
	DIELECTRIC	FR-4	0.1168	0	3.800000	0.035				
INT4	PLANE	COPPER	0.035	595900	4.500000	0	<input type="checkbox"/>	<input checked="" type="checkbox"/>		

figure 48 : Empilage des couches externes avec plan

Subclass Name	Type	Thickness (MM)	Dielectric Constant	Loss Tangent	Shield	Width (MM)	Impedance (ohm)	Coupling Type	Spacing (MM)	DiffZ0 (ohm)
	SURFACE		1.000000	0						
TOP	CONDUCTOR	0.03048	1.000000	0		0.3000	77.915	NONE		
	DIELECTRIC	0.0762	3.600000	0.035						
INT2	CONDUCTOR	0.035	3.600000	0		0.1200	80.992	EDGE	0.1200	101.76
	DIELECTRIC	0.0711	3.600000	0.035						
INT3	CONDUCTOR	0.035	3.700000	0		0.1200	58.409	EDGE	0.2000	98.547
	DIELECTRIC	0.1168	3.800000	0.035						
INT4	PLANE	0.035	4.500000	0	<input checked="" type="checkbox"/>					

figure 49 : Empilage des couches externes sans plan

Couche	Avec Plan	Sans Plan	
	Z_0	Z_0	Z_{diff} (espacement)
Int2	43 Ω	81 Ω	102 Ω (120 μm)
Int3	49 Ω	58 Ω	99 Ω (200 μm)

tableau 7 : Récapitulatif des impédances de l'empilage

La cohabitation de pistes simples et de pistes différentielles impose la mise en place de plans de masse partiels, notamment sur les couches Top ou Bottom pour respecter les contraintes d'impédance. La figure 48 montre en effet qu'il est nécessaire d'implanter des plans de masse en couche Top pour respecter la contrainte d'impédance à 50 Ω .

Afin d'optimiser le couplage des signaux dans une paire, il est préférable de choisir un espacement entre les pistes inférieur à deux fois la largeur (W) des interconnexions [ALTERA 2000] [ACTEL 2006]. Suivant cette contrainte il est impossible d'obtenir une impédance de 100 Ω en différentiel avec une impédance propre de ligne inférieure à 50 Ω (figure 49). L'implantation d'un plan partiel en couche Top permet facilement d'obtenir une impédance caractéristique inférieure ou égale à 50 Ω , et sa suppression permet d'avoir une impédance plus importante, nécessaire pour parvenir à une impédance différentielle de 100 Ω .

Une fois l'empilage défini, le constructeur de circuit imprimé spécifie une tolérance de 10% entre les valeurs spécifiées et celles obtenues sur le cuivre physique.

III. INFLUENCE DE LA FABRICATION SUR L'IMPÉDANCE DES PISTES

III.1. Introduction

Le but de cette étude est de définir les épaisseurs des diélectriques et des couches de cuivre obtenues après fabrication du support physique et de les comparer à celles spécifiées initialement [AMEDEO 2009].

La carte étudiée ici comprend 14 couches (4 couches d'alimentation et 10 couches de signaux), elle comprend 2 niveaux de μ via sur les couches externes (2+10+2) et les diélectriques utilisés sont un FR4, ISOLA IS420. L'IS420 spécifie un ensemble de laminés et de pré-imprégnés et définit pour chacun d'eux l'épaisseur, la tolérance ainsi que le contenu résineux dans le cas d'un processus spécifique.

Le tableau ci-dessous (tableau 8) présente l'ensemble des pré-imprégnés et des laminés utilisés pour notre application [IS420]. Il est à noter que les pré-imprégnés sont définis par un numéro et le laminé par une épaisseur.

Pré-imprégnés IS420			
Type	Epaisseur Nominale (mil)	Tolérance (mil)	Proportion de résine (%)
106	1,8	$\pm 0,4$	72 \pm 3
1080	2,4	$\pm 0,4$	62 \pm 3
2116	5	$\pm 0,4$	56 \pm 3
Laminé IS420			
Epaisseur (mm)	Epaisseur Nominale (mil)	Tolérance (mil)	Proportion de résine (%)
0,125	5	± 1	46

tableau 8 : Pré-imprégné et laminé utilisés pour l'empilage

En ce qui concerne les couches de cuivre les épaisseurs standard en interne sont de 17 μ m pour les couches de signaux et de 35 μ m pour les couches d'alimentation. Les couches externes de μ via ayant un processus de fabrication bien particulier entraînant de nombreuses métallisations, sont généralement spécifiées à 35 μ m.

La spécification de l'empilage, pour être la plus représentative possible, doit être effectuée à l'aide du fabricant de PCB. L'expérience de ce dernier permet d'évaluer la valeur des épaisseurs que l'on retrouvera sur le cuivre en fonction de la variation définie par le fabricant ISOLA pour la gamme IS420.

Une méthode classique pour étudier la structure du PCB est la création d'un coupon dans lequel la structure de l'empilage est représentée. Il est important de noter que ce coupon n'est pas une partie de la carte originale, mais qu'il est construit sur une partie supplémentaire de PCB autour du circuit réalisé. L'avantage de cette méthode est de pouvoir analyser et mesurer la structure du cuivre sans avoir besoin de découper des échantillons dans le PCB. Cela

présente également des désavantages ; il n'y a aucun moyen de garantir que les lignes présentes dans le coupon de test ont la même largeur que celles routées dans chacune des couches du PCB [RITCHEY 2004]. De plus, ces coupons ne nous permettent pas d'observer les variations d'épaisseur du diélectrique causées par la fabrication [COOMBS 2008]. Pour une étude exhaustive, il est donc utile d'inclure l'analyse et la mesure de la structure du PCB dans la zone du circuit imprimé. Pour cela, des micro-sections sont définies et découpées dans le circuit imprimé.

Dans cette partie un coupon et quatre micro-sections seront étudiés pour évaluer les différences entre les impédances spécifiées et celles obtenues après fabrication.

III.2. Étude du coupon de test

L'étude suivante utilise les données de l'analyse du coupon de test effectuée par le constructeur après fabrication du cuivre.

Cette première étape nous permet de vérifier l'épaisseur des couches de cuivre et de diélectrique. Le coupon de test présenté à la figure 50 est équivalent à la structure de la carte (2+10+2) et il est composé de vias traversants, de vias enterrés et de micro-vias.

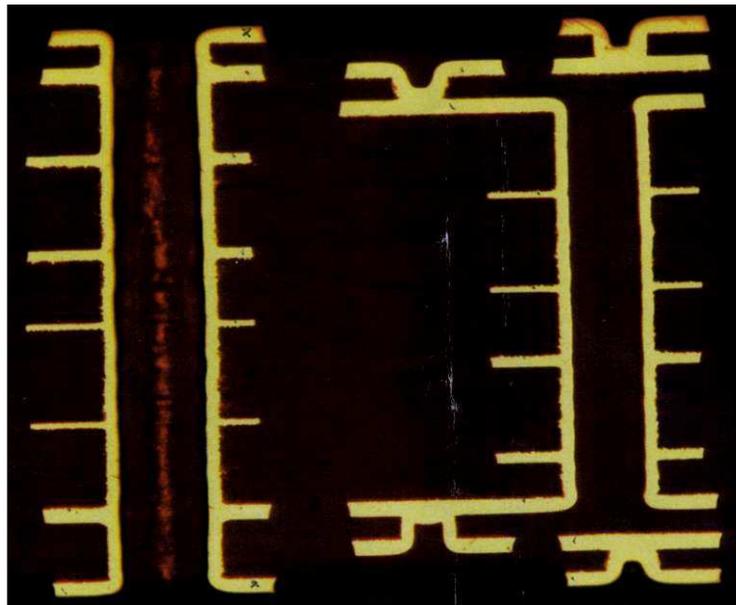


figure 50 : Coupon de test vu au microscope

Le paramètre le plus critique est l'épaisseur du diélectrique, qui impacte de façon significative la valeur de l'impédance caractéristique. Le tableau 9 énumère :

- les spécifications faites à l'aide du fabricant,
- la méthode employée pour la fabrication,
- les valeurs mesurées sur le coupon de test.

La structure de l'empilage étant strictement symétrique, nous comparons dans ce tableau les valeurs construites à celles obtenues dans les couches hautes et basses.

On constate en référence à la spécification ISOLA IS420, que les valeurs définies avec le constructeur sont plus faibles, le processus de fabrication tend à réduire les diélectriques. Si

on prend l'exemple des couches externes : les couches de μ via étant ajoutées une à une au corps de la structure, elles subissent plusieurs phases de pressage et voient leur épaisseur sensiblement diminuer. Le constructeur prévoit pour la première couche une diminution de 17% et pour la deuxième de 23 % par rapport aux valeurs nominales.

	Spécifié (μ m)	Construit (process)	Mesuré (μ m) (1 to 7)	Mesuré (μ m) (14 to 7)
Top / Bottom	35	12	62	62
Diélectrique	76,2	2*106_IS420	65	68
2 / 13	35	12	46	48
Diélectrique	71,1	2*106_IS420	70	70
3 / 12	35	12	46	46
Diélectrique	116,8	2*1080_IS420	112	110
4 / 11	35	35	28	28
Diélectrique	128	0,125_17_35_IS420	110	105
5 / 10	18	17	14	14
Diélectrique	147,3	1*1080_&_1*2116_IS420	148	140
6 / 9	35	35	28	28
Diélectrique	128	0,125_17_35_IS420	118	102
7 / 8	18	17	14	14
Diélectrique	71,1	0,125_17_35_IS420	69	

tableau 9 : Valeurs spécifiées, construites et mesurées de l'empilage en μ m

Si l'on observe les mesures concernant le diélectrique, on retrouve une variation minimum de 0,5 % (147,3 μ m à 148 μ m) et maximum de -20,3 % (128 μ m à 102 μ m).

La symétrie de l'empilage laissait à penser que le processus permettrait d'obtenir les mêmes variations sur les parties hautes et basses, et pour l'ensemble les différences sont minimales. Cependant, on trouve des variations significatives allant jusqu'à 16 μ m pour le diélectrique de la couche 6/7 et 8/9. Quasi-systématiquement l'épaisseur de diélectrique tend à diminuer ; l'épaisseur étant proportionnelle à la valeur de l'impédance, l'ensemble des impédances caractéristiques vont tendre vers des valeurs inférieures à celles spécifiées.

Ces données nous permettent d'étudier l'influence de la fabrication sur la valeur de l'impédance caractéristique. Si l'on reporte ces mesures dans l'outil de Cadence définissant l'empilage, et en prenant comme largeur de piste celle spécifiée ($W=120 \mu$ m), nous trouvons des variations de l'impédance caractéristique des pistes allant de -1,4 Ω à -4,3 Ω , et de -1,9 Ω à -8,3 Ω pour les paires différentielles

Dans le cas d'une analyse et de la mesure d'un coupon, les valeurs d'impédance calculées respectent la tolérance du fabricant de circuit imprimé.

III.3. Étude et mesures de micro-sections

Pour obtenir une analyse plus précise de la structure, quatre micro-sections sont étudiées à l'aide d'un microscope électronique à balayage (MEB). L'emplacement de ces quatre échantillons a été défini de façon à étudier la variation de l'impédance en fonction de la localisation sur le PCB (figure 51). La mesure de ces micro-sections permet de définir la

variation de l'épaisseur du diélectrique et de la largeur des interconnexions en fonction de cette localisation.

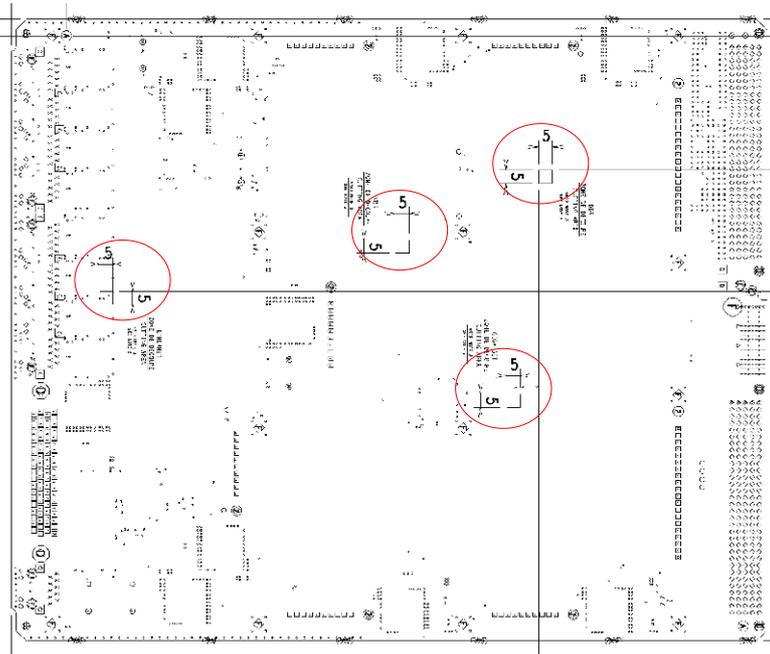


figure 51 : Choix des échantillons pour l'analyse de la structure du PCB

Les mesures effectuées par la suite ont demandé au préalable la préparation des échantillons bruts fournis par le fabricant de PCB. Ces échantillons présentent des particules de poussière et une dégradation de la structure rendant leur analyse très complexe.

L'obtention de surfaces d'échantillons bien nettes demande de conditionner la micro-section dans une résine d'enrobage et de polir ce dernier. La qualité de l'échantillon dépend du choix des disques et draps de pré-polissage/polissage, mais aussi de la suspension et de la force de polissage [WILLIS 2008]. Les micro-sections ont été préparées manuellement et le contrôle de la netteté a été effectué à l'aide d'un microscope optique.

Les mesures présentées ci-dessous sont réalisées à l'aide d'un MEB.

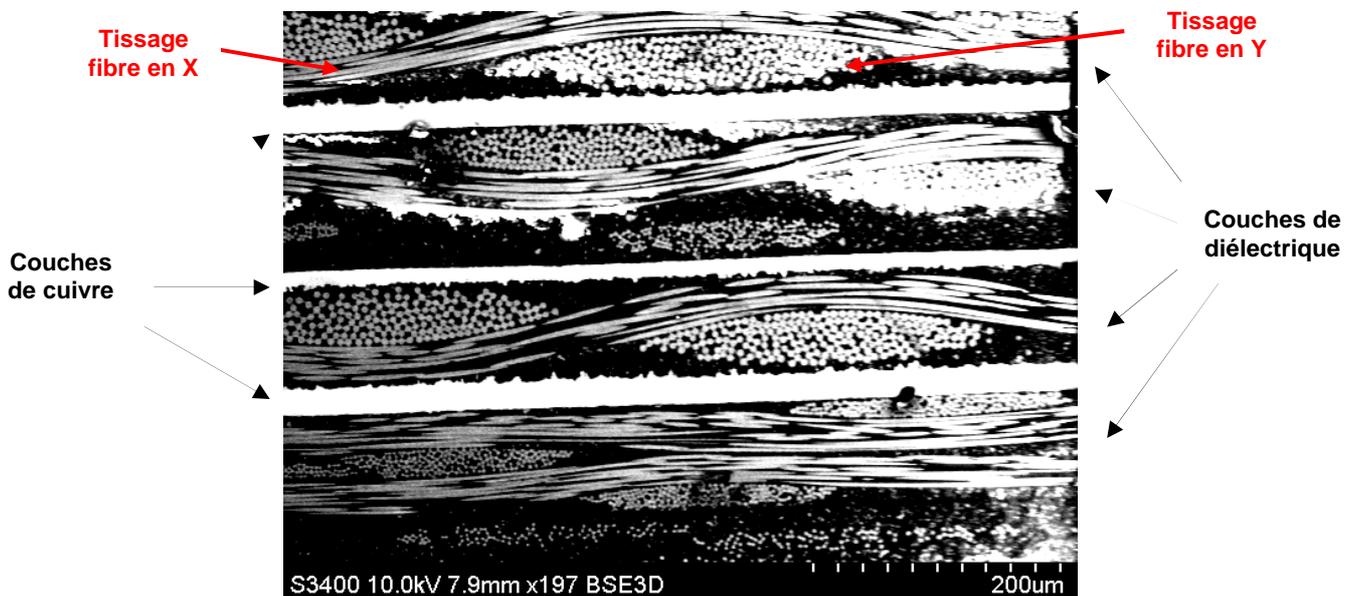


figure 52 : Observation du centre d'une micro-section au MEB

La figure 52 représente l'allure du centre de la structure du PCB relevée au MEB. On différencie très bien les zones de diélectrique avec le tissage en XY et les couches de plan présentant des zones de rugosité utiles à la tenue aux diélectriques.

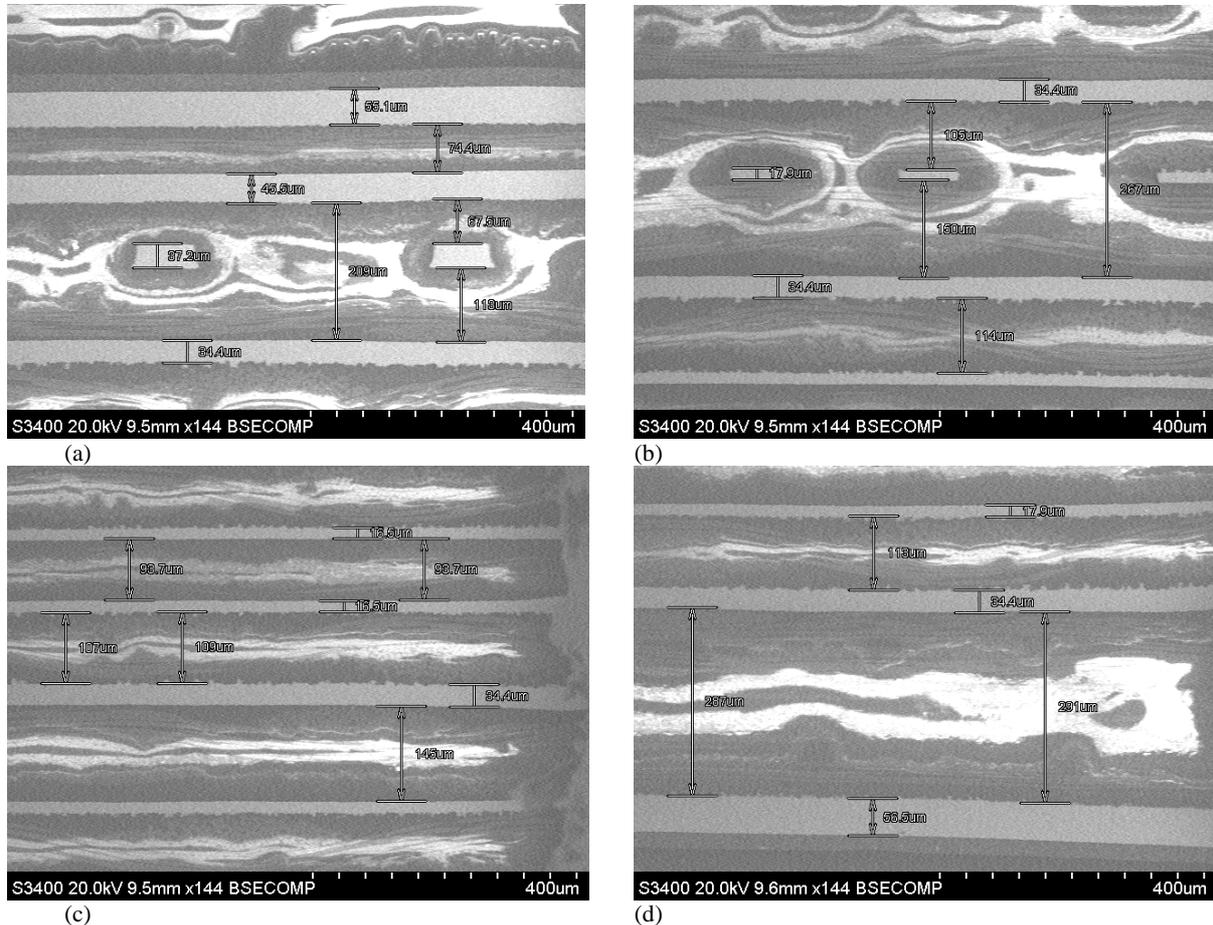


figure 53 : Mesures au MEB sur un échantillon des couches (a) 1 à 4 (b) 4 à 7 (c) 7 à 10 et (d) 10 à 14

On retrouve des variations de diélectrique allant de -4,5 % (110 μm à 105 μm) à 36 % (69 μm à 94 μm), la tendance générale étant ici à la hausse. L'écart par rapport aux spécifications initiales est donc moins important, les variations d'impédance caractéristique allant de -0,5 Ω à -2,9 Ω pour les lignes simples et de -1,8 Ω à -6,1 Ω pour les lignes différentielles.

III.4. Conclusion partielle

La mesure d'un coupon de test et de micro-sections nous ont permis de valider les tolérances annoncées par les constructeurs. De plus, nous avons pu noter que le processus de fabrication entraîne en général une diminution de la valeur de l'impédance caractéristique par rapport à celle spécifiée, ce qui est un point important à prendre en compte.

Malgré des diminutions ou variations assez importantes de l'épaisseur des couches de diélectrique, la valeur de l'impédance caractéristique évolue dans des marges acceptables. Lors du pressage, la résine du diélectrique flue vers les zones vides généralement situées autour du cuivre. Lorsque cette migration de la résine est trop importante, elle peut entraîner

une diminution de l'épaisseur du diélectrique, phénomène que l'on a pu observer ici. En fonction de la zone étudiée, les couches de signaux présentent plus ou moins de cuivre, la migration du diélectrique ne sera donc pas constante, ce qui explique en partie la non-homogénéité des épaisseurs de diélectrique.

La diminution de l'épaisseur du diélectrique augmente les risques de couplage inter-couche, et modifie également les capacités des paires de plan, faisant évoluer l'efficacité du découplage. Il faut donc tenter d'estimer au plus tôt ces variations pour que les études soient effectuées avec des données les plus représentatives du circuit imprimé réalisé.

Il serait intéressant dans le futur de compléter cette partie en tenant compte de la largeur des conducteurs car cette dernière a une influence non négligeable sur l'impédance caractéristique des pistes. Il est à noter que l'étude des micro-sections est un procédé qui peut également être utilisé pour analyser la qualité des vias implantés (métallisation/géométrie/...).

Cette étude va être complétée par des mesures sur le cuivre nu. Le support d'étude présente plusieurs bancs de mémoires DDR2 dont les motifs ont été copiés à l'identique. En mesurant les mêmes signaux dans différentes zones de la carte, il est possible de donner une tendance générale à la variabilité de l'impédance caractéristique en fonction de la localisation.

IV. INFLUENCE DU ROUTAGE SUR L'IMPÉDANCE DES PISTES

Cette partie a pour objectif de montrer l'influence, sur l'impédance caractéristiques, de la mise en place d'un plan de masse partiel et de la superposition de lignes entre couches adjacentes en utilisant des calculs analytiques et des simulations 2D et 3D. L'étude portera également sur l'influence de la géométrie du tracé en comparant les caractéristiques électriques d'une ligne droite et d'une ligne sinueuse.

IV.1. Plan de masse partiel – Calcul analytique

La mise en place de plans de masse partiels entraîne une modification de l'impédance caractéristique des pistes partiellement recouvertes. A l'aide des équations [5] et [6] nous allons évaluer les désadaptations que cela engendre sur les pistes concernées (tableau 10).

Z_{01} correspond à l'impédance caractéristique d'une piste microstrip enterrée sur la couche 2 (équation [5]). Z_{02} représente l'impédance caractéristique d'une piste en couche 2 recouverte par un plan de fermeture partiel en couche Top. Elle est alors définie comme une piste stripline asymétrique (équation [6]).

Structure	Ligne Microstrip	Ligne Stripline
Impédance caractéristique	$Z_{01}=80 \Omega$	$Z_{02}=40 \Omega$

tableau 10 : Calcul analytique de l'impact d'un plan de masse partiel

La différence calculée entre les deux configurations est significative (+100%), elle est cohérente avec les valeurs définies lors de la mise en place de l'empilage. D'autres formulations existent et permettent d'obtenir des résultats équivalents [BROOKS 1998]. Du point de vue de la conception, la mise en place de plans de fermeture nécessite donc une phase de vérification importante du routage sur les couches externes pour éliminer ou limiter le recouvrement partiel des pistes.

IV.2. Superposition de lignes – Étude en 2 dimensions

La densité des produits rend plus difficile le routage orthogonal entre les pistes situées sur des couches adjacentes (: routage en XY). Il arrive donc que des lignes sur couches adjacentes se superposent et se retrouvent couplées. Le couplage est d'autant plus important que les technologies microvia entraînent une diminution d'un facteur 2 sur les épaisseurs de diélectrique dans le cas des couches externes. A l'aide d'un solveur 2D basé sur la méthode des éléments finis (Maxwell 2D), nous avons évalué l'impact de la superposition sur l'impédance caractéristique. La modélisation de la piste et les paramètres de simulation sont définis à partir des informations de l'empilage pour une piste en couche 2 sans plan de fermeture. La figure 54 présente le champ électrique généré par une piste microstrip lors d'une simulation électrostatique. La figure 55 montre le champ électrique engendré si une piste vient se superposer sur les couches supérieure et inférieure.

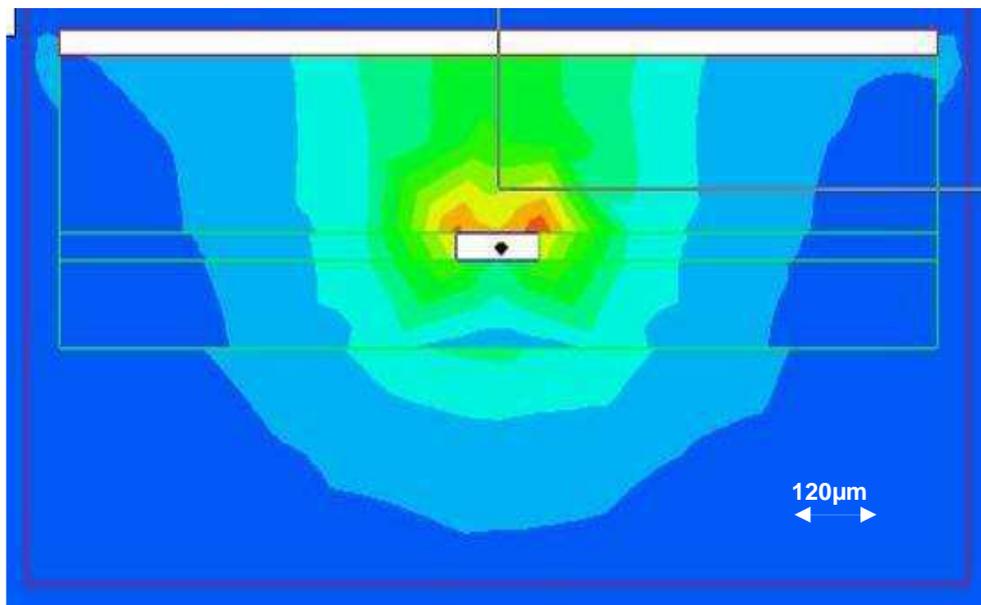


figure 54 : Simulation électrostatique, piste isolée

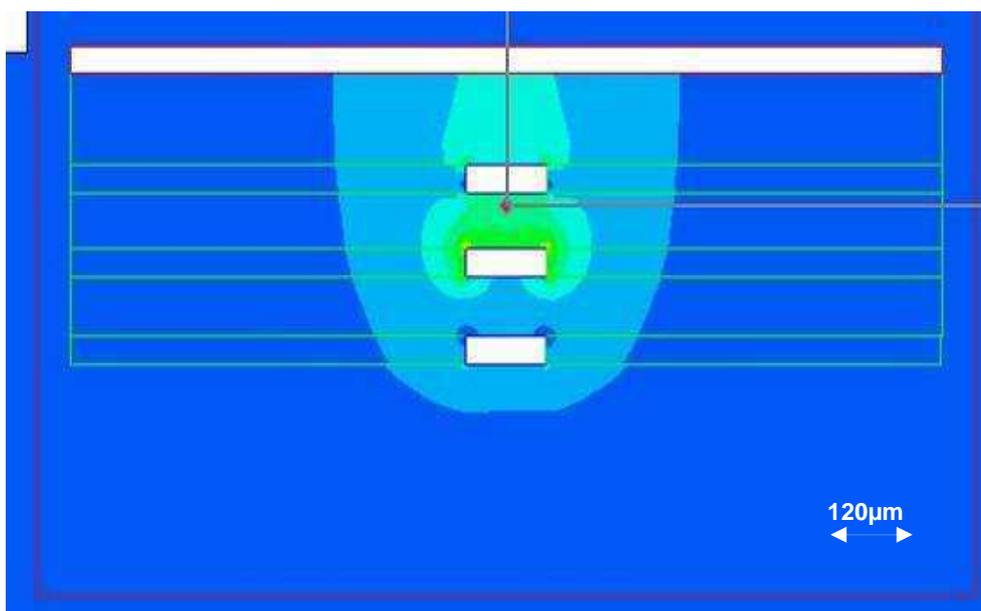


figure 55 : Simulation électrostatique, pistes superposées

Grandeur		Piste isolée	Pistes superposées
L (nH/m)	Simulation Magnétostatique	558	560
C (pf/m)	Simulation Electrostatique	77	174
Z (Ω)	Impédance calculée	85	57

tableau 11 : Résultats des simulations 2D

Les simulations électromagnétiques ont permis de déterminer les valeurs des capacités et inductances linéiques énumérées dans le tableau 11. Les impédances caractéristiques résultantes font également apparaître des différences importantes sur le terme capacitif entre les deux configurations (-33 %). La contrainte d'écartement entre les différents signaux routés sur une même couche est nécessaire, et elle est assurée sur l'ensemble des circuits imprimés. Avec les outils actuels, cette contrainte est plus difficile à mettre en œuvre et à vérifier pour des pistes situées sur des couches adjacentes. Le routage en XY est préconisé pour éliminer ces problèmes, cependant l'augmentation de la densité des cartes rend cette solution de plus en plus difficile à réaliser. En conséquence, il faut identifier et éliminer ce type de configuration sur les cartes, car elle modifie de façon importante l'impédance caractéristique des pistes et peut faire apparaître d'importants phénomènes de diaphonie.

Cette étude met également en évidence une différence entre l'impédance spécifiée sans piste couplée et celle calculée, ici de l'ordre de 5 %.

IV.3. Ligne droite et ligne sinueuse – Etude en 3 dimensions

L'apparition de technologies rapides entraîne des restrictions de budget de temps et rend indispensable la mise à longueur des pistes d'un même bus. On trouve sur la figure 56 une partie du routage des signaux associés à une mémoire DDR2, ou le bus de données est mis à longueur pour éviter tout problème de timing.

De nombreux articles sont consacrés à l'étude des phénomènes de diaphonie et de délai dans le cas de lignes sinueuses [KIM 2006]. Nous allons pour notre part caractériser l'impact du tracé sur l'impédance caractéristique de la piste en utilisant une simulation 3D. A l'aide de l'outil CONSOL Multiphysics, nous modélisons et calculons les paramètres linéiques des lignes visualisées en couche 3 afin de déterminer les valeurs de leurs impédances caractéristiques. La figure 58 représente la modélisation 3D d'une ligne sinueuse sous Comsol Multiphysics, et les résultats sont présentés dans le tableau 12.

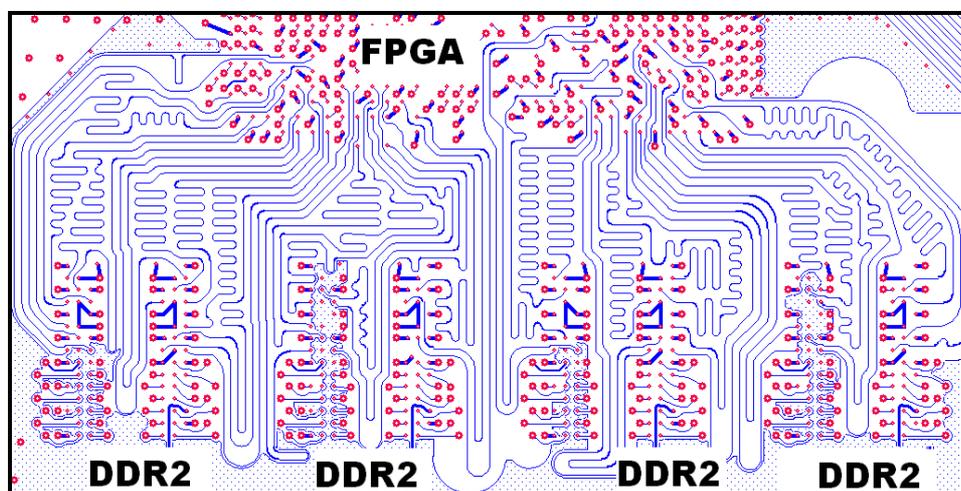


figure 56 : Routage d'une partie d'un bus de données

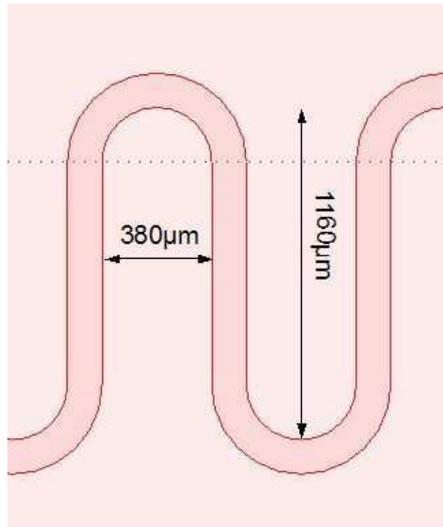


figure 57 : Dimensions ligne sinueuse, $W=120 \mu\text{m}$

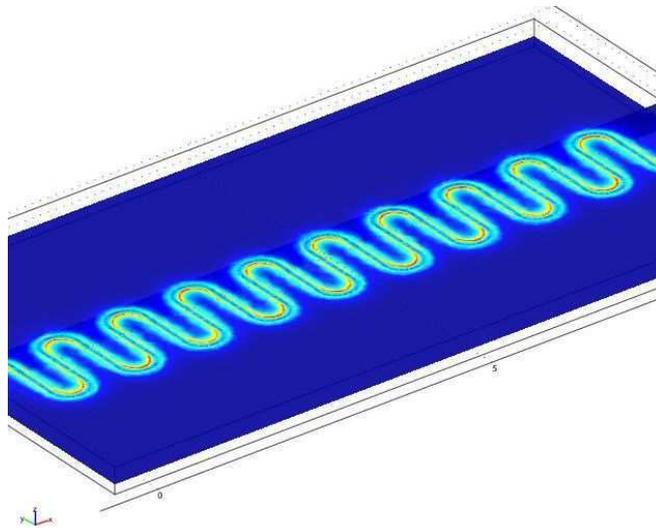


figure 58 : Modélisation 3D d'une ligne sinueuse de 45mm – Visualisation du Champs B

Grandeur		Piste droite	Piste sinueuse
L (nH/m)	Simulation Magnétostatique	354	232
C (pf/m)	Simulation Electrostatique	127	113
Z (Ω)	Impédance calculée	53	45

tableau 12 : Résultats des simulations 3D

Dans le cas présent, les longueurs des pistes sont faibles devant la longueur d'onde du signal. Nous nous placerons donc dans l'approximation transverse électromagnétique (TEM).

Les résultats présentés tableau 12 font apparaître une différence d'environ 15 % en fonction de la géométrie du tracé. La variation d'impédance est moins importante que dans les scénarios vus précédemment. Cependant, une augmentation de la hauteur des serpentins et une diminution de leur isolement pourrait sensiblement accroître la variation d'impédance entre les deux tracés. Dans le cas d'une piste sinueuse, cette variation d'impédance est très dépendante du tracé choisi lors du routage et demande des moyens de modélisation et de

calcul importants pour être évaluée. Une solution intermédiaire consisterait à établir des abaques qui permettent d'évaluer la variation d'impédance en fonction de la variation des paramètres géométriques qui définissent un tracé sinueux, et de définir des tracés de référence dont les caractéristiques sont bien maîtrisées.

Les résultats obtenus montrent également une différence entre la valeur de piste spécifiée et celle de la ligne droite simulée ici de l'ordre de 8 %.

IV.4. Conclusion partielle

Les calculs et simulations ci-dessus nous ont permis de constater l'impact d'un routage HDI sur la valeur de l'impédance caractéristique des pistes. Malgré la définition d'un PCB à impédance contrôlée pendant la phase de pré-routage et le suivi d'un nombre important de règles de routage, la maîtrise des impédances n'est pas chose aisée. Nous avons montré l'impact négatif sur l'impédance caractéristique d'un recouvrement partiel de signal par un plan, de la superposition de lignes sur des couches adjacentes et de la géométrie du tracé. Avant d'observer l'impact que cela peut avoir sur l'allure du signal, nous allons comparer ces résultats théoriques avec les résultats issus d'une campagne de mesures.

V. MESURE DE RÉFLECTOMETRIE SUR CUIVRE NU

Une campagne de mesure est indispensable pour corréler les résultats trouvés par le calcul et la simulation avec ceux mesurés sur le circuit imprimé. Les mesures sont réalisées à l'aide d'un TDR80E04 embarqué sur un DSA8200 [TEKTRONIX 2006]. L'utilisation d'un réflectomètre (TDR : Time Domain Reflectometry) est tout à fait adaptée pour caractériser et valider la structure à impédance contrôlée. Ce dernier à partir d'une mesure simple à mettre en œuvre, nous délivre une image de l'impédance de l'ensemble de la ligne étudiée.

V.1. Conditions de mesure

V.1.1. Matériel utilisé

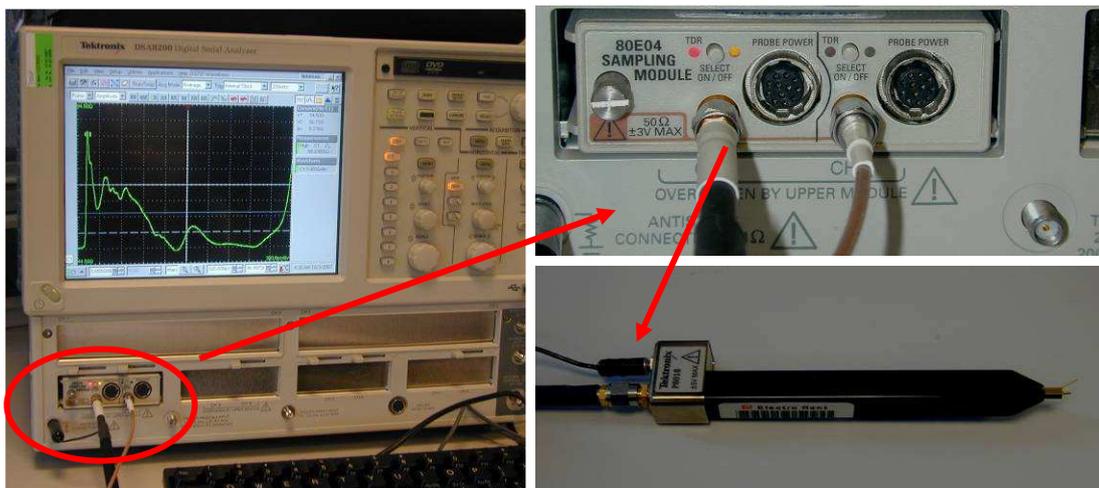


figure 59 : Matériel utilisé pour la caractérisation des impédances de lignes

Les mesures sont effectuées sur un cuivre nu, le matériel utilisé présenté par la figure 59 est le suivant :

- Oscilloscope DSA8200 : 50 GHz de Bande passante avec un front de montée de l'onde réfléchie de 15 ps et de 12 ps pour l'onde incidente.

- Module de réflectométrie TDR80E04 : 20 GHz de Bande passante avec un front de montée de l'onde réfléchi de 28 ps et de 23 ps pour l'onde incidente.
- Sonde passive P8018 : 20 GHz de Bande passante, sonde passive de TDR 50 Ω, liaison du TDR à la sonde avec un câble SMA faibles pertes spécifié pour 20 GHz.

V.1.2. Interprétation des mesures

Il est nécessaire d'effectuer quelques mesures pour caractériser le câble SMA (1 mètre) et la sonde utilisée. La figure 60 présente la mesure du câble seul ; la suivante (figure 61) prend en compte l'ensemble câble plus sonde.

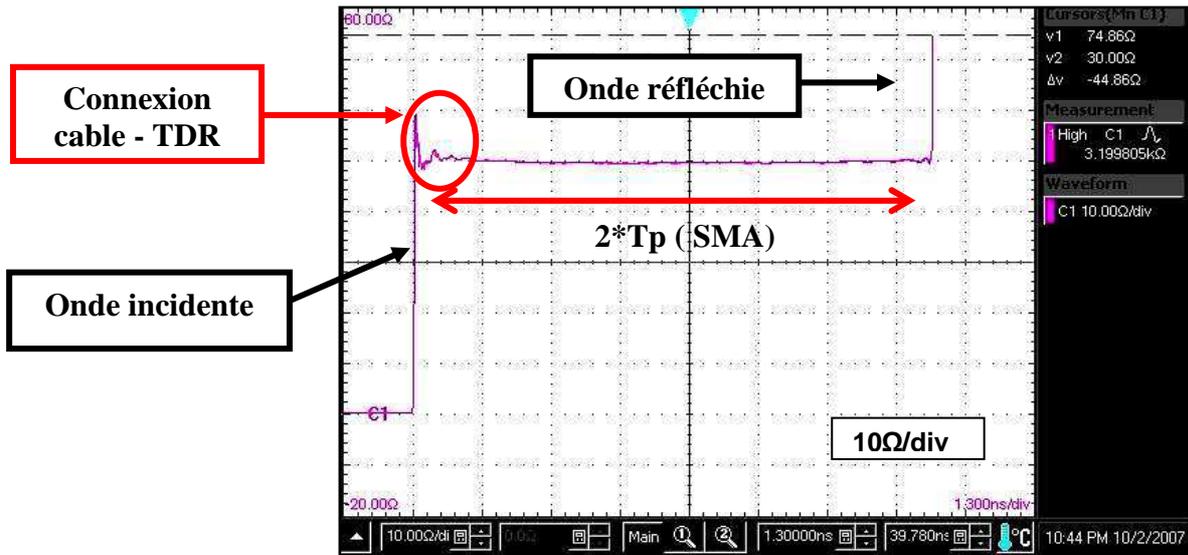


figure 60 : Mesure TDR du câble SMA (50 Ω) seul (10mV/div, 1,3ns/div)

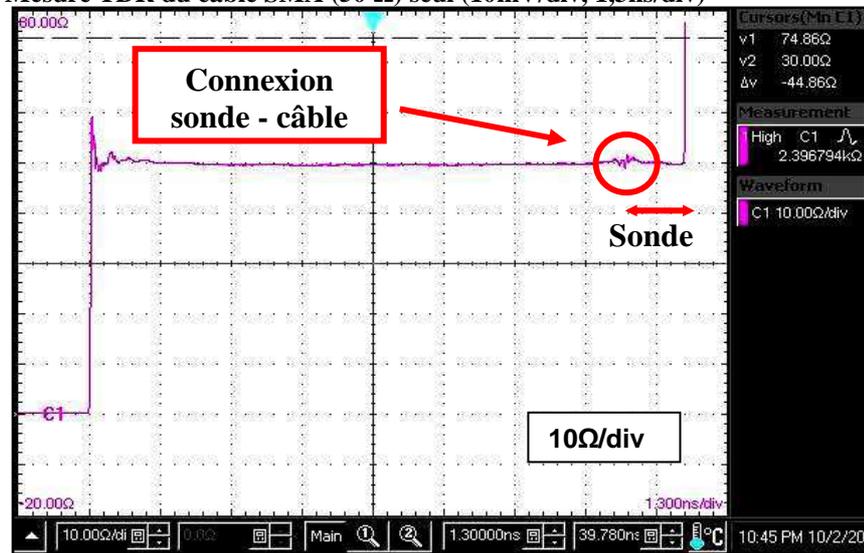


figure 61 : Mesure TDR du câble SMA et de la sonde (10mV/div, 1,3ns/div)

La caractérisation du câble seul montre la désadaptation provoquée par la connexion au TDR et permet de mesurer un temps de propagation (T_p) d'environ 5 ns (base de temps de 1,3ns/division). Le câble présente en effet une longueur de 1m et une permittivité relative $\epsilon_r = 2.3$. La vitesse est donc de $1,98 \cdot 10^8$ m/s, soit un temps de propagation de 5,05ns.

La connexion de la sonde produit une désadaptation et introduit un léger temps de propagation supplémentaire d'environ 1 ns. Malgré l'apparition de variations au niveau de la

connexion, les propriétés du câble et de la sonde sont bien vérifiées, ils présentent tous deux une impédance exacte de 50 Ω.

Cette étude préalable à la campagne de mesure était nécessaire pour caractériser l'impact de l'ensemble câble et sonde sur l'allure des courbes mesurées.

V.1.3. Limitation introduite par la mesure

Le TDR et la sonde utilisé ont une bande passante limitée à 20 GHz. Cette précision semble suffisante pour nos mesures sur l'impédance moyenne de l'interconnexion, mais engendre des limitations dans l'interprétation de certains résultats.

Le TDR choisi nous offre une précision de 1,87 mm pour les lignes en interne (Stripline) et de 6 mm pour les lignes externes (Microstrip). La majorité des pistes sur la carte mesure entre 40 mm et 300 mm, mais ces dernières présentent des tronçons pouvant mesurer 0,5 mm.

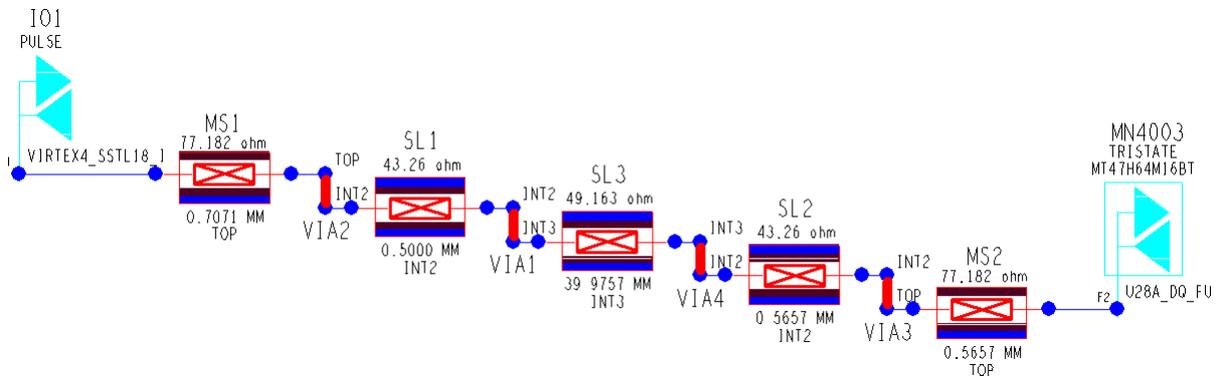


figure 62 : Extraction d'une piste DDR2 sous l'outil SigXplorer de Cadence

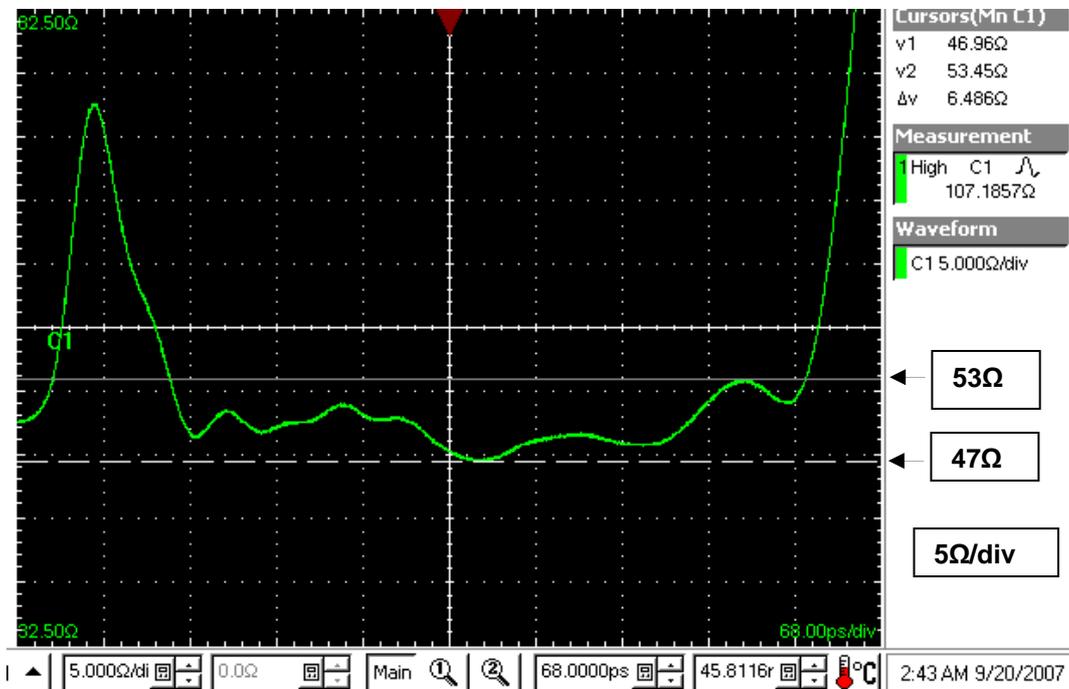


figure 63 : Mesure TDR d'une piste DDR2

La figure 62 montre une ligne d'environ 40 mm routée en couche 3. La liaison driver/couche3 et couche3/récepteur introduit quatre tronçons de 0,5 mm à 0,7 mm. Les impédances résultantes sont de 77 Ω en Top, de 43 Ω en couche 2 et de 49 Ω en couche 3.

Si l'on observe le résultat de la mesure de cette même ligne présentée à la figure 63, on retrouve bien la valeur de l'impédance d'environ 49Ω , qui correspond au tronçon de 40 mm, mais la mesure ne permet pas de distinguer l'impédance des segments de piste situés en couches 1 et 2. Elle n'est pas complètement représentative de la topologie précédente.

Le matériel utilisé ne nous permet pas d'avoir une précision permettant de représenter tous les tronçons rencontrés sur les différentes interconnexions à mesurer, cependant il est suffisant pour avoir une valeur précise de l'impédance caractéristique sur la longueur prépondérante de la topologie.

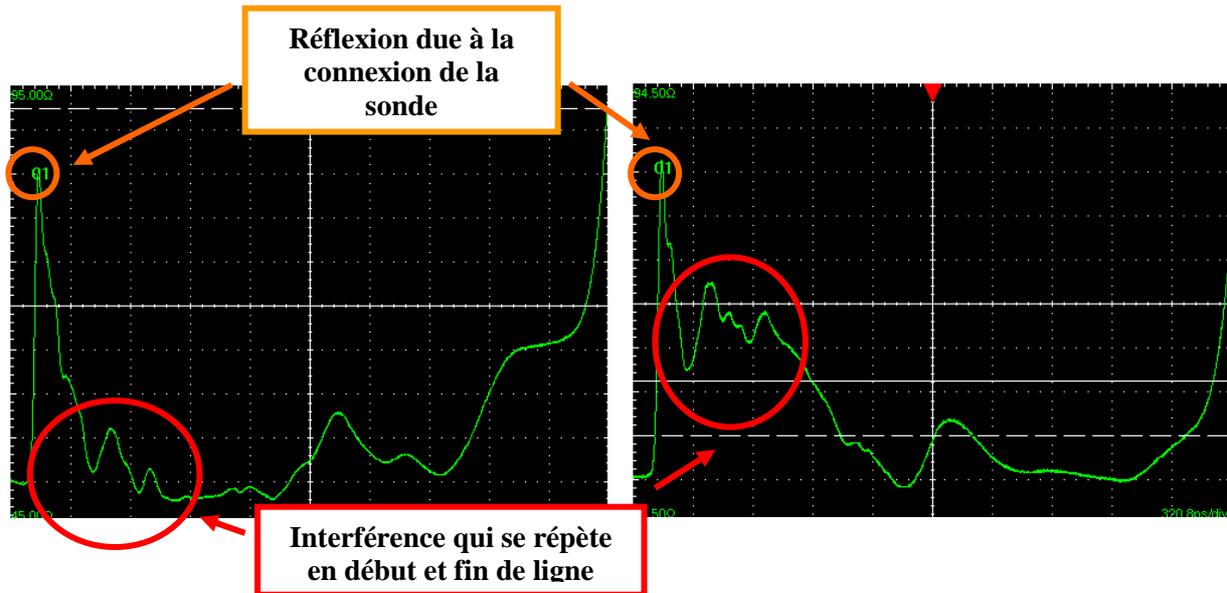


figure 64 : Présentation d'un parasite dû à la réflexion au sein de la mesure

La mesure présente quelques imperfections : l'apparition d'une réflexion importante et d'oscillations. Une mesure de l'interconnexion a été effectuée à chaque extrémité pour mettre en évidence le phénomène. En effet, on retrouve sur la figure 64 un parasite dû au pic de réflexion provoqué par la connexion de la sonde au point de mesure, et qui perturbe principalement le début de la mesure. En systématisant la mesure en début et en fin de ligne, on pourra limiter les oscillations dues à la mesure et obtenir des résultats plus représentatifs. Cela nécessite cependant une opération post-mesure.

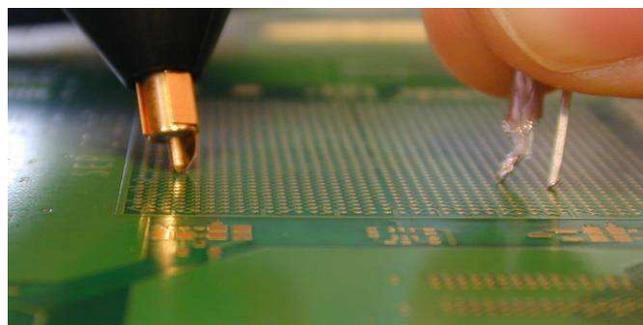


figure 65 : Accessibilité aux signaux

Enfin, l'accessibilité aux pistes des signaux est complexe. La figure 65 montre le positionnement de sondes sur des matrices BGA de 1500 points au pas de 1 mm.

On constate toutefois que la précision des résultats est suffisante pour notre étude. Dans le cas d'une campagne de mesure où l'on souhaite accroître la précision, l'utilisation d'un TDR 80E10 de bande passante 50 GHz et d'un bras mécanique serait nécessaire et permettrait d'obtenir la caractérisation de l'ensemble du signal avec la différenciation des différents tronçons sur les différentes couches.

V.2. Mesure de la variabilité de l'impédance caractéristique

Le circuit analysé dans cette partie comprend quatre interfaces DDR2 strictement identiques comme le présente la figure 66. Le motif a été routé une fois et a été dupliqué sur l'ensemble des interfaces. Il est donc possible de confronter les résultats obtenus au paragraphe III par des mesures de réflectométrie, pour quantifier la variation de l'impédance caractéristique pour différentes localisations des pistes sur le PCB.

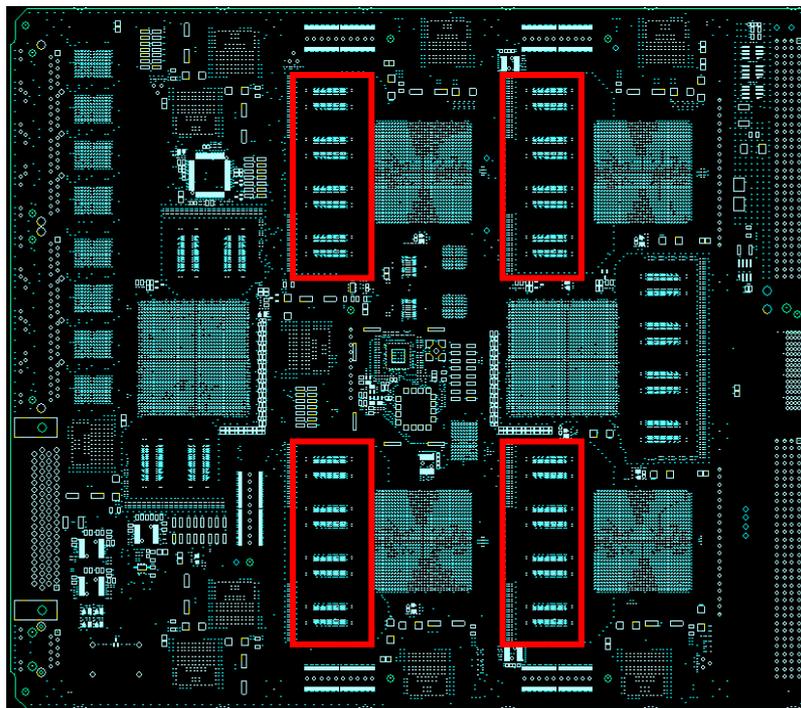


figure 66 : Vue du PCB et des quatre interfaces DDR2 identiques

La figure 67 représente la mesure d'une ligne issue du bus de mémoire DDR2 reproduit à l'identique dans les quatre zones présentées par la figure ci-dessus.

Le résultat est satisfaisant car, malgré une carte de taille importante (format A4), la variation observée est de $2,3 \Omega$ pour la ligne étudiée. Cette évolution de l'impédance caractéristique respecte les tolérances annoncées par les fabricants et confirme les grandeurs mesurées lors de l'étude de la structure de l'empilage au paragraphe III.

Les écarts notés ici ne sont pas engendrés par une différence de quantité de cuivre sur les couches de signaux. Les géométries étant strictement identiques, la quantité de cuivre l'est aussi sur l'ensemble des couches, le flux de migration de la résine devrait donc lui aussi être le même pour chacune des zones. Par contre, ces différences peuvent être engendrées par un pressage non homogène sur l'ensemble de la surface pendant la fabrication.

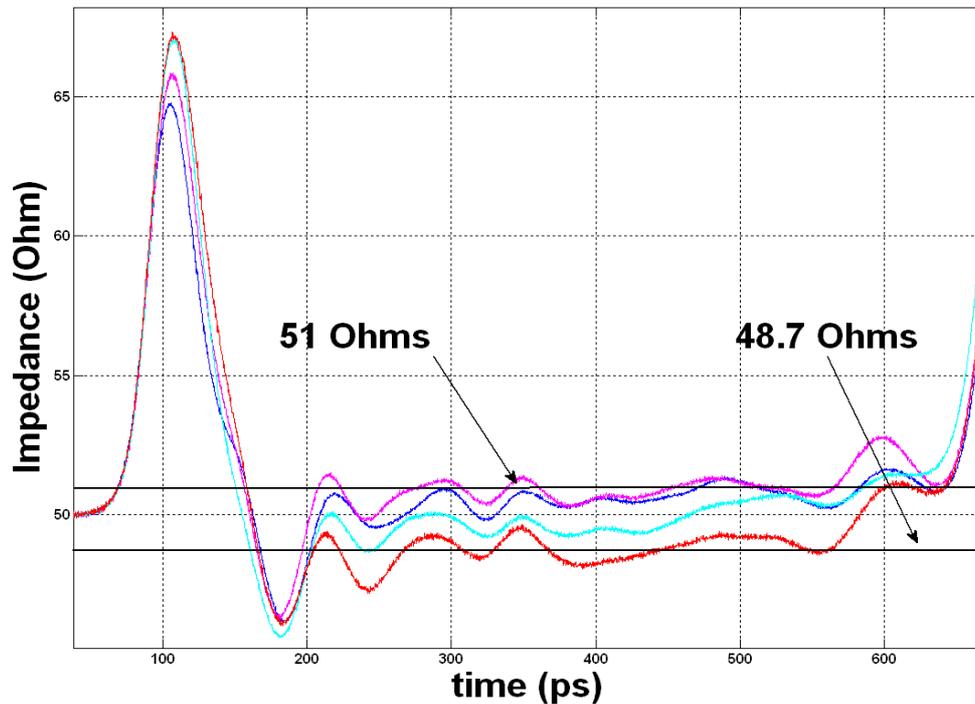


figure 67 : Mesure TDR de l'homogénéité de l'impédance sur le PCB

V.3. Superposition ligne et plan

La mesure de deux lignes d'une même paire différentielle est effectuée à la figure 68. La configuration des pistes est présentée figure 69. Après un pic important dû à une désadaptation engendrée par la sonde, nous pouvons noter sur la mesure une diminution de l'impédance caractéristique à 41Ω qui résulte d'un recouvrement partiel de la paire différentielle par un plan de masse. Ensuite, nous observons une divergence de la valeur de l'impédance : la ligne négative (N), contrairement à la ligne (P), est couplée avec deux autres lignes disposées sur les couches supérieure et inférieure. Cette mesure confirme la tendance des résultats de simulations vus précédemment aux paragraphes IV.1 et IV.2.

L'étude 2D, présentée au paragraphe IV.2 sur les lignes superposées, est basée sur une ligne seule, alors que la mesure, est réalisée sur une paire différentielle, ce qui fait apparaître un couplage supplémentaire et entraîne une diminution plus importante de la valeur de l'impédance.

C'est pourquoi cette étude a été complétée par des simulations 2D réalisées dans une configuration géométrique identique à celle mesurée. Les résultats pour une piste seule et pour une paire différentielle sont présentés au tableau 13.

Quand les lignes sont couvertes par un plan de masse, l'impédance mesurée est similaire à l'impédance calculée au paragraphe IV.1, dans le cas d'une ligne seule. Dans cette configuration, le couplage au plan de masse est prépondérant.

Grandeur		Piste seule		Paire différentielle	
		Isolée	Superposées	Isolée	Superposées
L (nH/m)	Simulation Magnétostatique	558	560	560	560
C (pf/m)	Simulation Electrostatique	77	174	125	217
Z (Ω)	Impédance calculée	85	57	67	51

tableau 13 : Résultats des simulations 2D sur la superposition des pistes

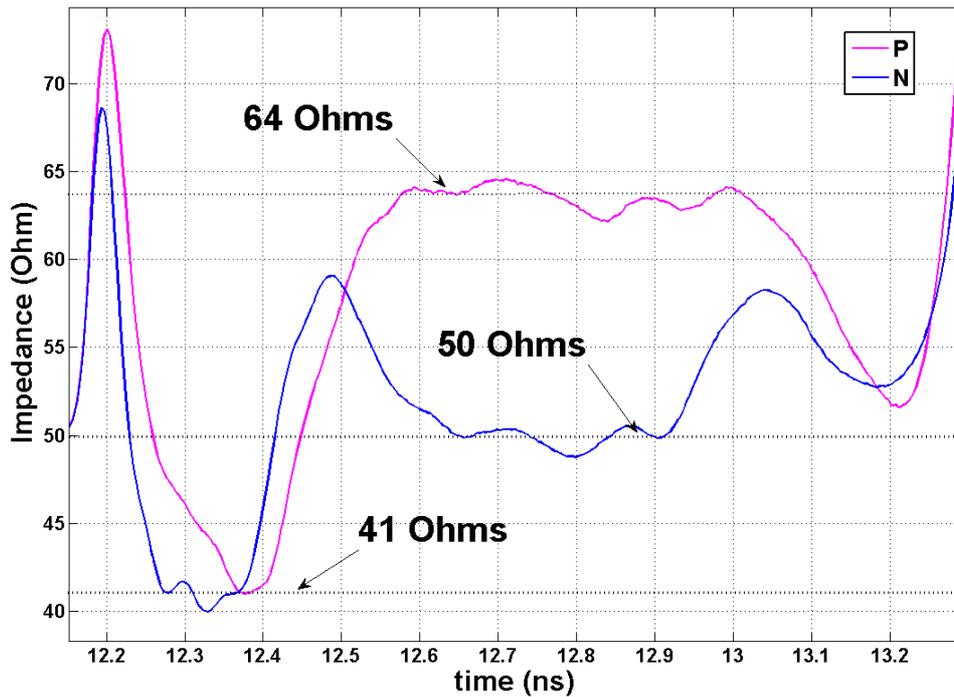


figure 68 : Mesure TDR - Plan partiel et superposition de lignes

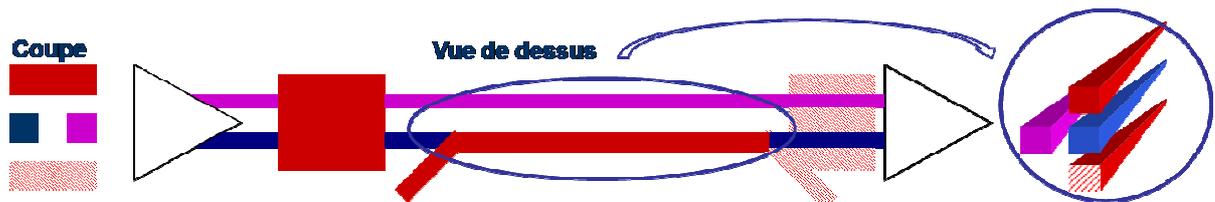


figure 69 : Représentation de la topologie de la paire différentielle

Les résultats issus de la mesure sont bien confirmés par l'étude complémentaire du scénario de superposition pour une ligne différentielle. Cette étude confirme donc les résultats obtenus à l'aide des calculs analytiques et 2D sur l'impact d'un plan de masse et sur la superposition de pistes.

V.4. Ligne droite et ligne sinueuse

La validation de l'étude 3D du paragraphe IV.3 est effectuée ici avec la mesure de deux lignes droites et de deux lignes en serpentins. Nous avons choisi, au sein du bus, les signaux les plus homogènes : DQ1 et DQ3 pour les lignes droites et DQ41 et DQ46 pour les lignes sinueuses (voir figure 70).

La figure 71 présente les résultats obtenus entre DQ1 et DQ46 et le détail des mesures pour obtenir une meilleure visibilité. Les mesures sont faites sur les deux extrémités de la piste, une moyenne des deux courbes est réalisée à l'aide de Matlab pour limiter les perturbations engendrées par la désadaptation de la liaison de la sonde au PCB.

La figure 72 montre successivement la mesure d'une ligne sinueuse et d'une ligne droite. On mesure pour ces lignes une impédance de 47 Ω pour la ligne sinueuse et de 51,5 Ω pour la ligne droite.

On retrouve la tendance observée d'après les résultats des simulations 3D, où la ligne sinueuse avait une impédance plus faible (46 Ω) que celle de la ligne droite (52 Ω).

La variation d'impédance caractéristique engendrée par le serpentin est donc confirmée et les valeurs d'impédance mesurées sont très proches des valeurs d'impédance déterminées avec l'étude 3D, comme nous le montre le tableau 14.

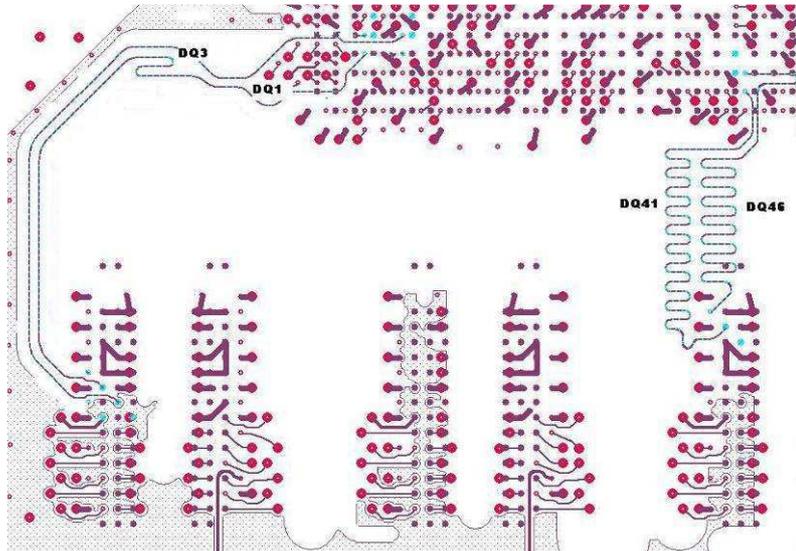


figure 70 : Illustration des lignes droites et sinueuses mesurées

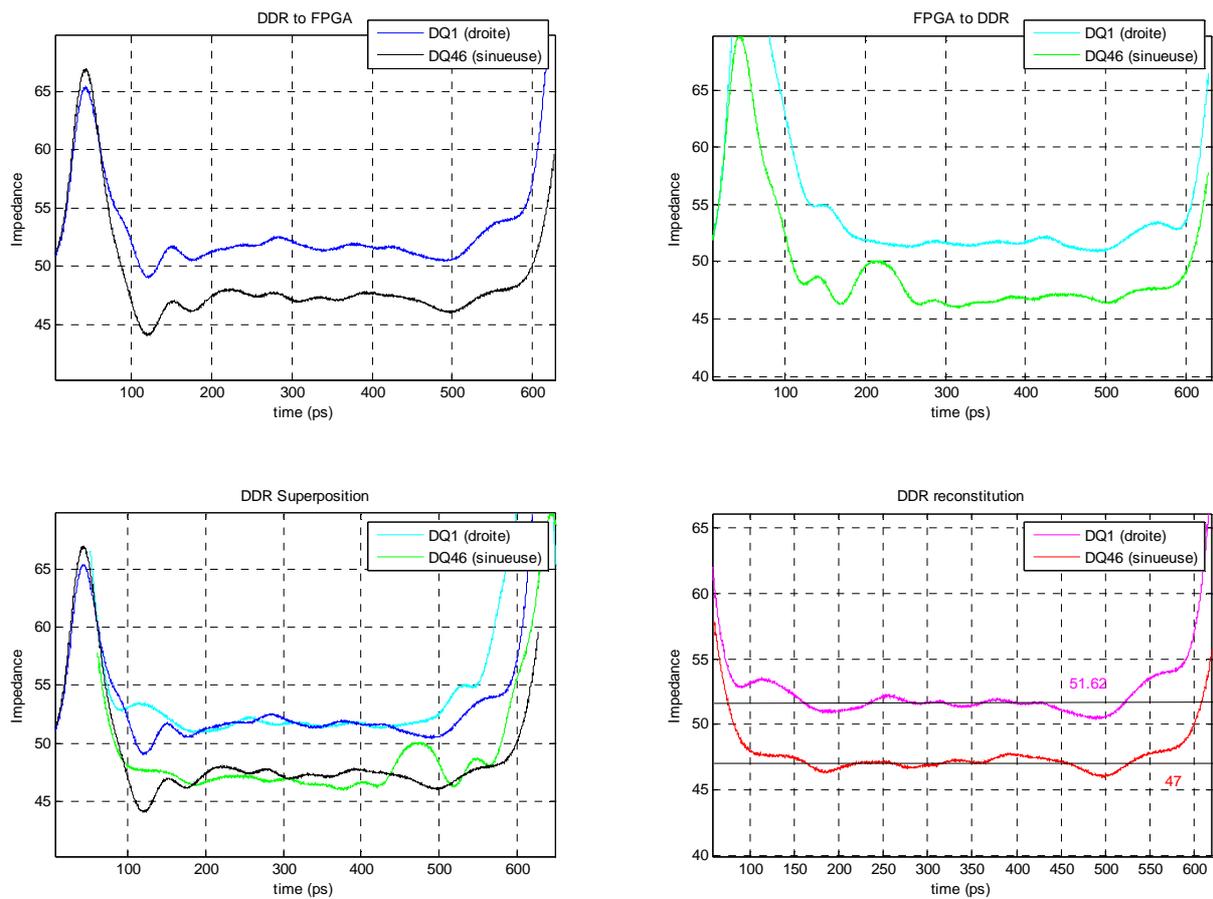


figure 71 : Mesure TDR - Etude des différences entre une ligne droite (DQ1) et sinueuse (DQ46)

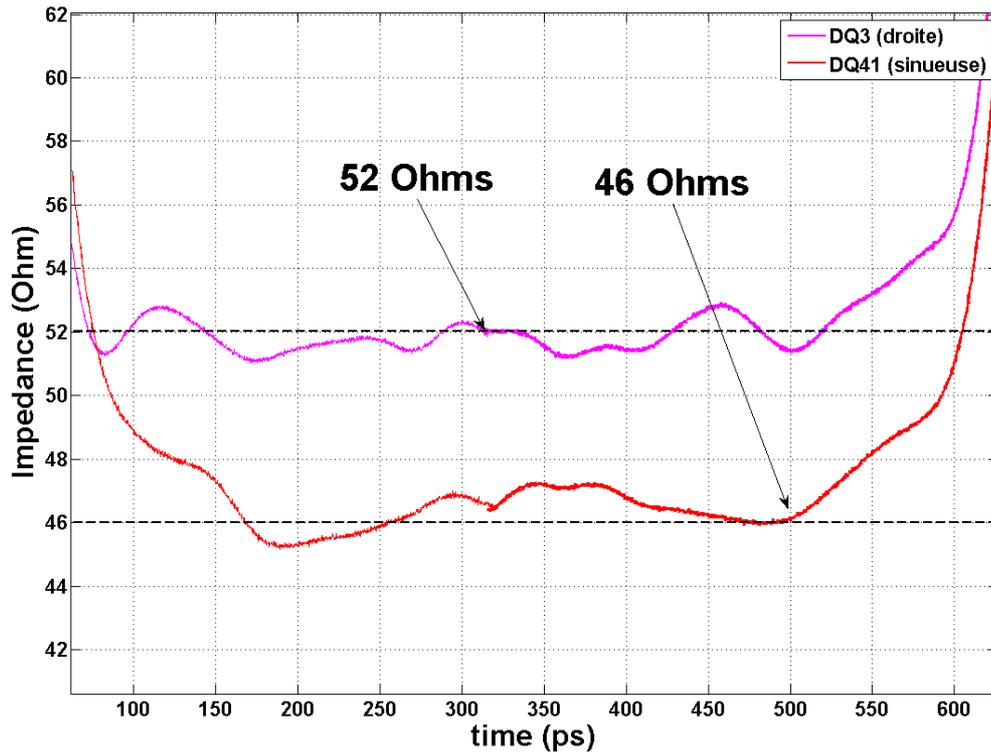


figure 72 : Mesure TDR - Etude des différences entre une ligne droite (DQ3) et sinueuse (DQ41)

	Piste droite	Piste sinueuse
Etude Simulation 3D	53 Ω	45 Ω
Mesure DQ1 vs DQ46	51,5 Ω	47 Ω
Mesure DQ3 vs DQ41	52 Ω	46 Ω

tableau 14 : Synthèse des résultats théoriques et expérimentaux

Les mesures confirment ici les études 3D effectuées auparavant et nous permettent de maîtriser l'impact d'une ligne sinueuse sur l'impédance caractéristique. Cependant, cette maîtrise dépend d'une géométrie bien précise, présentée figure 73. Nous avons en effet vu que pour un écart entre les serpentins supérieurs à 3W et une hauteur de 1,3 mm, l'impédance tendait à diminuer d'environ 15 %. Nous pouvons prendre en compte cette tendance lors de la définition de l'empilage. La mise en œuvre de ces lignes sinueuses entraîne des temps de routage importants, et la définition de l'impact qu'engendre un motif de ce type nécessite la mise en œuvre d'une simulation en trois dimensions. Il semble donc intéressant d'imposer des motifs maîtrisés, qui permettront un gain de temps aussi bien pour le routage que pour la caractérisation de l'impédance caractéristique de la piste.



figure 73 : Gabarit maîtrisé pour une ligne sinueuse

Le motif présenté ici peut voir sa géométrie évoluer, mais uniquement dans le sens où l'on diminue la hauteur des serpentins et/ou on augmente l'isolement. Dans le cas contraire

(augmentation des portions de lignes et/ou diminution de l'isolement) la valeur de l'impédance caractéristique va continuer à baisser. Cette évolution, qui n'est pas prise en compte par l'outil de CAO, peut devenir supérieure à 15 % et son évaluation impose alors des moyens de modélisation et de calcul importants. Au-delà de la diminution de l'impédance, une structure où l'isolement serait plus faible introduit une diaphonie supplémentaire entre les serpentins [CHAO 2008] et engendrera des délais supplémentaires dans la ligne et des effets de désadaptation amplifiés sur les signaux [CHAO 2007].

V.5. Conclusion partielle

L'étude a porté sur des mesures sur cuivre nu à l'aide d'un TDR pour caractériser les impédances caractéristiques des pistes réalisées. Les mesures nous ont validé les calculs et les simulations à deux et à trois dimensions présentés au cours du paragraphe IV.

Les mesures en réflectométrie sont rapides à mettre en œuvre et permettent d'obtenir une image précise de l'impédance d'une piste. Ce type de caractérisation semble être un bon compromis par rapport aux études 3D qui impliquent d'importants temps de modélisation et de calcul. La validation générale de notre méthodologie pourrait facilement être effectuée avec ce type d'outil et sur chaque circuit imprimé où l'on pourrait implanter de façon systématique une ligne au sein du PCB pour des mesures post fabrication. Cela permettrait d'évaluer à la fois la précision de fabrication et les tolérances spécifiées par le constructeur. Il deviendrait également possible d'étudier de nouvelles géométries. La systématisation de ce type d'analyse nécessiterait peu de temps de mise en œuvre et apporterait un suivi sur l'évolution des technologies et de la fabrication.

Ce suivi semble important aujourd'hui car il permet de définir une méthodologie cohérente, qui s'enrichit en fonction des évolutions technologiques.

Après une description de l'outil de simulation de Cadence ainsi que des limitations qu'il présente, nous allons définir l'impact que des variations d'impédance caractéristique peuvent avoir sur les signaux à travers des simulations temporelles.

VI. ÉTUDE DE L'IMPACT DU ROUTAGE ET DE LA FABRICATION SUR LA QUALITÉ DU SIGNAL

VI.1. Présentation de l'outil de simulation

Les outils de simulation d'intégrité de signal permettent la mise en place d'empilage et le calcul des adaptations de lignes nécessaires dans des phases de pré-routage. L'outil cadence permet en post-routage d'extraire les topologies de piste sous la forme d'un schéma électrique équivalent. Il utilise un solveur électromagnétique (Bem2D) qui extrait les paramètres RLCG des lignes de transmissions. Une configuration de l'outil prend en compte tous les éléments de cuivre définis comme alimentation ou masse dans le calcul de l'impédance caractéristique de la ligne extraite. Cet outil permet donc d'obtenir une caractérisation précise de chaque piste, telle que celle représentée figure 74.

Cependant, cette caractérisation présente également des limites ; les configurations de pistes superposées sur des couches adjacentes et sur des longueurs significatives ne sont pas correctement modélisées ; la géométrie du tracé des pistes, qui modifie l'impédance caractéristique, n'est pas prise en compte dans le calcul. Une modélisation plus complexe pour l'ensemble des pistes entraînerait un surcoût trop important en temps de modélisation et

de calcul. Il est cependant envisageable d'identifier ces configurations et de proposer une modélisation plus précise si elle est demandée par le spécialiste IS.

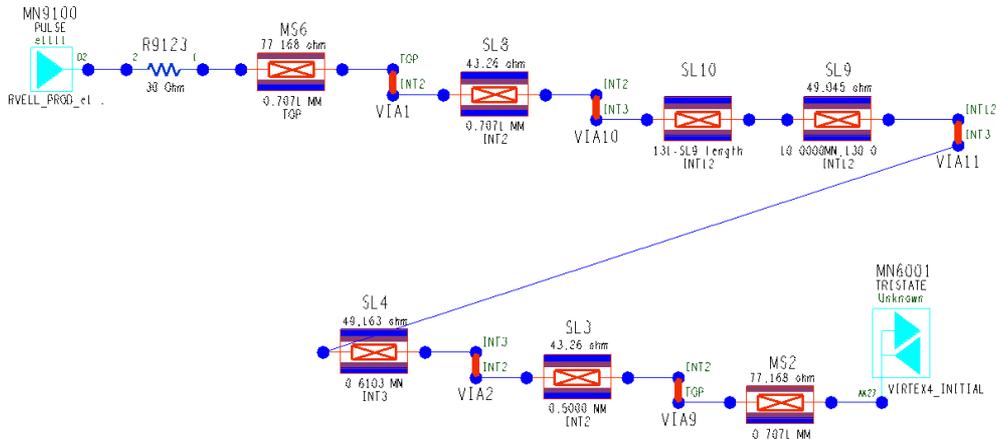


figure 74 : Extraction d'une ligne sous Allegro PCB SI

Le modèle des composants placés aux extrémités des pistes a également une grande influence sur les résultats de simulation. Les modèles utilisés ici sont de type IBIS (Input Output Buffer Information Specification), dont la spécification v3.2 a été validée par la norme ANSI/EIA-656-A [SYED 2000]. Face à une architecture importante, l'étape de recherche et de validation [NS 2003] de modèle peut être longue et laborieuse. La validation du modèle est primordiale ; elle est effectuée à l'aide d'éditeurs spécifiques (par exemple model integrity). L'éditeur de modèles permet de vérifier graphiquement les courbes des buffers et intègre généralement des vérificateurs de syntaxe. Une fois les erreurs de syntaxe corrigées, il est nécessaire de vérifier l'intégrité des informations présentes au sein du modèle (tensions, temps de montée, seuils, éléments parasites, allure des courbes VI/VT) et de les comparer à la documentation des composants. Cette étape est importante car c'est la validité du modèle qui fera la qualité de la simulation. Pour limiter les analyses de ce type à chaque début d'implantation de carte, nous avons mis en place une bibliothèque de gestion de modèles qui recense les modèles validés lors de précédentes conceptions.

VI.2. Étude de corrélation entre la mesure et la simulation

L'utilisation de l'outil Cadence pour traiter les phénomènes de réflexion est d'ores et déjà bien maîtrisé. Ce paragraphe permet de valider à travers une comparaison le fonctionnement de l'outil. Le support d'étude est le véhicule de test, sur lequel une piste reliant les 2 FPGA peut permettre d'étudier le degré de validité de l'outil de simulation.

VI.2.1. Conditions de la mesure

Les appareils utilisés pour cette mesure sont les suivants :

- Oscilloscope Tektronix TDS5104B 1 GHz, taux d'échantillonnage de 5 GS/s.
- Sonde Tektronix P6245 de bande passante de 1,5 GHz, $R_e=1 \text{ M}\Omega$, $C<1 \text{ pF}$.

La bande passante d'un signal numérique est définie par la fréquence F_{knee} [BOGATIN 2004] [PAUL 2006]. La figure 76 montre la représentation asymptotique de l'enveloppe du spectre du signal $S(t)$. Au dessus de la fréquence $1/\pi T_r$, les amplitudes des raies diminuent très fortement. On peut considérer que le spectre est négligeable à partir de cette fréquence. L'occupation spectrale dépend donc ici directement du temps de montée.

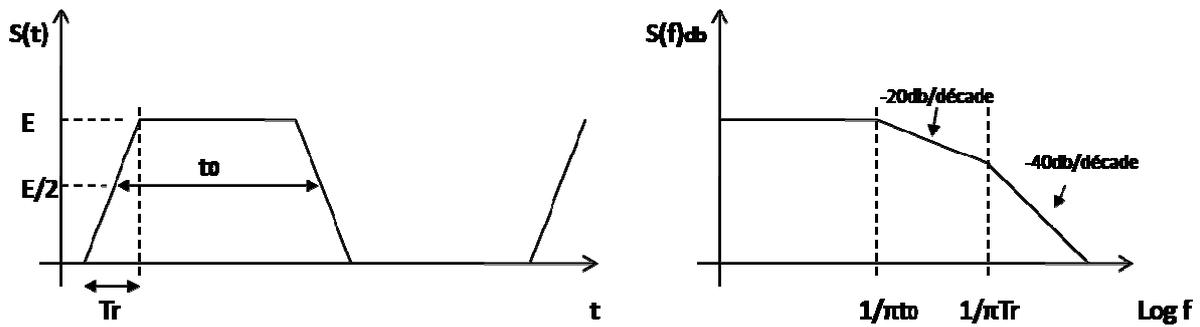


figure 75 : Représentation asymptotique de l'enveloppe du spectre d'un signal

$$F_{knee} = \frac{1}{\pi.T \min} \quad [19]$$

En réalité l'occupation spectrale définie ici par F_{knee} dépend du temps de commutation le plus rapide entre le temps de montée et le temps de descente.

Les signaux de type LVTTTL 3V3 étudiés ici, présentent une largeur de bande de près de 500 MHz. Les appareils dont nous disposons sont donc adaptés pour la mesure suivante. Pour optimiser la boucle de masse introduite par les accessoires de raccord de la sonde, nous utilisons une adaptation de sonde « twin tip adapter » et un support (« socket SQ Pin ») pour aligner la pointe de mesure et de masse, ce qui permet de réaliser une mesure la plus propre possible et de conserver la bande passante de la sonde (figure 76).

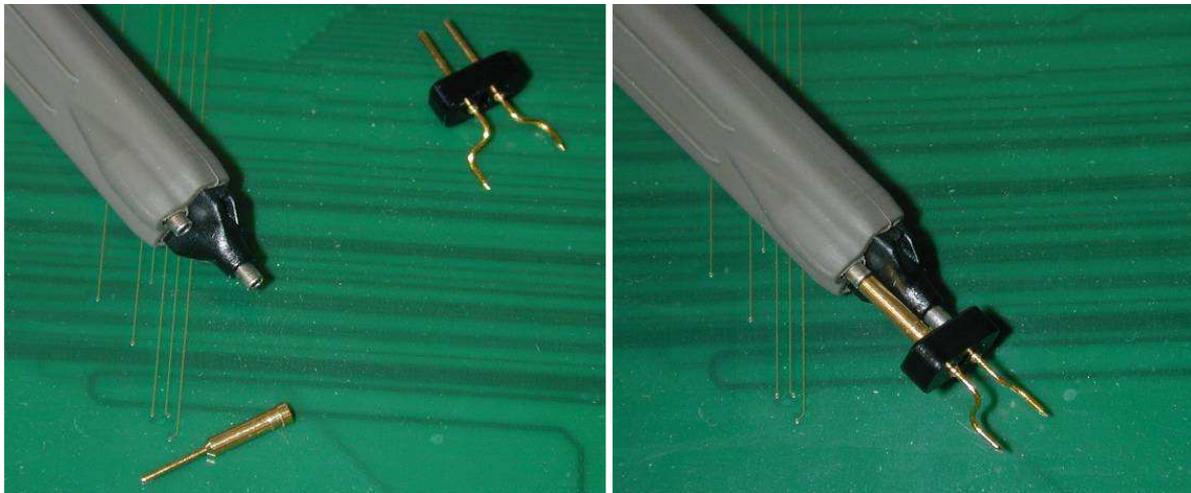


figure 76 : Limitation de la boucle de courant introduit par la masse de la sonde

VI.2.2. Conditions de simulation

La configuration présentée par le tableau 15 est celle utilisée pour la simulation. La configuration de l'outil pour les études de réflexion est simple : après extraction du modèle de la ligne et insertion d'un modèle de sonde au niveau du point de mesure, il suffit de configurer le driver et le récepteur de la ligne. Enfin, il est nécessaire de configurer le paramètre « cut of frequency » en fonction de la fréquence F_{knee} des signaux simulés. Il est à noter qu'une simulation plus fine peut être effectuée en tenant compte des ruptures dans le plan.

	Valeurs par défaut	Valeurs définies
Fréquence de coupure	0 GHz	1 GHz
Résolution de la courbe	10 ns	100 ps
Fréquence driver	50 MHz	50 MHz
Driver	Pulse	Pulse
Récepteur	Tristate	Tristate
Modélisation Point de test	via	Modèle de sonde
Plan Parfait / Réel	Parfait	Parfait

tableau 15 : Définition du paramétrage de l’outil vs paramètres par défaut

VI.2.3. Validation des résultats de simulation

La figure 77 présente la mesure et la simulation d’un signal classique. La concordance des résultats est satisfaisante. On observe quelques différences de niveaux, mais elles restent minimales. Un modèle de sonde plus avancé et la prise en compte des plans réels pourraient certainement améliorer la corrélation des résultats.

Cette brève étude nous a permis de valider le fonctionnement de l’outil de simulation. Nous allons maintenant terminer cette partie en nous basant sur les résultats de simulations qui seront obtenus en utilisant cet outil.

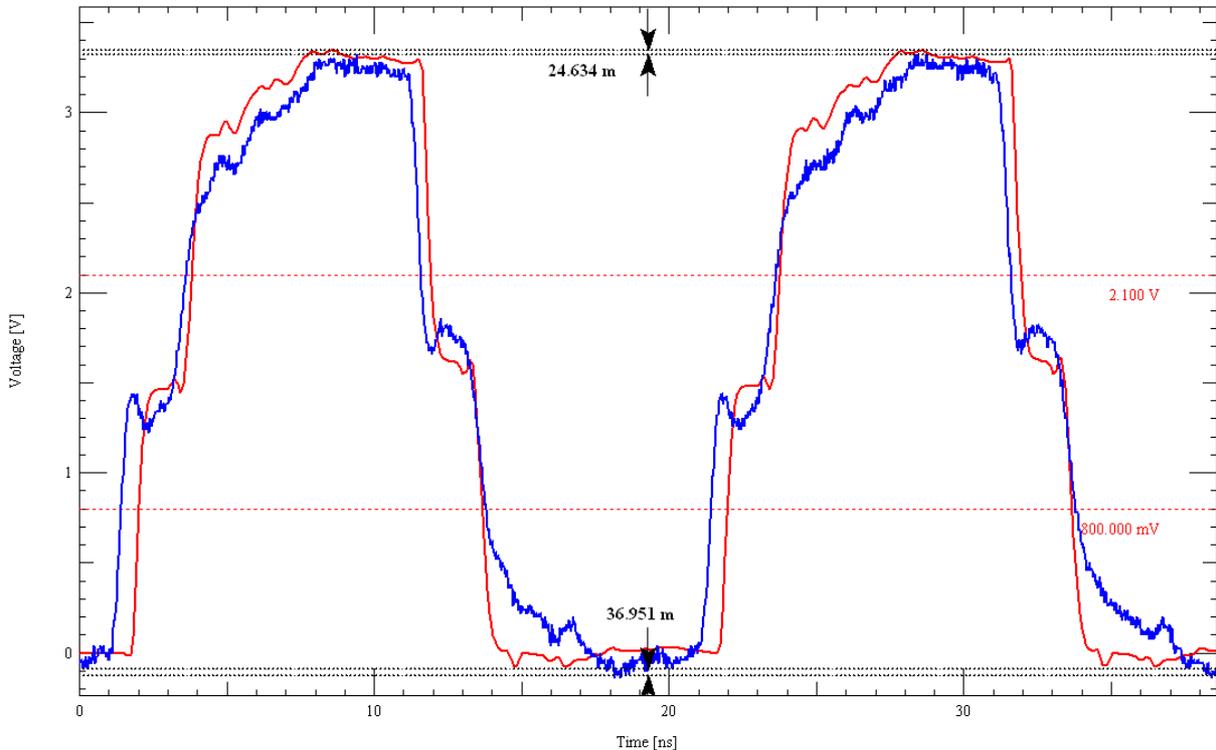


figure 77 : Étude de corrélation entre la simulation (courbe rouge) et la mesure (courbe bleue)

VI.3. Étude de l'impact de la variation de l'impédance sur l'allure d'un signal

Les paragraphes IV et V nous ont permis de définir l'impact que pouvait engendrer un routage à haute densité d'intégration (HDI) sur l'impédance caractéristique des pistes. Nous avons montré qu'il pouvait exister des variations de l'ordre de 15 % dues au tracé de la ligne, ainsi que des variations plus importantes, jusqu'à 100 %, dans des configurations de superposition de pistes. Nous allons maintenant étudier des résultats de simulation effectués dans le cas d'une ligne de 15 cm extraite de la carte à l'aide de l'outil Allegro PCB SI. Nous avons déjà présenté sur la figure 74 les informations physiques de la piste extraite, le driver et son adaptation série, ainsi que la descente dans les couches inférieures avec les lignes MS6 et SL8 par l'intermédiaire des micro-vias VIA1 et VIA10. Ces segments de piste sont de très courtes longueurs (700 μm) dans un souci de maîtrise de l'impédance caractéristique de la piste. La quasi-totalité de la piste (130 mm) se trouve sur la couche 3 (SL9 et SL10). C'est sur cette partie de la piste que nous allons faire varier les différents paramètres pour définir l'impact des modifications d'impédance sur l'allure des signaux. La fréquence utilisée est de 50 MHz et les drivers sont de types ALVCH 3.3 V (Advanced Low Voltage CMOS with bus Hold).

La figure 78 présente les résultats de simulations de la ligne pour plusieurs valeurs de résistance d'adaptation. Ces simulations illustrent l'importance d'adapter la ligne et laissent apparaître un compromis entre la résistance 35 Ω , qui n'élimine pas tout à fait le dépassement à l'état bas, et celle de 50 Ω qui réduit la marge de bruit.

Les simulations suivantes présentent l'impact des variations d'impédance sur l'allure des signaux avec une adaptation série de 35 Ω , résultats présentés à la figure 79, puis pour une résistance de 50 Ω , comme montré dans la figure 80. Pour modéliser la modification de l'impédance sur une partie de l'équipotentielle, la ligne extraite a été modifiée : nous avons fait varier son impédance caractéristique de plus ou moins 50 % par rapport à sa valeur initiale de 50 Ω sur la moitié de la longueur.

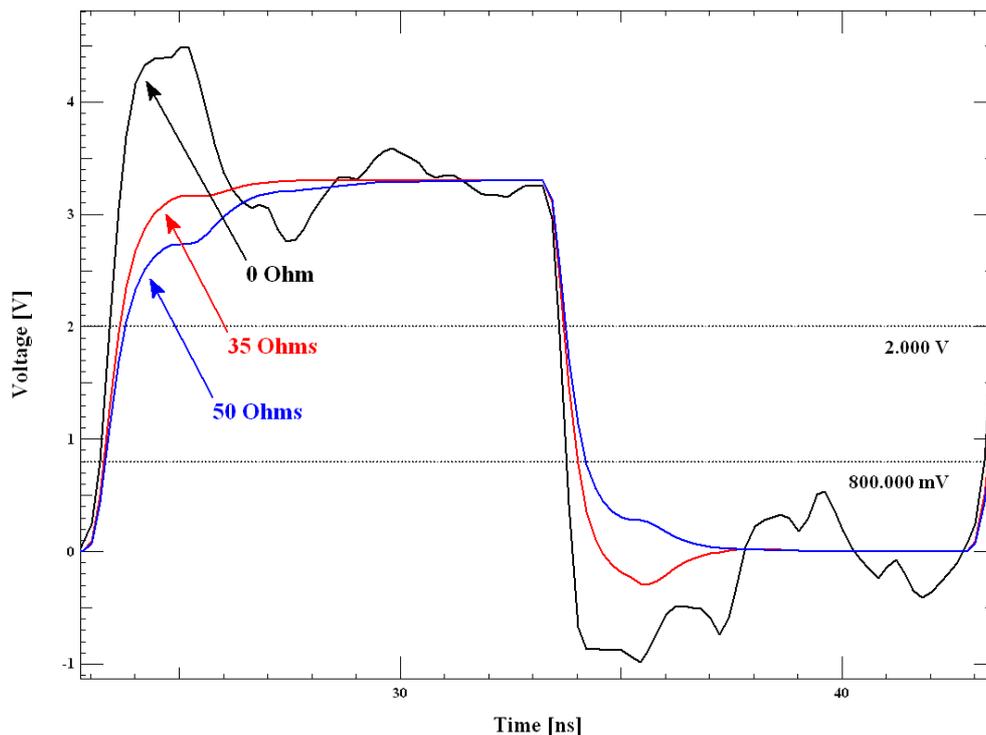


figure 78 : Simulations de la ligne avec différentes adaptations séries ($R=0 \Omega$; $R=35 \Omega$; $R=50 \Omega$)

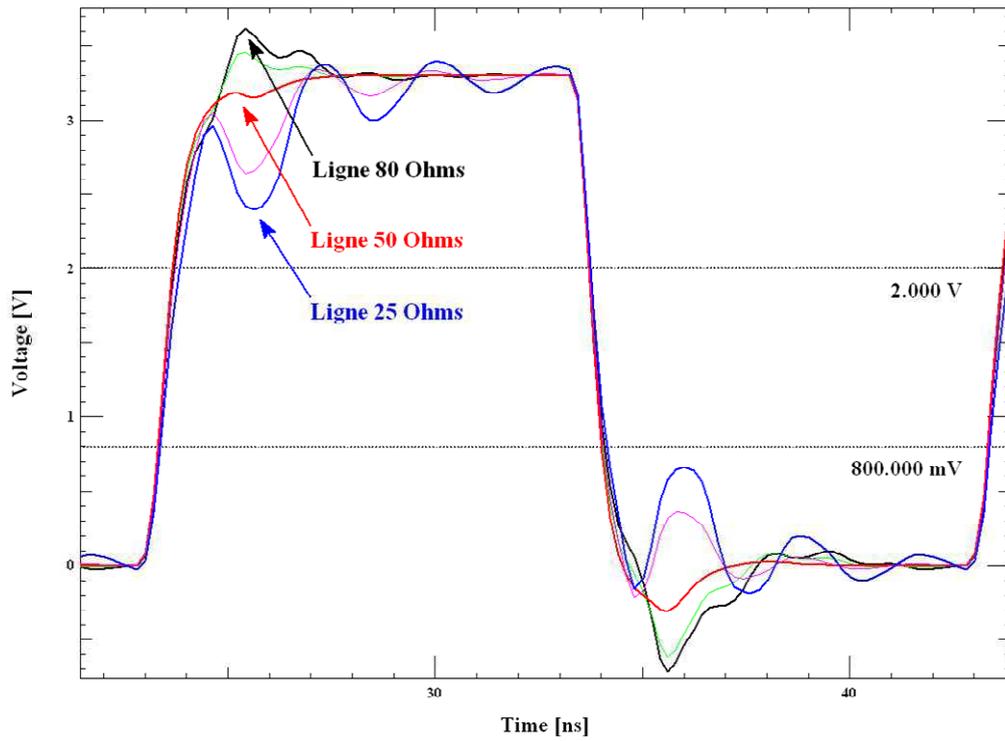


figure 79 : Simulation d'une ligne avec variation d'impédance ($R_{\text{série}} = 35 \Omega$)

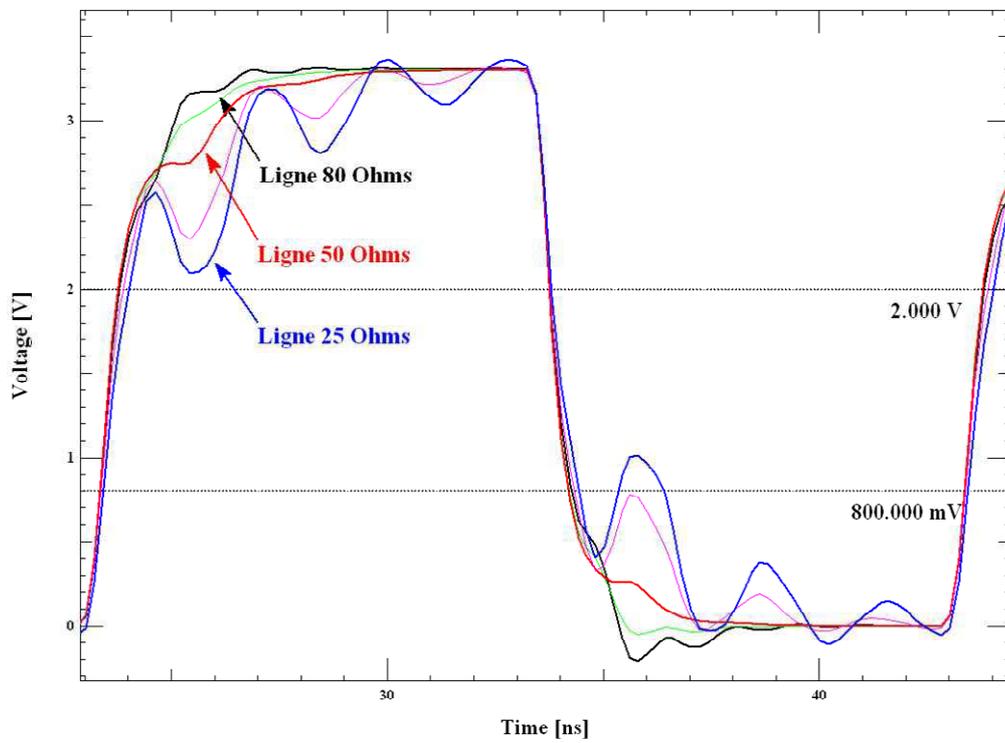


figure 80 : Simulation d'une ligne avec variation d'impédance ($R_{\text{série}} = 50 \Omega$)

VI.4. Conclusion partielle

Ces simulations illustrent l'impact négatif que peut avoir une variation d'impédance caractéristique sur les signaux. Quand l'impédance caractéristique de la ligne diminue, les simulations laissent apparaître une sensible diminution des marges de bruits, et quand elle augmente nous remarquons l'apparition de dépassements. Dans le cas présent nous avons vu que l'adaptation la plus appropriée est de 35Ω . Malgré un léger dépassement pour une désadaptation de 80Ω , les marges de bruits sont plus importantes et il n'apparaît aucun franchissement de seuil.

VII. CONCLUSION ET PERSPECTIVES

Nous avons, à travers ce chapitre, caractérisé l'impact de la fabrication sur la valeur de l'impédance caractéristique. Les résultats obtenus sur les structures après fabrication ont montré que les tolérances spécifiées par les constructeurs étaient respectées. Cette étude a ciblé la variation de l'épaisseur des diélectriques et nous a permis de constater que les tendances par rapport aux spécifications étaient à la baisse, ce qui induit une diminution de l'impédance caractéristique dans les différentes couches. Les processus semblent donc à ce jour bien maîtrisés et permettent d'obtenir une variation des valeurs d'impédance caractéristique inférieure à 10 %. Par une seconde partie, nous avons traité l'impact d'un routage complexe et à haute densité sur la valeur de l'impédance caractéristique. Nous avons montré que les variations pouvaient être importantes jusqu'à 33 % et même 100 % dans le cas de superposition de piste, ou lors du recouvrement partiel d'une piste par un plan de fermeture. Enfin, la comparaison d'impédance entre une ligne droite et une ligne sinueuse a permis d'observer des différences de l'ordre de 15 %. Les résultats obtenus ont été validés par une campagne de mesure effectuée à l'aide d'un réflectomètre.

Nous avons ensuite validé la démarche et les logiciels de simulation mis en œuvre à travers la confrontation des résultats de simulation avec les mesures. La précision des résultats dépend de la géométrie du routage. Le logiciel d'extraction des paramètres caractéristiques des pistes parvient à détecter les plans de masse partiels, mais il ne sait pas identifier les configurations de superposition de lignes, et il caractérise de la même façon une ligne droite et une ligne sinueuse. Ces deux points illustrent les limites des outils de simulation. Au-delà de ces limitations, les simulations nous ont montré que les variations d'impédance caractéristique engendrées par le routage créaient d'importantes perturbations sur l'allure des signaux.

Enfin, la qualité des résultats de simulation reste soumise à la validité des modèles IBIS utilisés. Le spécialiste IS doit maîtriser ces limites et être capable d'identifier les configurations mal caractérisées pour effectuer, si besoin, des analyses complémentaires dans le cas de signaux critiques.

Cette analyse nous a également permis de définir des règles qui imposent des configurations de géométries à supprimer des routages comme par exemple la superposition de pistes, mais aussi d'établir un motif de ligne sinueuse que l'on maîtrise aujourd'hui et qui permet de rester dans un mode transverse électromagnétique (TEM). Les dimensions de ce motif seront donc imposées à l'implanteur pour éviter des scénarios, non détectables par l'outil de simulation, qui engendreraient des variations importantes de l'impédance mais également des retards dus aux couplages par diaphonie des différents serpentins entre eux.

Enfin, nous avons étudié dans ce chapitre les outils de simulation et de mesure qui nous permettent d'obtenir des informations complémentaires à celles délivrées par les outils de CAO et qui présentent certaines limitations. Un processus de conception et des règles sont essentiels dans l'étude des impédances caractéristiques. Cette évolution nécessite une expertise supplémentaire et systématique.

Les outils 2D et 3D permettent d'étudier de nouvelles géométries ou l'impact de nouveaux procédés de fabrication, étude qui pourrait également être complétée par l'analyse de coupons et de micro-sections. Cependant ce type d'étude peut occasionner des temps d'analyse et de calcul importants.

L'utilisation d'un TDR semble donc être le bon compromis pour des études régulières a posteriori. La mesure est simple et facile à mettre en œuvre ; l'étude du motif de lignes superposées au §V.3 nous a montré que les résultats étaient simples à interpréter. Une mesure systématique sur une ligne test ou sur un motif sensible nous permettrait de déceler rapidement le non respect des tolérances lors de la fabrication du cuivre.

Aujourd'hui l'étude de la réflexion pour des signaux « classiques » est un phénomène bien maîtrisé. Pour compléter nos compétences dans les études d'intégrité de signal, il est faut être capable de caractériser ces phénomènes dans l'étude de liaisons multi-gigahertz.

Le véhicule de test a permis d'anticiper ce besoin et, à ce jour, une première étude de corrélation a été effectuée. Une étude sera donc nécessaire dans le futur pour recenser les outils et les méthodes de modélisation permettant de caractériser les liens séries rapides.

CHAPITRE IV

LA DIAPHONIE

I. PRISE EN COMPTE DE LA DIAPHONIE PAR LA CAO

L'étude de la diaphonie sur une carte électronique nécessite la mise en œuvre de multiples étapes. Cela commence par l'étude du PCB pour détecter les éventuelles zones de couplage. Cette étape permet de décomposer l'ensemble du système en tronçons. Ensuite, les informations géométriques des différents tronçons sont extraites pour calculer les capacités et inductances linéiques des lignes et des couplages. Une fois que les lignes agresseur et victime sont modélisées, une simulation temporelle est effectuée [PSPICE 2000] de façon à obtenir les niveaux de tensions induites sur les conducteurs victimes. Cette méthodologie a été retenue par l'outil de simulation Allegro PCB SI [WILLIS 2003].

Le logiciel étudie les signaux « victimes » sélectionnés par l'utilisateur et détermine les zones de couplage engendrées par des conducteurs « agresseurs » environnants. La configuration de l'outil est importante : il est possible de définir à la fois une fenêtre de visualisation autour du signal victime au sein de laquelle les signaux présents sont considérés comme des agresseurs potentiels, mais également la longueur minimale de couplage à partir de laquelle on tient compte du couplage. Pour chaque tronçon détecté, l'outil détermine les paramètres RLCG du système. Il associe ensuite les modèles de simulation comportementaux de type IBIS et effectue une simulation temporelle paire dans le cas où les signaux se propagent dans le même sens (EVEN) et/ou impaire s'ils se propagent dans un sens opposés (ODD). La simulation est effectuée avec le front (montant ou descendant) le plus rapide. Une fois la simulation achevée, l'outil délivre la valeur maximale entre la tension induite résultante en début (NEXT) et en fin de ligne (FEXT).

A partir de ces différents éléments, nous allons étudier et évaluer le fonctionnement de l'outil à travers des études théoriques et des mesures sur le véhicule de test (figure 81).

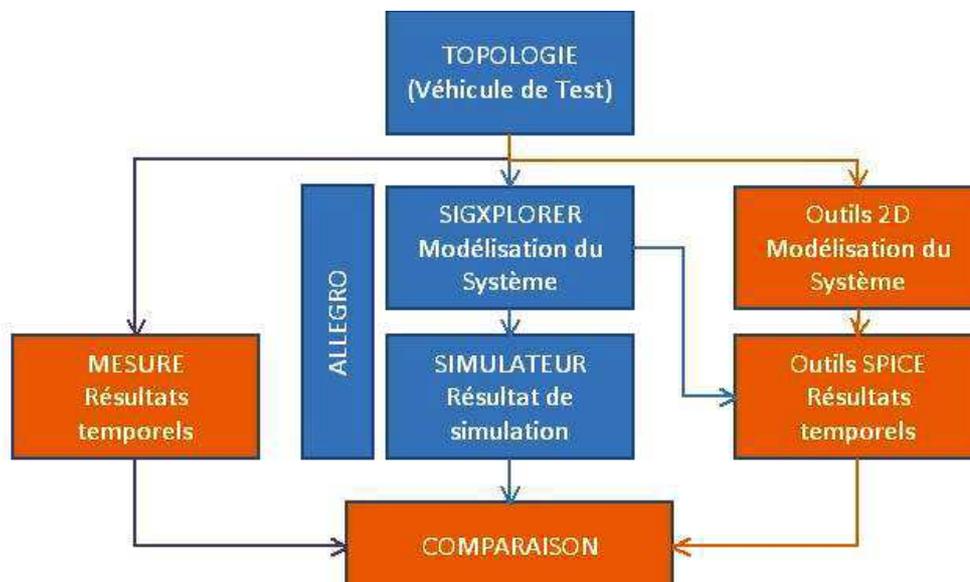


figure 81 : Définition de l'étude mise en œuvre

La première et la deuxième partie du chapitre sont consacrées à l'étude de la modélisation effectuée par l'outil SigXplorer dans la caractérisation des couplages à travers un système simplifié. La validation de la méthode utilisée nécessite la mise en œuvre d'un modèle de simulation.

L'étude d'un couplage complet est ensuite effectuée après une présentation précise des possibilités qu'offre Allegro.

La troisième partie permet d'observer la tendance des résultats de simulation issus de l'outil Allegro. La quatrième partie étudie la validité des choix méthodologiques et des résultats de simulation de l'outil à travers une campagne de mesure.

Les différents motifs de diaphonie implantés sur le véhicule de test (tableau 16) sont analysés dans une dernière partie de façon à quantifier le bruit induit par des scénarios couramment rencontrés. S représente la distance entre deux pistes en largeur et H l'isolement en hauteur. W représente un isolement égal à la largeur d'une piste, typiquement 120µm ici.

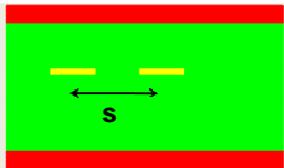
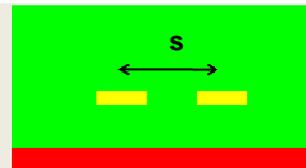
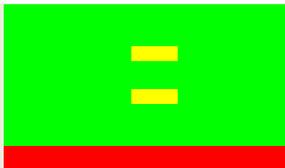
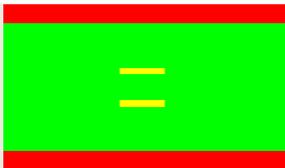
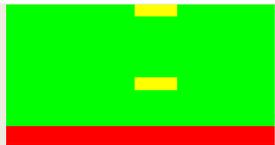
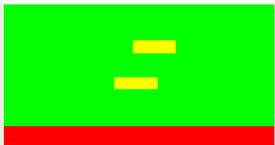
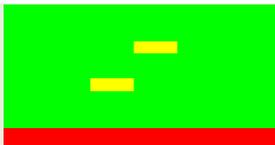
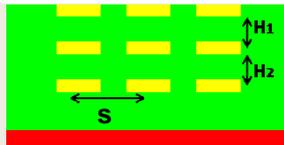
Scénario 1	Scénario 2	Scénario 3	Scénario 4
			
H=0 µm S = 2W/3W/4W	H=0 µm S=2W/3W/4W	H=70 µm S=0 µm	H=250 µm S=0 µm
Scénario 5	Scénario 6-0,5W	Scénario 6-1W	Scénario 7
			
H=185 µm S=0 µm	H=70 µm S=60 µm	H=70 µm S=1W (120 µm)	H1=65µm/H2=70 µm S=2W (240 µm)

tableau 16 : Présentation des scénarios implantés sur le véhicule de test

Les géométries exposées ci-dessus représentent la zone de couplage du scénario. Les scénarios sont implantés avec des longueurs de couplage qui varient entre 1 mm et 180mm.

II. ETUDE THEORIQUE D'UN SCENARIO DE DIAPHONIE

A travers ce paragraphe nous allons tenter de valider les résultats issus de l'outil de simulation de façon théorique. Pour cela, nous allons nous baser sur un des scénarios mise en œuvre sur le véhicule de test et étudier la caractérisation des modèles de ligne et les résultats temporels issus de l'outil Allegro à l'aide de simulations par éléments finis et d'un modèle de simulation sous SPICE. Le scénario 1 avec un couplage de 180 mm et un isolement de 1W=120 µm, soit une distance entre piste de 240µm est choisi (figure 82).

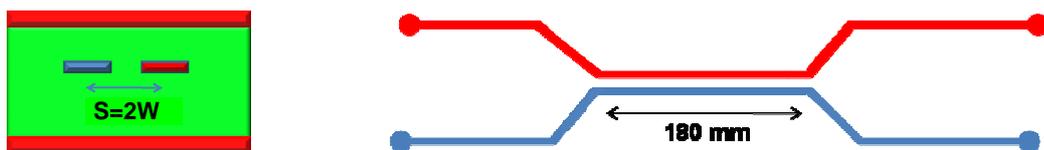


figure 82 : Schématisation du motif étudié (coupe / vue de haut)

L'extraction faite par l'outil de simulation est très fine, et l'ensemble de la topologie est modélisé, ce qui comprend les lignes et les vias permettant d'acheminer les signaux du driver au récepteur. Ces deux lignes ont une longueur totale avoisinant 330mm, l'outil va donc détecter de nombreuses zones de couplage.

II.1.Résultats issus de SigXplorer

La figure 83 présente la topologie de la ligne agresseur et de la ligne victime extraite par SigXplorer.

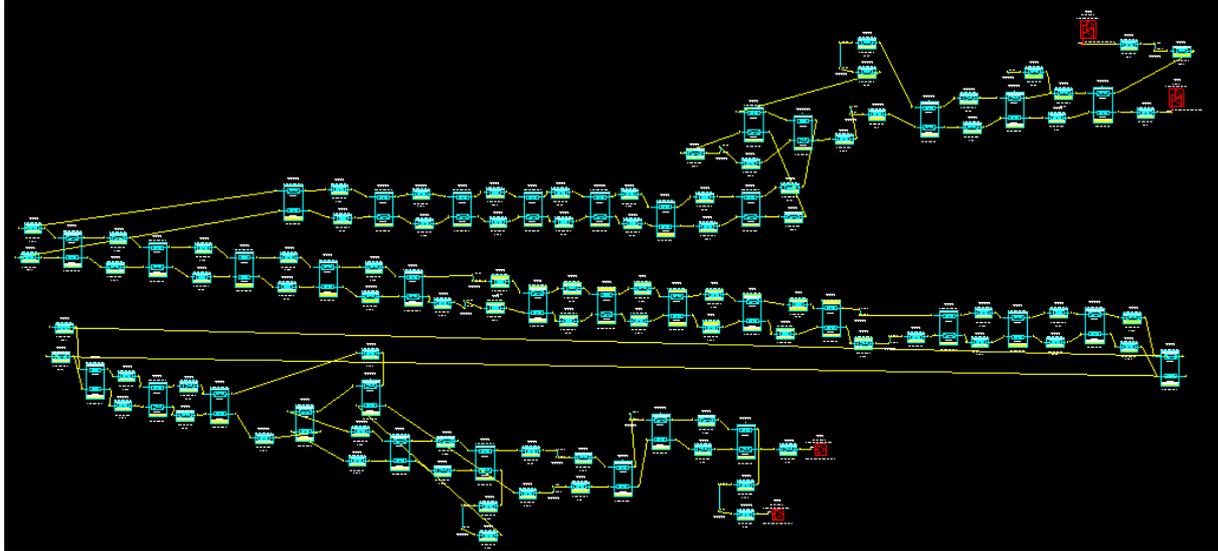


figure 83 : Scénario 1-extraction de deux lignes couplées avec l'outil SigXplorer de Cadence

Chaque tronçon couplé ou non est défini par une longueur et une impédance. L'impédance est différentielle dans les zones de couplage ou représente l'impédance propre de chaque ligne dans les zones considérées comme non couplées.

On obtient donc une modélisation fine du couplage entre le conducteur agresseur et victime (80 tronçons non couplés et 36 tronçons couplés).

L'extraction comprend la description des buffers, auxquels sont associés les modèles IBIS. Enfin, chaque via lié à un changement de couche ou à un accès à la mesure est modélisé (soit 14 vias : 12 μ vias et 2 vias enterrés).

Les lignes ont une impédance proche de 50Ω sur l'ensemble de leur topologie. Aucune terminaison série n'est implantée et les récepteurs ont des entrées haute impédance. A partir de cette extraction nous pouvons définir l'état des buffers agresseurs et victimes et effectuer une simulation.

La figure 84 présente la tension induite au début (NEXT) et à la fin (FEXT) du conducteur victime, paramétré à l'état '0', lorsqu'un front montant est présent sur le conducteur agresseur. Dans cette configuration les signaux victime et perturbateur se propagent dans un sens opposé ; le couplage est donc considéré comme impair (ODD).

Afin de déterminer l'effet du couplage principal et au vu de la complexité de l'extraction présentée ci-dessus, nous décidons d'effectuer l'analyse théorique sur le tronçon présentant le couplage de 180 mm. La simulation du couplage seul est présentée à la figure 85.

Les résultats de simulation permettent d'observer le comportement du signal agresseur en début et fin de ligne et donnent ainsi des informations sur l'impact des terminaisons et sur l'adaptation des signaux.

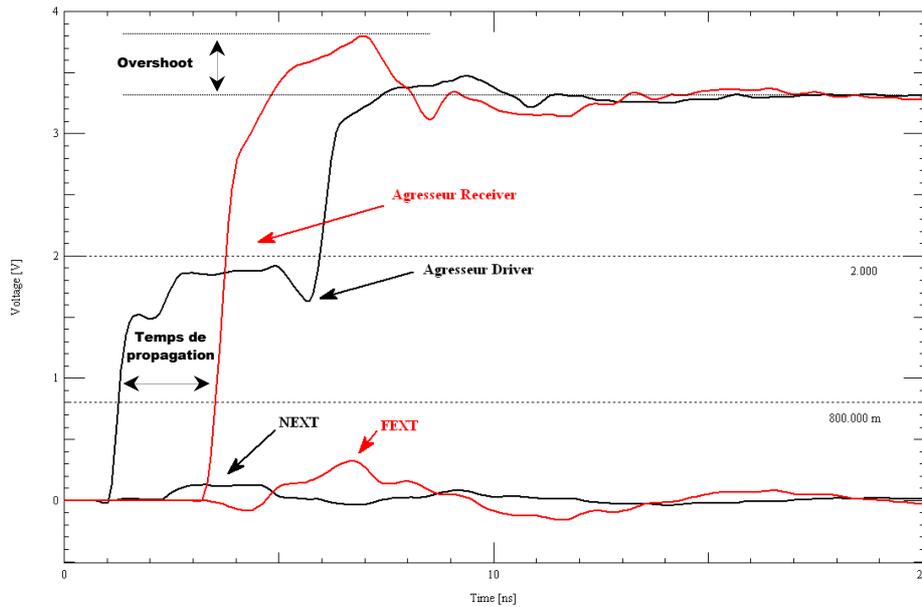


figure 84 : Simulation de la topologie complète du scénario étudié

Le signal agresseur présente une désadaptation engendrant un overshoot au niveau du récepteur. On note également, en début de ligne, un niveau intermédiaire introduit par le pont diviseur formé par la résistance interne du driver et l'impédance caractéristique de la ligne. Ce niveau dure deux fois le temps de propagation de la ligne et apparaît dans le cas où le buffer en réception est à haute impédance.

On obtient sur le conducteur victime les tensions induites en début et en fin de ligne. La longueur des interconnexions totale étant proche de 330 mm, la tension induite en début de ligne n'apparaît pas directement après l'apparition d'un front sur le conducteur agresseur.

La figure 85, malgré l'étude du couplage seul, permet d'observer des niveaux de tension similaires à ceux obtenus avec une simulation complète de la topologie (figure 84).

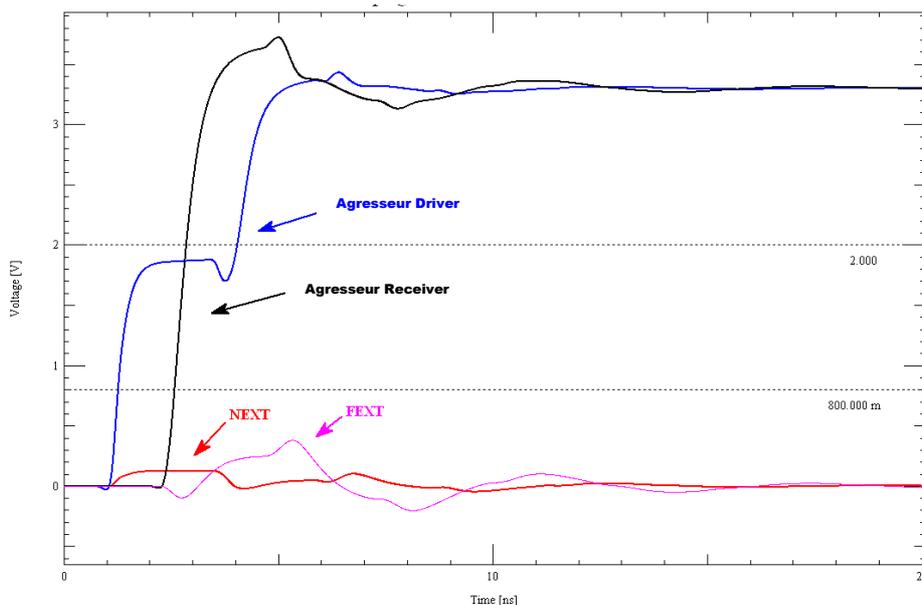


figure 85 : Simulation du scénario simplifié (couplage de 180 mm seul)

Dans la suite, l'étude de la méthode théorique de l'outil Allegro se basera sur le tronçon de la topologie représentant le couplage de 180 mm. Nous définirons les éléments linéiques du couplage à l'aide de simulations à éléments finis. Puis nous étudierons la perturbation induite dans un cas théorique (adapté) puis dans une configuration proche du véhicule de test à l'aide de simulations Spice.

II.2. Etude des paramètres linéiques

A partir de l'outil Allegro, il est possible de récupérer les éléments RLCG calculés lors de l'étude de l'interconnexion. En reprenant les éléments géométriques des lignes et en les modélisant par éléments finis sous Maxwell 2D, nous pouvons calculer les inductances et capacités linéiques afin de les comparer avec celles obtenues sous Allegro.

Les figures ci-dessous (figure 86-a/figure 86-b) représentent les simulations électrostatique et magnétodynamique qui permettent de déterminer les éléments capacitif et inductif du couplage. Dans la figure 86-a, l'amplitude du champ électrique va de 0 V/m à $42,4 \cdot 10^3$ V/m. Pour la simulation magnétodynamique figure 86-b, nous avons choisi une fréquence de 1 GHz, et l'amplitude du champ magnétique H s'étend de 0 A/m à $9,4 \cdot 10^3$ A/m. Le tableau 17 compare les matrices RLCG calculées par l'outil SigXplorer et celles obtenues à l'aide des simulations sous Maxwell.

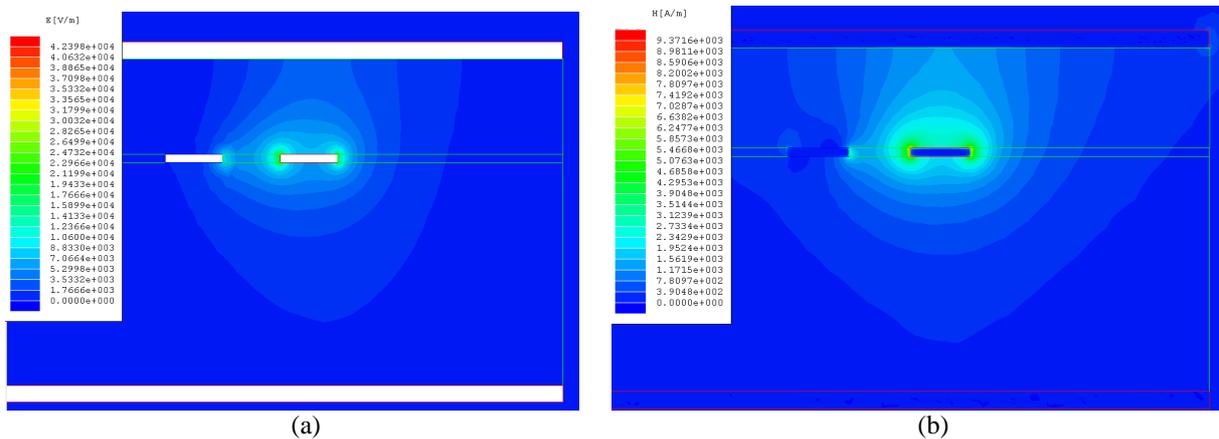


figure 86 : Simulations (a) électrostatique et (b) magnétodynamique issues de Maxwell 2D

	SigXplorer	Maxwell 2D
C (F/m)	$\begin{bmatrix} 103p & 27p \\ 27p & 103p \end{bmatrix}$	$\begin{bmatrix} 104p & 28p \\ 28p & 104p \end{bmatrix}$
L (H/m)	$\begin{bmatrix} 450n & 118n \\ 118n & 450n \end{bmatrix}$	$\begin{bmatrix} 484n & 150n \\ 150n & 484n \end{bmatrix}$
R (Ω /m)	$\begin{bmatrix} 8.23 & 0.000 \\ 0.00 & 8.23 \end{bmatrix}$	$\begin{bmatrix} 53.5 & 0.000 \\ 0.00 & 53.5 \end{bmatrix}$
G (S/m)	$\begin{bmatrix} 0.00 & 0.000 \\ 0.00 & 0.000 \end{bmatrix}$	$\begin{bmatrix} 0.00 & 0.000 \\ 0.00 & 0.000 \end{bmatrix}$

tableau 17 : Comparaison des éléments linéiques issus de SigXplorer et de Maxwell 2D

Les résultats sont très semblables en ce qui concerne la matrice [C], alors que les valeurs calculées pour la matrice [L] sont plus grandes sous Maxwell 2D que celles issues de SigXplorer. Enfin les résultats sont très différents pour ce qui concerne la matrice [R].

La différence sur la matrice [R] est due au fait que l’outil SigXplorer calcule cette dernière en statique (DC) (équation [20]) :

$$R = \frac{\rho \cdot L}{S} [\Omega / m] \quad [20]$$

Soit, avec les dimensions des pistes, une résistance linéique R de 8.33 Ω/m . Par contre, Maxwell 2D calcule R en tenant compte de l’effet de peau et de la répartition du courant au sein du conducteur à la fréquence spécifiée (1GHz). La résistance obtenue est donc plus élevée. Le calcul de la résistance R est sous-estimé en hautes fréquences par SigXplorer, ce qui peut entraîner des amortissements d’oscillations plus faibles, dans les simulations Allegro, que ceux observés en réalité.

L’outil Allegro ne semble pas utiliser de simulation magnétostatique ou magnétodynamique pour le calcul de la matrice inductance linéique [L], mais déduire celle-ci, à partir de la matrice [C] issue de la simulation électrostatique, à l’aide de l’équation [21] :

$$[L][C] = \frac{1}{V_p^2} \quad [21]$$

Où V_p représente la vitesse de propagation du signal dans la piste (en supposant le milieu homogène).

$$V_p = \frac{c}{\sqrt{\epsilon_r}} \quad [22]$$

$$T_p = \frac{1}{V_p} \quad [23]$$

Soit pour calculer la matrice inductance [L] :

$$[L] = \frac{1}{V_p^2} \cdot [C]^{-1} \quad [24]$$

Avec [C] la matrice issue d’Allegro et en prenant comme valeur pour la permittivité du diélectrique $\epsilon_r=3,9$ nous obtenons :

$$L = \begin{bmatrix} 449.9n & 117.6n \\ 117.6n & 449.9n \end{bmatrix}$$

Soit une matrice [L] quasi-identique à celle calculée par SigXplorer (tableau 17). Ce résultat a été également observé pour d’autres configurations.

Le fait que la matrice [L] soit définie à partir de la matrice [C] entraîne une sous-estimation systématique des inductances, surtout en basses fréquences.

De plus, dans le cas du calcul des tensions NEXT et FEXT pour deux lignes parfaitement adaptées aux deux extrémités (équations [11] et [13]), ce mode de calcul revient à rendre égal le terme C_m/C du couplage électrique et le terme L_m/L du couplage magnétique. Dans cette configuration la tension FEXT est annulée (équation [13]).

Le paragraphe qui suit va nous permettre de mettre en évidence ces différences en comparant les résultats d’Allegro à ceux que nous obtenons en simulant la même configuration en utilisant Pspice.

II.3. Etude du couplage sur une ligne adaptée

Comme nous l'avons vu au chapitre I, il est possible, dans le cas d'un système adapté, de définir, à l'aide de formules analytiques, la tension perturbatrice qui sera présente en début et en fin de ligne (cf. équations analytiques [11], [12] et [13] associées à la figure 16).

Le tableau 18 rassemble les valeurs des tensions induites, temps de propagation et impédances calculées à l'aide des équations et des matrices [C] et [L].

	SigXplorer	Maxwell 2D
V_{next} (mV)	216	239
V_{fext} (mV)	-0,095	-47
T_P (ns)	1,23	1,28
Z_0 (Ω)	66	68

tableau 18 : Tensions induites calculées à partir des données issues de SigXplorer et de Maxwell 2D

Malgré une différence sur les moyens mis en œuvre pour définir les éléments linéiques, les résultats obtenus à l'aide des équations analytiques sont proches, à l'exception de la tension de FEXT. Nous retrouvons comme prévu une valeur quasi-nulle avec les paramètres issus d'Allegro.

Pour une meilleure interprétation de ces résultats, nous avons injecté les paramètres RLGC dans un simulateur Spice. Le but est d'être dans une configuration de simulation avec les lignes adaptées. De cette façon, les résultats obtenus doivent être similaires aux niveaux définis à l'aide des calculs analytiques. Chaque ligne est donc terminée par deux résistances égales à Z_0 en début et en fin de ligne. Le driver est défini comme un signal trapèze paramétré avec des niveaux (tensions et temps de commutations) correspondant à ceux décrits dans le modèle comportemental (IBIS) du composant.

La modélisation des lignes couplées se fait sous PSpice à l'aide du composant T2coupled [PSPICE 2000]. Il correspond au couplage de deux lignes identiques. Les paramètres à renseigner sont les valeurs RLCG des lignes ainsi que la capacité et l'inductance de couplage. Les valeurs de capacités C_{11} et C_{22} des matrices calculées à l'aide d'outil 2D ne représentent pas les capacités intrinsèques des lignes agresseur et victime, mais la somme de la capacité mutuelle et de la capacité intrinsèque de chaque ligne comme présenté à la figure 87. Cette matrice obtenue à partir de l'outil 2D est généralement appelée « matrice de Maxwell ».

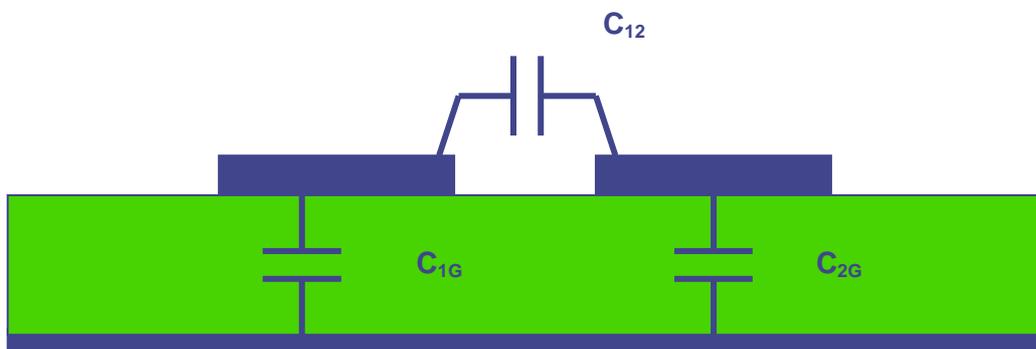


figure 87 : Représentation des différentes capacités pour deux lignes couplées

$$C_{\text{Maxwell}} = \begin{bmatrix} C_{11} = C_{1G} + C_{12} & -C_{12} \\ -C_{12} & C_{22} = C_{2G} + C_{12} \end{bmatrix} \text{ [F/m]}$$

L'outil devra donc être paramétré avec les valeurs calculées dans le tableau 19, qui permettent de définir la « matrice Spice ».

$$C_{\text{Spice}} = \begin{bmatrix} C_{11} - C_{12} & C_{12} \\ C_{12} & C_{22} - C_{12} \end{bmatrix} \text{ [F/m]}$$

$C_{\text{SigXplorer}} \text{ [F/m]}$	$C_{\text{Maxwell}} \text{ [F/m]}$	$C_{\text{Spice}} \text{ [F/m]}$
$\begin{bmatrix} 76\text{p} & 27\text{p} \\ 27\text{p} & 76\text{p} \end{bmatrix}$	$\begin{bmatrix} 76\text{p} & 28\text{p} \\ 28\text{p} & 76\text{p} \end{bmatrix}$	$\begin{bmatrix} 48\text{p} & 28\text{p} \\ 28\text{p} & 48\text{p} \end{bmatrix}$

tableau 19 : Définition de la « matrice Spice »

Les figure 88 et figure 89 présentent le système paramétré avec les matrices issues d'Allegro définies ci-dessus et les courbes obtenues après simulation.

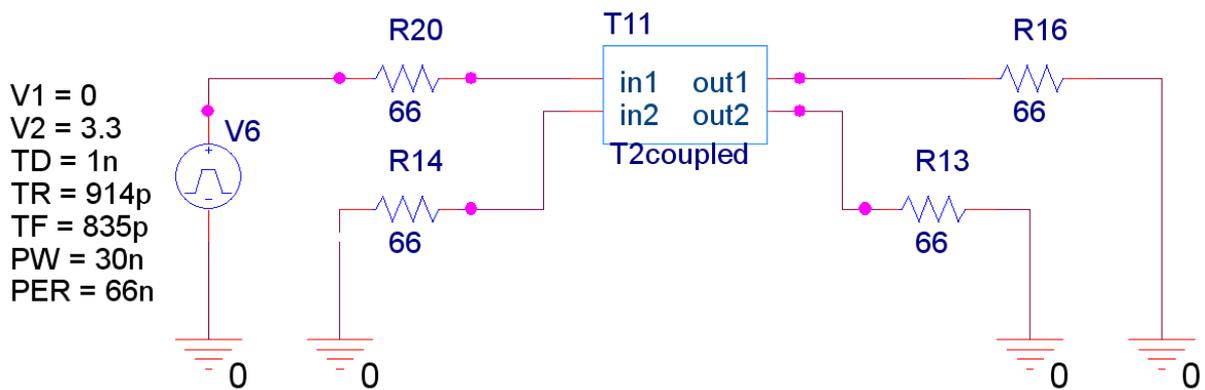


figure 88 : Caractérisation du couplage sous Pspice dans le cas d'une configuration adaptée

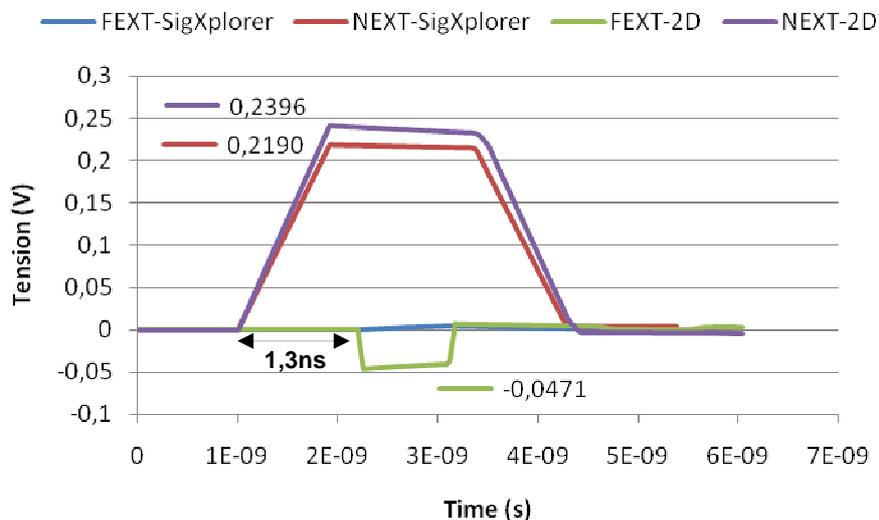


figure 89 : Simulations Spice-FEXT/NEXT en fonction des matrices issues de SigXplorer et Maxwell

Nous retrouvons les valeurs maximales calculées analytiquement au tableau 18 avec des timings cohérents. En reprenant les courbes NEXT-2D et FEXT-2D, on observe une tension sur la courbe NEXT qui dure environ 4,5 ns ($2T_D + T_r$). Au bout de 1,3 ns (T_D) une tension perturbatrice apparaît en FEXT et dure environ 1 ns (T_r).

Ces résultats montrent que nous maîtrisons les outils théoriques permettant de déterminer les amplitudes maximales des tensions induites en début et fin de ligne, à partir de la géométrie d'un couplage et dans le cas d'un système adapté. Cependant, on observe bien une différence sur les tensions NEXT, du fait des méthodes de calcul employées pour déterminer les matrices inductance. Il est nécessaire d'évaluer si les différences obtenues dans cette configuration (adaptée) se retrouvent aussi dans une configuration identique à celle de nos cartes (non adaptée).

II.4. Etude du couplage dans la configuration du véhicule de test

Dans cette partie, on souhaite paramétrer le système sous PSPICE de façon à ce qu'il soit représentatif du véhicule de test. Il faut modéliser le comportement des drivers et modifier les adaptations de ligne.

Dans le but de comparer les résultats à ceux obtenus dans un cas adapté, on choisit de représenter les buffers récepteurs comme des circuits résistifs et non par une modélisation capacitive qui modifierait l'état transitoire. Les résultats qui nous intéressent étant les niveaux maximum de tension induite.

La modélisation des buffers (récepteurs) est donc simple car n'étant pas adaptés, ils se comportent comme des circuits à haute impédance. On choisit donc de les modéliser par des résistances de $1M\Omega$. En ce qui concerne les drivers, on les modélise par un signal trapèze, identique à celui utilisé auparavant, associé à une résistance série définie à l'aide du modèle IBIS, qui représente l'impédance interne du buffer [WESTERHOFF 2005]. On détermine la valeur de l'impédance interne du buffer à l'aide de la courbe « Pull up » du modèle IBIS.

En effet, le signal issu du driver atteint sa valeur finale, 3,3 V, au bout de $2T_D$. Le reste du temps il est porté à une valeur intermédiaire, définie par le pont diviseur de tension du système. Le courant et la tension associés à cette valeur intermédiaire permettent de définir l'impédance interne. Dans le cas présent, la tension du driver est 3,3 V, et il est connecté à une ligne de 66Ω . Le buffer devra donc pouvoir fournir un courant de 50mA.

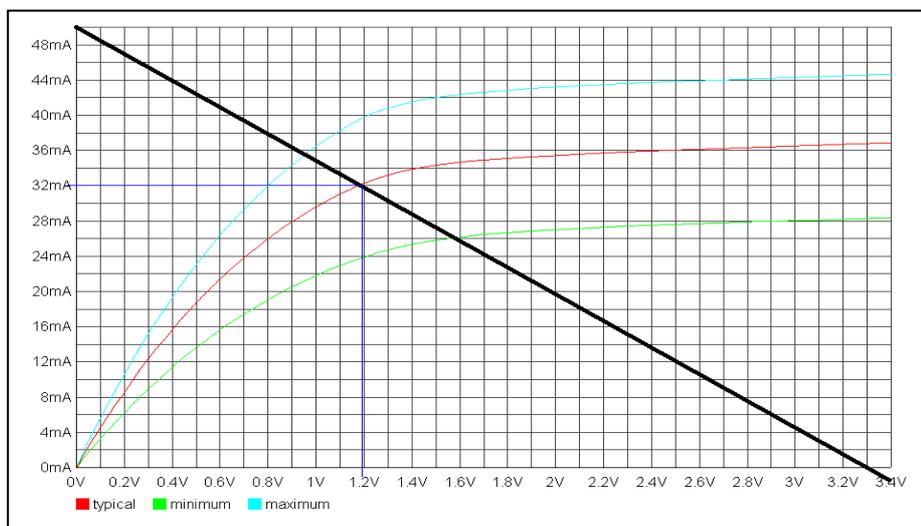


figure 90 : Courbes « Pull up » issues du modèle IBIS du driver LVTTTL 3V3

La figure 90 présente la courbe « pull up » issue du modèle IBIS. Si l'on trace la droite correspondante (50 mA/3,3 V), on obtient le point de fonctionnement nous donnant l'état intermédiaire, soit environ 1,2 V et 32 mA. Nous obtenons donc, à l'aide de la loi d'ohm, une impédance interne de buffer de 37,5 Ω .

La figure 91 présente la caractérisation d'un couplage désadapté, qui sera configurée avec les matrices issues de SigXplorer et de Maxwell. On comparera ces deux systèmes à la courbe obtenue sous l'environnement Allegro (figure 92).

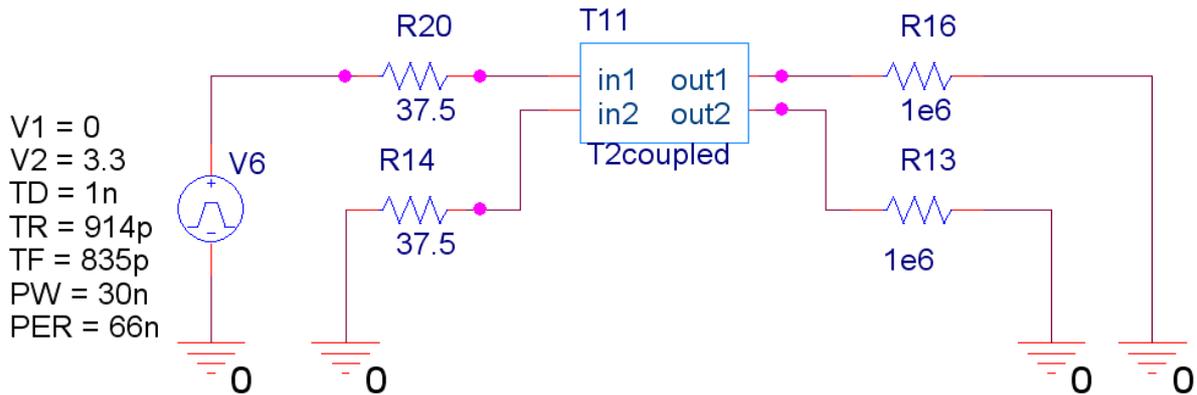


figure 91 : Caractérisation du couplage sous Pspice dans le cas d'une configuration non adaptée

Le tableau 20 présente les maxima et minima relevés sur les différentes courbes.

Tension (mV)	Allegro	Pspice_SigXplorer_M	Pspice_2D
V_next_max	130	187	220
V_next_min	-68	-56	-77
V_fext_max	430	420	475
V_fext_min	-255	-170	-260

tableau 20 : Comparaison des tensions induites observées sous Allegro et celles issues de l'étude théorique

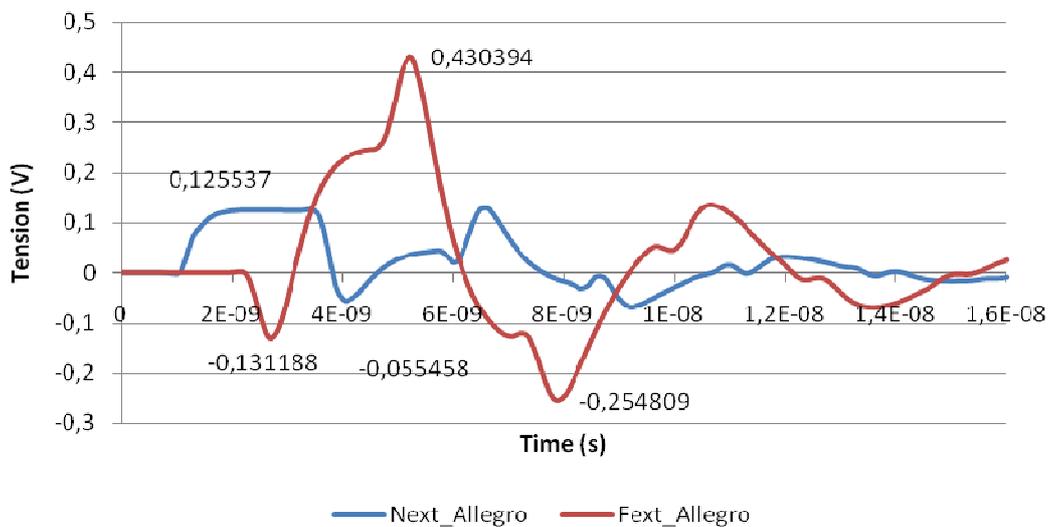


figure 92 : Tensions NEXT et FEXT - Résultats de simulation issus d'Allegro

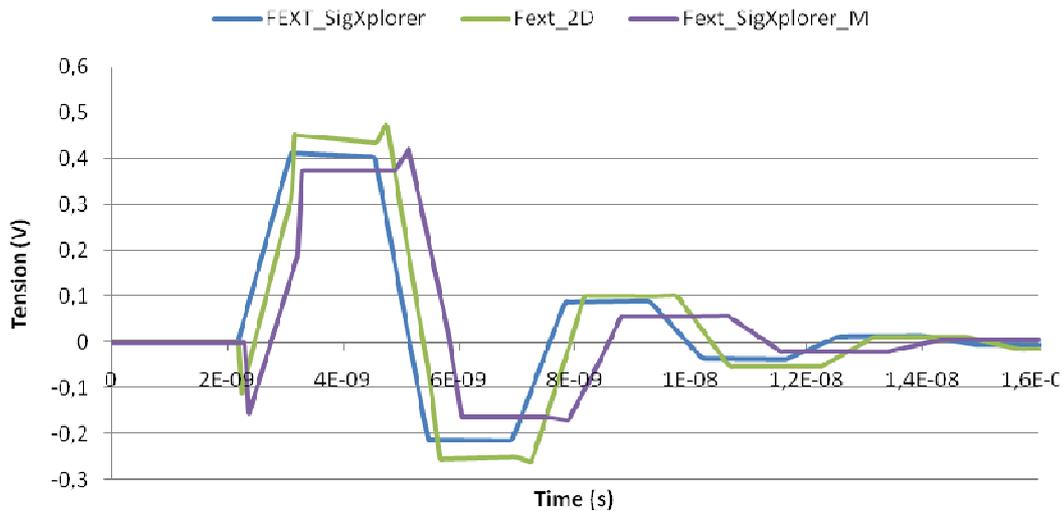


figure 93 : Tensions FEXT sous SPICE suivant les matrices issues de Maxwell et de SigXplorer

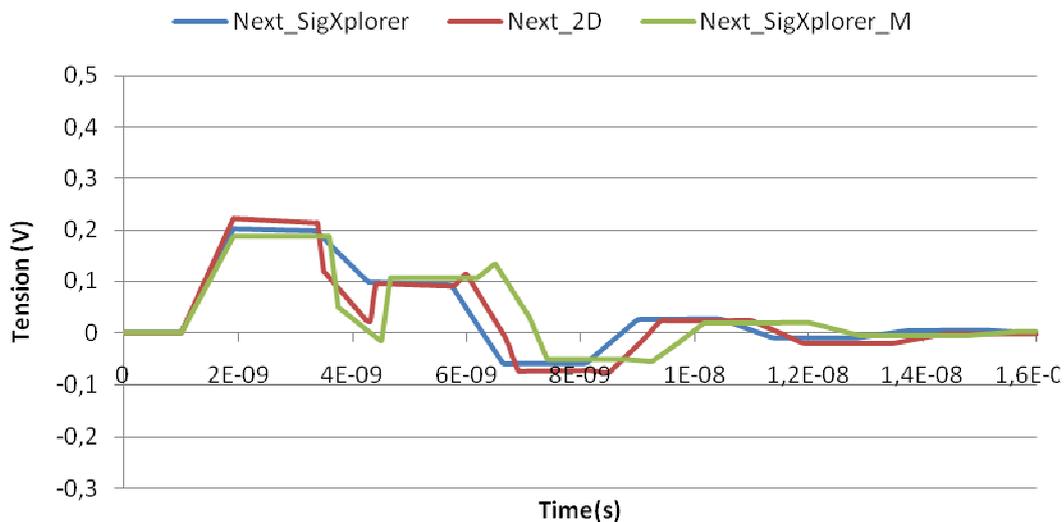


figure 94 : Tensions NEXT sous SPICE suivant les matrices issue de Maxwell et de SigXplorer

Si l'on prend comme référence la courbe issue d'Allegro (figure 92) et qu'on la compare aux signaux présentés figure 93 et figure 94 :

- L'allure des signaux FEXT et NEXT corrèle avec les courbes dont les paramètres de couplage sont calculés à l'aide de Maxwell 2D (courbes _2D). En ce qui concerne les niveaux, les 2 courbes sont pratiquement identiques pour le signal FEXT, mais différentes pour les niveaux du signal NEXT.

- Les courbes dont les paramètres RLCG sont extraits de SigXplorer ne permettent pas de retrouver l'allure de la courbe issue d'Allegro. Un certain nombre d'essais nous ont permis de déterminer que pour retrouver une cohérence entre ces deux simulations, il fallait paramétrer l'outil Pspice, non pas avec la capacité propre du conducteur (C11), mais avec la capacité propre additionnée aux capacités de couplage (C1G). Configuration présentée par la courbe SigXplorer modifiée (Courbes_SigXplorer_M).

L'allure des signaux est cohérente pour l'ensemble des simulations. Les valeurs minimales et maximales sont proches pour l'ensemble des méthodes utilisées (tableau 20). On retrouve des écarts pour la tension NEXT maximale, cependant la différence notée entre

Pspice_SigXplorer_M et Pspice_2D était attendue. En effet, nous obtenons en simulation 2D un rapport d'inductance plus grand que celui calculé par SigXplorer. Comme la tension NEXT est proportionnelle à ce rapport, son amplitude est plus importante.

On peut noter également des écarts entre les niveaux des simulations Allegro et Pspice_SigXplorer_M, qui ont pourtant un paramétrage identique. Cela est dû à la modélisation des buffers d'entrée/sortie. La modélisation faite sous Pspice est simplifiée et introduit des différences visibles, notamment sur l'allure des signaux agresseurs.

On remarque ici que l'amplitude de la tension appliquée est différente entre les deux simulations : relevée sur le premier palier, elle vaut 1,84 V (figure 95-a) (simulation Allegro), contre 2 V (figure 95-b) (simulation Spice) avec les paramètres issus de SigXplorer. Ainsi, l'amplitude de la tension induite en début de ligne, directement liée à celle de la tension appliquée par le driver, est surévaluée dans le cas de la simulation sous SigXplorer.

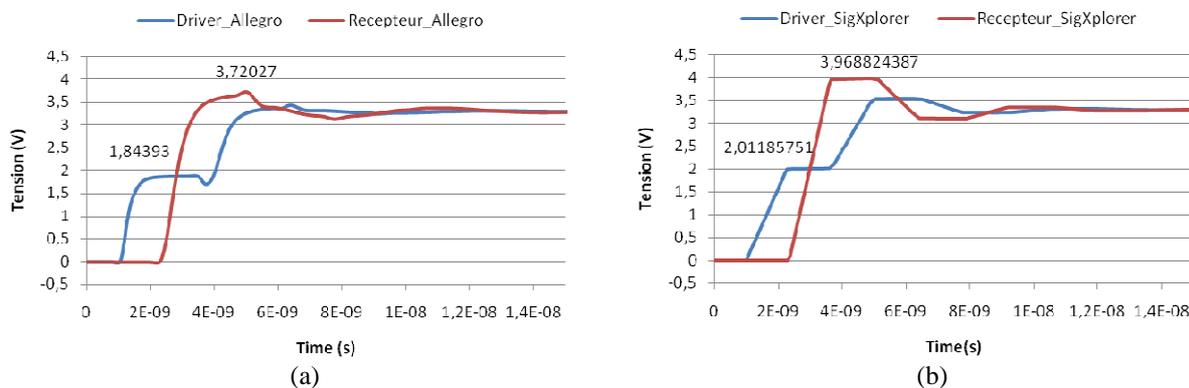


figure 95 : Comparaison de l'allure du driver modélisé sous Allegro (a) à celui modélisé sous Pspice (b)

II.5. Conclusion partielle

Cette étude nous a permis de comprendre le fonctionnement de l'outil Allegro dans l'étude de la diaphonie. Tout d'abord, nous avons déterminé que, cet outil calcule la matrice inductance linéique [L] à partir de la matrice [C] issue de la simulation électrostatique. Cela entraîne dans un cas théorique de lignes adaptées la compensation des couplages capacitifs et inductifs, et donc une annulation du couplage en bout de ligne (FEXT). Une simulation par éléments finis nous a permis de constater que les résultats obtenus pour la matrice inductance étaient différents et n'entraînaient pas cette compensation complète des deux couplages. Cela met en avant une limitation par rapport à la précision des résultats obtenus.

Ensuite, nous nous sommes placés dans une configuration réaliste, représentative des conditions observées sur le véhicule de test. Nous avons obtenu avec l'association des simulations 2D et Pspice des résultats très satisfaisants. La simulation Pspice réalisée avec les données RLCG issues de l'outil SigXplorer, nous a permis de déterminer qu'il était nécessaire de configurer les modèles Pspice de façon spécifique. Il faut utiliser la valeur de C1G pour paramétrer la capacité propre de la piste de façon à déséquilibrer le rapport entre les couplages électriques et magnétiques et compenser la simplification faite lors du calcul de la matrice inductance.

Enfin, la comparaison des trois simulations fait apparaître une divergence sur les valeurs maximales. Ces dernières sont dues à la fois aux divergences notées sur le calcul des valeurs d'inductance, mais également par la modélisation simplifiée des buffers d'entrées/sorties.

Au-delà du fonctionnement de l'outil, nous sommes aujourd'hui capables de prédire l'allure des courbes de façon théorique dans le cas d'un système de lignes adaptées à l'aide

d'équations analytiques. Cependant, sur nos circuits, la plupart des lignes ne présentent pas les adaptations nécessaires à l'application de ces équations. De plus, les topologies sont composées de multiples tronçons ce qui complexifie le calcul analytique des différents niveaux de tension. Nous utilisons alors des simulateurs de type Spice, associés à des outils de simulation par éléments finis pour calculer les paramètres RLCG. La modélisation du comportement des buffers d'entrée/sortie reste complexe et limite la précision des niveaux de diaphonie. Cependant, l'allure et les niveaux des signaux obtenus par cette méthode sont représentatifs des résultats issus de l'outil Allegro.

III. ETUDE SUR UNE TOPOLOGIE COMPLETE

III.1. Introduction

Nous avons étudié comment l'outil Allegro calculait les tensions induites dans le cas d'un couplage localisé. Le but est maintenant de valider ces résultats de simulation sur une topologie complète. Nous présentons dans cette partie l'étude de deux cas mis en œuvre sur le véhicule de test. De cette façon, nous pourrions décrire la méthodologie d'analyse et confronter nos résultats théoriques avec ceux issus d'Allegro. Ces résultats seront également comparés à des mesures réalisées sur le véhicule de test.

III.2. Etude à l'aide d'Allegro PCB

L'analyse du PCB s'effectue à l'aide de l'outil « Constraint Manager » permettant de mettre en œuvre des contraintes de routage géométriques et électriques. Après l'association des modèles, le paramétrage et la définition des contraintes, il est possible d'effectuer de multiples simulations. A partir des résultats obtenus, un indicateur met en avant les signaux à risque qui ne respectent pas les marges définies.

Le tableau 21 présente les choix de paramétrage de l'outil nécessaires à l'étude du véhicule de test. La liste n'est pas exhaustive mais elle comporte les paramètres les plus importants et les plus complexes à spécifier.

	Valeurs par défaut	Valeurs définies
Fréquence de coupure	0 GHz	1 GHz
Fenêtre d'analyse	10 mils	25 mils
Longueur min de couplage	300 mils	30 mils
Résolution de la courbe	10 ns	100 ps
Plan Parfait / Réel	Parfait	Parfait

tableau 21 : paramétrage de l'outil Constraint Manager

Les technologies de buffer sont de plus en plus performantes, ce qui amplifie les phénomènes parasites. Il est donc nécessaire que la fréquence de coupure soit définie en fonction de la vitesse du driver. Ce paramètre sera défini à l'aide de la fréquence F_{knee} .

La fenêtre d'analyse présentée à la figure 96, dépend de la structure du circuit imprimé. Par défaut, elle est de $254 \mu\text{m}$ (10 mils), ce qui représente pour nos gravures à peine plus de deux fois la largeur usuelle d'une piste ($W=120 \mu\text{m}$). Les études antérieures montrent que la hauteur de la fenêtre doit dépendre de l'espacement maximum entre les différentes couches dans les parties internes et externes de l'empilage. Sur le véhicule de test, nous avons un espacement de $250 \mu\text{m}$ maximum. La valeur par défaut est donc convenable. En ce qui

concerne la largeur de la fenêtre, nous avons vu que les perturbations, pour de grandes longueurs de couplages, pouvaient être importantes avec des isollements de 5W. C'est pourquoi nous avons choisi une largeur de 25 mils (soit 5,3W). Nous négligeons les couplages avec les pistes situées au-delà de cette fenêtre.

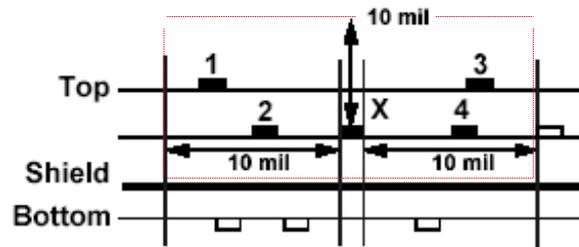


figure 96 : Représentation de la fenêtre d'analyse

Un autre paramètre important est la longueur minimale de couplage à partir de laquelle l'outil tient compte d'un couplage entre deux lignes. Les circuits étudiés présentant de fortes densités de signaux, il est impossible d'empêcher des couplages à la sortie des broches des composants. Cela engendre de nombreuses longueurs de couplage de l'ordre du millimètre, difficiles à maîtriser. De ce fait, plus la densité est importante, plus il est nécessaire de prendre en compte ces couplages. Nous choisissons alors une valeur de 30mils permettant d'en tenir compte.

Enfin, la résolution temporelle des courbes doit être modifiée. Avec des temps de montée inférieurs à la nanoseconde et compte tenu des temps de propagation introduits par les lignes, une valeur de 100 ps permet d'obtenir une précision acceptable.

Pour pouvoir analyser chaque motif de test sans être perturbé par les signaux environnants, nous utilisons l'option « Timing Window ». Elle permet de définir des fenêtres de temps dans lesquels les signaux sont actifs, sensibles et ignorés. De cette façon les signaux désignés comme victime ne sont sensibles que lorsque le signal agresseur correspondant est actif : avec cette option chaque motif peut être étudié séparément.

Une configuration précise de l'outil de simulation est nécessaire dans une étude de validation d'outil, mais entraîne des temps de simulations importants.

III.2.1. Définition des marges de bruit

Il est indispensable d'avoir des règles précises pour définir la contrainte de bruit que l'on souhaite respecter pour chaque technologie.

Dans le cas présent, nous travaillons avec des buffers de technologie LVTTTL 3,3 V. Tout d'abord, il faut définir la marge de bruit de notre technologie : les seuils de basculement sont égaux à 800 mV pour l'état bas et à 2 V pour l'état haut. Il faut ensuite tenir compte de l'ondulation (V_{tol}) de la tension d'alimentation (V_{max}).

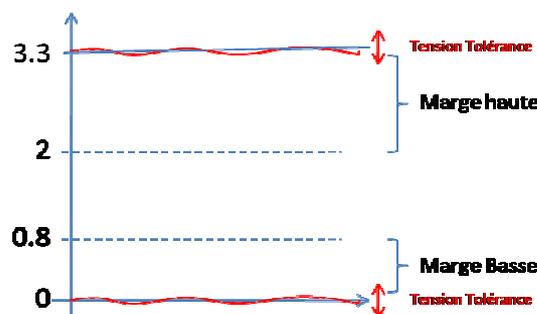


figure 97 : Marges d'une technologie compatible TTL

La figure 97 décrit les marges haute et basse de la technologie. La marge basse est définie comme contrainte car elle est plus faible et donc plus sensible (min_noise_margin).

De plus, il faut définir la contrainte en notant que d'autres perturbations telle que la réflexion peuvent également perturber le signal. Il faut donc diviser cette marge par 2 : la première moitié sert de contrainte pour les phénomènes de réflexion, l'autre pour les phénomènes de diaphonie.

Enfin, une marge de 10 % est indispensable sur cette contrainte pour ne pas être en limite de commutation dans le cas où le signal engendre des perturbations qui respectent tout juste la marge définie (max_xtalk1).

L'ensemble de ces points permettent de décrire les contraintes de diaphonie définies à l'aide des équations [25] et [26] [WILLIS 2003].

$$\max_xtalk1 = \frac{(\min_noise_margin) - Vtol \times Vmax}{2} \quad [25]$$

$$\max_xtalk = \max_xtalk1 - 10\%(\max_xtalk1) \quad [26]$$

La contrainte « max_xtalk » définit la tension perturbatrice maximum, engendrée par l'ensemble des agresseurs, à ne pas dépasser pour un signal victime.

L'outil permet également de contraindre le maximum à respecter pour chaque agresseur (max_peak_xtalk). L'équation [27] décrit que chacun des agresseurs ne doit pas consommer plus que la moitié du budget de diaphonie maximum.

$$\max_peak_xtalk = \frac{\max_xtalk}{2} \quad [27]$$

Dans notre cas, la marge de bruit minimum est de 800mV et la tolérance de tension est de 5% de 3.3V. Nous obtenons donc max_xtalk=286mV et max_peak_xtalk=143mV.

III.2.2. Simulations

Les simulations sont ici effectuées sur le front le plus rapide (front descendant) en ODD (victime à '1'). L'outil indique pour chaque signal étudié (victime) :

- le ou les agresseurs qui le perturbent,
- la tension induite sur le signal victime.

Un indicateur permet de vérifier si les contraintes sont respectées (figure 98). Chaque valeur mesurée par l'outil correspond à une courbe (ex : figure 84).

Cette simulation nous sert de base à l'analyse d'une topologie complète. Nous allons mettre en œuvre notre étude sur deux des signaux présentant des tensions induites suffisamment importantes pour engendrer des dysfonctionnements.

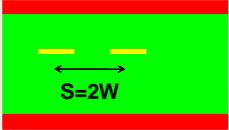
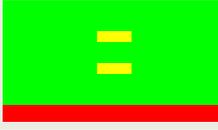
SC1_V21	SC3_V5
	
Couplage interne (isolement 1W) Longueur couplage prépondérant : 130 mm	Couplage externe (H=70µm) Longueur couplage prépondérant : 180 mm

tableau 22 : Représentation des couplages étudiés

Ilet	XTALK_SCEHARIO1_V_<21>	← Signal étudié victime	286.0:286.0	-17...	143.0:143.0	-317,9
Rslt	MI12.C22 (XTALK_SCEHARIO1_A_<21>/Odd)	← Agresseur détecté	286.0:286.0		143.0:143.0	460,9 -317,9
Ilet	XTALK_SCEHARIO1_V_<22>		286.0:286.0	87,3	143.0:143.0	-55,7
Rslt	MI12.H23 (XTALK_SCEHARIO1_A_<22>/Odd)		286.0:286.0		143.0:143.0	198,7 -55,7
Ilet	XTALK_SCEHARIO1_V_<23>	Contrainte (max_xtalk)	286.0:286.0	174	143.0:143.0	30,79
Rslt	MI12.F22 (XTALK_SCEHARIO1_A_<23>/Odd)		286.0:286.0		143.0:143.0	112,2 30,79
Ilet	XTALK_SCEHARIO1_V_<24>		286.0:286.0	-11	143.0:143.0	-260,6
Rslt	MI12.A21 (XTALK_SCEHARIO1_A_<24>/Odd)	Contrainte Max_peak_xtalk	286.0:286.0		143.0:143.0	403,6 -260,6
Ilet	XTALK_SCEHARIO1_V_<25>		286.0:286.0	91,1	143.0:143.0	-51,92
Rslt	MI12.D22 (XTALK_SCEHARIO1_A_<25>/Odd)	Indicateurs	286.0:286.0		143.0:143.0	194,9 -51,92
Ilet	XTALK_SCEHARIO1_V_<26>		286.0:286.0	175	143.0:143.0	31,47
Rslt	MI12.G23 (XTALK_SCEHARIO1_A_<26>/Odd)		286.0:286.0		143.0:143.0	111,5 31,47
Bus	XTALK_SCEHARIO3_V_		286.0:286.0	-34...	143.0:143.0	-611,6
Ilet	XTALK_SCEHARIO3_V_<0>	Tension induite	286.0:286.0	147	143.0:143.0	3,61
Rslt	MI12.M34 (XTALK_SCEHARIO3_A_<0>/Odd)		286.0:286.0		143.0:143.0	139,4 3,61
Ilet	XTALK_SCEHARIO3_V_<1>	Marge	286.0:286.0	175	143.0:143.0	32,42
Rslt	MI12.P29 (XTALK_SCEHARIO3_A_<1>/Odd)		286.0:286.0		143.0:143.0	110,6 32,42
Ilet	XTALK_SCEHARIO3_V_<2>		286.0:286.0	138	143.0:143.0	-4,73
Rslt	MI12.M32 (XTALK_SCEHARIO3_A_<2>/Odd)		286.0:286.0		143.0:143.0	147,7 -4,73
Ilet	XTALK_SCEHARIO3_V_<3>		286.0:286.0	-17...	143.0:143.0	-324,7
Rslt	MI12.N29 (XTALK_SCEHARIO3_A_<3>/Odd)		286.0:286.0		143.0:143.0	464,7 -324,7
Ilet	XTALK_SCEHARIO3_V_<4>		286.0:286.0	-46...	143.0:143.0	-611,6
Rslt	MI12.L34 (XTALK_SCEHARIO3_A_<4>/Odd)		286.0:286.0		143.0:143.0	754,6 -611,6
Ilet	XTALK_SCEHARIO3_V_<5>		286.0:286.0	-54...	143.0:143.0	-680,7
Rslt	MI12.L34 (XTALK_SCEHARIO3_A_<5>/Odd)		286.0:286.0		143.0:143.0	823,7

figure 98 : Résultats de simulation de diaphonie sous Constraint Manager

Les indicateurs sont verts lorsque les marges sont respectées, rouge dans le cas contraire.

III.3. Etude des topologies et définition des paramètres linéiques

L'Annexe 1 et l'Annexe 2 présentent les topologies qu'il est possible d'extraire sous SigXplorer. Le modèle des deux pistes comporte un nombre important de tronçons et de vias.

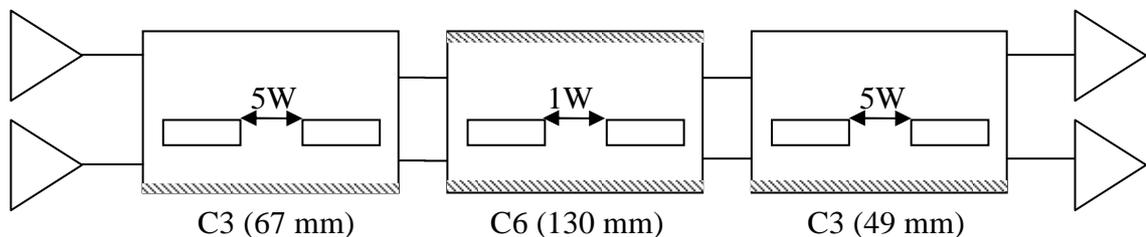


figure 99 : Caractérisation du scénario SC1_V21

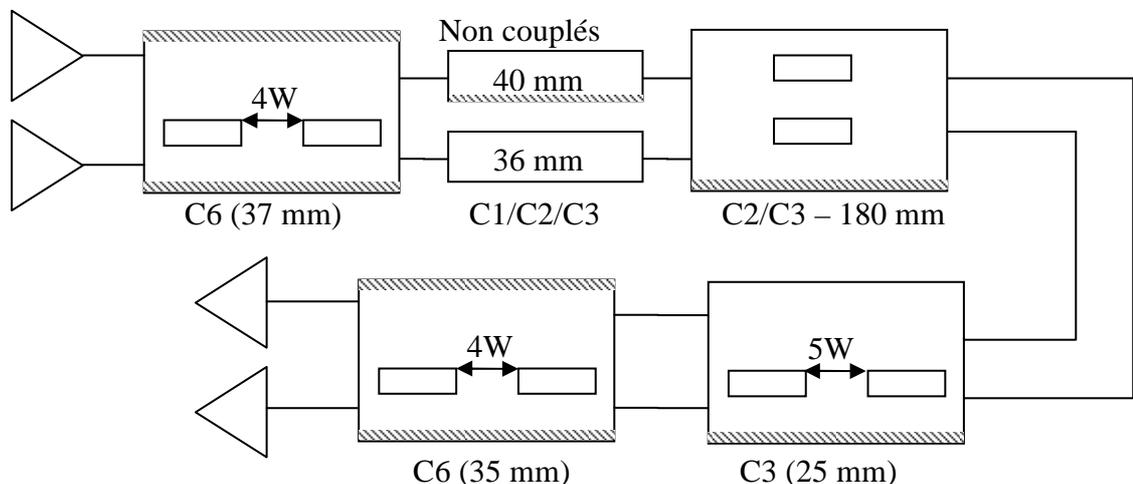


figure 100 : Caractérisation du scénario SC3_V5

La complexité de ces extractions nous oblige, dans une étude théorique, à faire des simplifications, ce qui entraîne une réduction sensible de la précision par rapport à ce que nous pouvons obtenir avec SigXplorer. La figure 99 et figure 100 présentent les topologies simplifiées définies en ne gardant que les tronçons que nous considérons comme prépondérants. Nous découpons le système en 3 tronçons pour SC1_V21 (contre près de 50 dans SigXplorer) et en 5 tronçons pour SC3V5 (contre plus de 60 dans SigXplorer). Ces topologies restent suffisantes pour refléter le comportement dominant des deux lignes.

Jusqu'à présent nous avons utilisé Maxwell 2D pour parvenir à une maîtrise des extractions et des calculs effectués par l'outil Allegro. Cependant, les temps de modélisation et d'analyse qu'il engendre sont conséquents. Nous introduisons alors l'outil TNT-MMTL permettant le calcul immédiat des éléments RLCG d'un système en appliquant l'hypothèse du milieu « quasi-TEM » [PAN 1989] et ce à partir d'une description géométrique 2D rapide à mettre en œuvre (figure 101). TNT-MMTL est basé sur la Méthode des Moments (MOM) et utilise la méthode des éléments de frontière (BEM) appliquée aux lignes de transmission multiconducteurs et multicouches (MMTL : Multilayer Multiconductor Transmission Line).

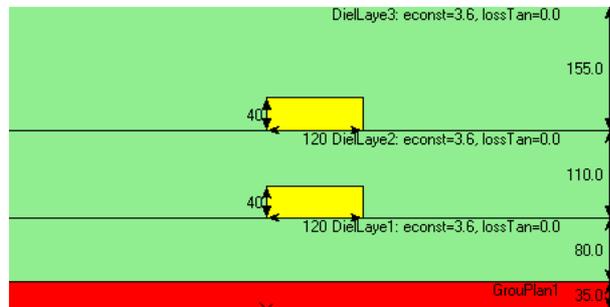


figure 101 : définition des couches et des conducteurs sous TNT-MMTL

Nous calculons les paramètres linéiques à partir des informations des topologies simplifiées définies ci-dessus. Pour valider l'utilisation de l'outil TNT-MMTL, nous comparons par la suite ses résultats à ceux obtenus à l'aide de Maxwell 2D (tableau 23).

Les différences identifiées au niveau des matrices inductances sont semblables à celles trouvées avec SigXplorer.

	Maxwell 2D		TNT-MMTL	
	C (F/m)	L (H/m)	C (F/m)	L (H/m)
5W Couche 3	$\begin{bmatrix} 133p & 3.6p \\ 3.6p & 133p \end{bmatrix}$	$\begin{bmatrix} 310n & 10n \\ 10n & 310n \end{bmatrix}$	$\begin{bmatrix} 131p & 2.6p \\ 2.6p & 131p \end{bmatrix}$	$\begin{bmatrix} 298n & 6.8n \\ 6.8n & 298n \end{bmatrix}$
1W Couche 6	$\begin{bmatrix} 104p & 28p \\ 28p & 104p \end{bmatrix}$	$\begin{bmatrix} 484n & 150n \\ 150n & 484n \end{bmatrix}$	$\begin{bmatrix} 105p & 28p \\ 28p & 105p \end{bmatrix}$	$\begin{bmatrix} 445n & 118n \\ 118n & 445n \end{bmatrix}$
4W Couche 6	$\begin{bmatrix} 89.7p & 4.2p \\ 4.2p & 89.7p \end{bmatrix}$	$\begin{bmatrix} 309n & 56n \\ 56n & 309n \end{bmatrix}$	$\begin{bmatrix} 96p & 3.95p \\ 3.95p & 96p \end{bmatrix}$	$\begin{bmatrix} 450n & 18.5n \\ 18.5n & 450n \end{bmatrix}$
Superposition C2/C3	$\begin{bmatrix} 127p & 87p \\ 87p & 199.5p \end{bmatrix}$	$\begin{bmatrix} 433n & 186n \\ 186n & 305n \end{bmatrix}$	$\begin{bmatrix} 122p & 80p \\ 80p & 184p \end{bmatrix}$	$\begin{bmatrix} 415n & 178n \\ 178n & 293n \end{bmatrix}$
5W Couche 3	$\begin{bmatrix} 133p & 3.6p \\ 3.6p & 133p \end{bmatrix}$	$\begin{bmatrix} 310n & 10n \\ 10n & 310n \end{bmatrix}$	$\begin{bmatrix} 131p & 2.6p \\ 2.6p & 131p \end{bmatrix}$	$\begin{bmatrix} 298n & 6.8n \\ 6.8n & 298n \end{bmatrix}$

tableau 23 : Matrice inductance et capacitance définies à l'aide de Maxwell et TNT-MMTL

Le tableau 24 compare, lui, les résultats de matrices entre TNT-MMTL à celles obtenues sous SigXplorer et montre, au vu des résultats proches, que les deux outils permettent d'obtenir des résultats similaires. L'utilisation de ce nouvel outil est validée pour la suite.

	TNT-MMTL		SigXplorer	
	C (F/m)	L (H/m)	C (F/m)	L (H/m)
Superposition C2/C3	$\begin{bmatrix} 122p & 80p \\ 80p & 184p \end{bmatrix}$	$\begin{bmatrix} 415n & 178n \\ 178n & 293n \end{bmatrix}$	$\begin{bmatrix} 117p & 77p \\ 77p & 180p \end{bmatrix}$	$\begin{bmatrix} 423n & 180n \\ 180n & 299n \end{bmatrix}$
1W Couche 6	$\begin{bmatrix} 105p & 28p \\ 28p & 105p \end{bmatrix}$	$\begin{bmatrix} 445n & 118n \\ 118n & 445n \end{bmatrix}$	$\begin{bmatrix} 103p & 27p \\ 27p & 103p \end{bmatrix}$	$\begin{bmatrix} 450n & 118n \\ 118n & 450n \end{bmatrix}$

tableau 24 : Comparaison des matrices issues de TNT-MMTL et d'Allegro

Nous pouvons, à l'aide des matrices définies ci-dessus, finaliser l'étude du couplage, en injectant les paramètres linéiques dans le simulateur Spice.

Pour cette étape nous nous plaçons dans une configuration identique à celle d'Allegro. La perturbation est mesurée sur le front descendant du signal agresseur lorsque la victime est à l'état '1'. Le modèle est présenté à la figure 102.

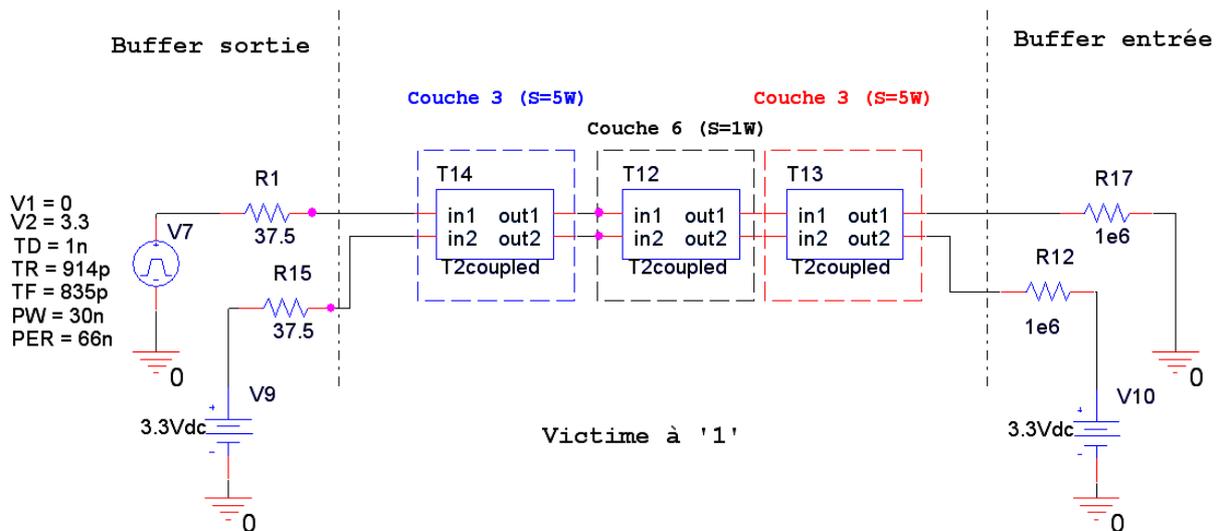


figure 102 : Modélisation simplifiée d'un couplage pour une topologie complète et désadaptée

Les éléments nécessaires à l'étude sont maintenant réunis, il devient possible de comparer les résultats (Pspice / Allegro / Mesure).

III.4. Confrontation des résultats

Les figures ci-dessous présentent les différents résultats en NEXT et en FEXT pour les deux scénarios étudiés. Nous constatons grâce à ces courbes, que les résultats obtenus sont très proches de ceux issus d'Allegro. Cela nous permet dans le cas d'un couplage qui dépasse les seuils autorisés, de mettre en œuvre une étude précise avec une modélisation simple comprenant un nombre limité de paramètres.

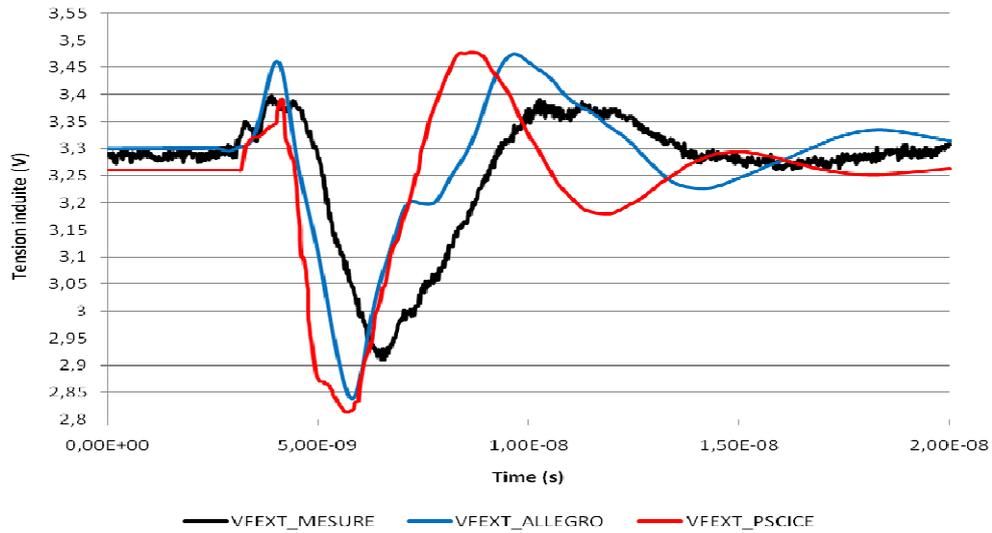


figure 103 : Signaux FEXT du scénario SC1_V21 pour un couplage ODD

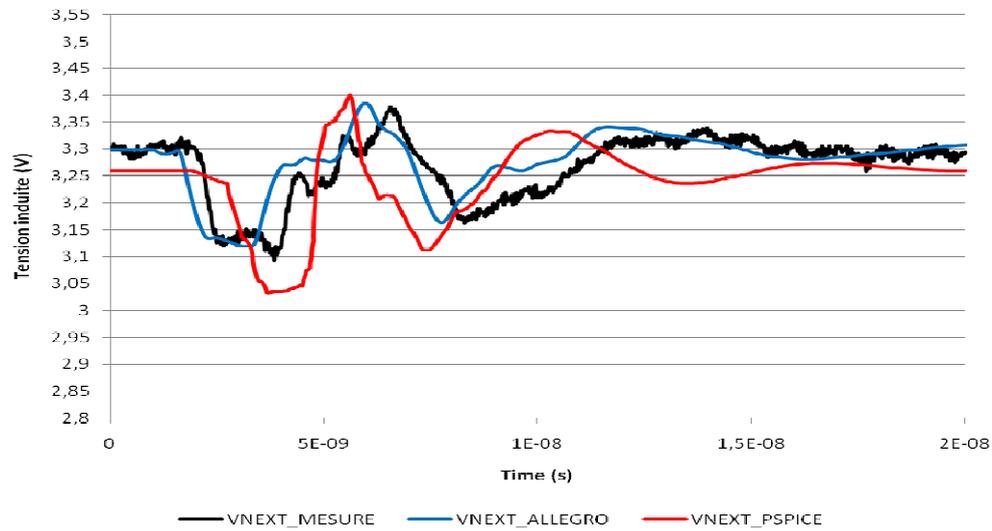


figure 104 : Signaux NEXE du scénario SC1_V21 pour un couplage ODD

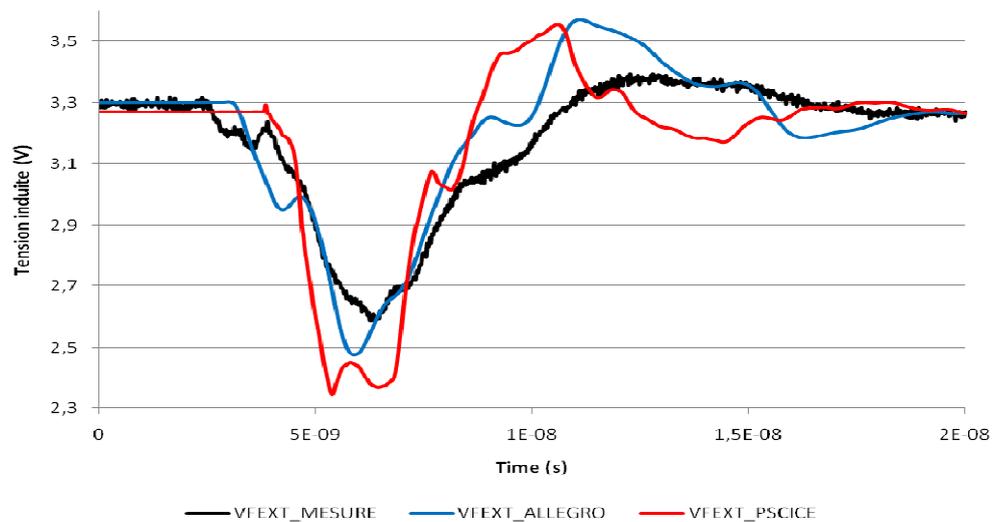


figure 105 : Signaux FEXT du scénario SC3_V5 pour un couplage ODD

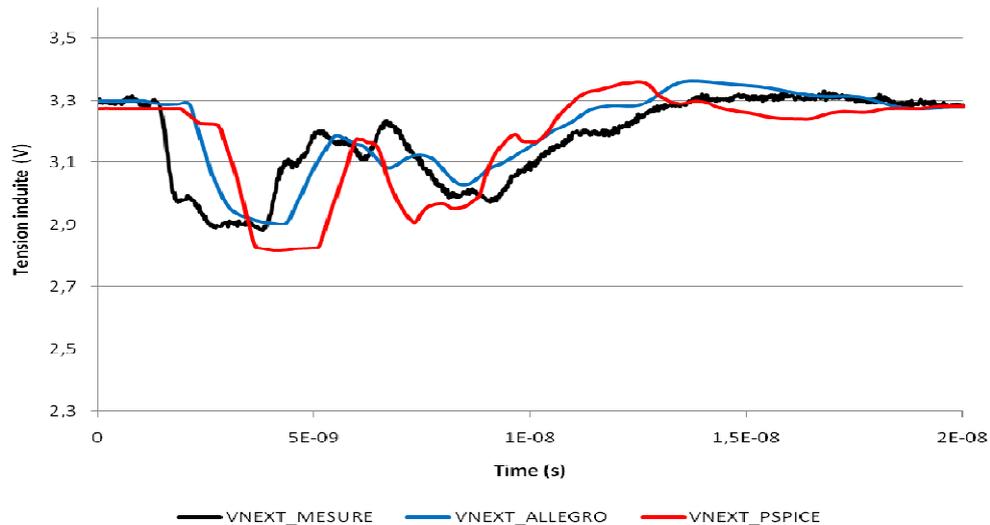


figure 106 : Signaux NEXT du scénario SC3_V5 pour un couplage ODD

Les résultats de simulation sont d'autant plus satisfaisants qu'ils sont très proches des mesures effectuées. En NEXT, les résultats sont quasi-identiques et en FEXT nous retrouvons l'allure des courbes, il y a cependant quelques écarts au niveau des maxima. Ces différences sont acceptables car les simulations présentent des niveaux plus importants que les mesures. Les simulations effectuées sous Allegro maximisent les perturbations. En effet, si la simulation est acceptable, les signaux physiques véhiculés sur la carte respecteront également les niveaux permettant d'avoir une bonne intégrité des signaux.

III.5. Conclusion partielle

Au-delà de la présentation de l'outil Allegro, nous avons pu valider notre approche théorique à l'aide d'outils 2D et d'un simulateur Spice pour un cas réel.

L'outil Allegro permet d'effectuer des études sur des topologies de couplage complexes. Le modèle Spice, développé ici, n'atteint pas ce niveau de précision et sa mise en œuvre semble laborieuse en vue du nombre d'interconnexions présentes sur les cartes. Cependant, il peut apparaître nécessaire dans une étude pré ou post-simulation. Une fois les simulations effectuées sous Allegro, il est possible pour les couplages présentant des dépassements, d'étudier en détail une topologie par cette méthode. La topologie rassemble les éléments prépondérants de l'extraction et met en évidence les tronçons engendrant le plus de perturbations.

De cette manière, nous nous basons sur des simulations faisant ressortir les zones les plus critiques et les plus perturbatrices pour analyser et résoudre les problèmes de non-respect des marges de bruit.

IV. ETUDE DES RESULTATS ISSUS DE L'OUTIL DE SIMULATION

Pour une meilleure interprétation et confrontation des différents motifs mis en œuvre sur le véhicule de test, il est important d'expliquer un certain nombre de résultats initialement inattendus et récurrents sur la quasi-totalité des scénarios.

IV.1. Introduction

Dans les paragraphes suivants, les résultats sont synthétisés par des courbes présentant le niveau maximum de tension relevé sur le conducteur victime en fonction de la longueur de

couplage. Dans le cas du véhicule de test la tension maximale se trouve systématiquement en fin de ligne (FEXT) et le niveau critique retenu est défini selon la figure 107. Nous représenterons la tension retenue en fonction d'une longueur de couplage par un point. Pour une question de lisibilité les différents points correspondant à un même scénario seront reliés par des pointillés.

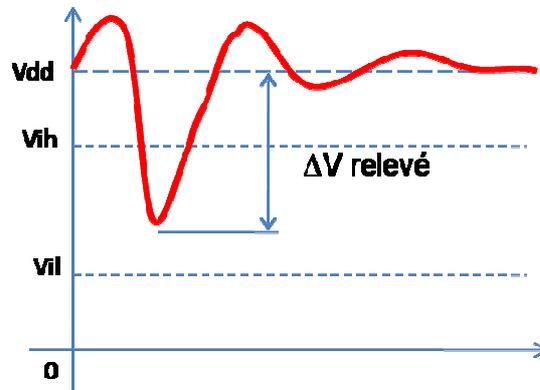


figure 107 : Niveau de tension relevé dans les études de comparaison

IV.2. Présentation des résultats obtenus

Nous nous basons pour cette étude sur l'ensemble des motifs du scénario 1. Ce scénario présente des topologies comprenant des zones de couplage de 1 mm à 180 mm entre des conducteurs adjacents en couche interne. Trois isolements sont mis en œuvre pour chaque longueur de couplage (1W, 2W et 3W), soit une distance entre piste S allant de 2W à 4W, avec $W=120\ \mu\text{m}$.



figure 108 : Présentation du scénario étudié

La figure 109 présente les résultats de simulation des différents motifs du scénario 1. Pour chaque motif, la tension induite maximale (figure 107) est relevée en fonction de la longueur de couplage et de l'isolement entre les conducteurs.

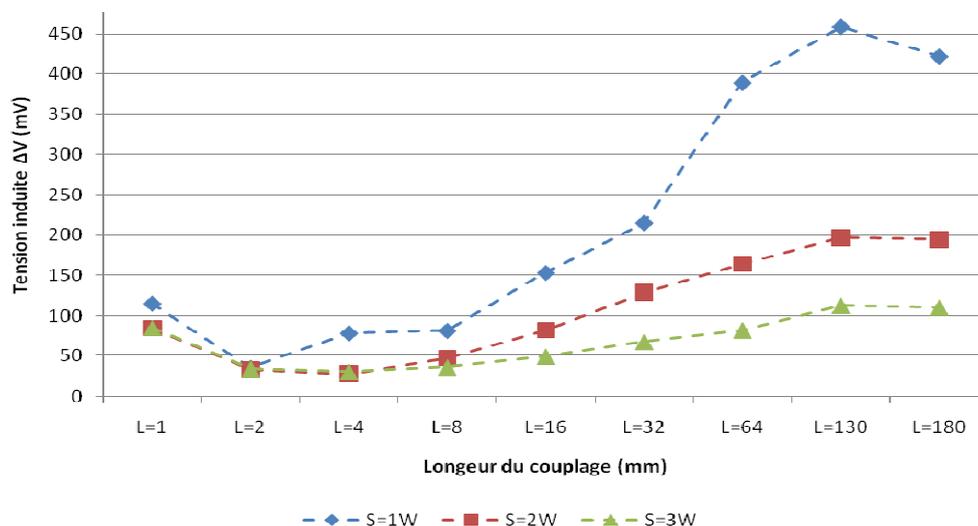


figure 109 : Synthèse des résultats des patterns du scénario 1 pour des simulations ODD

Les résultats obtenus semblent cohérents ; plus on augmente la longueur de couplage, plus la tension induite est importante. Cette tension diminue si l'on augmente l'isolement entre les conducteurs. Cependant, pour des couplages inférieurs à 8mm, nous remarquons que l'évolution de la tension induite entre un isolement de 2W et 3W est quasi identique. De plus, la tension induite pour un couplage de 1 mm est plus grande que pour des couplages allant jusqu'à 8 mm. Enfin, au-delà de 130 mm, nous observons une décroissance de la tension perturbatrice. Nous allons tenter dans cette partie d'expliquer ces observations.

IV.3. Tension induite en fonction de la longueur de couplage

Dans la plupart des simulations, il est possible d'observer, pour des couplages allant de 1mm à 8 mm, que les résultats obtenus ne sont pas ceux attendus (figure 109).

Le but de cette partie est d'étudier les éléments d'une topologie à prendre en compte dans l'étude de la diaphonie et de les comparer pour deux longueurs de couplages différents.

A partir de ces données, nous tenterons de définir la longueur à partir de laquelle un couplage aura un impact prépondérant par rapport à l'ensemble de la topologie.

Le véhicule de test présente une densité importante au niveau des FPGA, car la quasi-totalité des 1512 broches de chacun d'entre eux, dont plus de 300 pistes inter FPGA, ont été routées. Le routage fut donc complexe, aussi bien pour réussir à faire sortir la totalité des pistes sur l'ensemble des couches, que pour les faire transiter sur le PCB. Le routeur ayant des contraintes à la fois sur les couches où devait être implantée chaque piste mais également sur les longueurs et les espacements entre les différents couplages, il n'a pas été possible de contrôler précisément le reste de la topologie. Cela met en avant une difficulté dans le routage des cartes denses et présente un inconvénient dans le déroulement de l'étude.

Les figures suivantes vont illustrer nos propos. La figure 110 présente l'ensemble des interconnexions entre les deux FPGA ainsi que la densité de pistes à la sortie de chaque composant. Au vu de la complexité du routage, on comprend l'impossibilité de router les interconnexions avec une topologie identique pour l'ensemble des scénarios. La figure 111 met en avant le couplage de 1 mm implanté pour le scénario 1 ; le cercle rouge représentant la zone qui nous intéresse ($S=1W$). Il est difficilement imaginable que ce couplage impacte l'allure des signaux par rapport au reste de la topologie.



figure 110 : Vue de la densité d'interconnexion entre les deux FPGA



figure 111 : Vue du motif mettant en œuvre un couplage de 1 mm

Cependant, l’objectif initial concernant la représentativité du véhicule de test par rapport aux cartes industrielles est respecté. Nous allons donc pouvoir obtenir des résultats qui ne seront pas seulement théoriques ou « parfaits », mais qui nous permettront d’obtenir une tendance pour l’ensemble de nos cartes.

IV.3.1. Etude des topologies

L’extraction des topologies des couplages de 1 mm et 2 mm sont présentées en annexe. Ces extractions illustrent bien la complexité d’une étude théorique complète. Les paramètres qui vont influencer le calcul de la tension induite du conducteur agresseur au conducteur victime sont nombreux.

Le tableau 25 permet de les énumérer et de les comparer. Cette liste n’est pas exhaustive, mais elle présente les paramètres prépondérants dans l’évolution de la tension perturbatrice.

		Scénario Lc= 1 mm	Scénario Lc= 2 mm
1	Type de driver	LVTTL 3.3V 12mA	LVTTL 3.3V 12mA
2	Adaptation	Non	Non
3	Longueur de l’interconnexion (mm)	218	234
4	Longueur du couplage mis en œuvre (%)	0,46	0,85
5	Longueur de la ligne couplée (%)	95	89
6	Couplage pour $S < 6W$ (%) *	7,6	4
7	Couplage pour $S = 6W$ (%) *	89,7	56
8	Couplage pour $S > 6W$ (%) *	2,7	40
9	Longueur de la ligne en Stripline (%)	50	67
10	Longueur de la ligne en Microstrip (%)	50	33
11	Désadaptation (Voir ci-dessous)	3	3
12	Tension induite (mV)	115	35

tableau 25 : Liste des paramètres prépondérant dans l’étude d’un couplage

*S représentant l’écartement entre les conducteurs et Lc la longueur de couplage implantée pour le scénario avec un isolement de 1W.

L’empilage présente 2 niveaux de μ via. Le scénario 1 étudie des pistes routées principalement en couche 6. Le signal traverse donc un minimum de 8 vias et donc autant de

valeurs d'impédance caractéristique. Pour simplifier le système, nous étudions simplement les distances parcourues par la ligne en Microstrip et en Stripline. Ces passages, d'une géométrie à l'autre, sont ceux qui engendrent le plus de désadaptation. Ce paramètre est important notamment en ce qui concerne l'agresseur. Ce dernier a en effet des niveaux qui sont d'autant plus importants que la ligne est désadaptée.

La figure 112 suivante présente la simplification du système ainsi défini.

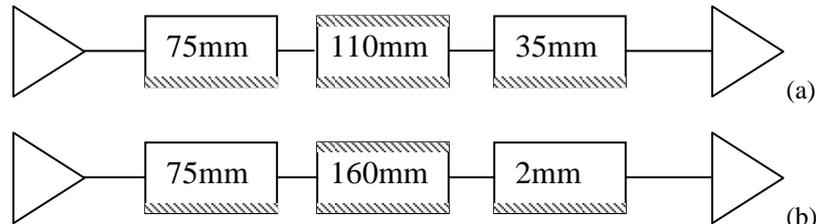


figure 112 : Représentation des scénarios simplifiés (a) $L_c=1\text{mm}$, (b) $L_c=2\text{mm}$

La première partie de la topologie est en microstrip, caractérisant la descente de la piste dans les couches internes. La partie centrale représente la couche de routage de la piste (stripline). La dernière portion du conducteur constitue la remontée de la piste au composant.

L'énumération des caractéristiques de ces deux couples agresseur/victime (tableau 25), montre que les couplages de 1 mm et 2 mm représentent seulement 0,46 % et 0,85 % de la longueur totale de l'interconnexion. On note ensuite que la tension induite pour une longueur de couplage égale à 1 mm est plus de trois fois supérieure à celle du couplage de 2 mm. Au vu de ces chiffres et des tensions induites engendrées, il semble peu probable que ces deux couplages soient la source prépondérante des perturbations. Ces tensions induites sont donc engendrées par le reste de la topologie. La topologie du couplage de 1 mm présente des couplages avec des isollements plus faibles. De plus, une plus grande partie de la piste est routée dans les couches externes (Microstrip : plus sensible aux champs) et elle présente des désadaptations avec des longueurs plus importantes (figure 112).

Pour évaluer l'impact d'un couplage de 1 mm ou 2 mm sur le véhicule de test, il est nécessaire d'écarter les conducteurs au delà du couplage avec un isolement supérieur ou égal à 5W. On estime, pour un isolement supérieur à 5W, que la tension induite est négligeable. Cette règle a été appliquée sur la quasi-totalité des scénarios. Cependant, on constate ici qu'un certain nombre de couplages inférieurs à 5W sont recensés. En effet, au moment du routage et au vu de la densité, il était impossible de maîtriser et d'éviter totalement ces couplages. La majeure partie des lignes présente malgré cela des isollements supérieurs ou égaux à 5W.

Ayant des différences de tensions induites considérables, il est nécessaire d'évaluer le bruit induit pour des isollements de 5W, car au vu des résultats il paraît important.

IV.3.2. Couplage 1 mm à 1W et 180 mm à 5W

Le tableau 26 présente les matrices [L] et [C] calculées à l'aide de Maxwell 2D ainsi que les tensions induites issues d'une simulation Pspice dans un cas adapté et non adapté. Les résultats confirment la large prépondérance d'un long couplage à 5W par rapport à un court couplage à 1W qui entraîne une tension induite quasi inexistante. En dessous d'une certaine longueur, le couplage est insignifiant par rapport aux perturbations induites par le reste de la ligne et ce malgré des isollements importants (5W). On retrouvera donc régulièrement un seuil

de bruit impossible à supprimer. En effet, de par la densification des cartes, il est difficilement envisageable d'isoler les conducteurs à plus de 3W.

	Isolement 1W Couplage 1mm	Isolement 5W Couplage 180mm
C (F/m)	$\begin{bmatrix} 104p & 28p \\ 28p & 104p \end{bmatrix}$	$\begin{bmatrix} 89.5p & 2.5p \\ 2.5p & 89.5p \end{bmatrix}$
L (H/m)	$\begin{bmatrix} 484n & 150n \\ 150n & 484n \end{bmatrix}$	$\begin{bmatrix} 309n & 53n \\ 53n & 309n \end{bmatrix}$
V _{next} /V _{fext} Adaptée	4 mV/ 0 V	80 mV/ -120 mV
V _{next} /V _{fext} Non-adaptée	4.3 mV/ 6 mV	285 mV/ -288 mV

tableau 26 : Comparaison des matrices et tensions induites pour un couplage 1 mm à 1W et 180 mm à 5W

IV.3.3. Définition de la longueur de couplage critique

Pour finaliser ce point, il est nécessaire de définir à partir de quelle longueur de couplage ce dernier devient prépondérant sur le reste de la topologie. Pour cela, nous restons dans le cas d'étude précédent (scénario 1/S=1W) et simulons sous Pspice l'évolution de la tension perturbatrice en fonction de la longueur de couplage.

Les simulations sont effectuées en début (NEXT) et en fin de ligne (FEXT) dans le cas d'un couplage adapté et non adapté. La figure 113 présente les valeurs de tension induite relevées en fonction des longueurs de couplage allant de 1 mm à 16 mm.

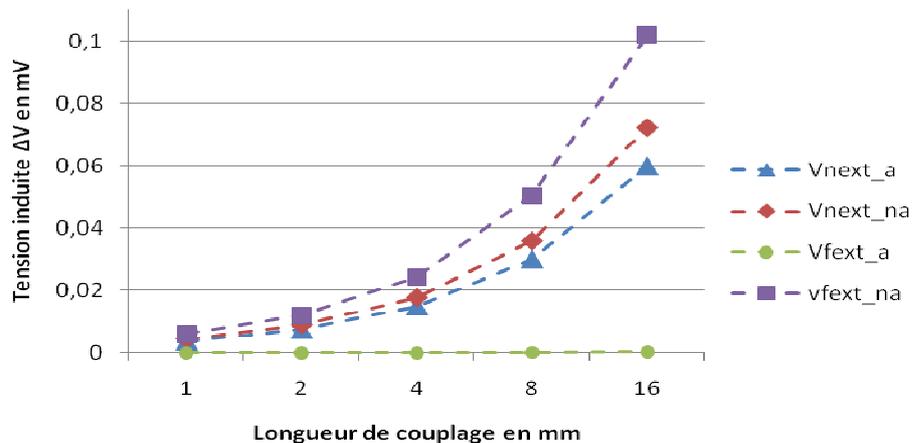


figure 113 : Evolution de la tension perturbatrice en fonction de la longueur du couplage

Les nombreuses simulations effectuées sur le véhicule de test ont montré, pour ce type de couplage, qu'un seuil de bruit, de l'ordre de 100 mV, apparaissait constamment. En se basant sur cette donnée, nous pouvons penser qu'à partir du moment où les tensions induites avoisineront 50 % de ce seuil, les couplages deviendront conséquents. On peut ainsi noter à la figure 113 que les tensions induites commencent à être significatives à partir de 8 mm.

Nous pouvons valider cette estimation en utilisant l'outil Allegro. En reprenant l'extraction de la topologie sur le scénario de couplage 1 mm et en faisant croître la zone de couplage, il est possible d'observer à partir de quelle longueur cette dernière devient significative sur la tension perturbatrice (figure 114).

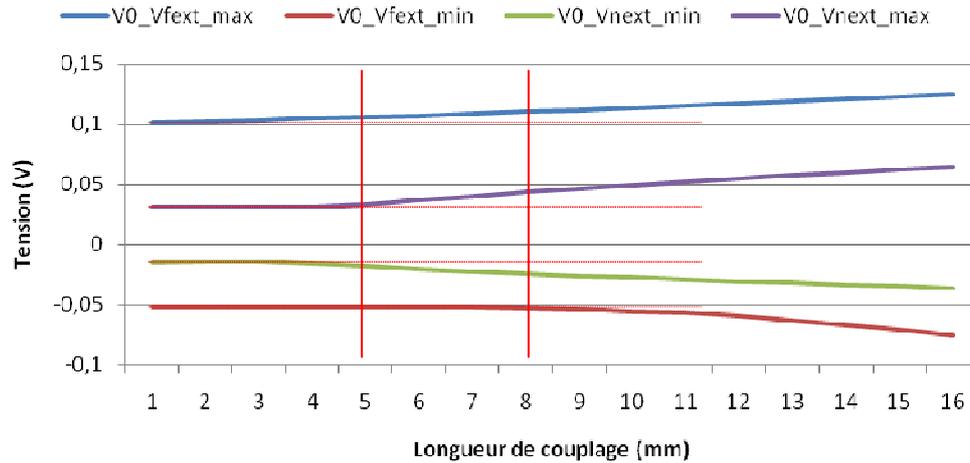


figure 114 : Impact de la longueur d'un couplage sur une topologie complète

On observe pour un couplage inférieur ou égal à 5 mm que l'impact sur la tension induite est quasi nul. A partir de 6 mm une évolution croissante de la tension perturbatrice commence à apparaître. Cela conforte nos propos indiquant que pour des petites longueurs de couplage, ces derniers sont insignifiants devant le reste de la topologie. Nous n'en tiendrons donc pas compte dans nos études globales. Les longueurs de couplage implantées sur les différents motifs sont généralement : 1/2/4/8/16/.../180 mm, nous confronterons donc les résultats pour des couplages allant de 8 mm à 180 mm.

IV.3.4. Conclusion partielle

Cette partie nous a permis d'identifier les éléments à prendre en compte dans l'étude des couplages. Les topologies abordées ont montré la complexité d'isoler 2 lignes dans un circuit à haute densité d'interconnexion. En effet, malgré des efforts conséquents mis en œuvre pour séparer les différents conducteurs, on s'aperçoit que l'isolement n'est jamais parfait et que l'on risque d'obtenir des niveaux de bruit qu'il sera impossible de supprimer même dans le où ils sont proches de 5W. Augmenter l'écartement entre les interconnexions impliquerait de réduire la densité de nos cartes, ce qui va à l'encontre de la demande industrielle.

Nous avons donc étudié ici la longueur à partir de laquelle un couplage engendrait des perturbations non négligeables. Les résultats ont montré que le couplage devenait significatif à partir de d'environ 3 % de la longueur de l'interconnexion.

En se basant sur le cas étudié et à partir des motifs mis en œuvre sur le véhicule de test, nous définissons deux mondes : si la longueur de couplage est inférieure à 8 mm, la topologie (longueur/géométrie/adaptation/...) est l'élément principal de perturbation ; lorsqu'il devient supérieur à 8 mm, le couplage devient prépondérant par rapport au reste de la ligne.

Attention, ces résultats sont valables pour la technologie LVTL 3,3V étudiée ici. Cela correspond à un front de commutation de 835ps. Ces informations seront modifiées si on utilise une technologie présentant des fronts de commutations différents.

IV.4. Evolution de la tension induite en fonction de la longueur de couplage

Dans cette partie nous allons expliquer l'évolution de la tension induite au-delà de 130mm. Sur la courbe présentée à la figure 109 §I.3.1, on observe une décroissance de la tension induite entre un couplage de 130 mm et 180 mm.

Un paramètre important à prendre en compte dans l'étude des couplages est la longueur d'onde. Si les couplages mis en œuvre ont des comportements périodiques, on peut définir les niveaux maximum et minimum de la tension induite en fonction de la longueur de couplage.

IV.4.1. Etude de la périodicité du couplage

Pour étudier ce phénomène, une étude sous Pspice est réalisée. Le but étant dans un cas adapté et non adapté de faire varier la longueur de couplage et d'observer l'évolution de la tension induite en NEXT et en FEXT. Dans le cas présent, on excite le système avec un signal sinusoïdal dont la fréquence correspond au front de montée de la technologie utilisée.

La fréquence représentative d'un signal trapézoïdal est décrite comme nous l'avons vu auparavant par Fknee (équation [19]). Avec un temps de montée de 835ps on obtient une fréquence de 380 MHz. A partir de cette fréquence nous pouvons définir la longueur d'onde du signal (équation [28]).

$$\lambda = \frac{v}{F_{3db}} = \frac{c}{\sqrt{\epsilon_r} F_{3db}} = \frac{3e8}{\sqrt{3.9} \cdot 380e6} = 0,4m \quad [28]$$

La figure 115 présente l'évolution de la tension induite maximum en NEXT (courbe bleue) et en FEXT (courbe rouge) dans le cas d'un système adapté. La figure 116 présente le même phénomène dans un cas non adapté.

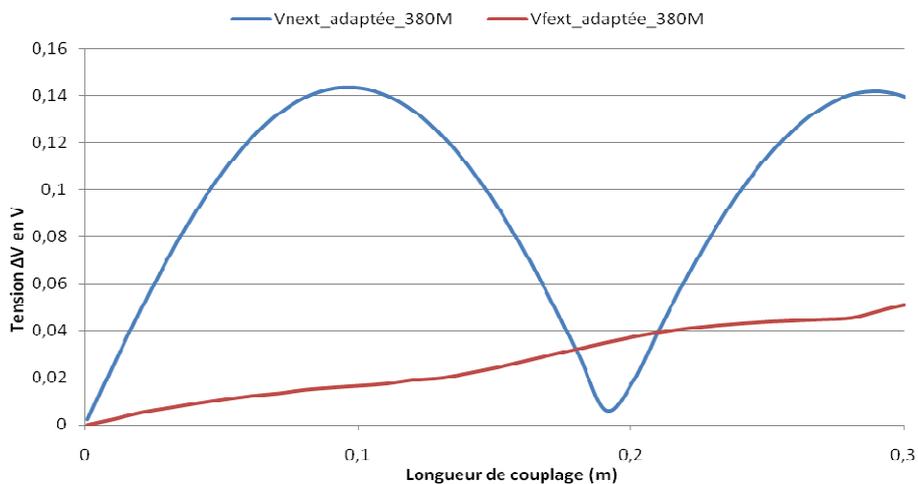


figure 115 : Evolution de la tension induite en fonction de la longueur de couplage-cas adapté

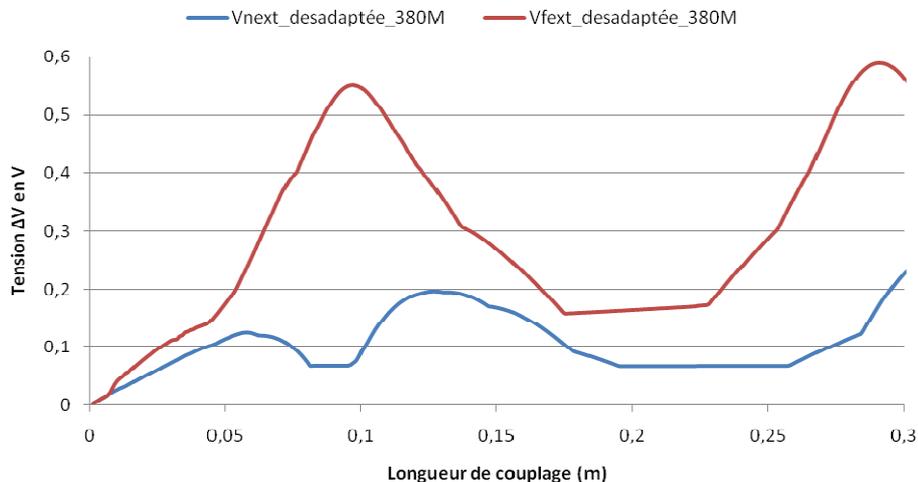


figure 116 : Evolution de la tension induite en fonction de la longueur de couplage-cas non adapté

Dans un cas adapté, la courbe NEXT présente une périodicité en fonction de la longueur d'onde, on atteint des maxima à $\lambda/4$ et des minima à $\lambda/2$.

Dans le cas de la courbe Vfext, si on augmente sensiblement la longueur de couplage, au-delà de 0,3m, on observe une décroissance de la tension perturbatrice après un maximum obtenu pour une longueur de 4 mètres (10λ). Dans nos applications ($L_c \ll \lambda$) la tension FEXT augmente donc proportionnellement à la longueur d'onde. Mais il est à noter qu'elle est négligeable devant la tension NEXT.

Dans un cas non adapté, on perd la notion de périodicité pour la tension NEXT. Cependant, la tension FEXT nous permet de retrouver cette périodicité. En effet, on constate comme précédemment des maxima à $\lambda/4$ et des minima à $\lambda/2$.

L'étude de l'évolution des couplages est intéressante car on pourra, à partir de l'information du temps de montée, définir la longueur d'onde et donc en déduire les longueurs de couplages qui donneront la tension induite minimale ($n\lambda/4$) et maximale ($n\lambda/2$).

Cette périodicité ne s'observe que dans le cas d'une diaphonie NEXT adaptée ou d'une diaphonie FEXT désadaptée, qui correspondent au couplage prépondérant. Donc si l'on souhaite diminuer la tension induite dans le conducteur nous nous baserons sur ces deux cas.

IV.4.2. Application de la périodicité des couplages dans notre cas d'étude

Nous avons vu avec l'exemple ci-dessus que l'augmentation de la longueur de couplage pouvait diminuer l'effet de perturbation. Cependant en se plaçant dans une configuration identique à l'étude nous avons observé, figure 116, que la décroissance débute à 100 mm ; résultat différent de celui obtenu sous Allegro où la diminution est visible au-delà de 130 mm.

Dans le paragraphe ci-dessus, nous utilisons le temps de montée du signal à 20 %-80 %. Pour obtenir une décroissance de la tension induite équivalente à celle obtenu sous Allegro (figure 109), il faut utiliser le front à 100 %. On passe donc de 835 ps à 1.169 ns. Dans ce cas, la fréquence du signal est de 272.3 MHz et sa longueur d'onde de 0.558 m. Le maximum obtenu à $\lambda/4$, correspond alors à une longueur de couplage de 139.5 mm. La décroissance débute donc à 140mm ce qui coïncide à ce que l'on observe sous Allegro.

Une nouvelle simulation est mise en place en tenant compte de cette fréquence (figure 117). Pour obtenir un résultat proche du véhicule de test, on se place dans un cas désadapté.

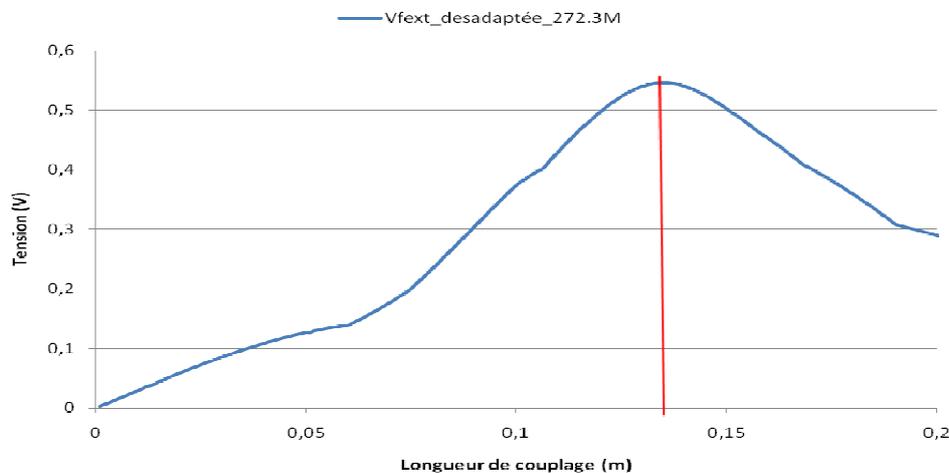


figure 117 : Evolution de la tension induite en fonction de la longueur de couplage - cas d'étude

Cette simulation permet de comprendre la décroissance obtenue avec Allegro :

- La tension induite augmente proportionnellement à la longueur de couplage.
- La tension devient maximale à 135 mm (environ $\lambda/4$)
- Elle diminue jusqu'à ce que le couplage ait une longueur égale à $\lambda/2$.

Cependant, la simulation suivante effectuée sous Allegro (figure 118), nous amène à constater que la courbe atteint un maxima à $\lambda/4$. Elle présente ensuite une légère décroissance, indiquant plutôt un phénomène de saturation.

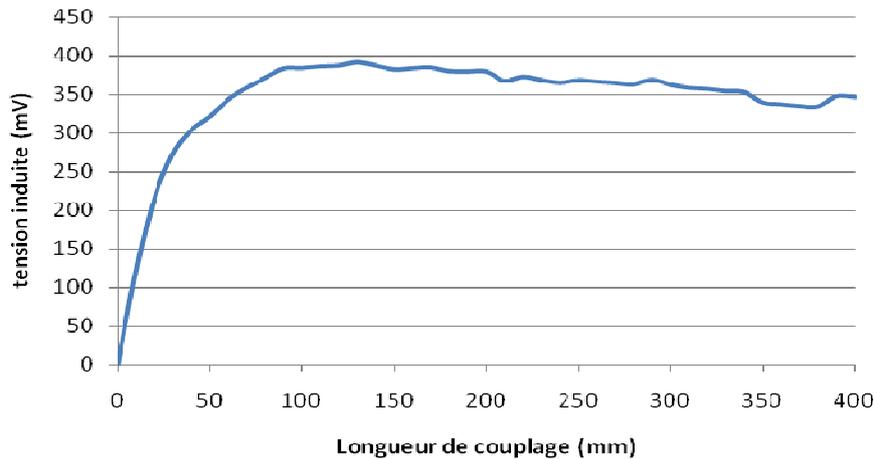


figure 118 : Evolution de la tension induite en fonction de la longueur de couplage sous Allegro

Cette simulation nous permet de valider la décroissance observée lors des simulations effectuées avec Allegro au-delà de 130 mm (figure 109). Cependant, la tension induite ne semble pas évoluer de façon périodique en fonction de la longueur de couplage. Le résultat obtenu (figure 118) permet de valider des études [BOGATIN 2003] qui introduisent la notion de longueur de saturation (L_{ENSAT}). De la même façon cette étude définit une longueur permettant d'obtenir des résultats proches de $\lambda/4$ (équation [29]) et définissant un maxima.

$$L_{ENSAT} = Tr \times v \quad [29]$$

Ainsi, pour une longueur supérieure ou égale à L_{ENSAT} , la tension induite est constante. Une autre étude [MU 2001] conforte l'apparition du phénomène de saturation. Cependant, elle montre que, si on continue à augmenter la longueur de couplage, la tension diminue du fait des pertes diélectriques dans les conducteurs, phénomène qu'on observe à la figure 118.

Pour une technologie et un front de commutation donné, la définition d'une longueur donnant un maxima à $\lambda/4$ est recevable.

IV.5. Conclusion partielle

Ce paragraphe nous a permis d'interpréter les résultats issus de l'outil Allegro. Nous avons vu que l'analyse d'une perturbation par diaphonie nécessitait une étude globale du système pour définir les éléments ou paramètres engendrant le plus de perturbations. Cela a également permis de quantifier, dans une topologie que l'on qualifiera de classique, la longueur à partir de laquelle un couplage à faible isolement sera prépondérant face aux bruits engendrés par la cohabitation de deux lignes. Enfin, nous sommes aujourd'hui capables de définir à partir des informations technologiques d'un buffer, la longueur d'un couplage qui engendre une tension induite maximale.

Avant de confronter l'ensemble des scénarios implantés sur le véhicule de test, il est nécessaire d'étudier le degré de validité de l'outil en comparant les mesures avec les résultats issus de l'outil Cadence.

V. VALIDATION DE LA SIMULATION PAR LA MESURE

V.1.Introduction

Il est nécessaire de valider l'utilisation de ces outils et méthodes par la mesure. Une première comparaison vue au paragraphe I.2.6.3, nous a permis de constater que les résultats entre la simulation et la mesure semblaient proches.

Nous présenterons ici la démarche et les conditions dans lesquelles les mesures sont effectuées. Nous étudierons ensuite la fiabilité de la mesure. Enfin, nous définirons à travers une étude détaillée la précision de correspondance entre la mesure et la simulation.

V.2.Appareils et conditions de mesures

Les appareils de mesure dont nous disposons sont les suivants :

- Oscilloscope Tektronix TDS5104B 1 GHz, un taux d'échantillonnage de 5 GS/s.
- Oscilloscope Tektronix DSA72004B 20 GHz, un taux d'échantillonnage de 50 GS/s.
- Sonde Tektronix P6245 de bande passante de 1,5 GHz, $R_e=1\text{ M}\Omega$, $C<1\text{ pF}$.
- Sonde Tektronix P7240 avec une largeur de bande de 4 GHz, $R_e=20\text{ K}\Omega$, $C=0,85\text{ pF}$.

Pour optimiser la boucle de masse introduite par la sonde, nous utilisons la même adaptation (« twin tip adapter ») que celle définie dans le Chapitre III (Paragraphe VI.2.1).

Pour l'ensemble des mesures, deux points d'accès sont implantés sur chaque ligne victime : un au plus proche du FPGA driveur qui nous permet de réaliser des mesures en NEXT et un autre au plus proche du FPGA récepteur pour les mesures FEXT. Autour de ces points de mesure sont régulièrement implantés des points de masse pour limiter la boucle de mesure (figure 119).

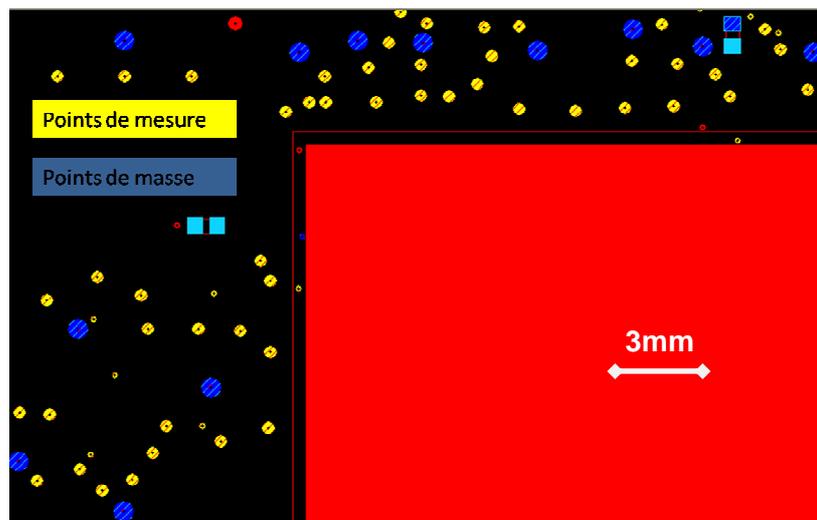


figure 119 : Vue d'une partie du PCB autour du FPGA

L'implantation des points de test est optimisée de façon à minimiser la dégradation des signaux par le dispositif de mesure.

Pour limiter la longueur du tronçon de ligne qu'engendre la mise en place d'un point de mesure, nous n'avons pas utilisé à proprement parler de pastille de test, mais nous nous sommes servi des μ vias comme présenté à la figure 120. Cela permet de limiter la longueur du stub et de diminuer la largeur de la pastille ; les éléments parasites sont donc minimisés.

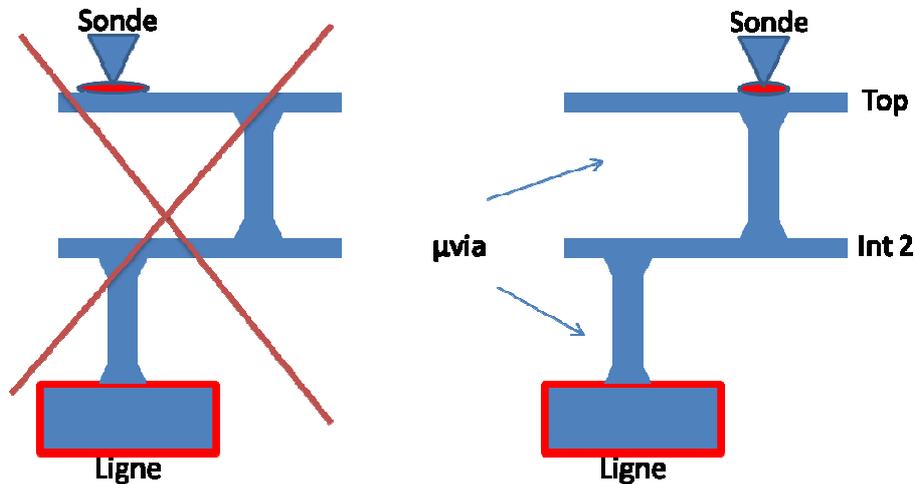


figure 120 : Limitation des perturbations à travers l'optimisation de l'accès à la mesure

Une liaison série a été mise en œuvre pour activer les signaux sur la carte. Chaque motif de test (couple victime/agresseur) peut être activé séparément et l'utilisateur peut, à travers une interface, définir la fréquence de l'agresseur, ainsi que l'état haut ou bas de la victime. On peut s'assurer de la bonne configuration des FPGA à l'aide du module « signal Tap » intégré au sein du FPGA. Ce module comparable à un analyseur logique peut nous renseigner sur l'état des signaux d'entrée/sortie ou interne au FPGA.

Une fois les lignes excitées nous pouvons mesurer le comportement résultant sur la ligne victime. Pour cela, un oscilloscope et une sonde suffisent. Les signaux de type LVDS 3V3 présentent une largeur de bande de près de 500 Mhz. Les appareils dont nous disposons suffisent largement pour la caractérisation. Les mesures d'un signal victime en FEXT et NEXT (figure 121) montrent bien que l'oscilloscope 1 GHz suffit à retranscrire le signal. Les mesures faites avec l'oscilloscope 20 GHz, dont la bande est limitée par la sonde (4 GHz) sont identiques à celles de l'oscilloscope dont la bande passante est limitée à 1 GHz.

Les mesures suivantes sont faites à l'aide de l'oscilloscope TDS5104B de 1 GHz et de la sonde P6245 de 1,5 GHz.

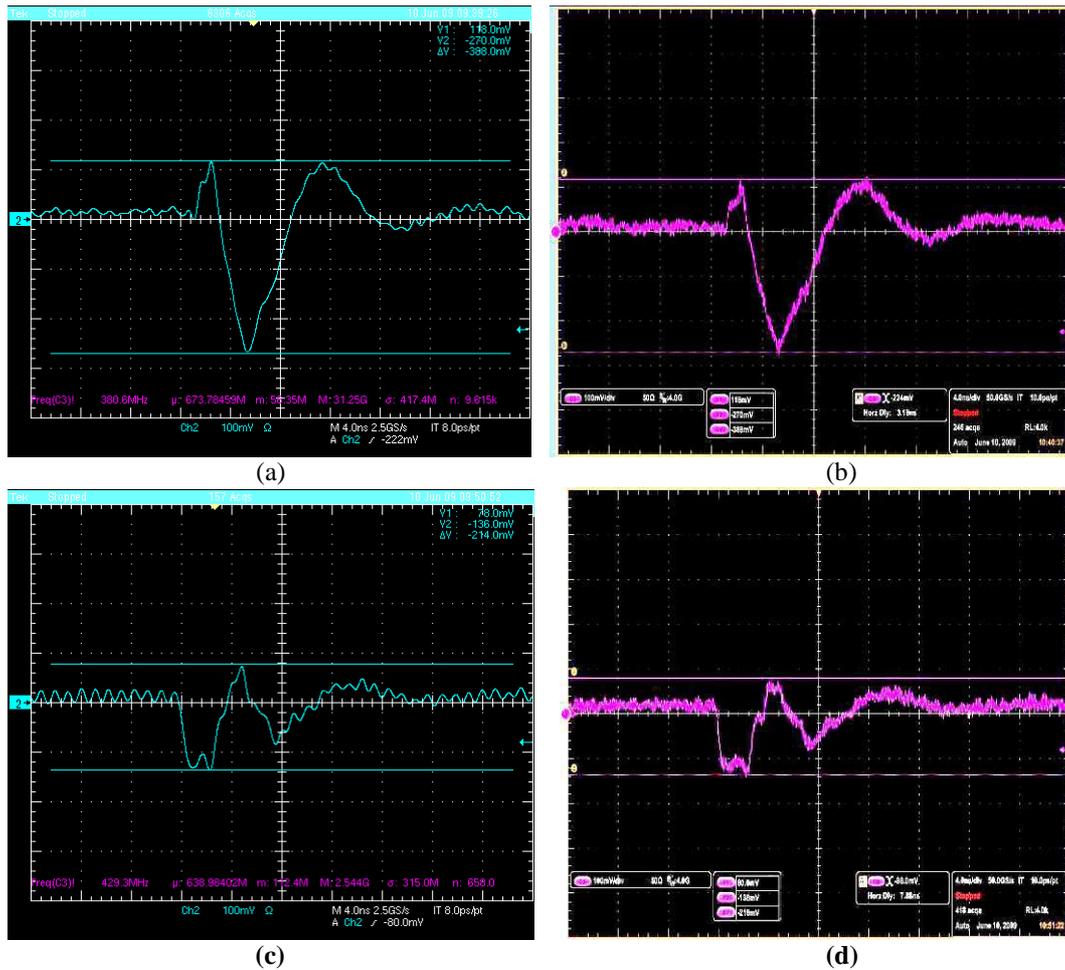


figure 121 : Oscillogramme (4 ns/DIV et 100 mV/DIV) du signal FEXT avec une (a) BW=1 GHz (b) BW=4 GHz et du signal NEXT avec une (c) BW=1 GHz (d) BW=4 GHz

V.3. Exploitation des mesures

Le premier paragraphe définit le degré de reproductibilité d'une mesure. Ensuite, nous étudions à travers les scénarios SC1_V24 et SC3_V5 la corrélation entre la mesure et la simulation.

SC1-V24	SC3-V5
Longueur de couplage 180 mm Isolement 1W : 120 μm	Longueur de couplage 180 mm H=70 μm

tableau 27 : Représentation des couplages étudiés

Les mesures seront effectuées en début et en fin de ligne dans le cas d'un couplage pair, c'est-à-dire avec la victime à '0' et l'agresseur sur front descendant.

V.3.1. Reproductibilité

Il est important avant de débiter une étude de corrélation de s'assurer de la qualité de reproductibilité de la mesure. Bien entendu des variations d'une mesure à l'autre sont possibles, mais il faut que les résultats soient cohérents, que les allures soient similaires et que les variations soient faibles et quantifiées. Pour évaluer le degré de reproductibilité nous mesurons les deux motifs cités ci-dessus, en configurant l'oscilloscope en persistance infinie et en acquisition rapide.

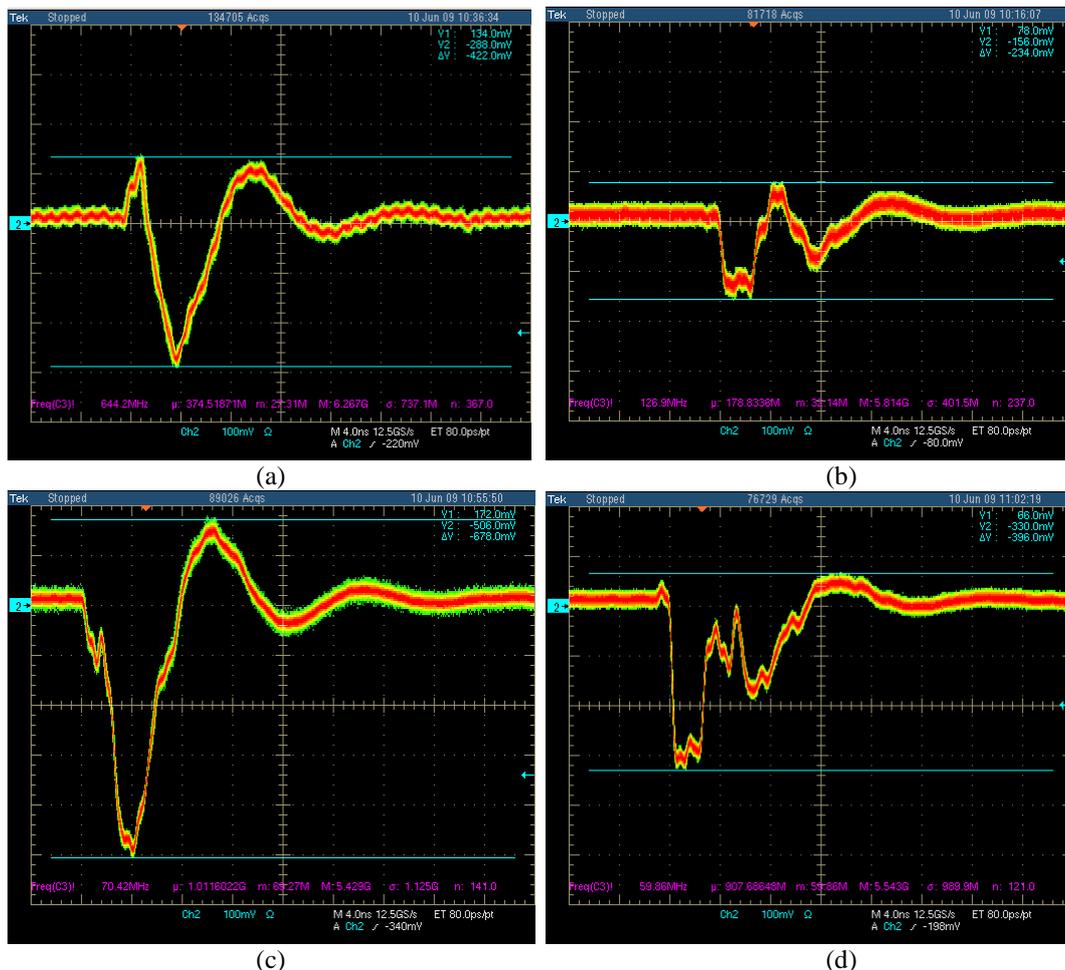


figure 122 : Oscillogramme (4 ns/DIV et 100 mV/DIV) avec une BW=1 GHz du signal (a) FEXT de SC1_V24 (b) NEXT de SC1_V24 (c) FEXT de SC3_V5 (d) NEXT de SC3_V5

Ces mesures (figure 122) nous montrent une variation des niveaux minimaux et maximaux. La variation est en moyenne de +/-10 mV avec quelques variations maximales de +/-20 mV. Les résultats de mesures sont très satisfaisants, les allures de signaux sont fidèles et reproductibles. La comparaison avec les simulations sera donc représentative avec un écart qui, d'après ces mesures, pourrait être de l'ordre de 40 mV au maximum.

V.3.2. Etude de corrélation temporelle

La figure 123 présente la simulation et la mesure en fin de ligne (FEXT) du scénario SC1-V24 dans le cas d'un couplage pair (EVEN). La figure 124 présente la même comparaison après modification des conditions de simulation : la lecture du signal en simulation est effectuée au même endroit que la mesure et un modèle de sonde est introduit.

Le résultat de la première comparaison est déjà satisfaisant : Nous retrouvons en mesure l'allure du signal simulé avec un léger filtrage des fronts. En ce qui concerne les maxima, la mesure présente des niveaux plus faibles, la simulation donne les perturbations maximalistes. Si cette dernière respecte les marges de bruit, le système est validé et présente un niveau de bruit inférieur, ce qui est satisfaisant.

En observant l'écart des niveaux (figure 123) on trouve des valeurs supérieures à 40 mV. Ces différences ne peuvent donc pas s'expliquer par la variabilité de la mesure.

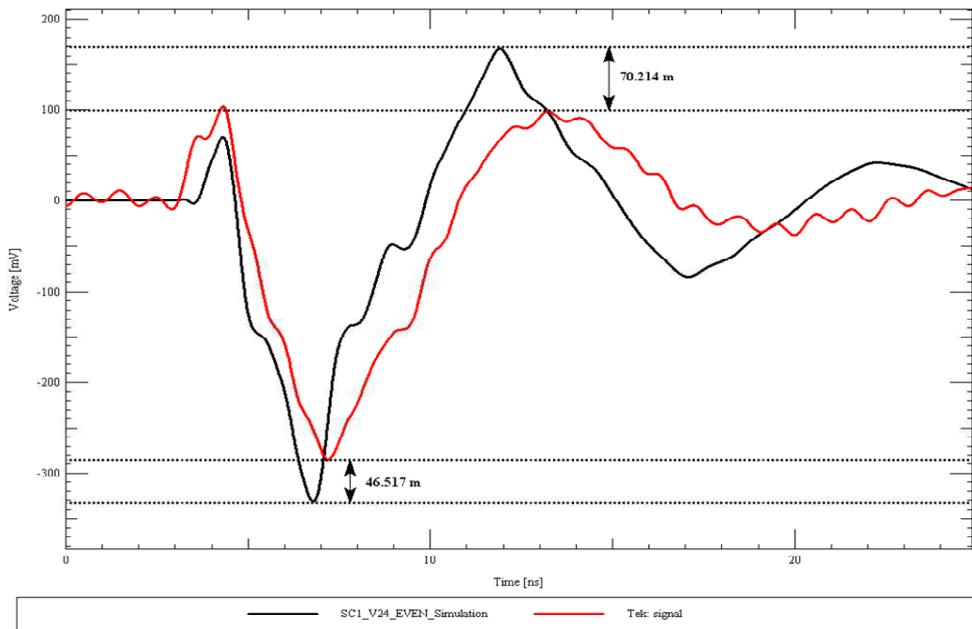


figure 123 : Simulation vs Mesure de SC1_V24 FEXT

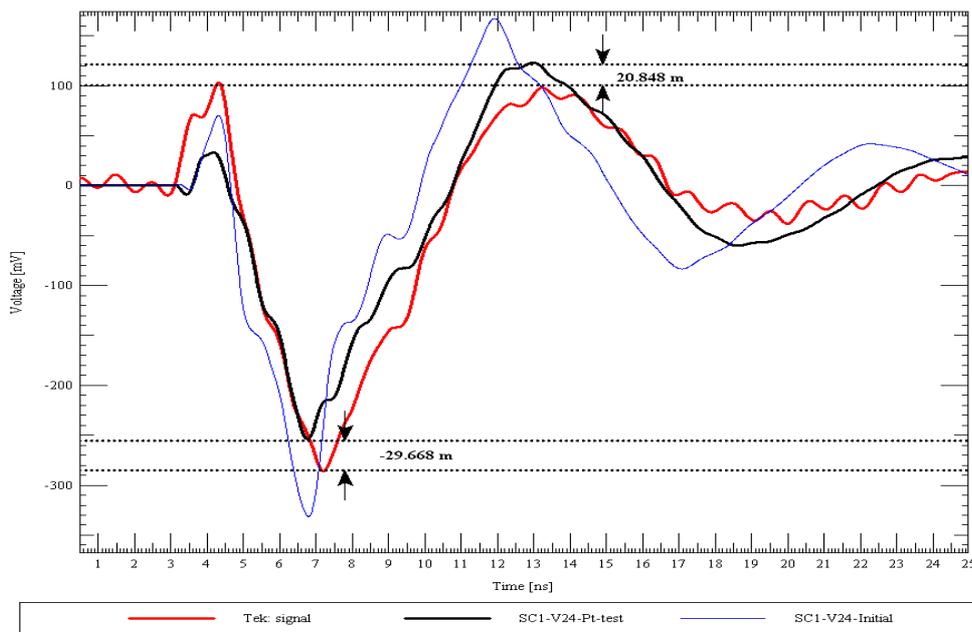


figure 124 : Simulation vs Mesure de SC1_V24 FEXT après modification des conditions de simulation (relevé au niveau du point de mesure et modélisation de la sonde)

Dans le second cas, où la simulation a été affinée, on constate qu'il est possible d'obtenir des résultats plus satisfaisants. Les conditions de mesure et de simulation de la figure 123 n'étaient pas tout à fait identiques. En effet, la simulation calcule la tension induite au niveau de la broche du composant. En mesure, la tension est prise sur un point de test au plus proche du composant. Le composant étant de type BGA, la mesure sur la broche est impossible. Les chemins de la simulation et de la mesure ne sont donc pas identiques. De plus, la simulation ne tient pas compte de la sonde. Nous avons donc extrait la topologie de la ligne et placé un modèle simplifié de la sonde au niveau du point de test. Le modèle comprend une capacité de 4 pF, une résistance de 1 M Ω ainsi qu'un buffer d'entrée.

Le résultat est maintenant satisfaisant. La modification permet de retrouver le filtrage observé à la mesure, les fronts du signal ont des pentes semblables. De plus, les maxima sont maintenant très proches. On retrouve des différences de l'ordre de 30 mV, ce qui est inférieur au 40 mV de variation que l'on peut obtenir à travers la mesure.

On réitère le même exercice à travers la mesure et la simulation des motifs :

- SC1-V24 en début de ligne (figure 125),
- SC3-V5 en fin de ligne (figure 126),
- SC3-V5 en début de ligne (figure 127).

La figure 125 présente des variations très faibles car inférieures à 15 mV. Les courbes suivantes laissent apparaître des variations inférieures à 37 mV, également satisfaisantes.

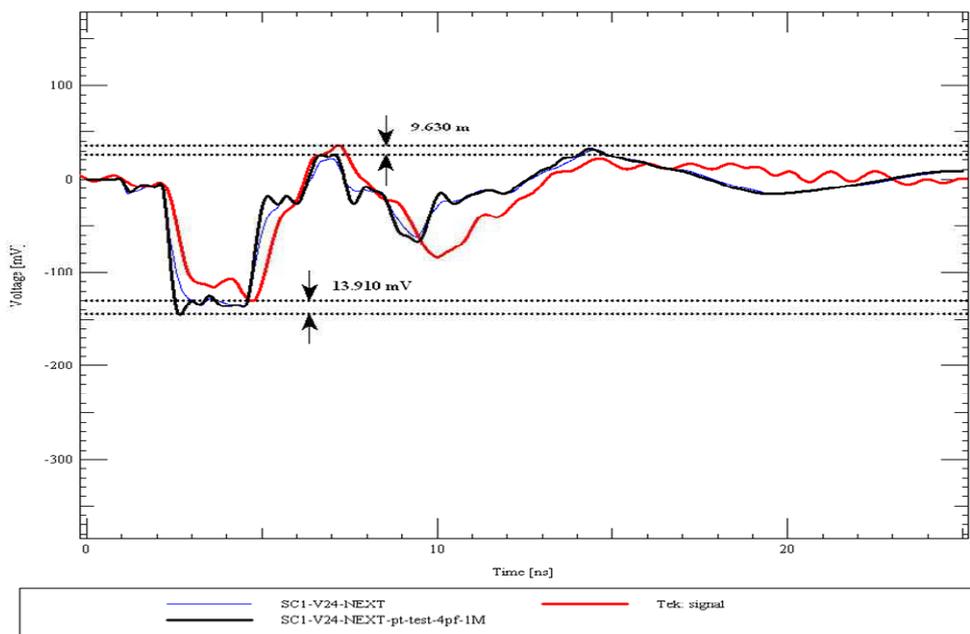


figure 125 : Simulation vs Mesure de SC1_V24 NEXT avant et après modification des conditions de simulation (relevé au niveau du point de mesure et modélisation de la sonde)

Sur la figure 127, des écarts significatifs sont observables entre 6 et 8 nanosecondes. Cependant, on retrouve les oscillations dans les deux courbes, et surtout les valeurs minimale et maximale du signal restent dans la plage de variation de la mesure.

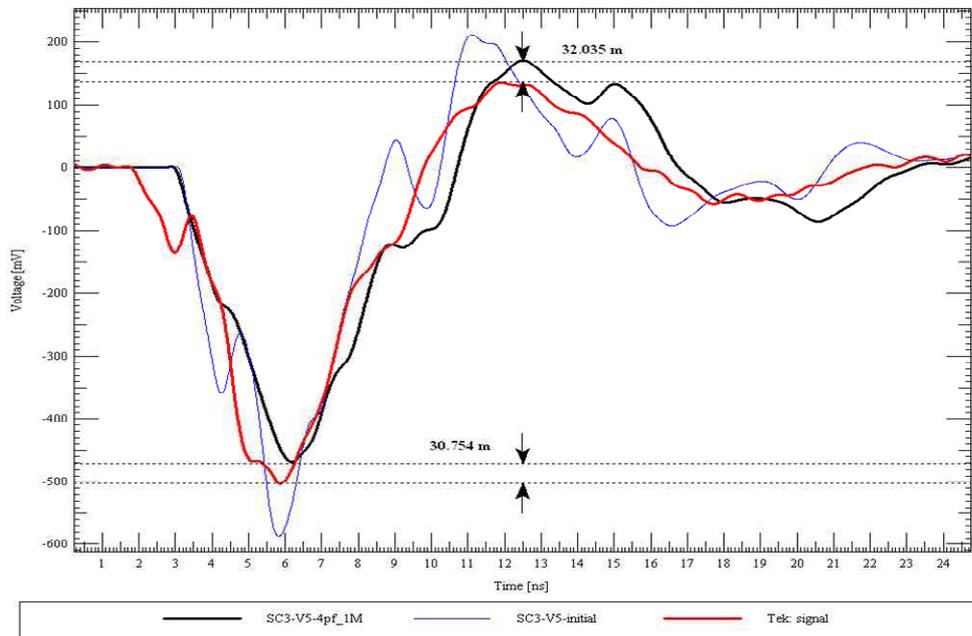


figure 126 : Simulation vs Mesure de SC3_V5 FEXT avant et après modification des conditions de simulation (relevé au niveau du point de mesure et modélisation de la sonde)

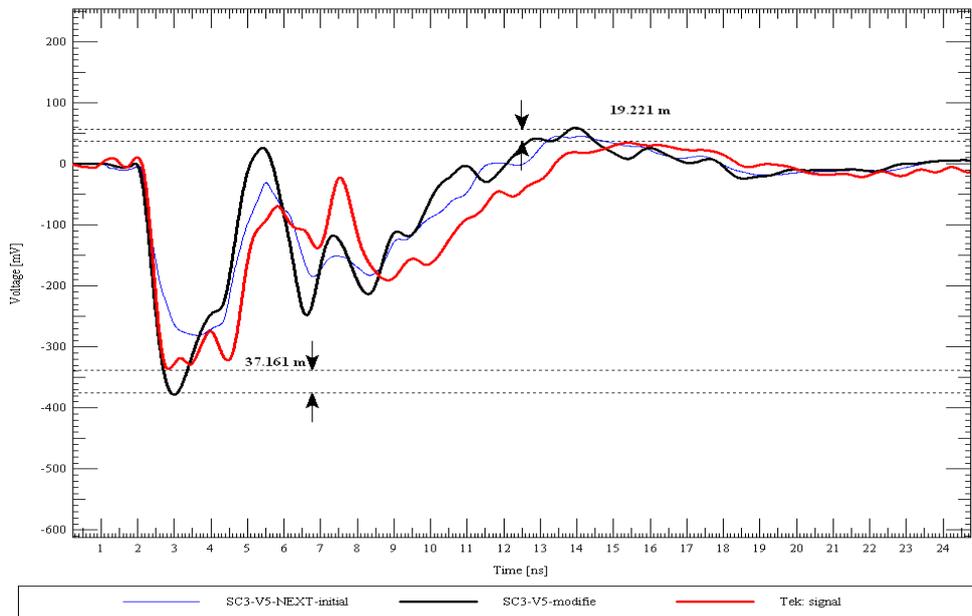


figure 127 : Simulation vs Mesure de SC3_V5 NEXT avant et après modification des conditions de simulation (relevé au niveau du point de mesure et modélisation de la sonde)

Avec les conditions de simulation initiales, les écarts relevés entre la simulation et la mesure peuvent être supérieurs à 100 mV, après modification des conditions de simulation les écarts diminuent à des valeurs inférieures à 40 mV. Les résultats obtenus dans cette partie sont satisfaisants, mais la validation du fonctionnement de l'outil de simulation par la mesure nécessite plus de comparaisons. Le paragraphe suivant permettra d'évaluer l'outil dans les conditions géométriques imposées par les différents scénarios.

V.3.3. Synthèse de l'étude de corrélation

Nous voulons à travers cette partie évaluer l'outil dans le cas de couplages internes et externes, pour des pistes côte à côte ou superposées ainsi que dans le cas de couplages simples ou multiples.

Les résultats de mesure présentés ci-dessous ne tiennent compte que du pire cas :

- Mode ODD avec les victimes à '1' et les agresseurs sur front descendant,
- Mesure de la tension maximale induite en fin de ligne (figure 107).

Attention : Afin de simplifier et d'automatiser les simulations (conditions usuelles d'utilisation), le calcul de la tension induite est effectué sur la broche du composant et non pas sur le point de test (qui impliquerait l'extraction de chaque topologie et sa modification pour associer le modèle de la sonde). Les écarts entre la mesure et la simulation seront donc plus importants et la corrélation moins satisfaisante. Dans le cas où les conditions d'étude sont différentes, les variations peuvent être de l'ordre de 100 mV.

Les 2 figures ci-dessous comparent la mesure et la simulation des scénarios 1 et 3 :

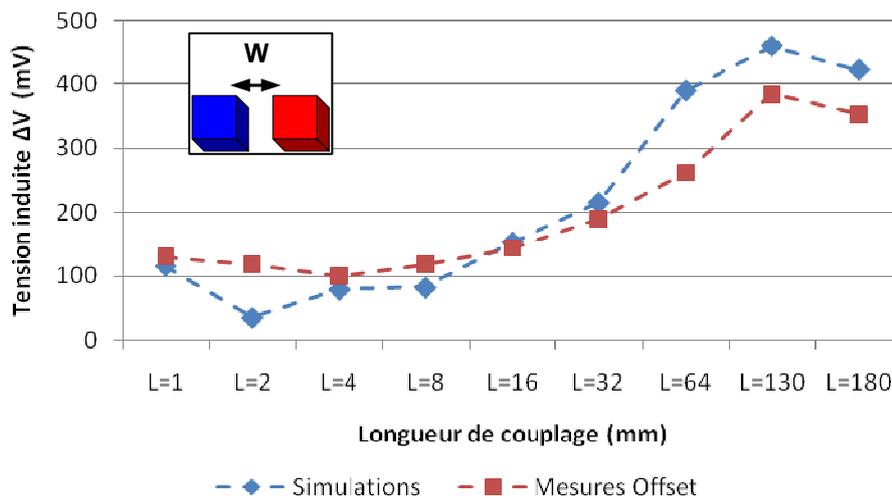


figure 128 : Simulation vs Mesure – FEXT – ODD (victime à '1') Motifs du scénario 1 (Couplage côte à côte en interne isolement =1W)

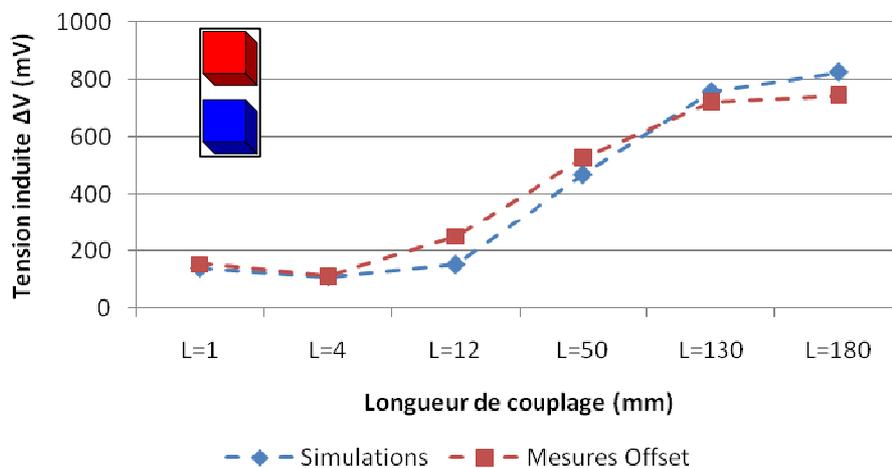


figure 129 : Simulation vs Mesure – FEXT – ODD (victime à '1') Motifs du scénario 3 (Couplage superposé en externe)

Nous obtenons pour les scénarios 1 et 3 des résultats très proches entre la mesure et la simulation. Le scénario 1 présente des disparités plus importantes mais pour la quasi-totalité des motifs nous retrouvons la simulation supérieure ou égale à la mesure. La simulation maximise, ce qui est tout à fait satisfaisant. Le scénario 3 montre une corrélation presque parfaite. Certains résultats de mesures sont légèrement supérieurs à la simulation, mais n'étant pas dans une configuration totalement identique, ces différences ne permettent pas de remettre en cause la caractérisation de l'outil, au vu des écarts observés.

L'étude de corrélation à travers ces 2 scénarios est satisfaisante. Nous retrouvons des valeurs de tensions induites proches entre simulation et mesure. Si les différences trouvées sortent de la marge définie (100 mV) on retrouve systématiquement la simulation plus élevée que la mesure. L'outil de simulation et les modèles utilisés sont capables de caractériser assez finement les systèmes étudiés, qu'ils soient interne, externe, sur la même couche ou sur des couches superposées. De plus la configuration de l'outil telle que nous l'avons définie initialement est satisfaisante et permet de traiter l'ensemble de ces géométries.

Les 2 figures ci-dessous comparent la mesure et la simulation des scénarios 5 et 7 :

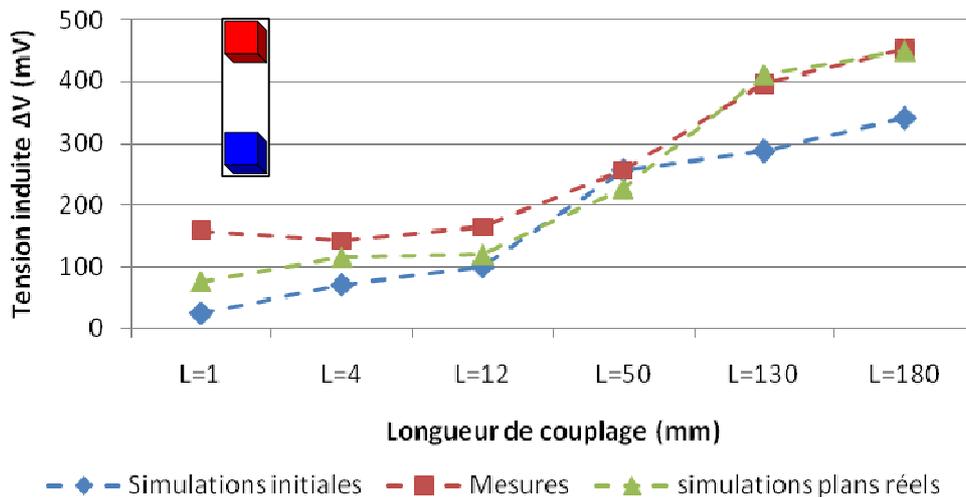


figure 130 : Simulation vs Mesure – FEXT – ODD (victime à '1') Motifs du scénario 5 (Couplage superposé - couche 10 et 12 - en externe)

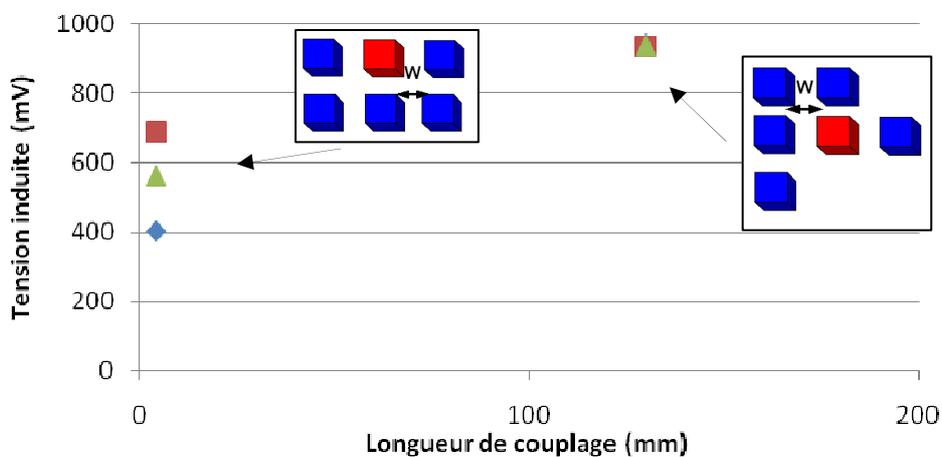


figure 131 : Simulation vs Mesure – FEXT – ODD (victime à '1') Motifs du scénario 7 (Couplage multi agresseurs - 4 et 130 mm - en externe)

Les scénarios 5 et 7 font apparaître des résultats moins acceptables. Les tensions mesurées sont plus grandes que les simulations avec des écarts souvent supérieurs à 100mV.

En étudiant la zone d'implantation du scénario 5, nous pouvons constater que ces motifs ont des plans de référence faisant cohabiter plusieurs îlots d'alimentation (figure 132-a et figure 132-b), créant des ruptures dans le plan, qui ne facilitent pas la circulation du courant de retour. Les figures illustrent bien le problème : le courant retour suit quand c'est possible le chemin parcouru par le courant aller. Au vu des coupures dans les plans, il doit trouver un chemin différent. Par conséquent, les signaux présenteront une dégradation plus importante.

L'outil nous permet d'obtenir des résultats plus précis en tenant compte du plan réel (prise en compte des cavités). Une nouvelle simulation « plans réels » a donc été effectuée (figure 130) et a permis d'obtenir des résultats meilleurs. Les différences relevées sont inférieures à 100 mV ce qui permet de valider l'outil dans cette nouvelle géométrie.

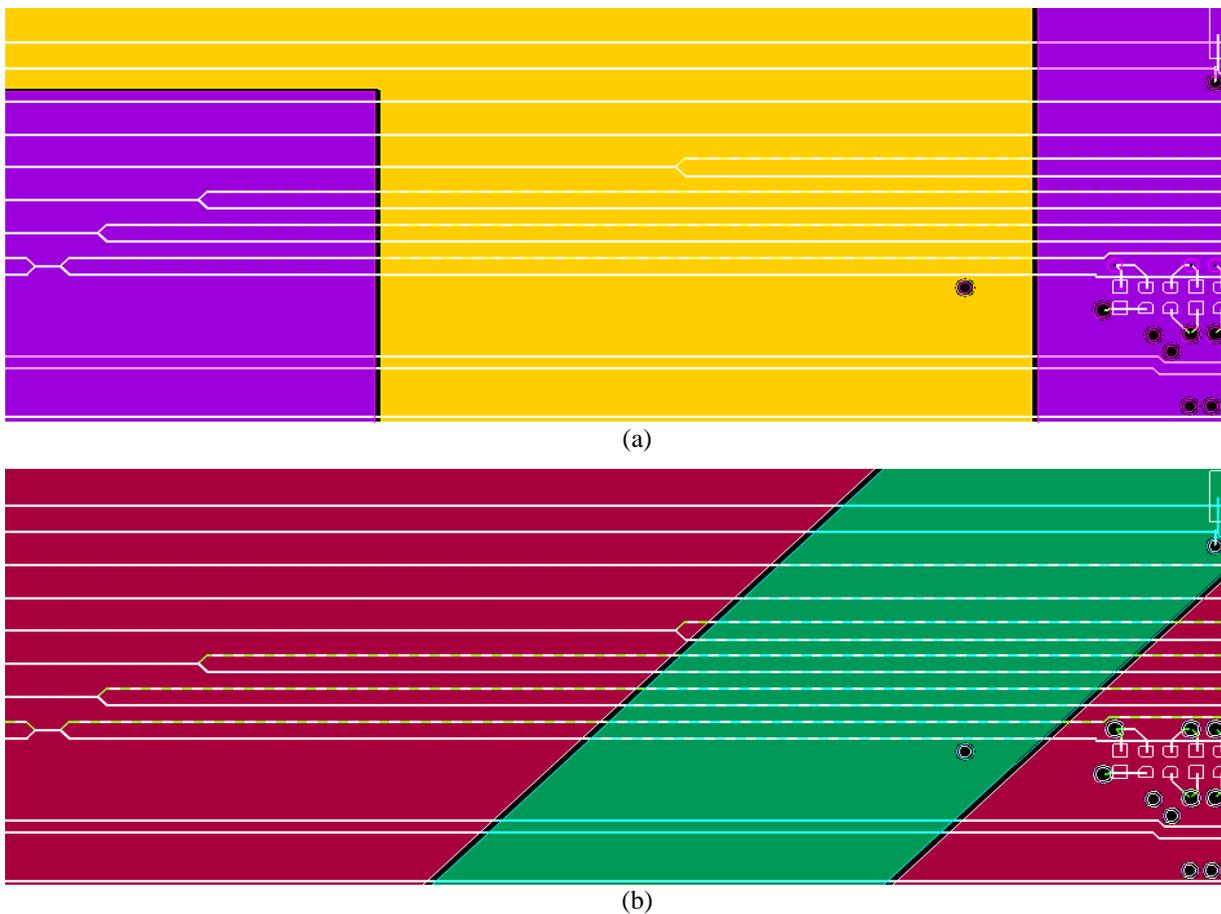


figure 132 : Vues CAO des signaux superposés couche 12 et 10 par rapport à leur plan de référence (a) en couche 8 et (b) en couche 9

Cette option n'est pas valable par défaut car elle entraîne des temps de simulation importants. Il est donc nécessaire de faire attention à l'homogénéité des plans de référence car une rupture importante dans le plan peut avoir un impact conséquent sur la validité de la simulation configurée par défaut.

Dans le scénario 7 on s'intéresse aux agressions multiples. Nous notons à la figure 131 que la simulation initiale engendre un écart important pour un couplage égal à 4 mm. Le couplage mis en œuvre engendre de par sa longueur inférieure à 8 mm, peu de perturbations face au reste de la topologie (§IV.3.4).

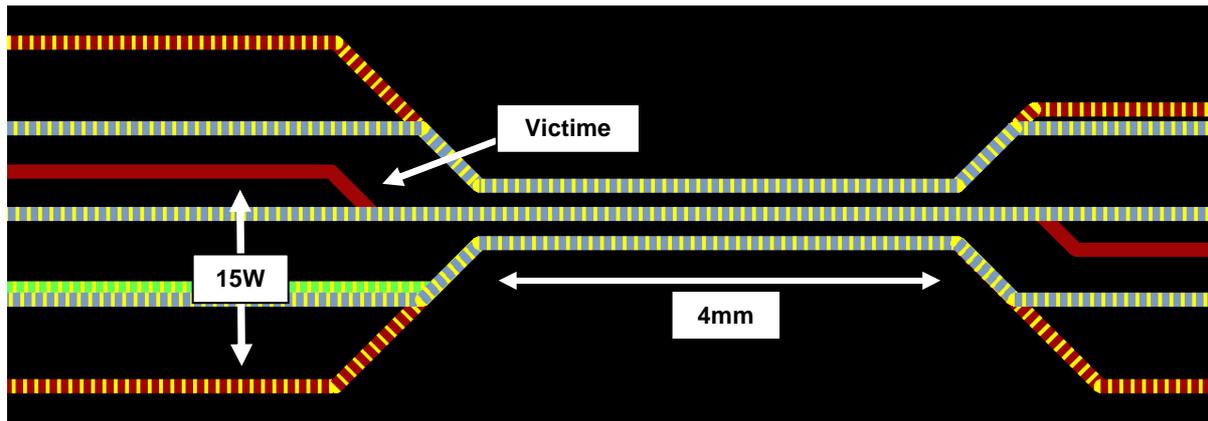


figure 133 : Vue de dessus du couplage multiconducteurs de 4 mm du Scénario 7

Dans le cas présent, une fenêtre de visualisation égale à 5W ne suffit visiblement pas pour détecter l'ensemble des couplages agissant sur la piste victime. Pour le cas d'un couplage multiple si on souhaite isoler l'ensemble des conducteurs avec un écart de 5W on retrouve, au-delà du couplage de 4 mm, des conducteurs parallèles sur de longues distances avec un isolement compris entre 5 et 15W (figure 133). Nous avons vu (§IV.3.2) qu'un couplage présentant une longueur de couplage importante avec de fort isolement (5W) génère plus de perturbations qu'un couplage court avec un isolement minimal (1W).

Pour prendre en compte l'ensemble des couplages entre les agresseurs et la victime, une nouvelle simulation est effectuée avec une fenêtre de visualisation importante (15W). Les différences obtenues inférieures à 100 mV sont acceptables au vu de la différence de configuration (figure 131).

V.4. Conclusion partielle

Dans cette partie nous avons mis en place un dispositif d'expérimentation nous permettant d'obtenir des mesures reproductibles en limitant au maximum tous les éléments parasites que pourraient entraîner un point de test et les appareils de mesure. Ensuite, il a été nécessaire de mettre en œuvre des simulations analogues aux conditions de mesure (zone de capture / modélisation simplifiée de la sonde). Dans ces conditions, la corrélation entre les mesures et les simulations sont bonnes.

La généralisation des comparaisons à une liste large de scénarios a permis la confrontation de l'outil aux différents cas de figure qu'il est possible de rencontrer sur nos circuits. Les résultats obtenus sont satisfaisants. Cependant, une connaissance de l'outil et des phénomènes sont nécessaires pour adapter le paramétrage de la simulation selon les topologies rencontrées (ex : Scénario 5 et 7). Malgré cela, l'outil Cadence traite et évalue correctement les couplages présents sur des cartes à haute densité d'interconnexions. Il est important d'insister sur le fait que la configuration de l'outil n'est en aucun cas générique. Cette étude, que ce soit à travers la définition des paramètres initiaux ou dans l'étude des scénarios 5 et 7, nous a montré que l'outil logiciel nécessitait la mise en place d'une configuration précise définie à chaque nouvelle carte. Dans l'étude de circuits complexes et à haute densité, le paramétrage par défaut est vivement déconseillé car les résultats sont imprécis et peu représentatifs de la réalité.

Les données issues de simulation sont maintenant maîtrisées et représentatives de la mesure. Cela nous permet donc d'étudier l'ensemble des scénarios présents sur le véhicule de test à l'aide des simulations issues de Cadence.

VI. CONFRONTATION PAR LA SIMULATION DES DIFFERENTS SCENARIOS

Ce paragraphe va nous permettre de quantifier les perturbations qu'engendrent les différents scénarios de diaphonie mis en œuvre sur le véhicule de test. A partir de cette étude on pourra définir des règles à mettre en œuvre dans la conception de cartes.

NB : Les données sont extraites de l'outil de simulation SigXplorer et représentent la tension en FEXT maximum (figure 107).

VI.1. Etude d'un couplage adjacent en interne du PCB

La figure 134 et la figure 135 présentent à travers le scénario 1 l'évolution de la tension induite en fonction de la longueur de couplage. Dans un premier temps on peut observer à la figure 134 l'évolution du bruit de diaphonie selon l'isolement. La figure 135 évalue l'impact d'un couplage en mode ODD et en mode EVEN.

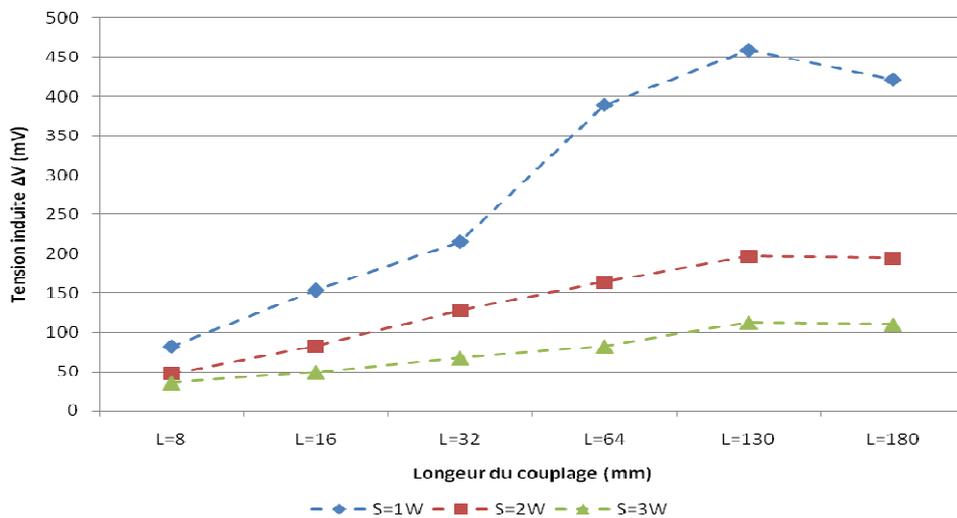


figure 134 : Motifs du Scénario 1 – FEXT – ODD (victime à '1')
(Couplage adjacent avec un isolement de 1/2/3W – Longueur de couplage de 8 et 180 mm - en interne)

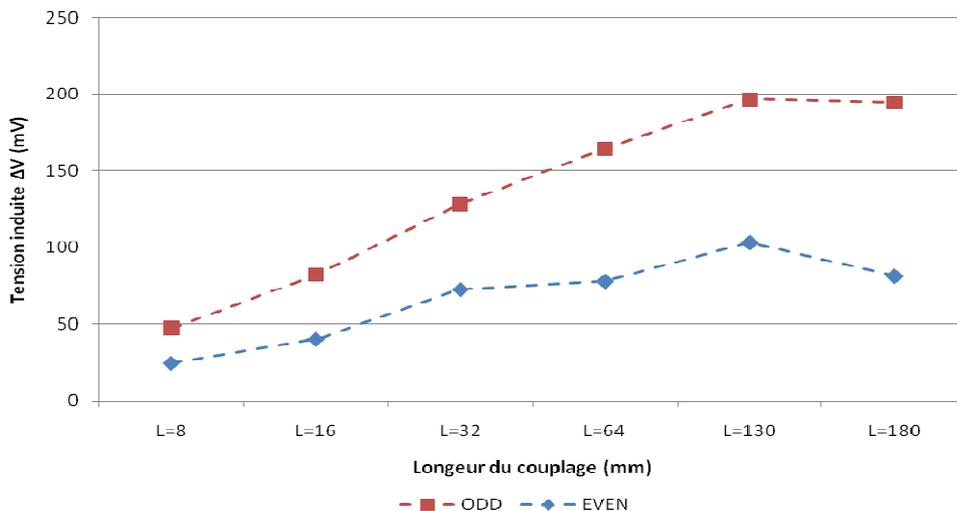


figure 135 : Motifs du Scénario 1 – Comparaison ODD vs EVEN– FEXT
(Couplage adjacent avec un isolement de 2W – Longueur de couplage de 8 et 180 mm - en interne)

VI.1.1. Evolution de la tension induite en fonction de l'isolement

Les résultats obtenus à la figure 134 semblent cohérents.

- Plus on augmente la longueur de couplage plus la tension induite sur le conducteur victime s'amplifie et ce jusqu'à 130 mm. Au-delà, la tension induite diminue quand le couplage devient supérieur à $\lambda/4$.

- La tension induite diminue quand l'isolement entre les conducteurs croît. Ce phénomène est très sensible entre 1 et 2W et d'autant plus pour des longueurs de couplage supérieures à 32 mm. Quand on continue à augmenter l'écartement entre les pistes on s'aperçoit que le gain résultant est moins conséquent. En effet, le gain dû à l'isolement n'est pas linéaire.

Dans la résolution des phénomènes de diaphonie, la littérature [MONTROSE 1999] [BLACKWELL 2000] définit la règle des 3W, isolement qui tend à réduire de façon significative les tensions induites. Dans la conception HDI, cette règle est utilisée, mais au vu du nombre d'interconnexions au dm^2 , il est difficilement envisageable d'augmenter l'écart entre les pistes. On constate à travers ces simulations que les tensions induites pour des longueurs de couplage importantes restent acceptables (environs 100 mV).

L'augmentation de l'écartement pourrait permettre de continuer à réduire ces tensions, cependant l'étude précédente a montré, pour des distances importantes entre les pistes (5W) et au vu de la densité de conducteurs à la sortie des composants, que la tension perturbatrice était rarement nulle et présentait des seuils de bruits de plusieurs dizaines de millivolts. Les règles utilisées jusqu'aujourd'hui, bien qu'empiriques s'avèrent satisfaisantes, car le bruit engendré reste tolérable.

VI.1.2. Evolution de la tension induite en fonction du couplage pair ou impair

La figure 135 présente à nouveau le scénario 1 dans le cas où les signaux victime et perturbateur se propagent dans le même sens (EVEN) et dans le cas où ils se propagent dans un sens opposé (ODD). Ici nous pouvons observer que la tension induite dans le cas d'un couplage pair est beaucoup moins grande que dans un couplage impair. Dans un couplage impair, la différence de potentiel entre les conducteurs tend à augmenter sensiblement la capacité mutuelle. Cependant l'inductance mutuelle est réduite car les courants circulent dans un sens opposé. Ce phénomène est inversé dans un couplage pair. Cette comparaison nous permet donc de constater que le couplage capacitif est prédominant dans nos circuits.

La simulation ODD engendrant le plus de perturbations devra être celle utilisée dans les simulations pour se mettre dans le pire des cas. L'utilisation des deux types de couplage augmenterait le temps de simulation.

VI.2. Comparaison entre des couplages adjacents et superposés en couches interne et externe

La figure 136 qui suit, compare les scénarios 1, 2, 3 et 4.

Elle permet de comparer des couplages adjacents en couches interne (Scénario1) et externe (Scénario2) et superposés en couche interne (Scénario 4) et externe (Scénario3). L'ensemble des simulations sont effectuées en ODD et les courbes relevées sont les signaux FEXT.

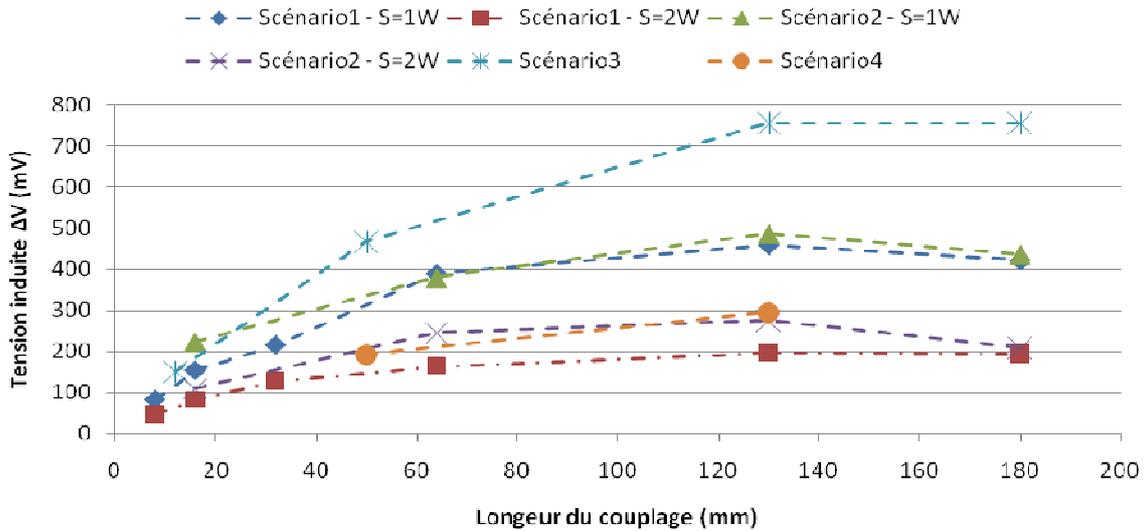


figure 136 : Comparaison scénario 1, 2, 3 et 4 - ODD - FEXT

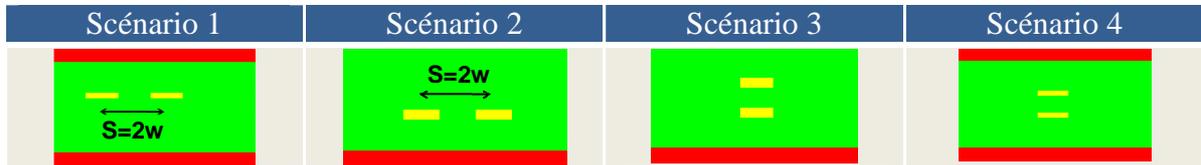
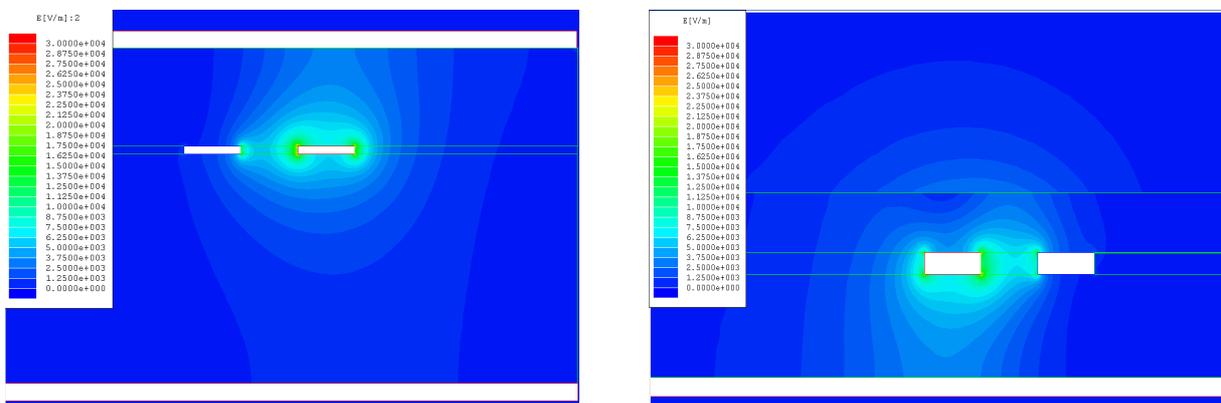


tableau 28 : Représentation des couplages étudiés

VI.2.1. Evolution de la tension induite en fonction d'un couplage adjacent interne ou externe

On remarque dans le cas d'un couplage en couche externe que les tensions induites sont plus importantes qu'un couplage interne. Cela peut s'expliquer par le fait que les interconnexions en couche externe (Microstrip) ont un rayonnement plus important qu'en interne (Stripline). En Stripline les lignes de champ sont interceptées par deux plans contre un seul en Microstrip. Ce phénomène peut être observé en étudiant les lignes de champs extraites par Maxwell 2D. Les figures suivantes montrent les lignes de champs électriques engendrées par le scénario 1 (figure 137-a) et par le scénario 2 (figure 137-b).

Au-delà du phénomène de rayonnement, on peut noter la différence entre les épaisseurs des couches interne (17 μm) et externe (40 μm) ce qui augmente la surface de vis-à-vis entre les signaux. En effet, Le processus d'assemblage des couches de micro-via dans les couches externes nécessite des re-métallisations qui augmentent l'épaisseur des couches de cuivre.



(a) $E_{\text{max}} : 30.10^3 \text{ V/m}$
 (b) $E_{\text{max}} : 30.10^3 \text{ V/m}$
 figure 137 : Etude électrostatique d'un couplage interne (a) et d'un couplage externe (b)

On constate en effet, que ces modifications de géométrie vont modifier les matrices [L] et [C] présentées dans les deux tableaux ci-dessous. Le tableau 29 présente les matrices résultantes d'un couplage interne et externe pour une même épaisseur de conducteur, le tableau 30 montre l'impact de la variation d'épaisseur d'un conducteur en couche externe.

	Couche 2 - Externe – 17µm	Couche 6 - Interne – 17µm
Matrice C (F/m)	$\begin{bmatrix} 86p & 28p \\ 28p & 86p \end{bmatrix}$	$\begin{bmatrix} 105p & 28p \\ 28p & 105p \end{bmatrix}$
Matrice L (H/m)	$\begin{bmatrix} 465n & 139n \\ 139n & 465n \end{bmatrix}$	$\begin{bmatrix} 444n & 117n \\ 117n & 444n \end{bmatrix}$

tableau 29 : Comparaison des éléments linéiques pour des couplages externe et interne

	Couche 2 – 17µm	Couche 2 – 40µm
Matrice C (F/m)	$\begin{bmatrix} 86p & 28p \\ 28p & 86p \end{bmatrix}$	$\begin{bmatrix} 96p & 35p \\ 35p & 96p \end{bmatrix}$
Matrice L (H/m)	$\begin{bmatrix} 465n & 139n \\ 139n & 465n \end{bmatrix}$	$\begin{bmatrix} 435n & 146n \\ 146n & 435n \end{bmatrix}$

tableau 30 : Comparaison des éléments linéiques pour des épaisseurs de conducteurs de 17 et 40µm

Les matrices calculées à l'aide de l'outil TNT-MMTL confirment que pour les mêmes dimensions, un couplage en couche externe sera plus important qu'un couplage en couche interne et que l'épaisseur des conducteurs introduit également une variation moins importante. Le routage des signaux sensibles et des signaux engendrant des perturbations importantes est donc à favoriser en couche interne. Cela permet dans les deux cas de minimiser les lignes de champs environnantes et donc de limiter les risques de couplages.

VI.2.2. Evolution de la tension induite en fonction d'un couplage superposé en couche interne ou externe

On peut noter dans le scénario 3 que les tensions induites, dans le cas d'un couplage superposé, sont beaucoup plus importantes que dans le cas de signaux couplés sur une même couche à 1W. Cela est tout d'abord dû aux technologies de PCB utilisées aujourd'hui dans les cartes à haute densité. Les couches µvias utilisent des hauteurs de diélectrique très fines. Ces hauteurs sont d'autant plus fines avec la mise en œuvre d'empilage à impédance contrôlée ; pour réduire les impédances des couches 1 et 2, il faut limiter la hauteur par rapport au plan.

Un isolement de 1W correspond à 120 µm, l'épaisseur du diélectrique vaut 70 µm. Cela ramène l'écart entre les pistes à environ 0,5W et double la tension induite. Mais le paramètre prépondérant est la surface de vis-à-vis des conducteurs. Elle représente dans ce cas la largeur du conducteur (120 µm) contrairement au couplage côte à côte qui, comme nous l'avons vu avant, dépend de la hauteur du conducteur de 17 µm dans les couches internes contre 40 µm dans les couches externes. Les lignes de champs induites par le conducteur agresseur sont, dans leur quasi-totalité, transmises au conducteur victime, comme on peut l'observer à la figure 138.

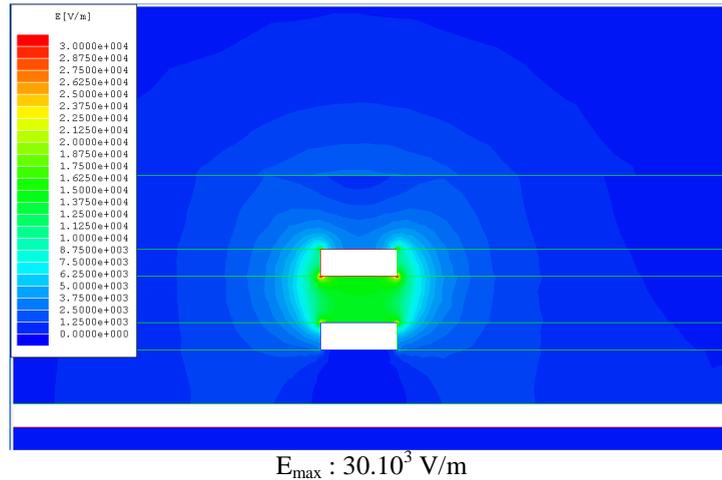


figure 138 : Etude électrostatique d'un couplage superposé en externe

	Matrice C (F/m)	Matrice L (H/m)
Externe	$\begin{bmatrix} 121p & 80p \\ 80p & 183p \end{bmatrix}$	$\begin{bmatrix} 533n & 250n \\ 250n & 445n \end{bmatrix}$
Interne	$\begin{bmatrix} 103p & 26p \\ 26p & 101p \end{bmatrix}$	$\begin{bmatrix} 566n & 101n \\ 101n & 580n \end{bmatrix}$

tableau 31 : Eléments linéiques pour un couplage superposé en externe et en interne

Ce cas présente donc un couplage fortement capacitif avec, un isolement deux fois plus petit que le motif précédent et une surface de vis-à-vis quasiment quatre fois supérieure. Les capacités linéiques calculées entre les deux conducteurs sont 3 fois plus grandes.

Nous pouvons observer dans le cas du scénario 4 que les perturbations sont beaucoup moins importantes qu'au scénario 3, car ses lignes de champ sont minimisées du fait de son implantation dans les couches internes (Stripline). Cependant la géométrie du couplage étant proche de celle d'une capacité, le fait d'apparaître en Stripline ne modifiera quasiment pas le transfert d'énergie entre les deux conducteurs. La diminution de la tension perturbatrice est surtout engendrée par l'augmentation de l'épaisseur du diélectrique entre les deux couches. L'épaisseur du diélectrique est de 250 μm dans le scénario 4 contre 70 μm dans le scénario 3.

Malgré un espacement entre les conducteurs de 250 μm ce qui équivaut à 2W, la surface de vis-à-vis est très importante. Les lignes des champs sont en grande partie concentrées entre les deux lignes. On peut confirmer cela en comparant cette géométrie au scénario 1 avec 2W (240 μm). Malgré un isolement supérieur (10 μm), le scénario 4 entraîne une tension induite supérieure. Cela permet de confirmer que les couplages superposés sont très critiques. Que cela soit dans les couches externes où les diélectriques sont très fins, mais aussi dans les couches internes où on retrouve de larges épaisseurs de diélectriques.

Il est donc nécessaire de proscrire ce type de scénario sur les cartes en favorisant le routage XY. Cependant, le routage en XY est de plus en plus difficile à mettre en place. Il devient donc nécessaire d'imposer le chevauchement des pistes si le routage orthogonal n'est pas possible.

Nous verrons dans le scénario 6 le gain obtenu par cette géométrie et les règles à respecter pour limiter le bruit induit. Ensuite nous quantifierons le bruit engendré par une superposition de pistes qui sont séparées par une couche intermédiaire grâce au scénario 5.

VI.3. Comparaison entre les différentes géométries de couplages superposés

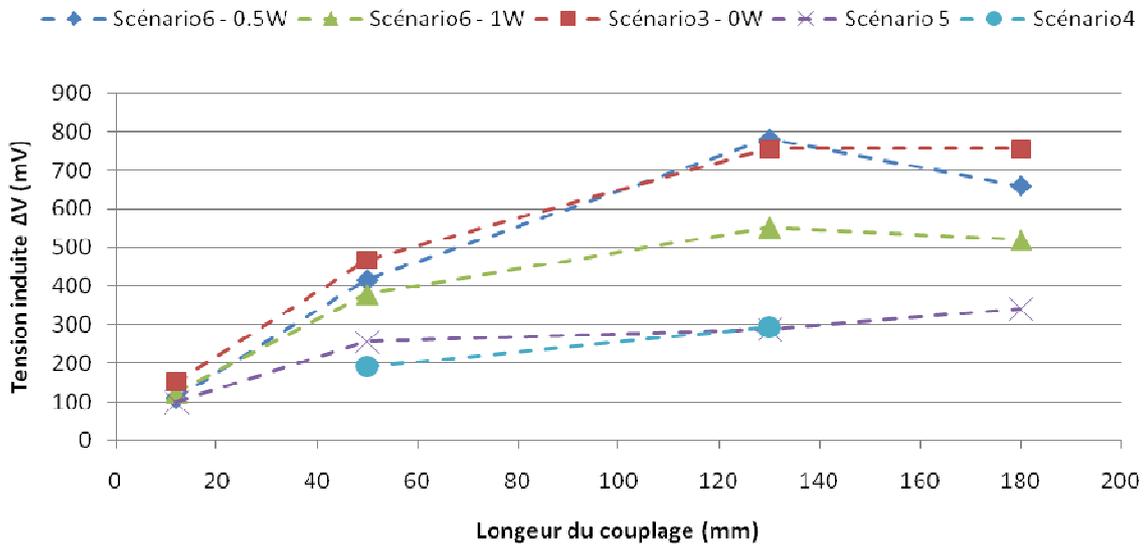


figure 139 : Comparaison scénario 3, 4, 5 et 6 - ODD - FEXT

Scénario 3	Scénario 4	Scénario 5	Scénario 6 (0,5W)	Scénario 6 (1W)
H=70 μm S=0 μm	H=250 μm S=0 μm	H=185 μm S=0 μm	H=70 μm S=60 μm	H=70 μm S=120 μm

tableau 32 : Représentation des couplages étudiés

VI.3.1. Evolution de la tension induite en fonction de l'écartement horizontal mis en œuvre dans un couplage superposé

Le scénario 6 présente des conducteurs superposés entre 2 couches comme le scénario 3 mais avec des isolements axe à axe de 0,5 et 1W. Cela permet d'estimer la réduction de perturbation engendrée par un écartement horizontal entre des conducteurs en vis-à-vis.

Les écartements mis en œuvre sont trop faibles pour réduire considérablement le couplage. Si l'on compare la courbe présentant un isolement de 0,5W avec le scénario 3, on note que le gain est quasi-nul. Enfin, un écart de 1W entre les pistes réduit peu le bruit induit.

Les règles empiriques de routage qui, pour limiter le bruit, préconisent de chevaucher les lignes entre les couches adjacentes ne sont pas acceptables. Il faudra donc mettre en œuvre des isolements, entre les conducteurs en vis-à-vis, de l'ordre de 2W ou plus.

Pour connaître le gain apporté par l'augmentation de l'écartement horizontal des pistes, une étude complémentaire reste nécessaire. L'utilisation d'outils de simulation 2D et Spice nous permettrait de définir les règles à suivre dans l'implantation de ce type de scénario.

VI.3.2. Evolution de la tension induite en fonction de l'isolement vertical mis en œuvre pour un couplage superposé

Un autre scénario que l'on peut rencontrer sur les circuits est le couplage entre deux signaux superposés isolés par une couche intermédiaire. On peut généralement rencontrer ce type de couplage dans les couches externes.

Dans le cas présent, le bruit induit diminue sensiblement par rapport aux scénarios 3 et 6 mais reste important et est proche du bruit obtenu avec un couplage superposé en couche interne. Les faibles épaisseurs de diélectriques des couches μ via en sont la cause. L'épaisseur des deux diélectriques associée à celle de la couche de cuivre représente 180 μ m ce qui est inférieur à 2W et ce avec une surface de vis-à-vis importante. Le scénario 4 ne présente pas de couche intermédiaire mais l'épaisseur de diélectrique dans les couches internes est de 250 μ m. Tout cela explique le fait que le bruit induit reste conséquent par rapport au scénario 4. La superposition des signaux est également à éviter dans le cas présent.

Le scénario 5 fait apparaître une différence importante par rapport aux autres scénarios ; le couplage augmente au delà de 130 mm. Cela s'explique par le fait qu'un des conducteurs se retrouve en couche 1, le signal le parcourant voit donc sa longueur d'onde augmenter. En effet, les scénarios en Microstrip enterrés sont dans un environnement diélectrique alors que le conducteur en couche 1 est dans un environnement non homogène (air+diélectrique) qu'il est nécessaire de calculer. Le conducteur est entouré par l'air ($\epsilon = \epsilon_0$) et par le diélectrique ($\epsilon = \epsilon_0 \cdot \epsilon_r$). La permittivité effective dépend de la géométrie de la ligne et en particulier du rapport W/H. Lorsque la piste est très étroite ϵ_{eff} tend vers $(\epsilon_r + 1)/2$ [GAUTIER 2001] [SCHNEIDER 1969]. Avec ces données nous obtenons $\epsilon_{eff} = 2.3$ et $\lambda = 0.73$ m. Donc le couplage atteint son maximum à 182 mm ($\lambda/4$). En faisant varier la longueur de couplage sous Allegro, on a pu noter une décroissance pour une longueur de couplage de 190 mm.

VI.4. Etude des couplages multiples

La mise en œuvre d'un couplage multiple engendre des perturbations importantes ; avec l'association de couplages adjacents et superposés en couche externe. Les niveaux de tension induite dans le cas où les agresseurs commutent dans le même sens entraîneront de sérieux dysfonctionnements. Ce paragraphe traite ces diaphonies décrites par la figure 140 pour une longueur de couplage de 4 et de 130mm, les résultats sont donnés au tableau 33.

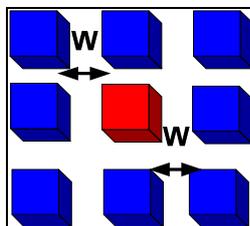


figure 140 : Couplage multiple – 1 victime / 9 agresseur (W=1) – ODD - FEXT

L'outil étudié, dans le calcul des éléments linéiques, l'ensemble des conducteurs couplés avec la piste analysée. La taille des matrices dépend donc du nombre de conducteurs qui perturbent la ligne victime. Pour les deux cas nous retrouvons des matrices 9x9 qui sont représentatives de la zone où le couplage a été mis en œuvre et qui correspondent avec celles calculées à l'aide de MMTL (Annexe 3).

L’outil Allegro fonctionne comme pour deux conducteurs. Il utilise le front le plus rapide du modèle de simulation et calcule pour chaque agresseur la tension induite sur la victime. Enfin, l’outil considère l’ensemble des courbes et additionne les différentes tensions induites. La piste victime a donc le total des différents agresseurs pour le pire des cas, car ces derniers commutent tous dans le même sens. Une commutation dans un sens opposée et simultanée de deux agresseurs entraîne une annulation de la tension induite sur la victime.

Scénario SC7_V0 (LC=4mm)			Agresseur	Tension ODD	Scénario SC7_V1 (LC=130mm)			Agresseur	Tension ODD
			A14	79,07			A15	211,9	
			A12	198,7			A10	249,4	
			A13	193,2			A11	104,6	
A13	A12	A14	A6	159,1	A11	A9	A5	A9	472,8
A2	V0	A3	A7	224,8	A15	V1	A8	A4	593,2
A1	A7	A6	A3	34,41	A10	A4	A0	A5	104,1
			A1	170,7				A8	225,4
			A2	36,09				A0	251,2
			Groupe	605,3				Groupe	2077

tableau 33 : Calcul de la diaphonie induite par Allegro pour un couplage multiple

Si on somme directement les valeurs maximales obtenues pour chaque agresseur on trouve des différences, surtout dans le cas d’un couplage de 4mm :

- Lc=4 : 1096 mV contre 605 en ODD et 701 contre 419 en EVEN,
- Lc=130 : 2213 mV contre 2077 en ODD et 1138 contre 1301 en EVEN.

Les pistes ne présentent pas les mêmes longueurs ce qui entraîne un déphasage entre les signaux parcourant le conducteur victime. Ce déphasage explique les différences notées pour le couplage de 130mm.

Le couplage de 4 mm représentant 2,7 % de la longueur de la ligne, a peu d’effet vis-à-vis du reste de la topologie. Les courbes produites pour chaque agresseur présentent donc des allures différentes et des déphasages importants.

Bien que l’outil fasse la somme des différentes contributions cela ne consiste pas à additionner les valeurs maximales. Ces dernières n’étant pas en phase, il est difficile théoriquement de définir les valeurs que l’on obtiendra dans le cas d’un multi-couplage. Une étude simplifiée mettant en œuvre deux agresseurs est disponible en annexe. On y compare les résultats issus d’Allegro à une étude que nous avons effectuée sous Spice. Les résultats issus d’Allegro sont cohérents avec notre analyse. Celle effectuée sous Spice ne modélise que les zones de couplages et ne présente pas de déphasage. La tension résultante est bien la somme des tensions induites par chaque agresseur.

VI.5. Conclusion partielle

Les différents scénarios implantés sur le véhicule de test nous ont permis de traiter un grand nombre de situations de diaphonie que l’on rencontre sur nos circuits. Nous avons pu pour chacun, observer leurs effets et interpréter les résultats. Cette partie est capitale car elle peut nous permettre de définir des règles de routage à appliquer sur les signaux considérés comme critiques (ex : clock, reset, bus rapides, ...). Ce recul sur une structure d’empilage

classique nous précise en effet les zones où il est préférable de router les signaux critiques (couches internes) et les scénarios qu'il faudra proscrire des cartes (superposition).

VII. CONCLUSION ET PERSPECTIVES

Ce chapitre traitant les phénomènes de couplage par diaphonie a permis de répondre aux besoins de l'entreprise. Une première étape a permis de mettre en œuvre un modèle de simulation Spice pour comprendre et valider la méthodologie utilisée par l'outil d'analyse de la suite Cadence. Une fois le paramétrage de l'outil de simulation défini, une étude de corrélation entre la mesure et la simulation fut ensuite nécessaire pour confirmer que la méthodologie utilisée et que la configuration de la suite logicielle nous permettaient d'obtenir des simulations représentatives du fonctionnement réel d'une carte physique.

Enfin, cette étude a rendu possible l'étude des scénarios couramment rencontrés sur les circuits. Leur analyse nous a permis de quantifier les risques engendrés et de définir des règles à respecter pour minimiser l'apparition de couplages sur les cartes.

Les perspectives pour améliorer l'analyse de la diaphonie sont l'étude des couplages entre vias ou entre un via et une piste. L'outil ne permet pas ce type de simulation ; la mise en place d'une étude 3D permettrait d'évaluer les risques que cela pourrait engendrer et de définir des indicateurs et des règles de conception.

Enfin, il sera nécessaire de travailler dans le futur sur les couplages dans les liens séries rapides. Ces signaux multi-gigabit demandent des méthodes d'analyse et de modélisation plus avancées. Aujourd'hui, les outils utilisés permettent seulement d'étudier l'intégrité du lien seul, il est donc indispensable au vu de l'utilisation croissante de ces liens dans les cartes de savoir simuler puis estimer les risques de couplage par diaphonie.

CHAPITRE V

STABILITE DES MASSES ET DES

ALIMENTATIONS

I. INTRODUCTION

Au cours des quinze dernières années les tensions d'alimentation ont diminué d'un facteur supérieur à 5 afin de réduire la consommation dynamique des composants. Cette évolution est accompagnée d'une augmentation importante du courant consommé par les composants, entraînant aujourd'hui des contraintes très strictes sur la réalisation de l'alimentation électrique [INTEL 2009]. Afin de respecter ces contraintes, l'impédance cible des plans d'alimentation a été divisée par 100 pour atteindre quelques centaines de milli-ohms. D'autre part, la fréquence jusqu'à laquelle il est nécessaire de découpler les plans d'alimentation a évolué proportionnellement à la vitesse de fonctionnement des circuits intégrés. La mise en œuvre des circuits d'alimentation ainsi que le choix et le positionnement des condensateurs de découplage devient donc critique. On souhaite aujourd'hui simuler le comportement de l'ensemble des potentiels afin de valider pour chacun d'eux l'amplitude des variations de tension et de respecter les tolérances imposées par les composants.

La figure 141 décrit la constitution du réseau d'alimentation. Il est composé d'un régulateur, de condensateurs de découplage, du plan d'alimentation ainsi que de composants reliés à ce plan, modélisés ici par une source de courant (source de bruit).

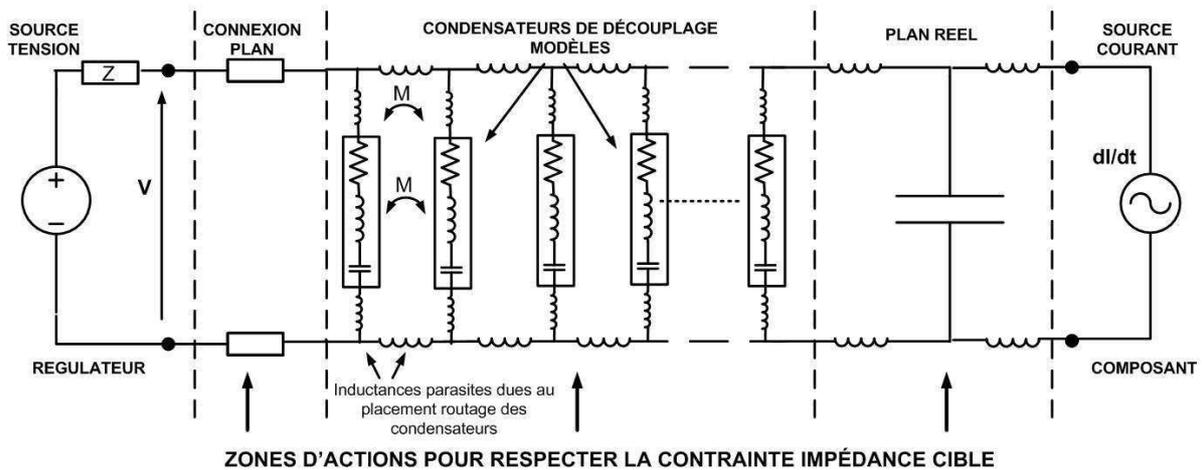


figure 141 : Description de l'ensemble des éléments constituant le réseau de distribution des alimentations

Cette figure illustre la problématique. Le régulateur et les composants rattachés au plan permettent de définir la contrainte d'impédance à ne pas dépasser pour assurer la stabilité des niveaux de tension. La zone d'action du concepteur lors de la création du circuit imprimé concerne les éléments centraux et nécessite de travailler sur l'impédance globale du système. Le but étant de minimiser cette impédance de façon à éviter une variation trop importante des niveaux de tension engendrés par l'appel de courant des composants. Pour minimiser l'impédance du réseau de découplage il faut :

- optimiser la forme du plan d'alimentation,
- choisir judicieusement les condensateurs de découplage,
- limiter l'impédance de connexion entre le régulateur et le plan,
- limiter les inductances parasites introduites par l'implantation des condensateurs.

L'étude du comportement des plans d'alimentation est effectuée à l'aide de l'outil « Power Integrity » de la suite Cadence. Nous présenterons son principe de fonctionnement et nous évaluerons les résultats obtenus dans la caractérisation des plans et des modèles de

condensateurs utilisés. Nous utiliserons ensuite cet outil afin de comparer les résultats obtenus pour l'ensemble plan et condensateurs dans le cas d'un découplage au niveau du composant et dans le cas d'un découplage réparti sur le plan. L'ensemble de ces analyses doit nous permettre de mieux maîtriser la mise en place des plans d'alimentation ainsi que le choix et le placement des condensateurs de découplage.

Toutes les études sont effectuées sur le Plan VCCINT, potentiel qui assure l'alimentation des cœurs et qui présente les consommations les plus importantes. Les différentes mesures sont réalisées sur un cuivre sans composant autre que les condensateurs associés aux différentes études. Cette configuration est reprise dans l'outil de simulation. Les mesures sont faites à l'aide d'un analyseur de réseau vectoriel (VNA) qui nous permet de caractériser les plans d'alimentation seuls ou avec des condensateurs. Les accès au plan d'alimentation pour la mesure se font à l'aide de connecteurs SMA, implantés spécifiquement sur le véhicule de test.

II. PRÉSENTATION DE L'OUTIL « POWER INTEGRITY »

II.1.Introduction

L'outil Power Integrity de Cadence (PI) assiste le concepteur dans la définition ou la validation d'un réseau de distribution d'alimentation (PDN : Power Distribution Network). Les composants constituant un PDN sont le régulateur (VRM : Voltage Regulator Module), les condensateurs de découplage et la paire de plans constituée du potentiel que l'on souhaite étudier et du plan de masse (cf. Chapitre I §II.5.4). L'outil permet la réalisation de simulations pré-routage « single-node » et de simulations post-routage « multi-node » sur une plage de fréquences définie afin de vérifier que l'impédance de l'ensemble plans et condensateurs reste inférieure à l'impédance cible en différents points de la carte (cf. chapitre I §II.5.2).

II.2.Modélisation du régulateur (VRM)

L'outil PI modélise le comportement d'un régulateur à l'aide d'une source de tension idéale et de quatre éléments passifs comme le présente la figure 142 [SMITH 1999]. Le fonctionnement d'un régulateur à découpage est non linéaire en raison de la commutation des interrupteurs (S_1/S_2). La modélisation se fait au sens des valeurs moyennes pour se ramener à un comportement linéaire. Le modèle est simulé à l'aide d'une analyse de type SPICE ce qui permet d'obtenir des temps de simulation rapides à la fois dans une analyse fréquentielle et temporelle.

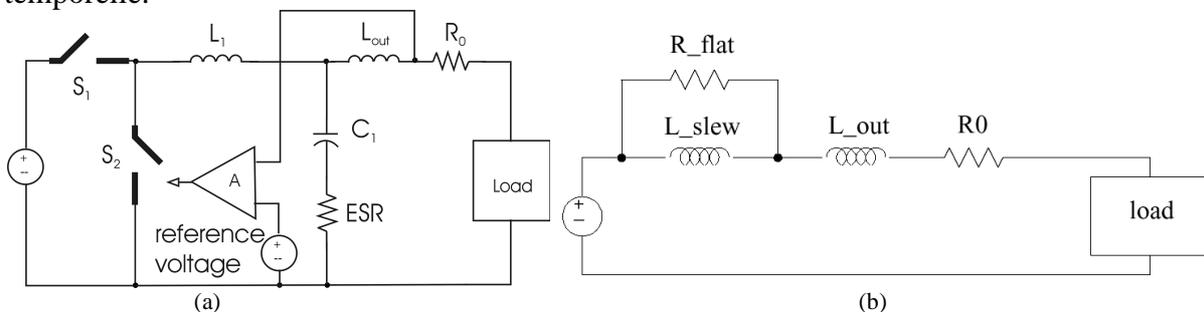


figure 142 : (a) Diagramme simplifié d'un régulateur à découpage (b) Modélisation de l'étage de régulation

Le modèle comprend [CADENCE 2006] :

- R_0 : résistance équivalente entre la sortie du VRM et la charge.
- L_{out} : inductance parasite du boîtier et de la piste entre la sortie du VRM et le plan.
- R_{flat} : résistance équivalente série (ESR) du condensateur (C_1).
- L_{slew} : inductance associée à la dynamique et à l'efficacité du régulateur.

L'inductance L_{slew} détermine le temps de réponse en courant par rapport aux variations de tension maximum autorisées. Ce modèle permet d'obtenir un comportement en fréquence précis, valable dans une bande de 1KHz à quelques centaines de KHz.

II.3.Simulation « Single-Node »

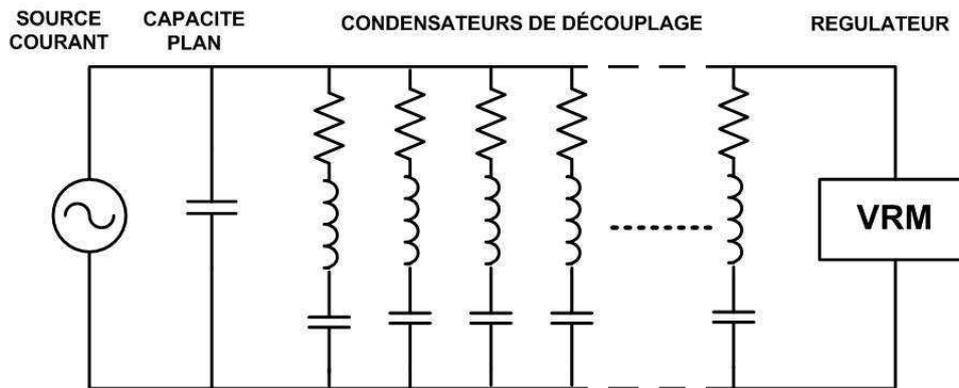


figure 143 : Schéma équivalent d'une simulation « Single-Node »

La simulation « single-node » permet de vérifier si le réseau de condensateur choisi pour la conception est suffisant pour atteindre l'impédance cible dans un contexte idéal. Pour cela elle tient compte du VRM, de la surface des plans et du modèle des condensateurs. Tous les éléments sont localisés en un même point. La simulation ne tient donc pas compte du placement physique des condensateurs et modélise la paire de plans par une simple capacité. Les inductances parasites introduites par le placement du condensateur, ainsi que par les plans, ne sont donc pas prises en compte dans ce type de simulation. La figure 143 représente le circuit équivalent au réseau de découplage dans ces conditions.

La suite de ce paragraphe est consacrée à l'analyse « single-node » effectuée sur le véhicule de test au cours de la réalisation du schéma. La figure 144 montre les résultats de l'analyse « single-node » du plan VCCINT. L'obtention de cette courbe a nécessité de configurer le modèle du VRM, de définir l'impédance cible (équation [18]), de renseigner l'ensemble des modèles de condensateurs et de définir la forme globale de la paire de plans (surface/isolément entre les couches de potentiel et de masse). Le tableau 34 décrit les paramètres choisis pour l'étude. La description des condensateurs est issue des modèles du fabricant KEMET.

La courbe en noir présente l'impédance du VRM et de la paire de plans sans les condensateurs de découplage. Cette impédance est définie principalement par l'inductance du VRM et la capacité du plan, ce qui explique le pic à 42 MHz.

La courbe rouge correspond à l'impédance du plan avec les condensateurs de découplage associés ; on y retrouve les résonances et antirésonances provoquées par les différents condensateurs. La simulation « single-node » permet de constater que, dans un cas idéal, la courbe respecte l'impédance cible de 12 mΩ définie par la droite bleue. Le découplage est effectif jusqu'à 435Mhz.

Modélisation des condensateurs			
C	ESR	ESL	Quantité
220 μ F	10,46 m Ω	2,2 nH	3
22 μ F	3,62 m Ω	0,9 nH	8
100 nF	28,5 m Ω	0,86 nH	100
10 nF	328 m Ω	1,90 nH	100
1 nF	634 m Ω	0,99 nH	100
Modélisation du VRM			
$L_{slew}=14,6$ nH	$R_{flat}=10,46$ m Ω	$L_{out}=4$ nH*	$R_{out}=1$ m Ω *
Impédance cible			
Potentiel	Ondulation (ΔV)	Variation de courant	Valeur
1,2 V	5 %	5 A	12 m Ω

* Pré-routage : Valeurs par défaut.

tableau 34 : Configuration outil « single-node » pour l'étude du plan VCCINT

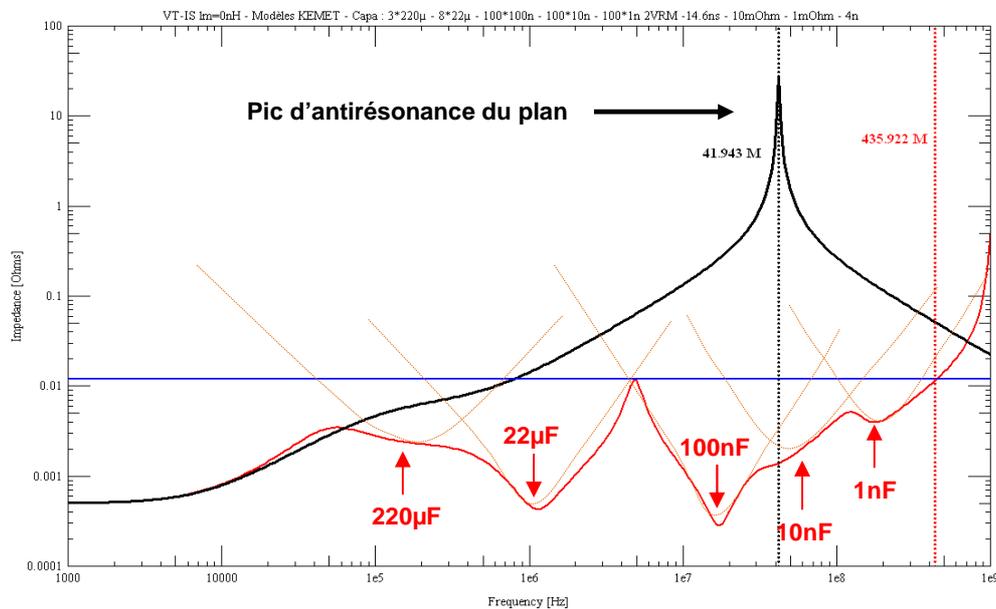


figure 144 : Simulation « Single-Node » du plan VCCINT du véhicule de test

Ce type de simulation localisée, basée sur des simulations de type Spice permet d'obtenir des temps de simulation très rapides, inférieurs à la minute. Cependant, les hypothèses et les simplifications sont très fortes et les résultats définissent uniquement le réseau minimum à implanter.

II.4.Simulation « Multi-Node »

Une fois le routage des plans et des condensateurs effectué, il est possible d'effectuer une analyse « multi-node ». Cette analyse 2D est beaucoup plus précise car elle tient compte de la forme réelle du plan, des cavités et de la localisation du VRM, des condensateurs et des sources de bruit. L'ensemble des éléments parasites liés au câblage, et en particulier les inductances parasites d'accès aux plans (inductance montée), sont également pris en compte dans les simulations.

L'outil effectue un découpage régulier du plan (figure 145), qui peut aller jusqu'à 64x64 mailles, suivant la précision désirée par l'utilisateur. L'outil délivre pour chaque maille une courbe de l'impédance en fonction de la fréquence.

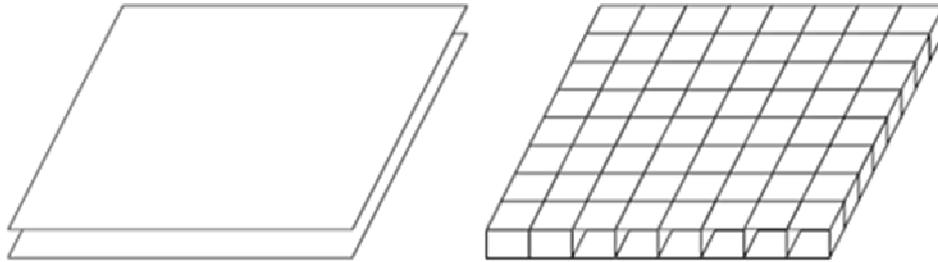


figure 145 : Maillage (8x8) de la paire de plan étudiée pour une caractérisation électrique [SMITH 2000]

Les plans d'alimentation et de masse sont maillés et convertis en un réseau de nœuds représentant le comportement distribué du réseau d'alimentation étudié. Les plans sont modélisés par un réseau de lignes de transmission, caractérisées par des paramètres RLCG. Le modèle d'un nœud présenté à la figure 146 est défini par quatre lignes de transmission connectées en étoile.

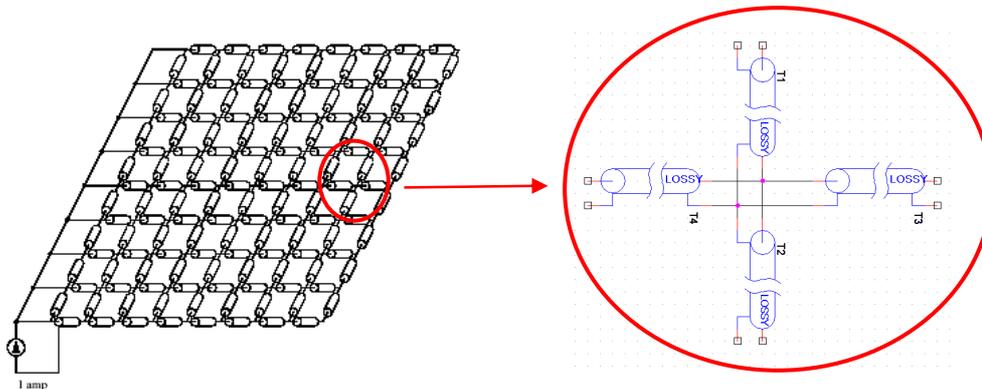


figure 146 : Modèle comportemental de la paire de plans

Pour tenir compte plus finement de la géométrie réelle du plan, chaque maille peut être découpée de façon adaptative. Un niveau d'adaptation de 8 défini par l'utilisateur entraîne au maximum un redécoupage de chaque maille en 64 cellules (8x8). Le niveau d'adaptation permet d'affiner les zones de plan présentant une non homogénéité comme par exemple un trou dû à un via ou une cavité (découpe) dans le plan.

L'outil autorise une précision maximale de $1/256^{\text{ème}}$ de la longueur et de la largeur des plans étudiés soit 65536 cellules. Pour limiter le temps d'analyse, l'outil ne sélectionne dans chaque maille que la courbe correspondant à la cellule ayant la surface la plus importante.

Cette modélisation permet d'obtenir des simulations fines et localisées. Le temps de simulation, dépendant du maillage et du niveau d'adaptation choisi, sont acceptables du fait de l'utilisation du modèle électrique équivalent présenté figure 146 et de l'utilisation d'un solveur de type circuit.

La suite de cette partie présente l'analyse « multi-node » effectuée sur le véhicule de test après réalisation du cuivre. Nous étudions le découplage implanté au niveau des FPGA. Les condensateurs définis sont identiques à ceux utilisés pour la simulation « single-node ». Cependant, les condensateurs électrochimiques de 220 μF , câblés sur un plan différent de VCCINT, n'apparaissent pas dans ces simulations.

Après le placement du VRM (près de la source d'alimentation) et des sources de bruit (au niveau des FPGA), on définit le maillage (32x32) et le niveau d'adaptation (8). Le plan est découpé en 48384 cellules et la simulation nous délivre 756 courbes (figure 148).

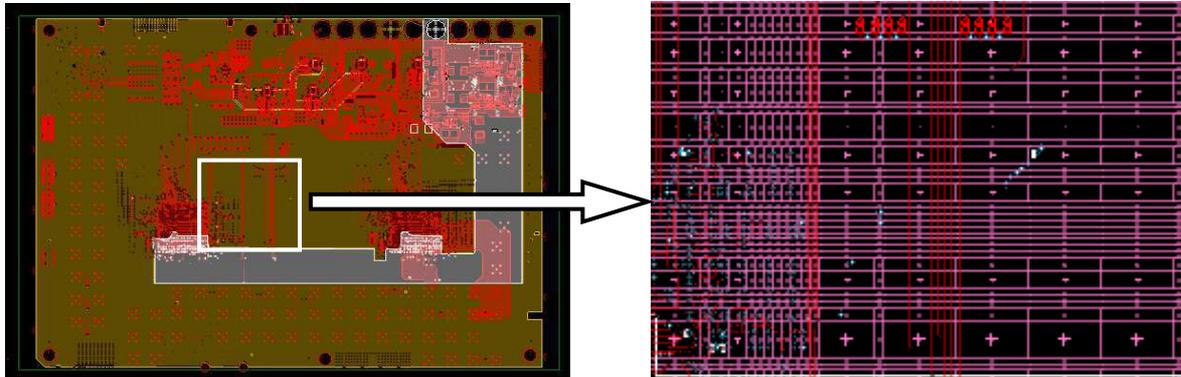


figure 147 : Vision du plan avant et après maillage

Le découpage choisi ici est maximum, malgré un nombre de cellules inférieur à 65536. En effet, toutes les zones où les plans ne se superposent pas sont ignorées. La surface des plans représente environ 74 % de la surface de la carte (figure 147), il en résulte 756 mailles.

Quand l'outil met en œuvre le niveau adaptatif, il découpe chaque maille en 64 cellules maximum, ce qui revient à un découpage comprenant 48384 cellules. Dans ces conditions, une simulation dure environ 90 minutes et permet d'obtenir les 756 courbes représentant l'impédance du réseau d'alimentation pour chacune des mailles.

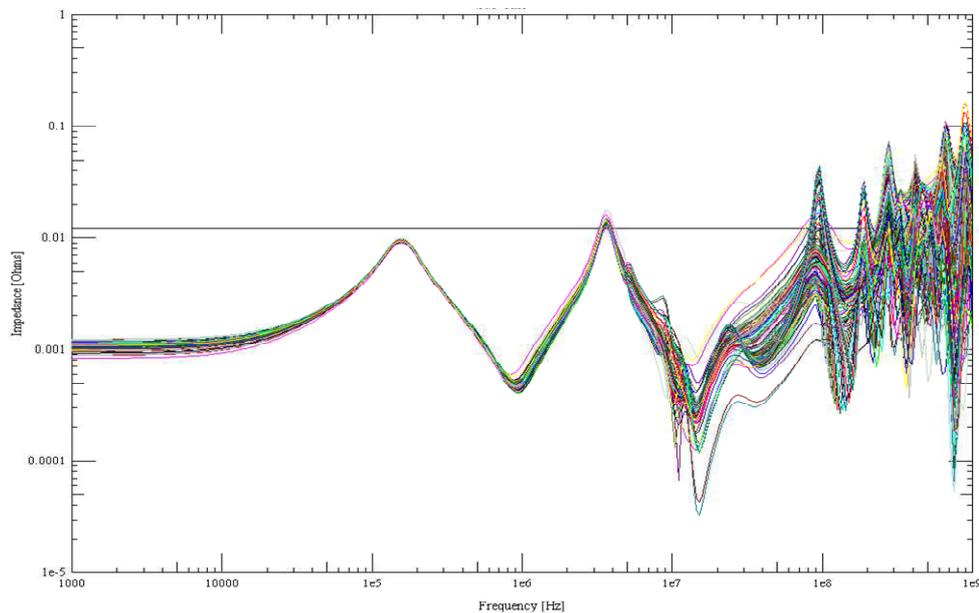


figure 148 : Courbes issues de la simulation « multi-node »

Cette courbe nous permet de voir, suivant la zone du plan étudié, que les impédances varient très sensiblement surtout au-delà de 10 MHz. Le placement des sources de bruit et des condensateurs est localisé, les résonances hautes fréquences introduites par le plan diffèrent d'un point à un autre.

Dans l'étude du véhicule de test (figure 47), nous nous intéressons à l'alimentation des FPGA. La figure 149 permet d'étudier la qualité du découplage au niveau des broches

d'alimentation. La courbe rouge représente un nœud situé en dessous du FPGA de droite, la noire correspond au FPGA de gauche. Cette simulation présente, par rapport à la « single-node », des dépassements de l'impédance cible. Le pic d'antirésonance situé entre les fréquences de résonance des condensateurs de 22 μF et de 100 nF est augmenté et la fréquence de validité du découplage diminue fortement pour le FPGA de gauche. Ces deux phénomènes sont dus à la prise en compte des éléments parasites, principalement inductifs : plan réel et câblage des condensateurs définis ici « par défaut ». L'impédance présente des fréquences non découplées (3,6 Mhz et 89 MHz) et le découplage est effectif suivant les zones du PCB jusqu'à des fréquences allant de 200 MHz à 410 MHz.

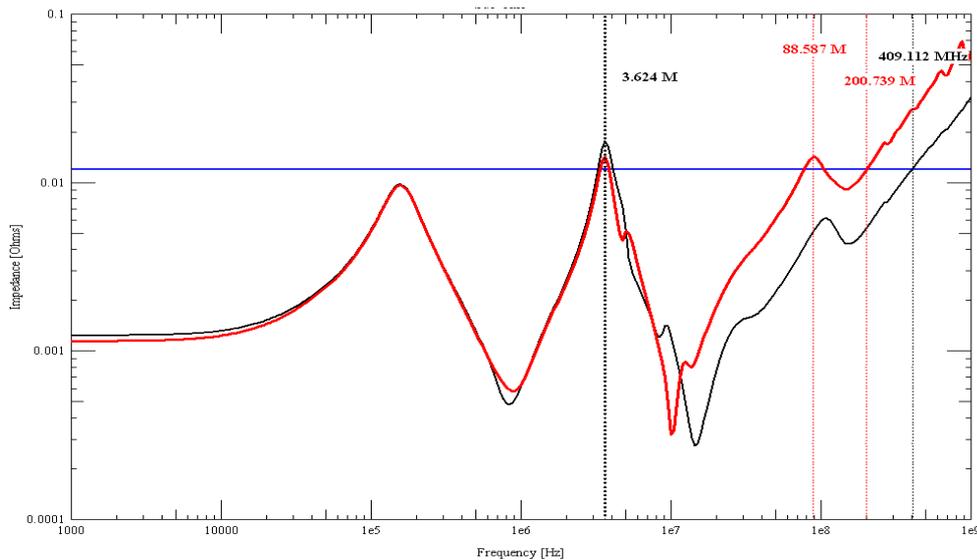


figure 149 : Courbes de la simulation « multi-node » (rouge) FPGA de droite (noir) FPGA de gauche

Dans le cadre du développement d'un produit, cette simulation est effectuée avant l'envoi en fabrication du PCB. Cela permet de définir et de mettre en œuvre les modifications à apporter pour respecter la contrainte d'impédance cible sur l'ensemble de la gamme de fréquence.

II.5. Conclusion partielle

Cette partie nous a permis de préciser le fonctionnement de l'outil « Power Integrity » à travers :

- Une simulation « single-node » permettant d'obtenir une caractérisation simplifiée du réseau de découplage et donnant une première indication sur le choix des condensateurs de découplage défini durant la création du schéma.
- Une simulation « multi-node » permettant d'obtenir une caractérisation plus précise du réseau d'alimentation en tenant compte des éléments parasites et du placement réel des différents composants. La précision des résultats dépend cependant du choix du maillage et du niveau d'adaptation, ainsi que des modèles de composants. En fonction de la position sur le plan, les courbes ont montré une variabilité importante des résultats entre 400 MHz et 1 GHz.

Les différences observées entre les simulations pré et post-routage montrent l'intérêt et l'importance de la simulation « multi-node ». La validité de ces résultats sera étudiée par la suite, en les comparant aux résultats de mesures, dans les conditions que nous allons maintenant définir.

III. CONDITIONS D'ÉTUDE ET DE MESURE

III.1. Introduction

La caractérisation du plan et des modèles de condensateurs est effectuée à l'aide d'un analyseur de réseau vectoriel (VNA) sur un cuivre nu. Les mesures sont comparées à des simulations pour permettre d'étudier la validité de l'outil Power Integrity.

Ce paragraphe décrit le cadre dans lequel sont effectuées les mesures et les simulations. Les mesures effectuées à l'aide du VNA permettent d'obtenir les paramètres S du plan. Les simulations délivrent l'impédance du plan en fonction de la fréquence $Z(f)$. Pour pouvoir comparer les résultats issus de la mesure et de la simulation, les paramètres S sont retranscrits en paramètres Z à l'aide de formules analytiques.

III.2. Conditions de mesure

Les mesures sont effectuées à l'aide d'un analyseur de réseau vectoriel HP8753ES. Ce VNA permet de déterminer les paramètres S de dipôle passif ou actif. L'appareil dispose d'une bande passante, allant de 30 KHz à 3 GHz, suffisante dans l'étude des plans qui est généralement effectuée du continu à 1 GHz.

III.2.1. Calibration

Pour définir les paramètres S, le VNA injecte un signal à l'aide d'une source RF et mesure la partie du signal réfléchi et celle transmise. Enfin, à l'aide de la référence issue du signal envoyé, il détermine les paramètres S11 et S12. Les principales erreurs de mesure sont les erreurs systématiques dues aux imperfections de l'analyseur. Il y a dans chaque sens de mesure six erreurs à corriger (directivité du coupleur/désadaptation source et charge/réponses fréquentielles/diaphonie).

L'obtention d'une mesure impose donc au préalable de calibrer l'appareil. L'élimination des imperfections nécessite d'effectuer des mesures en réflexion avec trois circuits (circuit ouvert / court-circuit / et charge 50 Ω) puis en transmission à l'aide d'un I.

La calibration est idéale quand elle se place dans un cas identique à la mesure à effectuer. Dans notre cas, il aurait fallu créer un cuivre, présentant les mêmes propriétés physiques que notre démonstrateur et implantant les mêmes SMA. Cela aurait permis d'éliminer l'ensemble des perturbations (câble/SMA/soudure) et de corriger les erreurs jusqu'à l'accès au plan étudié. Notre carte ne prévoyant pas cette fonction, nous utilisons le kit de calibration 85033E développé par l'industriel Agilent présenté à la figure 150.

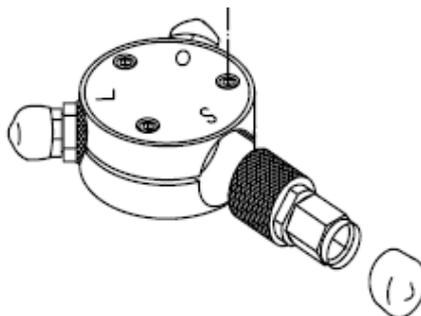


figure 150 : Kit de calibration

La calibration est donc effectuée, mais ne tient pas compte des caractéristiques réelles du SMA et de la soudure qui le relie au PCB. Cela pourra introduire des erreurs dans la mesure.

III.2.2. Mesure du plan et des capacités

Pour mesurer l'impédance du plan, nu ou avec des condensateurs implantés, nous utilisons le VNA pour mesurer les pertes par insertion (figure 151). Le véhicule de test dispose seulement de deux connecteurs SMA reliés au plan d'alimentation. Le VNA effectue une mesure des paramètres S en réflexion et transmission entre le premier SMA (Port 1) et le second SMA (Port 2).



figure 151 : Mesure sur le véhicule de test à l'aide du VNA

Comme pour la mesure des plans d'alimentation, nous utilisons le VNA pour la mesure des différents condensateurs. Ces condensateurs sont câblés entre deux SMA comme le montre la figure 152.

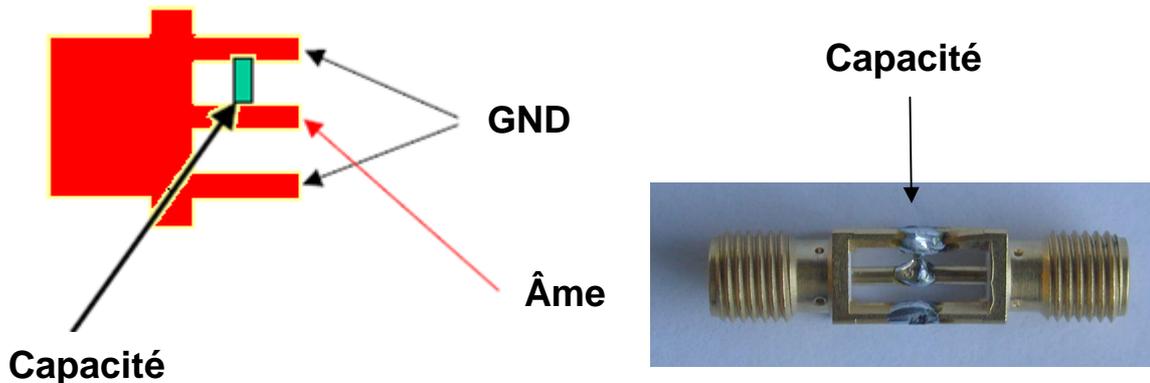


figure 152 : Câblage du condensateur pour la mesure VNA

Les paramètres S obtenus à l'issue des mesures sont ensuite utilisés pour calculer l'impédance en fonction de la fréquence.

III.2.3. Définition des paramètres Z à partir des paramètres S

Une fois les paramètres S mesurés, il faut les transcrire en paramètres Z . La figure 154 décrit la mesure effectuée avec le VNA. Le système peut donc être caractérisé à l'aide d'un modèle quadripolaire. L'impédance à caractériser étant faible, nous avons choisi un modèle électrique équivalent en T (figure 153).

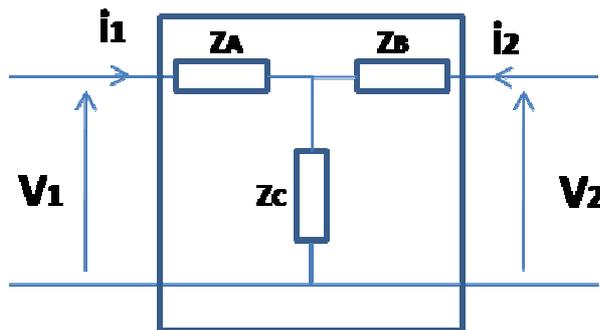


figure 153 : Modèle en T du quadripôle

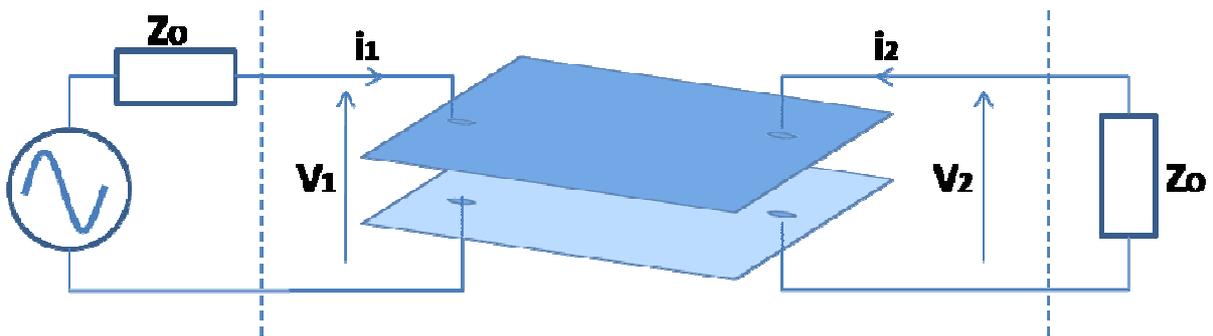


figure 154 : Principe de la mesure

La matrice Z associée au quadripôle est rappelée par l'équation [30].

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \times \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad [30]$$

L'impédance du plan que nous souhaitons mesurer correspond à l'impédance Z_C du circuit en T, représentative des pertes par insertion. Elle est égale au terme Z_{12} de la matrice impédance. Le calcul exact de Z_{12} nécessite la mesure de l'ensemble des paramètres S (S_{11} , S_{21} , S_{12} , S_{22}). L'équation [31] permet de définir l'impédance du plan [ORFANIDIS 2004] :

$$Z_{12} = \frac{Z_0 \times 2S_{12}}{(1 - S_{11})(1 - S_{22}) + S_{12}S_{21}} \quad [31]$$

Z_0 représente l'impédance interne du VNA et est égale à 50Ω (figure 154). Cette formule est mise en œuvre à l'aide d'un calcul effectué à l'issue de la mesure. Cela permet l'obtention de la courbe $Z_{12}(f)$, que l'on peut comparer par la suite aux courbes $Z(f)$ issues de l'outil « Power Integrity » (figure 159).

Des approximations sont cependant possibles, si l'on souhaite avoir un résultat rapide lors de la mesure. A partir de S_{12} défini par l'équation [32], on peut déduire une nouvelle formulation de Z_{12} (équation [33]).

$$S_{12} = \frac{2 \cdot Z_{12} \cdot Z_0}{(Z_{11} + Z_0)(Z_{22} + Z_0) - Z_{12} \cdot Z_{21}} \quad [32]$$

$$Z_{12} = \frac{S_{12} (Z_{11} + Z_0)(Z_{22} + Z_0)}{2 \left(Z_0 + \frac{S_{12} Z_{12}}{2} \right)} \quad [33]$$

Les plans d'alimentation ont des impédances très faibles et l'impédance Z_0 du VNA est égale à 50Ω . En faisant les approximations suivantes ($Z_0 \gg Z_{11}$, $Z_0 \gg Z_{22}$ et $Z_0 \gg S_{12} \cdot Z_{12} / 2$) on obtient l'équation simplifiée [34] suivante :

$$Z_{12} = \frac{Z_0}{2} \times S_{12} \quad [34]$$

D'autres translations sont possibles notamment en utilisant la formule suivante (équation [35]) adaptée aux faibles impédances [NOVAK2003] :

$$Z_{12} = \frac{Z_0}{2} \times \frac{S_{12}}{(1 - S_{12})} \quad [35]$$

La figure 155 et la figure 156 présentent la comparaison des trois méthodes de calcul présentées ici à partir des paramètres S issus de la mesure du Plan VCCINT à vide.

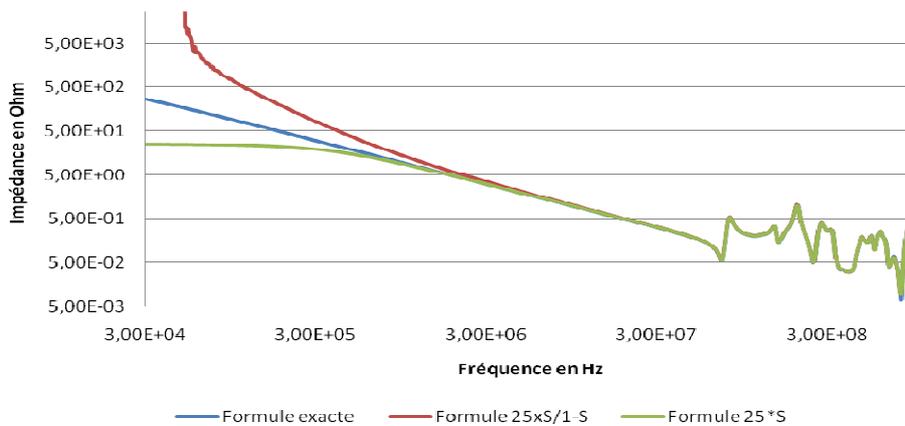


figure 155 : Comparaison des méthodes de conversion (S to Z) de 30 KHz à 1 GHz

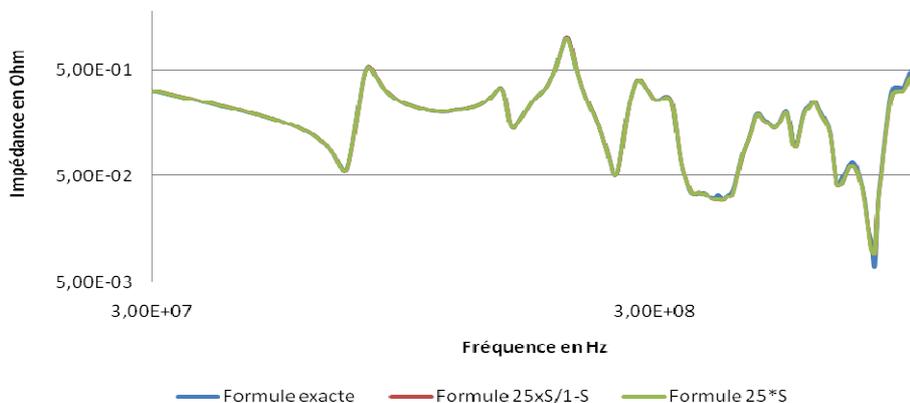


figure 156 : Comparaison des méthodes de conversion (S to Z) de 30 Mhz à 1 GHz

Les méthodes de simplification restent, pour notre étude, très précises à partir de 10 MHz. Pour des fréquences inférieures elles présentent quelques imperfections. La formule $25 \times S_{12}$ voit son état initial à 25Ω , ce qui fausse les résultats en basse fréquence. Pour ce qui est de la formulation décrite par l'équation [35], elle est adaptée pour des impédances faibles. A basse fréquence l'impédance d'un condensateur est très grande (elle tend vers l'infini) donc l'équation diverge très vite. Ces simplifications serviront à l'obtention rapide d'une courbe en Z pour s'assurer que la mesure ne présente pas d'erreurs. Pour la suite de l'étude, nous utiliserons la formule initiale définie par l'équation [31].

III.3. Conditions de simulation pour l'étude de corrélation

L'étude comparative est valable si la simulation est effectuée dans un contexte équivalent à la mesure sur le véhicule de test. Cela implique de mettre en œuvre des simulations « multi-node » tenant compte des plans réels et des éléments parasites liés au placement et au routage des condensateurs. Cela suppose également de disposer le VRM et les sources de bruit en cohérence avec la mesure. La figure 157 présente une vue simplifiée du PCB et de la position des SMA disponibles pour la mesure. Elle permet de décrire la disposition des éléments (VRM/ source de bruit/ maillage) nécessaires à la simulation.

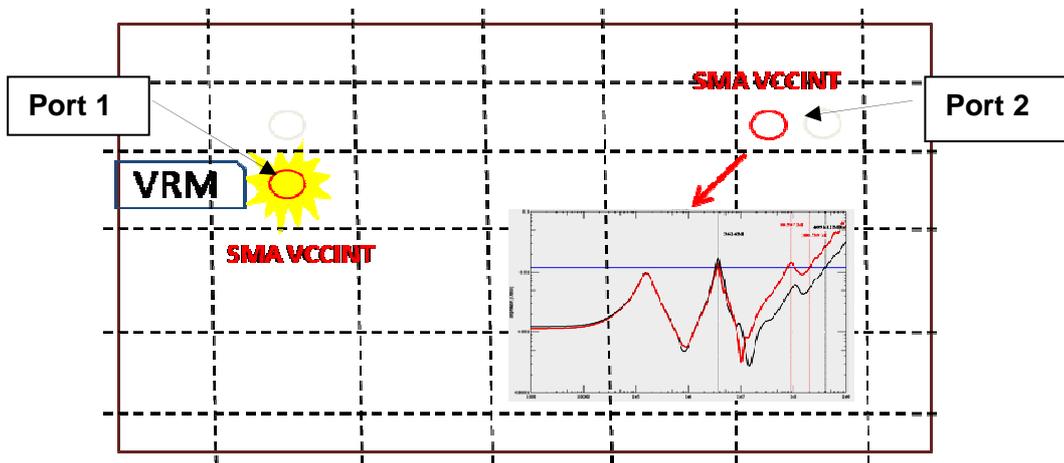


figure 157 : Conditions de simulation nécessaires à l'étude de corrélation

La source de bruit et le VRM sont insérés au niveau du SMA défini comme le Port 1. La courbe représentative de la mesure correspond à la cellule la plus proche du deuxième SMA (Port 2). Le maillage du plan devra donc être défini de façon à ce qu'une des mailles soit la plus proche de l'âme du connecteur de ce SMA. Pour obtenir une précision importante, le maillage sera au plus fin (256x256), soit un maillage de 32x32 avec un niveau adaptatif fixé à 8. Enfin, il faut que les informations qui définissent l'empilage du PCB soient précises.

III.4. Conclusion partielle

Le VNA permet d'obtenir une mesure satisfaisante de l'impédance des plans ou des condensateurs. Les calibrations du VNA sont effectuées pour éviter les erreurs systématiques de mesure. Cette calibration est réalisée dans des conditions assez proches de nos conditions de mesure. Une méthode a été définie pour transcrire les paramètres S issus du VNA en paramètres Z. La simulation est mise en œuvre de manière à être dans des conditions les plus proches de la mesure.

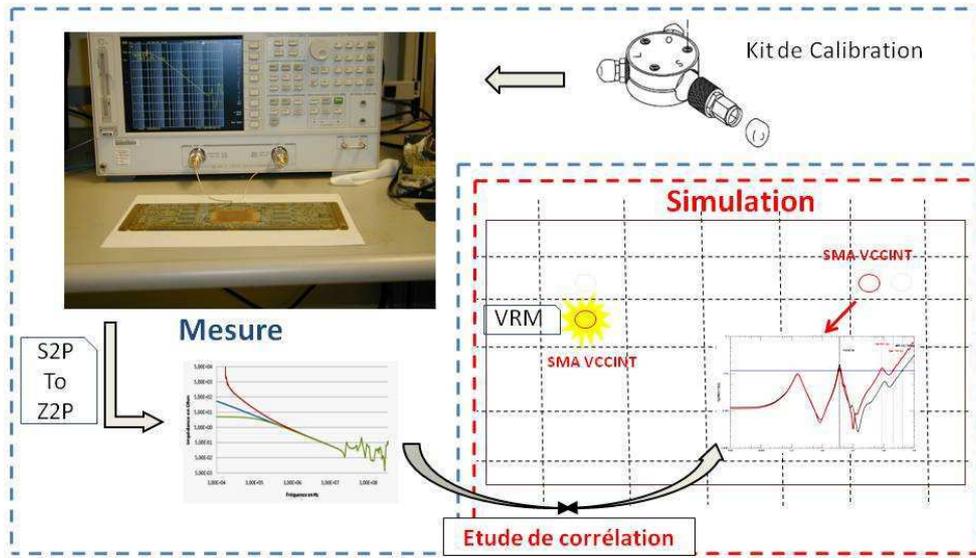


figure 158 : Principe d'étude – Mesure vs Simulation

L'ensemble des conditions de mesure et de simulation sont maîtrisées. Les résultats obtenus sous forme de paramètres Z peuvent être comparés et permettent d'étudier la validité de l'outil « Power Integrity » (figure 158).

IV. CARACTÉRISATION DU MODÈLE DU PLAN ET DES CONDENSATEURS

IV.1. Introduction

Cette partie est consacrée à l'étude des modèles du plan et des condensateurs. Elle permettra de définir la configuration optimale de l'outil « Power Integrity » et de poser la problématique des modèles de condensateur et des inductances parasites associées à leur câblage.

IV.2. Caractérisation du modèle du plan

L'ensemble des mesures est effectué sur le potentiel VCCINT, qui est utilisé pour alimenter le cœur de chacun des FPGA. Le but est de définir la configuration de l'outil nous permettant d'obtenir des résultats représentatifs de ceux obtenus sur les cartes en faisant un compromis entre la précision des résultats et le temps de simulation.

IV.2.1. Configuration de l'outil de simulation

Une étude préalable a permis de définir le paramétrage à mettre en place pour ce qui concerne le maillage du plan ainsi que le niveau d'adaptation pour obtenir une précision maximale de l'outil. A partir d'un maillage (32x32) associé à un niveau d'adaptation de 8, nous effectuons plusieurs tests pour définir la configuration optimale de l'outil nous permettant d'obtenir la meilleure corrélation avec la mesure effectuée sur le plan VCCINT seul, qui nous sert de référence. Par défaut, les simulations se font sur 304 points de fréquence et ne tiennent compte que des deux couches associées au potentiel étudié et à la masse.

Les simulations exécutées sont listées ci-dessous. Le tableau 35 énumère chacune des configurations et les temps de simulation mis en œuvre.

1 - Spécifications initiales du circuit imprimé : l'ensemble des simulations se fait à l'aide des épaisseurs de diélectrique spécifiées par le fabricant. Ces données sont disponibles au moment de la validation de la carte.

2 - Modification du « Stackup » : prise en compte des épaisseurs, de cuivre et de diélectrique, obtenues après fabrication.

3 - Augmentation du nombre de points : la mesure nous permet d'obtenir 801 points contre 304 en simulation. Pour obtenir un nombre identique de points, la simulation est effectuée en trois temps (30 KHz à 10 MHz/ 10 à 100 MHz/ 100 MHz à 1 GHz).

4 - Simulation Multi-Plan : il est possible de faire des simulations multi-plan pour prendre en compte tous les îlots de plan d'un même potentiel présents sur les différentes couches du circuit imprimé afin d'affiner la capacité de couplage et donc la fréquence de résonance.

	Mesure	Simulations « Power Integrity »			
	VNA HP8753ES	Spécifications initiales	« Stackup » réel	Augmentation nombre points	Multi-Plan
Points	801	304	304	801	304
Start Stop	30 KHz 1 GHz				
Relevé	S11 S12 S21 S22	Z	Z	Z	Z
Temps	2 mn	1H30	1H30	4H30	4h30

tableau 35 : Configuration mesure et simulations

IV.2.2. Comparaison des résultats obtenus

La figure 159 présente les résultats obtenus. Le tableau 36 définit la capacité plan calculée pour chacun des cas de figure étudiés ici.

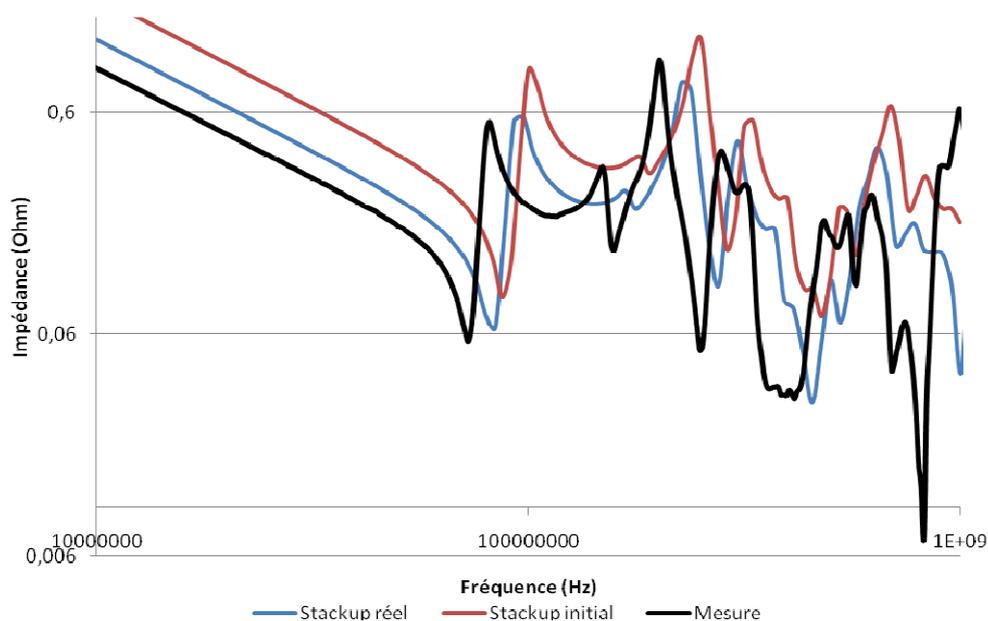


figure 159 : Etude de corrélation entre la mesure et les simulations – Plan VCCINT

L'outil caractérise le potentiel étudié sous forme d'une paire de plans, dont la capacité théorique est définie par l'équation [36]. La fréquence de résonance de l'impédance permet de déduire l'inductance du plan, à partir de l'équation [37].

Le plan VCCINT est caractérisé par une surface $S = 549,5 \text{ cm}^2$, une épaisseur $e = 182 \text{ }\mu\text{m}$ et une permittivité $\epsilon_r = 4,2$. La valeur théorique de sa capacité est $C=11,2 \text{ nF}$. A partir de la simulation « Stackup réel » on relève la première fréquence de résonance à $83,7 \text{ MHz}$, soit $L=0,34 \text{ nH}$. On suppose que l'inductance n'est pas modifiée dans les autres configurations, on peut alors calculer les capacités correspondant aux simulations et à la mesure (tableau 36).

$$C = \frac{\epsilon_{eff} \times S}{e} \quad [36]$$

$$L = \frac{1}{(2\pi F)^2 \times C} \quad [37]$$

	1 ^{ère} Fréquence de résonance	Impédance à la résonance	Capacité
Stackup Spécifié	87 MHz	90 mΩ	9,84 nF
Stackup Réel	83,7 MHz	64 mΩ	11,2 nF
801 points	81,3 MHz	58 mΩ	11,3 nF
Multi-Plan	81 MHz	53 mΩ	11,35 nF
Mesure	72,2 MHz	56 mΩ	14,29 nF

tableau 36 : Calcul des capacités inter-plan

Les courbes correspondant à la configuration 801 points et multi-plan sont semblables à la simulation « Stackup réel », elles ne sont donc pas représentées figure 159. L'allure de l'ensemble des courbes obtenues par la simulation est corrélée avec celle acquise par la mesure (courbe noire). Cependant, pour les configurations présentées ci-dessus, on peut observer un décalage de la fréquence de résonance de la capacité plan.

- Le décalage le plus important correspond à la simulation réalisée en amont de la fabrication avec les données de l'empilage dont les épaisseurs de diélectrique sont spécifiées (courbe rouge). Pour le plan VCCINT, l'épaisseur spécifiée est de $250 \text{ }\mu\text{m}$.
- La simulation « Stackup réel » (courbe bleue) reprend les épaisseurs de diélectrique mesurées à l'issue de la fabrication, ce qui entraîne une nette amélioration et permet d'obtenir un résultat plus proche de la mesure.
- L'augmentation du nombre de points (304 à 801) impose de mettre en œuvre trois simulations, ce qui triple le temps de simulation sans apporter de gain réel sur la précision des résultats.
- La simulation multi-plan, permettant de prendre en compte toutes les paires de plans d'un même potentiel présentes dans l'empilage, modifie très légèrement la fréquence de résonance du plan et engendre des résonances locales.

Le calcul des capacités effectué ci-dessus permet d'expliquer le décalage fréquentiel entre les courbes. Nous avons vu au cours du chapitre II que les valeurs définies avant fabrication et celles obtenues après la réalisation pouvaient présenter des différences importantes. Les épaisseurs de diélectrique obtenues une fois le cuivre fabriqué sont généralement plus faibles que les épaisseurs spécifiées. L'étude du coupon a montré une importante variation de l'épaisseur de diélectrique entre les plans VCCINT et GND : l'épaisseur spécifiée à $250 \text{ }\mu\text{m}$ s'est trouvée réduite à $180 \text{ }\mu\text{m}$ après fabrication, ce qui entraîne une augmentation de la capacité inter-plan. A nouveau, on constate que la systématisation de l'étude de coupons et de mesures à l'aide d'un TDR serait nécessaire et permettrait d'avoir une estimation précise de la variation des diélectriques.

Les plans de VCCINT et de GND sont séparés par un diélectrique de 182µm et ont une surface respective de 549,5 cm² et 698 cm². Pour la simulation multi-plan, l’outil est configuré de façon à lister l’ensemble des îlots de masse ou de VCCINT de surface supérieure ou égale à 8 cm² (1 % de la surface du PCB). Il en résulte 20 îlots de GND. Seulement quatre ont des surfaces supérieures ou égales à 14 cm². Les différents morceaux de plan se trouvent à des distances importantes de la couche de VCCINT : supérieures à 400 µm. La capacité maximum induite par chacun de ces îlots est donc de 130 pF, ce qui est négligeable face à la capacité plan calculée de 11,2 nF.

IV.2.3. Influence de la permittivité du diélectrique

Aucun des résultats obtenus en simulation n’est représentatif des fréquences de résonance mesurées. Ces différences pourraient être engendrées par des imperfections dues à la mesure, mais elles sont plus probablement dues à la façon de définir la permittivité dans l’outil. Pour un diélectrique donné, il est nécessaire de définir une valeur de permittivité constante, alors que le constructeur nous délivre plusieurs valeurs en fonction de la fréquence. Si l’on reprend le calcul de la capacité avec ces valeurs de permittivité, on obtient des variations importantes (tableau 37).

Fréquence	Permittivité (ϵ')	Capacité inter-plan
@ 1 MHz	5,4	14,42 nF
@ 100 MHz	4,24	11,32 nF
@ 1 GHz	4,17	11,14 nF
@ 10 GHz	3,92	10,47 nF

tableau 37 : Permittivité en fonction de la fréquence et capacités inter-plan

On observe dans le tableau ci-dessus que la valeur de capacité calculée pour $\epsilon_r=5,4$ est très proche de celle déterminée à partir de la mesure. Si on reprend la simulation « Stackup réel » en définissant la permittivité à 5,4 on obtient la courbe présentée à la figure 160.

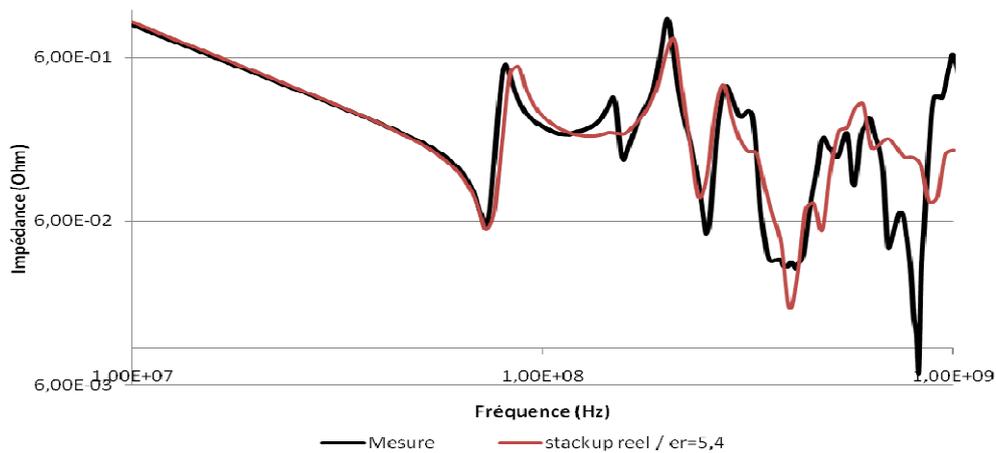


figure 160 : Etude de corrélation entre la mesure et la simulation avec $\epsilon_r = 5,4$

Le résultat obtenu est satisfaisant. Les deux courbes correspondent jusqu’à la fréquence de résonance (80 MHz), au-delà on observe de légers décalages qui vont s’accroître à des fréquences proches du Gigahertz, ce qui est cohérent avec la valeur de permittivité choisie, qui n’est pas représentative des hautes fréquences. L’allure des courbes ainsi que les valeurs minimale et maximale d’impédance obtenues par la simulation sont très satisfaisantes.

Cependant le choix de cette valeur n'est pas acceptable a priori car elle ne correspond pas à la bande de fréquence où se situent les résonances. Une étude complémentaire sur la valeur réelle de la permittivité en fonction de la fréquence est nécessaire, mais pour la suite de l'étude nous continuerons à travailler avec une valeur de permittivité $\epsilon_r = 4,2$.

L'étude porte sur la caractérisation de la paire de plans du continu à 1 GHz, il est donc difficile de définir la valeur de permittivité la plus adéquate dans ce type de simulation. Il en est de même pour la tangente de perte qui va également intervenir dans le calcul complexe de la permittivité (équation [38]).

$$\epsilon_r = \epsilon' - j\epsilon'' = \epsilon'(1 - j \tan \delta) \quad [38]$$

Des méthodes numériques permettent de tenir compte de la variabilité de la permittivité et sont utilisables dans le domaine fréquentiel [DJORDJEVIC 2001], [SVENSSON 2001] d'autres sont plus adaptées au domaine temporel [DEBYE 1929]. Ces méthodes sont aujourd'hui implantées dans d'autres outils, tel que Simbeor [SIMBERIAN 2008] qui retranscrit en fréquence la variabilité d'epsilon et des pertes tangentielles dans l'étude de liens série multi-gigabit. Les figures suivantes (figure 161-a et figure 161-b) présentent la caractérisation de ces paramètres, les illustrations sont issues de l'outil Simbeor.

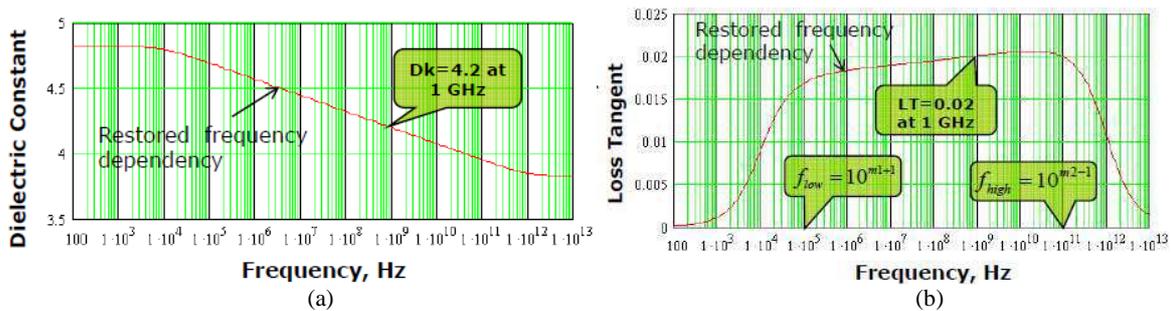


figure 161 : Variation dans domaine fréquentiel (a) de la constante diélectrique (b) de la tangente de perte

Ce type de méthode serait intéressant dans l'étude fréquentielle des impédances de plan. Dans le futur, la mesure de ces grandeurs pourrait être utile et nous permettrait de maîtriser les variations en fonction des spécifications faites par ISOLA au même titre que les épaisseurs de diélectrique. De nombreuses méthodes permettent la mise en œuvre d'une telle mesure sur des échantillons de diélectrique [NICOLSON 1970] [HP 8510], sur des lignes de transmission [RIEDEL 1990] et sur des substrats métallisés [NAPOLI 1971] et ce à l'aide d'un analyseur de réseau, d'un pont d'impédance et d'un réflectomètre.

IV.2.4. Conclusion partielle

L'étude de la stabilité des alimentations nécessite d'avoir un outil capable de caractériser et de calculer l'impédance des plans d'alimentation. Cette partie a permis de vérifier que l'outil développé par Cadence répondait à nos attentes en ce qui concerne l'allure et les impédances obtenues. Cependant, l'exactitude en fréquence nécessiterait la prise en compte d'une permittivité complexe variable avec la fréquence.

Un autre élément capital dans l'étude de la stabilité du réseau d'alimentation est le condensateur. Une étude est indispensable pour évaluer les modèles de simulation permettant de caractériser les condensateurs utilisés dans le réseau de découplage.

IV.3. Caractérisation et modèles des condensateurs

Dans cette étude nous nous intéressons aux condensateurs céramiques multicouches (MLCC : Multi Layer Ceramic Capacitor) utilisés sur nos cartes pour découpler les hautes fréquences (10MHz à 400 MHz). D'autres technologies sont également utilisées (condensateurs électrolytiques) mais elles ne sont pas étudiées pour l'instant.

La base de données des composants permet de définir pour chaque condensateur :

- une référence,
- une empreinte pour la mise en place du schéma,
- une empreinte pour la réalisation du PCB,
- un modèle de simulation quand il est disponible.

Quand plusieurs composants présentent les mêmes caractéristiques électriques et géométriques, ils sont rassemblés sous une référence unique. Par exemple, pour un condensateur céramique 0402 X7R de 1 nF et de tension nominale 10 V, il existe une seule référence qui peut provenir de 7 constructeurs différents (VISHAI, KEMET, SRT, ROHM, AVX, NOVACAP et YAGEO). Ce référencement permet d'éviter les doublons pour ce qui concerne les empreintes et facilite la gestion des approvisionnements. Cependant une telle gestion ne permet pas de connaître l'origine du condensateur et par conséquent de définir le modèle de simulation à utiliser.

D'autre part, peu de fabricants rendent disponibles leurs modèles. L'outil « KEMET Spice Software » du constructeur KEMET met à disposition l'ensemble des modèles des condensateurs qu'il produit. Par défaut, nous renseignons tous nos modèles de condensateurs à l'aide des résultats issus de cet outil en fonction :

- du type de condensateur (céramique / tantale / aluminium),
- du type de boîtier (0201 / 0402 / 0603 /...),
- du diélectrique utilisé (COG / X5R / X7R /...),
- de la tension nominale,
- de la capacité.

Cet outil nous permet d'avoir un modèle Spice RLC de condensateur [PRYMAK 1995]. Cela représente un modèle très simple de condensateur, qui permet cependant d'obtenir des précisions acceptables. Un modèle distribué du condensateur permettrait d'obtenir une caractérisation plus optimale [SMITH 2002] [LI 2001].

En utilisant une seule source de modèle, nous limitons la représentativité de l'étude car cela tend à dire que les paramètres intrinsèques des condensateurs présentent des caractéristiques électriques et géométriques similaires quelle que soit leur provenance.

Valeur	Technologie	Boîtier	Tension	Diélectrique	Précision
100 nF	Céramique	0402	10 V	X5R	10 %
10 nF	Céramique	0402	25 V	X7R	10 %
1 nF	Céramique	0402	50 V	X7R	10 %

tableau 38 : Définition des condensateurs céramiques utilisés pour le découplage des plans

Pour le véhicule de test 3 références sont utilisées pour découpler les plans en haute fréquence (tableau 38). A travers des mesures et des simulations, nous allons caractériser les modèles de ces trois condensateurs et les comparer aux modèles fournis par KEMET.

IV.3.1. Extraction du modèle

Le modèle d'un condensateur de découplage est présenté à la figure 162. Les électrodes sont associées à des conducteurs, ces derniers ont donc une résistivité représentée par une résistance série équivalente (ESR) et une inductance (ESL).



figure 162 : Circuit équivalent d'un condensateur

Le comportement du condensateur est donc capacitif en dessous de la fréquence de résonance et devient inductif au delà. L'impédance du condensateur est définie par l'équation [39] et est illustrée à la figure 163.

$$Z = R + jL\omega + \frac{1}{j\omega C} \quad [39]$$

Après avoir configuré le logiciel KEMET avec l'ensemble des caractéristiques du condensateur (tableau 38), l'outil trace une courbe correspondant à la réponse fréquentielle du condensateur (figure 163).

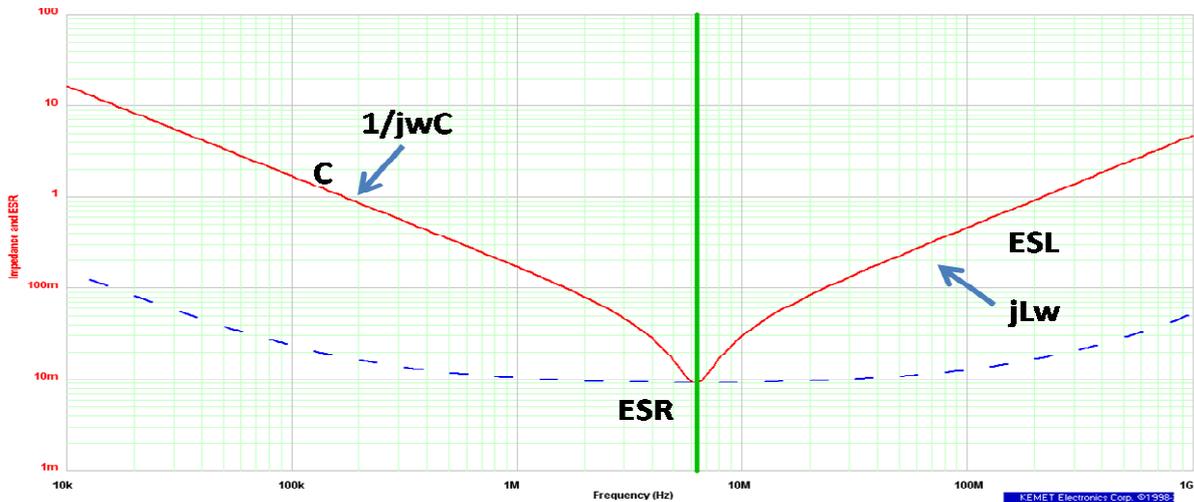


figure 163 : Comportement de l'impédance d'un condensateur en fonction de la fréquence.

La fréquence de résonance est donnée par l'équation [40] :

$$f = \frac{1}{2\pi\sqrt{LC}} \quad [40]$$

En se plaçant à la fréquence de résonance du condensateur, les paramètres correspondant à l'ESL et l'ESR sont délivrés par l'outil. Le tableau 39 énumère les modèles RLC relevés pour les 3 condensateurs MLCC.

Valeur	Z (ESR)	ESL	C	Fréquence Résonance
100 nF	28,5 mΩ	0,86 nH	100 nF	17,30 MHz
10 nF	328 mΩ	1,90 nH	10 nF	38,00 MHz
1 nF	634 mΩ	0,99 nH	1 nF	166,0 MHz

tableau 39 : Modèles KEMET des condensateurs céramiques

IV.3.2. « Inductance montée »

On utilise des condensateurs pour diminuer l'impédance du plan sur une large bande de fréquence. Cependant l'efficacité des condensateurs dépend de la façon dont ils sont implantés sur le circuit imprimé. La connexion du condensateur au via ou la liaison des vias aux plans sont à soigner pour éviter l'apparition d'importantes inductances parasites [ROY 1998] [MILIORN 2004]. On définit cet effet parasite de connexion par le terme « inductance montée ». La prise en compte du placement des condensateurs est donc capitale [CHEN 1996]. Au-delà du modèle intrinsèque du condensateur, l'outil « Power Integrity » permet de prendre en compte la valeur de l'inductance montée à travers un solveur « Fast-Henry ».

Trois inductances vont diminuer l'efficacité du condensateur [ROY 1998] :

- Le placement des vias par rapport aux pads du composant,
- La boucle formée entre les pads et les plans d'alimentation,
- L'inductance intrinsèque du condensateur.

La figure 164 compare l'évolution des inductances que l'on rencontre sur les circuits avec celles obtenues sur le véhicule de test. Ces résultats montrent la nécessité d'un effort important au moment du placement routage pour diminuer les éléments parasites ; la densité et la complexité d'une carte rend plus difficile la limitation de ces inductances. L'implantation des condensateurs nécessite donc une attention particulière.

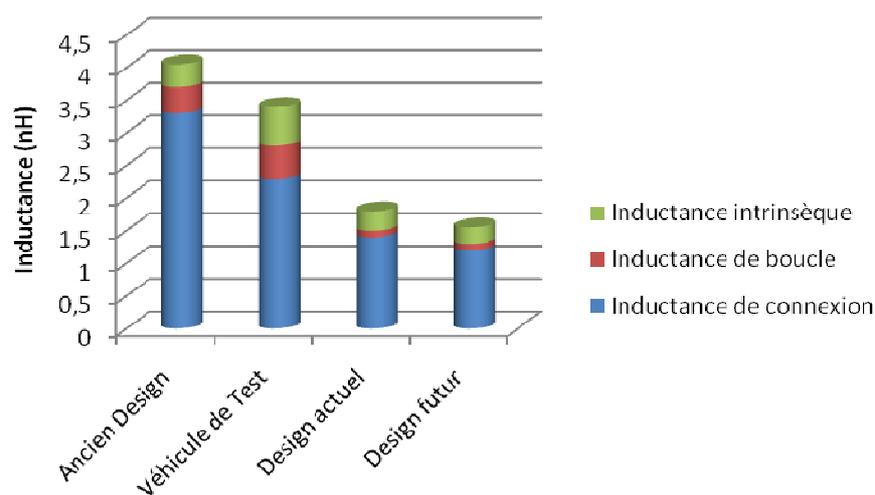


figure 164 : Comparaison de contribution des inductances parasites

La figure 165 présente des motifs de condensateurs implantés en utilisant des vias traversant dont l'inductance montée est calculée par l'outil Fast-Henry (tableau 40). Les cas 2, 4, 5, 6 sont des câblages que l'on retrouve couramment sur nos cartes alors que les cas 1 et 3 sont des motifs conseillés pour limiter l'inductance parasite. La qualité du câblage des condensateurs peut faire varier l'inductance parasite d'un facteur 4. Sur le véhicule de test, les valeurs d'inductance montée calculées évoluent entre 1 nH et 5 nH.

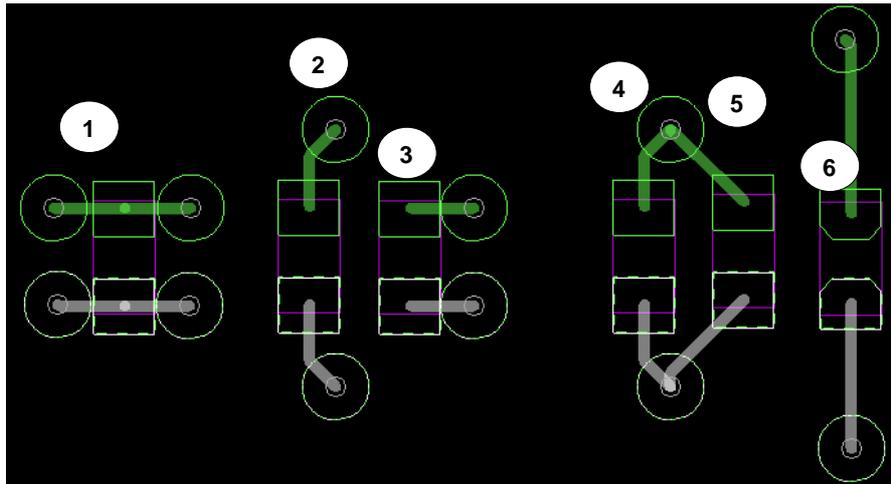


figure 165 : Motifs d'implantation des condensateurs (vias traversants)

Motif	Lm	Remarques
1	0,353 nH	Cas optimal
2	1,084 nH	Cas courant
3	0,593 nH	Cas très optimisé
4	1,084 nH	Cas courant
5	1,276 nH	
6	2,172 nH	Cas très peu optimisé

tableau 40 : Relevé des valeurs des inductances montées calculées par Fast Henry (vias traversants)

Les inductances montées peuvent être conséquentes par rapport aux inductances intrinsèques définies par les modèles KEMET et ont un impact très important sur l'efficacité des condensateurs : la fréquence de résonance diminue de façon significative et son impédance augmente. Par défaut l'outil paramètre l'inductance parasite à 325 pH qui correspond au cas optimal présenté ci-dessus. Afin d'évaluer l'importance de l'inductance parasite sur les résultats de simulation obtenus en utilisant « Power Integrity », nous effectuerons les premières simulations avec la valeur par défaut.

IV.3.3. Mesure des réponses fréquentielles des condensateurs

La figure 166 présente la comparaison entre le modèle KEMET (courbe bleue) et le modèle mesuré (courbe rouge) du condensateur de 100 nF. Le tableau 41 compare les modèles obtenus.

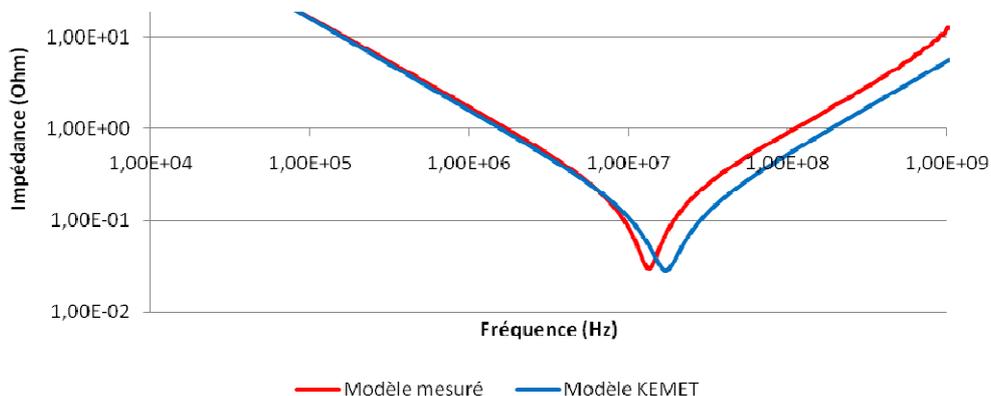


figure 166 : Simulation et mesures du condensateur 100nF

Pour chaque courbe on relève les modèles obtenus. L'ESR est mesurée au « creux » de résonance, la capacité quant à elle est calculée à partir de la partie de la courbe « capacitive » évoluant en $1/C\omega$. Enfin, l'inductance est obtenue à la fréquence de résonance (équation [37]).

Scénario	Z (ESR)	ESL	C	Fréquence Résonance
Modèle KEMET	28,5 mΩ	0,86 nH	100 nF	17,3 MHz
Modèle mesuré	29,9 mΩ	1,43 nH	95,5 nF	13,6 MHz

tableau 41 : Modèles KEMET et modèles mesurés – Condensateur 100nF

L'ESR mesurée est satisfaisante et la valeur de la capacité calculée respecte la tolérance de 10 % indiquée par le fabricant. L'inductance intrinsèque (ESL) mesurée est 2 fois plus importante que celle donnée par le modèle. Ces différences vont engendrer une divergence des résultats à partir de 10 MHz entraînant une non-corrélation entre la mesure et la simulation. La mesure peut introduire au-delà de l'inductance intrinsèque une inductance montée induite par le câblage du condensateur sur le SMA. La faible variation de la valeur de la capacité ne va pas apporter de différences importantes. L'inductance mesurée engendre des différences qui vont sensiblement modifier l'allure de la courbe.

La figure 167 présente la comparaison entre le modèle KEMET (courbe bleue) et le modèle mesuré (courbe rouge) du condensateur de 10 nF. Le tableau 42 compare les modèles obtenus.

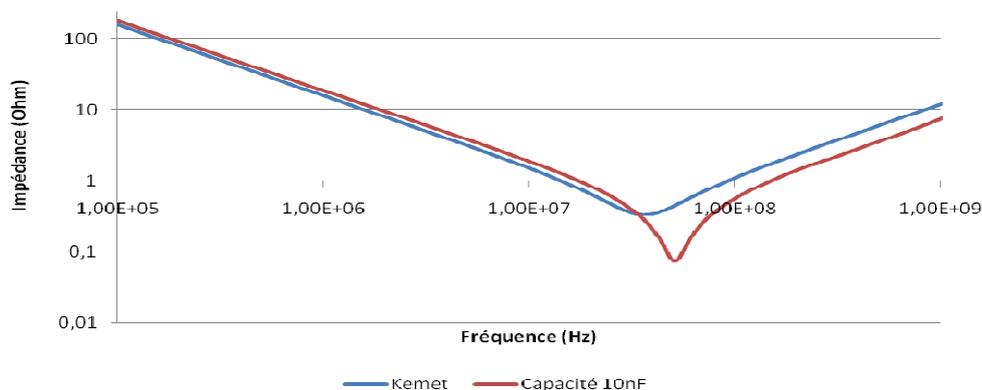


figure 167 : Simulation et mesures du condensateur 10nF

Scénario	Z (ESR)	ESL	C	Fréquence Résonance
KEMET	330 mΩ	1,90 nH	10 nF	36,5 MHz
Condensateur	73 mΩ	1,08 nH	8,98 nF	51,1 MHz

tableau 42 : Modèles KEMET et modèles mesurés – Condensateur 10nF

Dans le cas du condensateur 10nF, aucun des paramètres issus de la mesure ne correspond à ceux définis dans le modèle. Les calculs font apparaître un facteur 4 sur l'ESR. L'ESL est deux fois supérieure à celle mesurée et à celle du condensateur 1 nF. Contrairement aux condensateurs tantales et aluminium pour lesquels, à caractéristiques identiques, les valeurs d'ESL sont identiques quelque soit la valeur de la capacité, cela diffère pour les condensateurs céramique. La modification de la capacité engendre un empilage des couches diélectriques différent qui modifie l'ESL.

Au vu des résultats, le modèle du condensateur de 10 nF mesuré est plus représentatif que le modèle issu de l'outil KEMET, modèle dont l'ESR semble élevé.

La figure 168 présente la comparaison entre le modèle KEMET (courbe bleue) et le modèle mesuré (courbe rouge) du condensateur de 1 nF. Le tableau 43 compare les modèles obtenus.

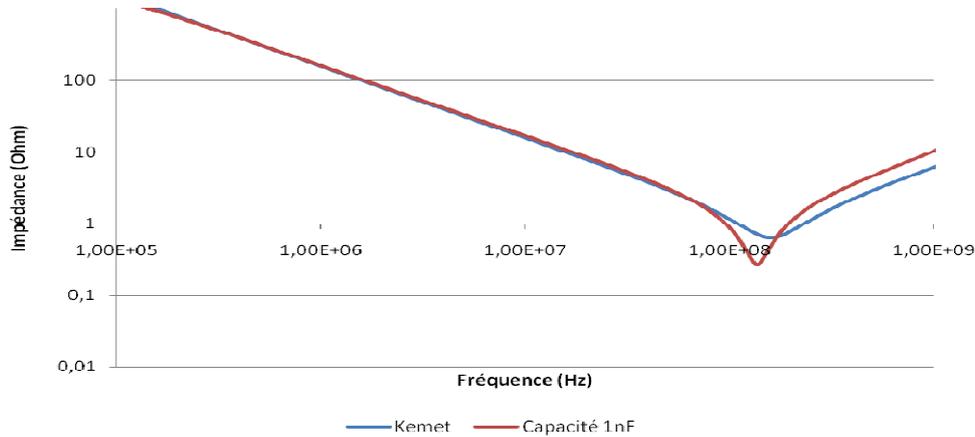


figure 168 : Simulation et Mesures du condensateur 1nF

Scénario	Z (ESR)	ESL	C	Fréquence Résonance
KEMET	634 mΩ	0,99 nH	1 nF	160 MHz
Condensateur	266 mΩ	1,41 nH	0,97 nF	136 MHz

tableau 43 : Modèles KEMET et Modèles mesurés – Condensateur 1nF

La comparaison entre la mesure et la simulation du condensateur 1nF fait apparaître une différence importante pour la valeur de l'ESR (facteur 2). La valeur de la capacité est cohérente et respecte la tolérance du fabricant (10%). L'inductance calculée à partir de la mesure est plus grande comme pour le condensateur de 100 nF.

IV.4. Conclusion partielle

Cette partie nous a permis d'étudier les résultats de simulation issus de l'outil « Power Integrity » dans l'analyse d'un plan nu. Les simulations obtenues sont très fidèles à l'allure des signaux mesurés et les impédances minimales et maximales sont semblables. Cependant, l'ensemble des comparaisons fait apparaître un décalage fréquentiel. Les résultats obtenus sont satisfaisants mais nécessitent une configuration fine de l'outil et des paramètres géométriques de l'empilage. Le maillage et le niveau d'adaptation ont été définis pour obtenir une précision de découpage maximum. L'empilage doit être configuré avec des données précises et tenant compte des variations qu'introduit la fabrication. Cependant, la définition de la permittivité ne permet pas d'obtenir une caractérisation du plan précise en fréquence.

La configuration retenue pour la suite de l'étude est le « Stackup réel » associé à une permittivité de 4,2, valeur couramment utilisée et qui correspond à la bande de fréquence étudiée ici. Le maillage du plan est défini à 32x32 avec un niveau d'adaptation à 8.

Dans un deuxième temps, nous avons étudié la modélisation des condensateurs de découplage ainsi que les inductances introduites par le placement routage de ces derniers.

- L'ensemble des mesures et des simulations a montré l'effet dégradant des inductances parasites sur l'efficacité des condensateurs. L'utilisation de technologies avancées (faibles ESR et ESL) améliorera l'efficacité des condensateurs utilisés, mais n'engendrera que peu de gain si on ne prête pas une attention particulière à leur câblage.

- Les mesures ont fait apparaître des différences sur la valeur de l'ESL et de l'ESR qui modifient le comportement des condensateurs selon le modèle utilisé. Cependant, il semble difficile de conclure sur l'origine des différences observées. Elles pourraient être engendrées par des processus de fabrication qui diffèrent d'un constructeur à un autre, par une imprécision des modèles délivrés par KEMET ou par la mesure qui introduirait des inductances parasites.

L'étude ne nous permet pas de valider le choix qui a été fait dans l'utilisation des modèles KEMET pour étudier le découplage des plans. L'évolution des paramètres entre deux fabricants pour une même référence limite la possibilité de maîtriser parfaitement les modèles des composants. Il faut accepter une tolérance sur ces paramètres et maîtriser son impact sur les résultats. Une solution envisageable est de tenir compte des tolérances sur les différents paramètres du modèle et d'effectuer des études de type Monte Carlo. Les temps de simulation associés deviendraient cependant très importants.

La solution que nous envisageons pour caractériser correctement le comportement des condensateurs est de créer un environnement de calibration et de mesure permettant de systématiser la mesure des modèles des composants implantés sur les circuits imprimés. La définition d'un nouveau véhicule de test a donc été effectuée. Ce dernier embarque un kit de calibration et de mesure pour caractériser les condensateurs utilisés dans le laboratoire. Le kit de calibration éliminera les imperfections du VNA dans le contexte de notre carte. Le kit de mesure autorisera la caractérisation des condensateurs Tantale, X2Y et de nombreux boîtiers de condensateur céramique (201 / 402 / 603 / 805 / 1206 / 1210).

Le véhicule de test étant en cours de fabrication, le découplage du plan associé aux condensateurs sera étudié avec les modèles issus des mesures et ceux délivrés par KEMET.

V. ÉTUDE DU SYSTÈME PLAN ET CONDENSATEURS

V.1.Introduction

Ce paragraphe étudie la corrélation entre les simulations issues de l'outil « Power Integrity » et les mesures dans le cas d'un plan auquel sont associés des condensateurs de découplage. Nous tenterons de définir la validité de l'outil « Power Integrity » dans l'étude d'un système complet. De plus, nous tenterons de caractériser et de déterminer l'efficacité d'un découplage plan par rapport à un découplage composant.

V.2.Mesures et simulations de condensateurs associés au plan

V.2.1. Plan VCCINT avec un condensateur

La figure 170 permet de comparer la simulation du plan nu avec celle du plan auquel est associé un seul condensateur de 100 nF (figure 169).

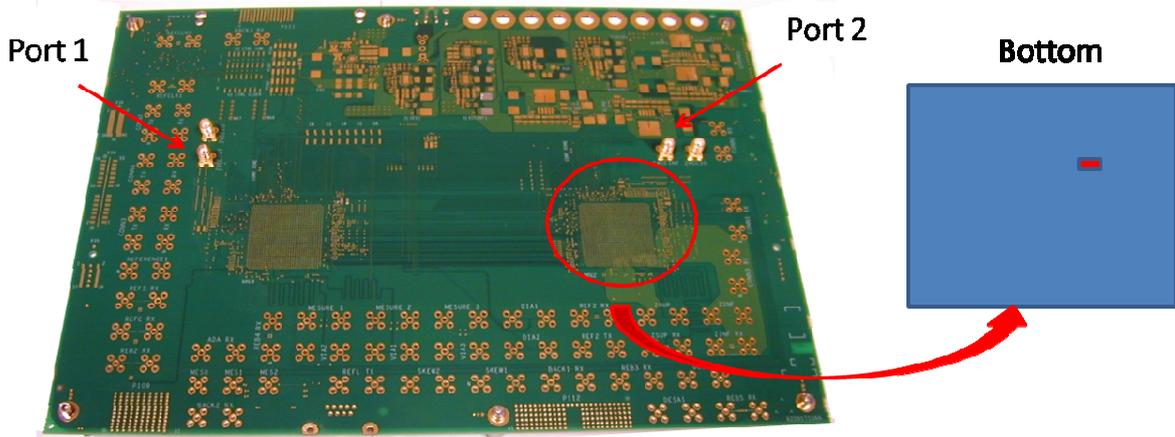


figure 169 : Placement du condensateur de 100 nF sur le circuit imprimé

On observe ici que l'implantation d'un condensateur ne modifie pas le comportement en haute fréquence du plan. Ceci est valable tant que la capacité utilisée ne présente pas une fréquence de résonance proche ou supérieure à celle du plan.

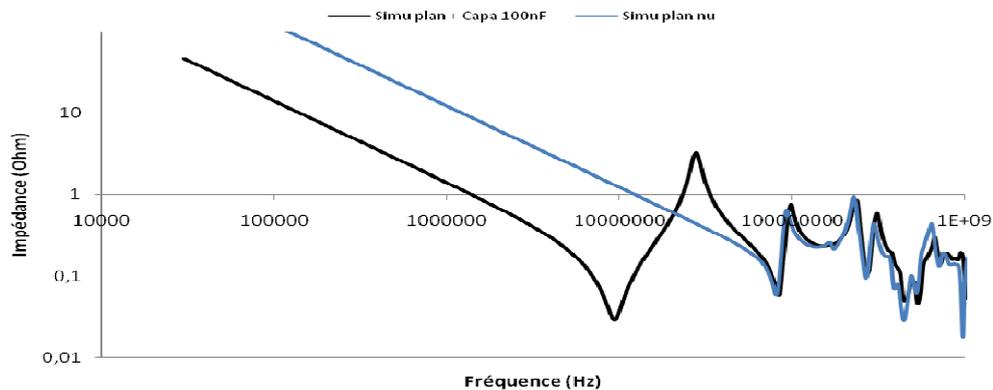


figure 170 : Simulations plan nu et plan + 100nF

Le premier scénario étudié à la figure 171 est l'association d'un condensateur de 100 nF sur le plan VCCINT. On compare la mesure (courbe bleue) à deux simulations :

- Simulation avec le modèle KEMET (courbe verte),
- Simulation avec le modèle de condensateur mesuré (courbe rouge).

Les simulations ci-dessous sont effectuées avec une inductance montée estimée par l'outil : en fonction du boîtier et de la position de la couche d'implantation du condensateur (Top ou Bottom), l'outil définit la surface de la boucle de courant et calcule l'inductance montée correspondante. Il fait cependant l'approximation que les pads du condensateur sont directement reliés aux plans, ce qui engendre une sous estimation de l'inductance. Dans le cas du véhicule de test, l'outil estime une inductance de 155 pH pour les condensateurs implantés sur la couche Top et de 876 pH pour ceux routés en couche Bottom. En effet, les plans étudiés sont dans les couches hautes (4 et 5), la boucle de courant introduite par le câblage d'un condensateur en Top est donc moindre.

Dans ce scénario nous trouvons une bonne concordance entre la mesure (courbe bleue) et la simulation effectuée avec le modèle issu de la mesure (courbe rouge). L'allure des courbes est semblable. Les niveaux minima et maxima sont proches mais légèrement plus faibles sur la mesure. En basse fréquence, l'impédance du condensateur est prépondérante par rapport à

celle du plan. Le décalage observé auparavant entre la mesure et les simulations du plan seul subsiste dans les hautes fréquences du spectre.

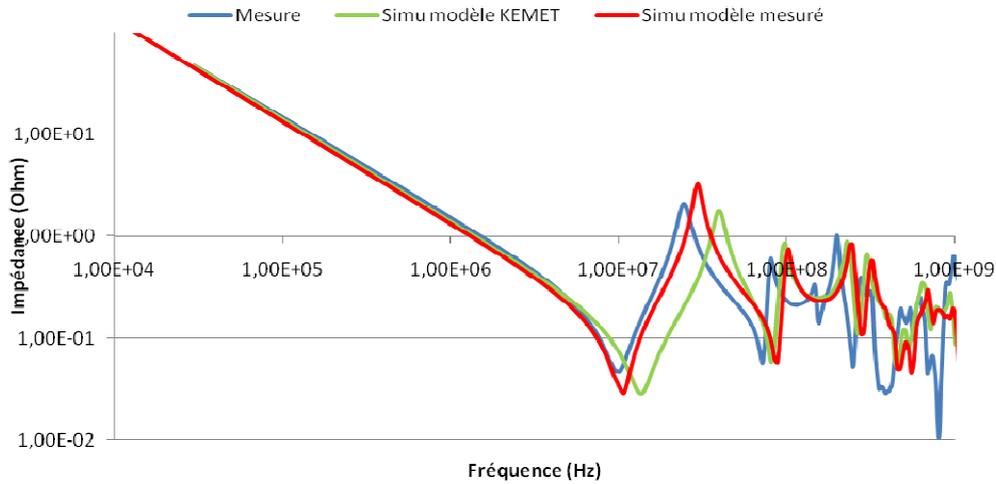


figure 171 : Simulations et mesure de VCCINT + 100 nF

Les différences observées entre les deux simulations sont en cohérence avec les modèles utilisés. Le modèle mesuré présente une inductance intrinsèque presque deux fois supérieure à celle du modèle KEMET, ce qui engendre une diminution de sa fréquence de résonance et une augmentation de son impédance au-delà.

Ce résultat valide l'utilisation du modèle mesuré, cependant son inductance est surestimée du fait de l'inductance parasite introduite par la mesure. Pour le modèle KEMET, l'ESL définie est minimale. L'inductance montée définie ici est sous-estimée car le câblage est considéré comme parfait. Dans le cas du modèle mesuré, les deux différences se compensent et la courbe est proche de la mesure, alors que pour le modèle KEMET, l'inductance totale reste sous-estimée.

La figure 172 présente une simulation effectuée avec le modèle KEMET et dont l'inductance montée est calculée avec « Fast Henry ». Le tableau 44 énumère l'ESR et la fréquence de résonance relevée pour chacune des courbes.

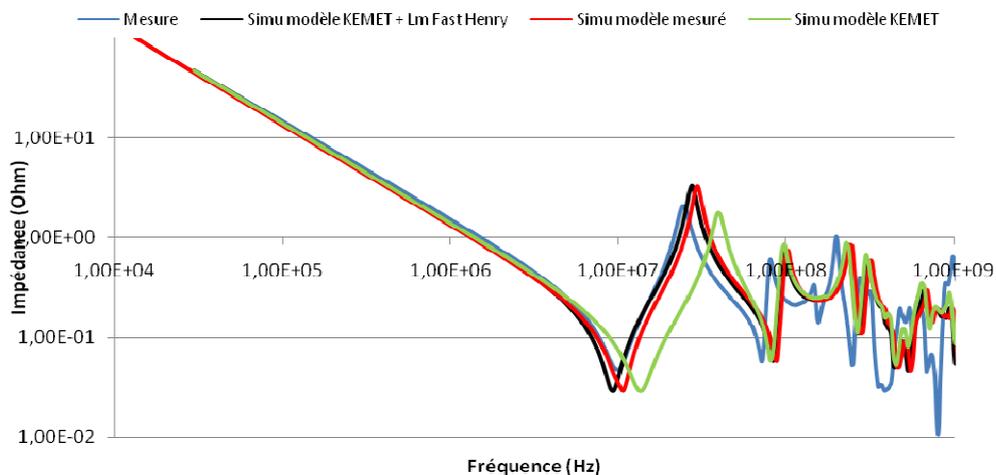


figure 172 : Simulations Lm Fast Henry et mesure de VCCINT + 100 nF

Cette simulation montre l'importance de l'inductance montée. Le modèle KEMET présente un condensateur performant : ESR et ESL faibles. Le placement de ce condensateur dans un environnement PCB induit une inductance de 1,6 nH perturbatrice qui diminue sensiblement son efficacité.

La simulation « KEMET Lm » permet d'obtenir une courbe proche de la mesure. Au-delà de 300 MHz des divergences apparaissent mais au vu des niveaux obtenus, elles n'auront pas d'impact sur l'étude. L'association d'une inductance montée réelle dans le modèle du condensateur mesuré entraînerait une diminution de la fréquence de résonance qui deviendrait inférieure à celle de la mesure (tableau 44). Il faudra donc compenser l'inductance introduite par la mesure.

Type	Modèle	Z (ESR)	Fréquence de résonance
Mesure		47 mΩ	10,2 MHz
Simulation	Modèle KEMET	29 mΩ	13,4 MHz
Simulation	KEMET + Lm	30 mΩ	9,5 MHz
Simulation	Modèle mesuré	31 mΩ	10,8 MHz
Calcul	Modèle mesuré+Lm	31mΩ	8,6 MHz

tableau 44 : Comparaison mesure et simulation – VCCINT + 100 nF

La précision obtenue dans la modélisation d'un plan et d'un condensateur 100nF est satisfaisante.

V.2.2. Plan VCCINT avec trois condensateurs

Nous allons tenter de définir ici la configuration la plus adaptée pour caractériser l'ensemble des trois condensateurs 1 nF, 10 nF et 100 nF (figure 173). Le modèle KEMET associé à une inductance montée semble être une solution acceptable. Nous étudierons également le modèle mesuré compensé ou non avec une inductance estimée ou calculée.

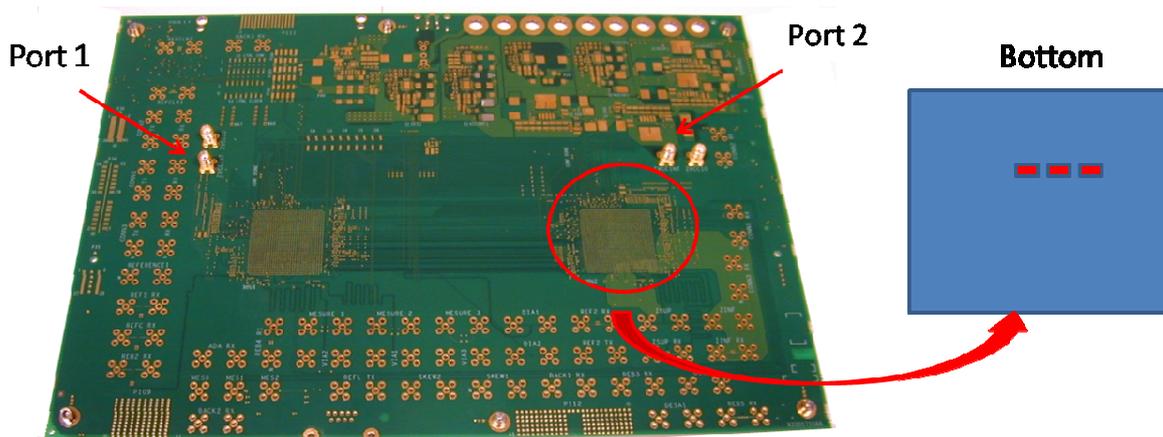


figure 173 : Placement des condensateurs de 100 nF, 10 nF et 1 nF sur le circuit imprimé

Le scénario étudié à la figure 174 est l'association de trois condensateurs sur le plan. Elle compare la mesure (courbe bleue) à deux simulations :

- Simulation (Lm=Fast Henry) avec les modèles KEMET (courbe noire),
- Simulation (Lm=Estimée) avec les modèles mesurés (courbe rouge).

Les modèles utilisés pour la caractérisation du condensateur de 100 nF sont satisfaisants et permettent d'obtenir une courbe proche de la mesure, jusqu'à 17,5 MHz pour le modèle KEMET (courbe noire), et jusqu'à 30 MHz pour le modèle mesuré (courbe rouge).

La simulation faite à l'aide du modèle KEMET présente pour le condensateur de 10 nF une ESR de 354 mΩ proche de la mesure (251 mΩ). Cependant, elle présente une fréquence de résonance (23 MHz) inférieure à celle relevée sur la mesure (30 MHz). Cela entraîne une compensation du pic d'antirésonance (21MHz) introduit par les condensateurs de 100 nF et de 10 nF. Le décalage de la fréquence de résonance peut être dû à une surestimation de l'inductance série décrite dans le modèle KEMET.

La simulation effectuée avec le modèle mesuré retranscrit correctement la mesure jusqu'à 30 MHz. Au-delà, les courbes divergent car la résonance du condensateur de 10 nF apparaît en simulation à une fréquence supérieure (36 MHz). Le décalage observé peut être dû à une sous-estimation de l'inductance. En effet, la simulation ne tient pas compte de l'inductance montée réelle. La valeur de l'ESR observée dans ce cas est très faible devant celle mesurée.

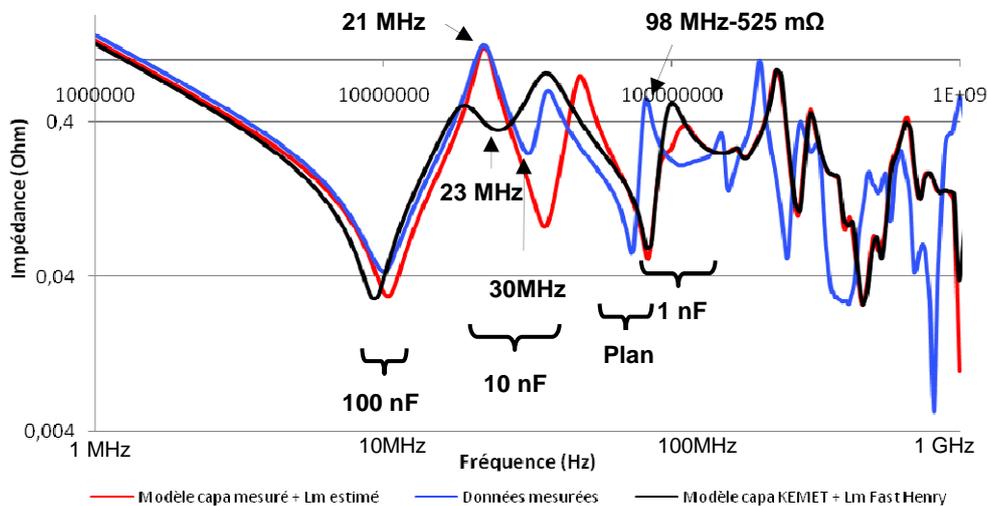


figure 174 : Simulations et mesure de VCCINT + 1 nF, 10 nF et 100 nF

Au-delà de la résonance introduite par le condensateur de 10 nF, une nouvelle résonance commune apparaît proche de 80 MHz. Cela correspond à la capacité introduite par le plan. Les résultats introduisent les mêmes décalages fréquentiels qu'auparavant (IV.2).

L'influence du condensateur de 1 nF apparaît à des fréquences proches de 150 MHz. Son ESR importante empêche d'observer facilement son impact sur l'impédance relevée. Cependant, la comparaison des trois courbes permet de noter qu'il agit sur le pic d'antirésonance créé par le plan. La simulation effectuée avec le modèle mesuré présente une fréquence de résonance de 136 MHz réduite à 104 MHz lors de l'association de l'inductance montée estimée. Cette résonance est visible sur la courbe rouge et vient compenser le pic d'antirésonance créé par le plan. Dans le cas du modèle KEMET, l'inductance montée (1,7nH) entraîne une diminution de la fréquence de résonance de 160MHz à 95 MHz. A cette fréquence, l'impédance du plan est inférieure à l'ESR du condensateur. Ce dernier n'a donc pas d'influence sur le plan.

V.2.3. Définition du modèle de condensateur et d'inductance parasite optimal

Au vu des résultats obtenus, de nouvelles mesures ont été effectuées sur différents condensateurs de 10 nF. En effet, les deux modèles définis pour ce condensateur ne

retranscrivent pas correctement ce que l'on obtient par la mesure. Ces nouvelles mesures montrent des différences : on obtient une inductance intrinsèque plus importante 1,41 nH au lieu de 1,08 nH et une capacité de 8,6 nF au lieu de 8,98 nF.

De nombreuses simulations ont été effectuées pour définir la meilleure configuration. Ces dernières ont montré que la configuration la plus satisfaisante dans la caractérisation des trois capacités est le modèle mesuré « compensé ».

En comparant la simulation avec la mesure, nous avons pu estimer l'inductance montée introduite lors de la mesure du condensateur. On estime cette inductance parasite à 398 pH pour le condensateur 100 nF et à 266 pH pour la 10 nF. L'influence du condensateur 1 nF étant quasi-nulle, la compensation de l'inductance montée n'a pu être calculée.

La figure 175 compare cette nouvelle configuration à la mesure (courbe bleue). La simulation montre une légère amélioration, cependant la différence d'ESR entraîne une divergence des niveaux d'impédance autour de la fréquence de résonance.

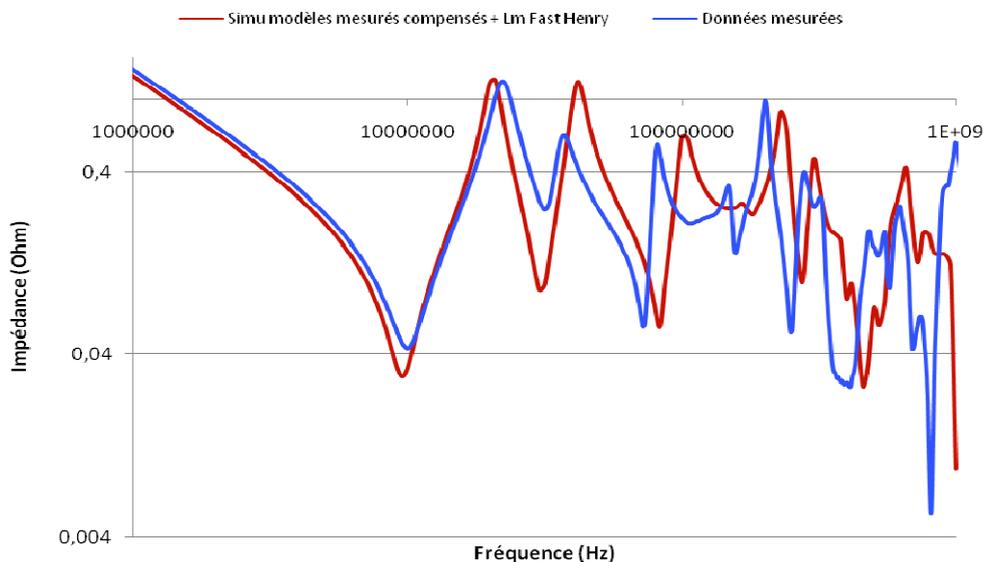


figure 175 : Simulations modèles mesurés compensés et mesure de VCCINT + 1 nF, 10 nF et 100 nF

La caractérisation de la paire de plans et des modèles de simulation ne nous permet pas dans le cas présent d'obtenir des résultats très satisfaisants. Il est cependant à noter que l'étude des alimentations sur les cartes porte sur des réseaux de découplage ayant des dizaines de condensateurs.

Une étude est donc nécessaire dans un cas proche de nos investigations. En multipliant le nombre de condensateurs, les imperfections engendrées par la précision des modèles devraient devenir plus faibles. La mise en parallèle de l'ensemble des éléments parasites pourrait permettre de minimiser les erreurs observées précédemment.

V.2.4. Plan VCCINT avec soixante condensateurs

Le scénario étudié à la figure 177 est l'association de 60 condensateurs (20x1nF, 20x10nF et 20x100 nF) sur le plan.

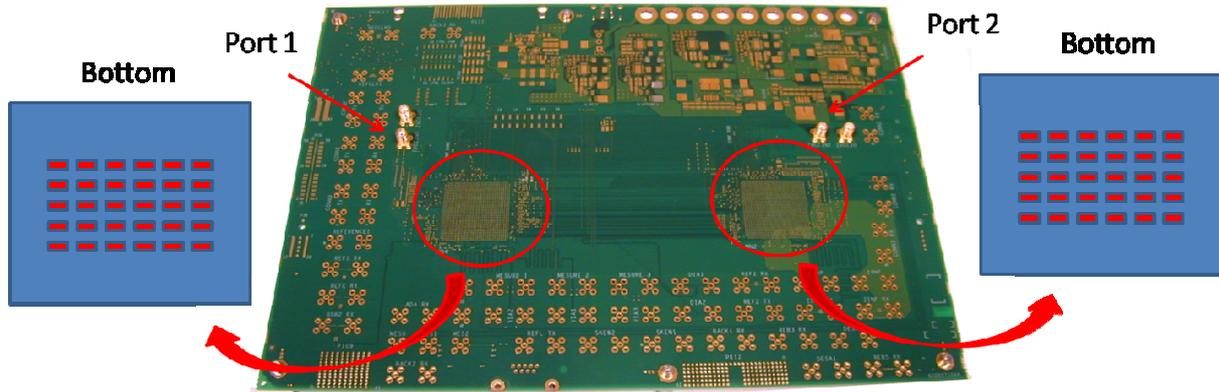


figure 176 : Placement de 60 condensateurs sur le circuit imprimé

Elle compare la mesure (courbe violette) à deux simulations :

- Simulation (Lm=Fast Henry) avec les modèles KEMET (courbe rouge),
- Simulation (Lm=Fast Henry) avec les modèles mesurés compensés (courbe verte).

Les amplitudes des différentes résonances mesurées sont plus faibles que celles obtenues lors des simulations. Dans le cas de ces simulations, un modèle unique est utilisé pour une valeur de capacité, et les valeurs d'inductance montée présentent très peu de disparité. Les résonances provoquées par chaque condensateur se situent donc à la même fréquence, et les résistances série se retrouvent toutes en parallèle. Pour vingt condensateurs, l'ESR équivalente à la fréquence de résonance est égale à l'ESR d'un condensateur divisé par vingt. Dans le cas de la mesure, il y a une disparité plus importante sur ces grandeurs, ce qui entraîne un étalement du spectre autour de la fréquence de résonance.

Les niveaux d'ESR et d'impédance déterminés d'après les simulations sont donc supérieurs à ceux relevés en mesure.

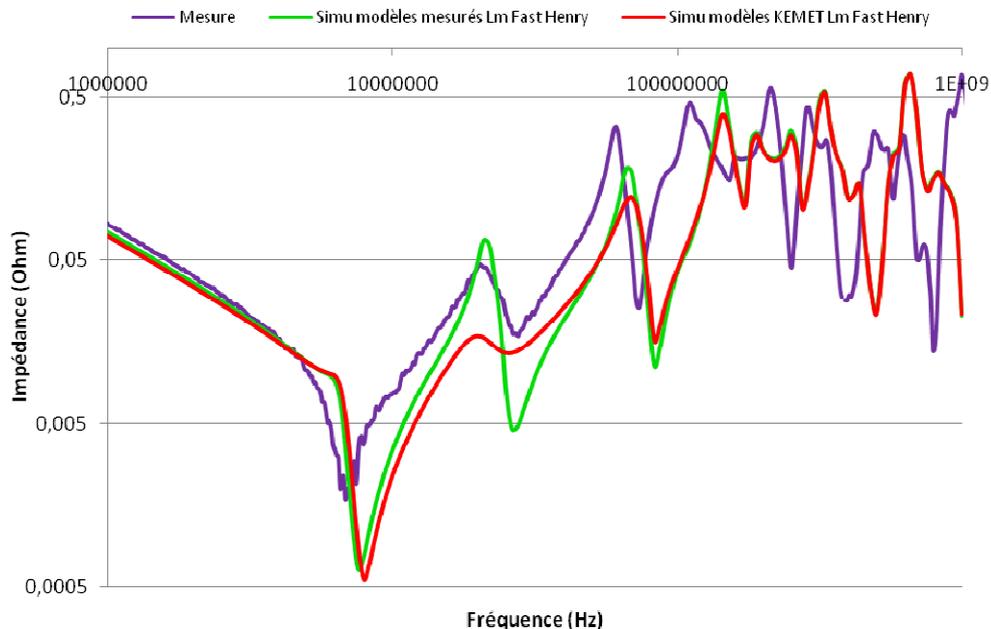


figure 177 : Simulations et mesure de VCCINT + 60 condensateurs

Si on calcule la fréquence de résonance des condensateurs de 1 nF, on obtient des résultats compris entre 77 MHz et 95 MHz. L'influence de ces condensateurs apparaît donc à des fréquences proches de la résonance introduite par le plan (80 MHz). Leur effet reste faible, et n'est pas visible sur les courbes.

Dans le cas des condensateurs de 10 nF, on observe que les fréquences de résonance sont identiques, proches de 27,5 MHz, alors que l'amplitude de l'impédance relevée sur la mesure au delà de cette fréquence est plus importante que dans les simulations.

Pour le condensateur de 100 nF, la mesure présente une fréquence de résonance de 68 MHz, inférieure à la valeur de 75 MHz relevée en simulation.

Finalement, la multiplication du nombre de condensateurs amplifie les différences entre la mesure et la simulation. La configuration optimale définie auparavant (modèles mesurés compensés) présente les résultats les plus satisfaisants. Cependant, la simulation n'assure pas une caractérisation parfaite du découplage et donne des résultats optimistes. Les inductances montées réelles semblent être plus importantes que celles calculées lors de la simulation, ce qui engendre une sensible augmentation de l'impédance sur la mesure. Une simulation considérée comme acceptable peut donc en réalité introduire des dysfonctionnements dans le circuit.

A la figure 178, nous avons mis en évidence le résultat issu des simulations effectuées avant la mise en place de cette étude (courbe bleue clair). Malgré des différences encore notables par rapport à la mesure, le résultat obtenu dans la configuration actuelle est bien plus acceptable que celui déterminé initialement.

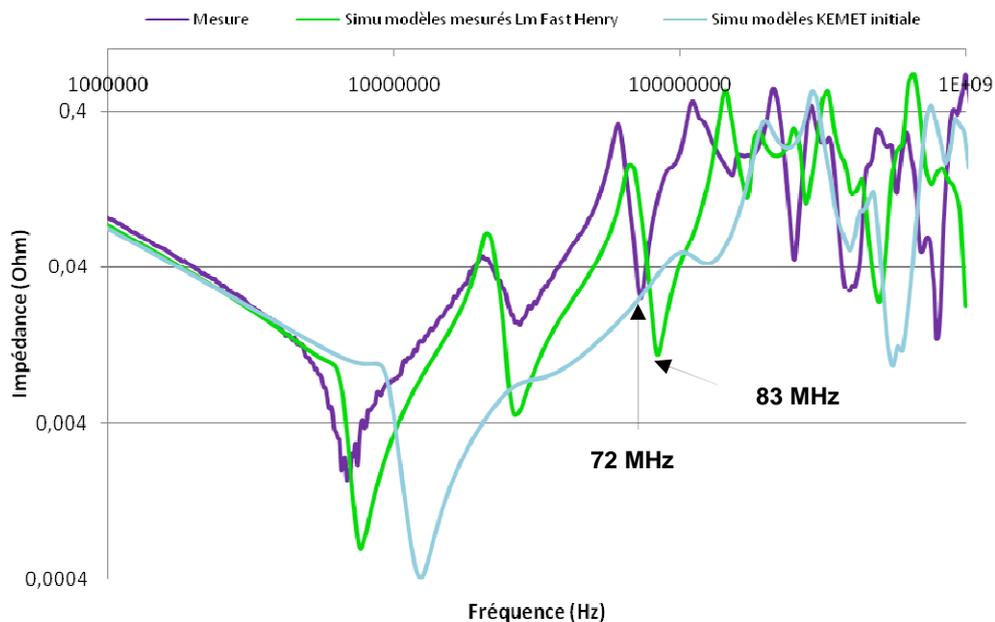


figure 178 : Simulations et mesure de VCCINT + 60 condensateurs

V.2.5. Conclusion partielle

La prise en compte des inductances montées et l'utilisation des valeurs mesurées pour les épaisseurs des diélectriques ont permis d'améliorer les résultats de simulation (figure 178). Au-delà des modèles de condensateur qui ne sont pas suffisamment précis, les différences entre mesure et simulation peuvent être provoquées par la disparité des caractéristiques intrinsèques des condensateurs (ESR/ESL/C). Cette disparité introduit une dispersion des résonances et modifie l'impédance du réseau de découplage autour de la fréquence de résonance théorique. Cependant, le paramètre déterminant reste l'inductance montée (Lm).

V.3. Etude des inductances parasites

En vue des différences importantes observées, nous décidons de réaliser une évaluation de l'outil Fast Henry. L'exactitude des valeurs d'inductance montées calculées a un impact très important sur la validité des résultats.

L'étude consiste à créer des motifs de liaison entre les condensateurs et les plans et d'évaluer les valeurs d'inductance ainsi créées. Le tableau 45 présente les inductances parasites calculées par Fast Henry. Dans un cas les composants sont répartis sous le composant (découplage « composant »), dans l'autre cas ils sont répartis au niveau du plan (découplage « plan »).

	Composant				Plan			
	Globale	1 nF	10 nF	100 nF	Globale	1 nF	10 nF	100 nF
Inductance Moyenne	1,77	1,76	1,79	1,74	2,64	2,75	2,59	2,57
Inductance Minimale	1,24	1,41	1,47	1,24	1,85	1,85	1,85	1,85
Inductance Maximale	2,95	2,45	2,95	2,41	5,08	4,4	3,92	5,08

tableau 45 : Relevé des valeurs des inductances montées (nH) calculées par Fast Henry

Le tableau 45 montre dans le cas d'un découplage « plan » que le câblage des condensateurs engendre des inductances plus importantes que celles obtenues sous le composant. L'étude du PCB permet d'expliquer ces résultats (figure 179). Dans le cas du découplage « composant », la forte densité de condensateurs oblige l'implanteur à limiter les connexions aux vias : les boucles d'inductance sont donc réduites. Dans le cas du découplage « plan », le placement des condensateurs rend le routage moins contraignant, l'effort mis en œuvre par l'implanteur est moindre.

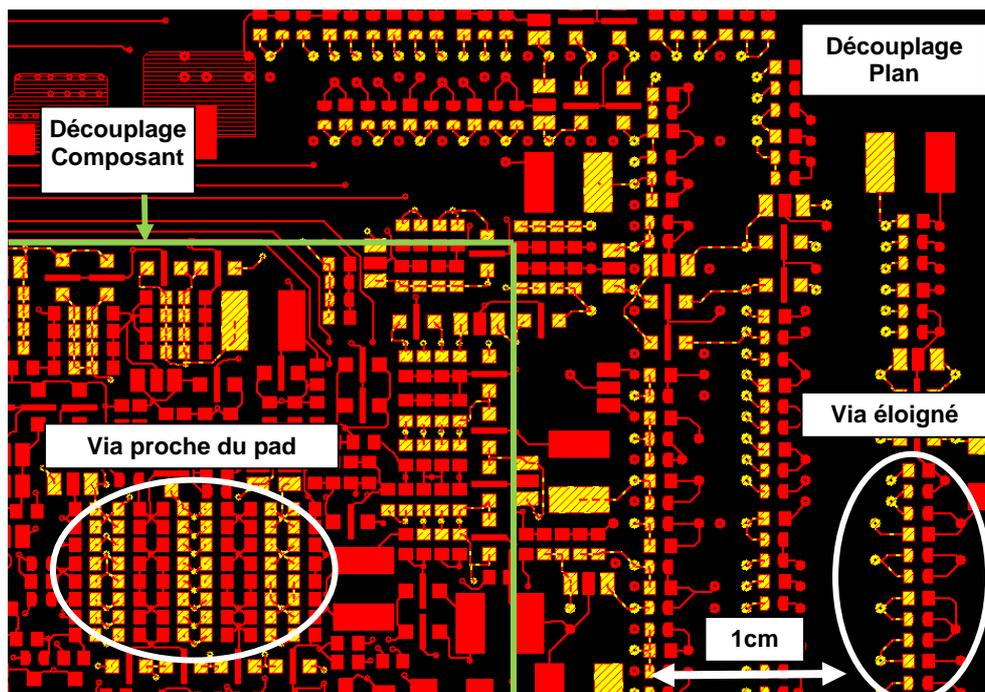


figure 179 : Découplage plan et composant

Les motifs présentés au paragraphe (IV.3.2) permettaient d'obtenir une caractérisation précise de l'inductance de câblage. Plus la boucle empruntée par le courant est grande plus l'inductance est importante. Cependant, si l'on reprend les motifs 2 et 4, on peut noter une limitation de l'outil (figure 180).

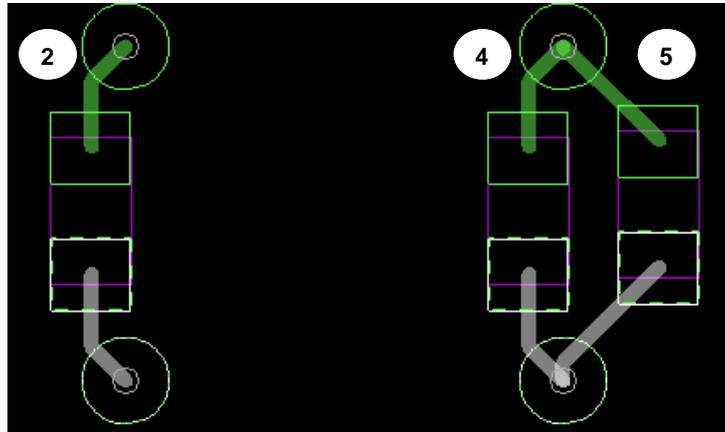


figure 180 : Motifs pour évaluation de l'outil Fast Henry (vias traversants)

Les motifs 2 et 4 sont strictement identiques et permettent d'obtenir une inductance montée de 1,084 nH. L'ajout d'un condensateur (motif 5) à une distance de 200 μm , laissant possible la création d'une inductance mutuelle entre les deux composants, ne modifie pas l'inductance calculée par l'outil.

Des travaux sur le sujet ont montré que l'apparition d'inductances mutuelles pouvait sensiblement détériorer les performances d'un condensateur et donc d'un découplage [SHIM 2002] [ZEEFF 2003]. Ce paramètre peut modifier l'efficacité du découplage, surtout dans le cas étudié présentant un grand nombre de condensateurs sur une faible surface (figure 181).

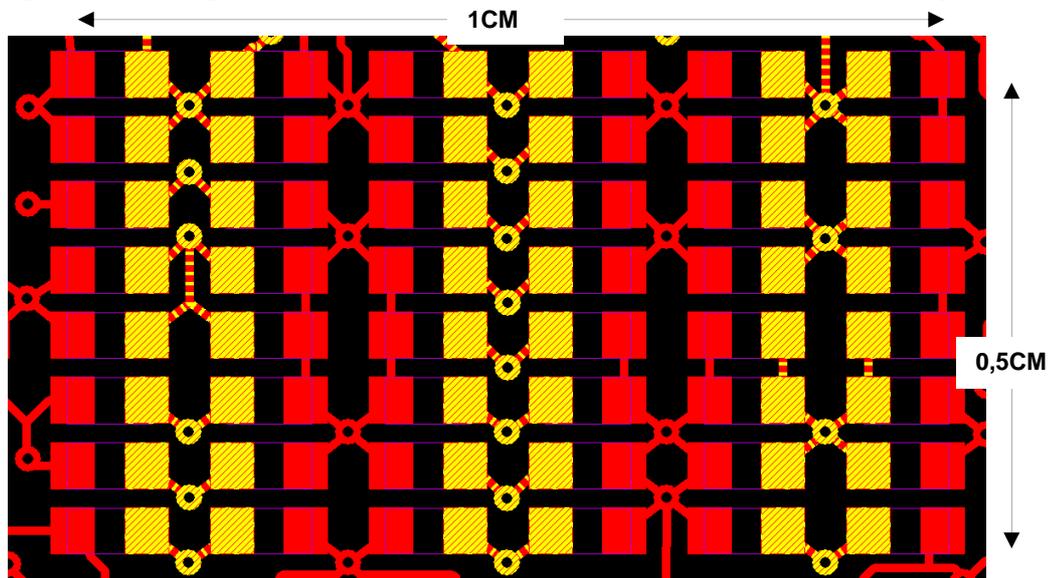


figure 181 : Découplage Composant

Comme le présente la figure 181, le découplage sous le composant est effectué à l'aide de micro-vias. L'évaluation faite ci-dessus a été effectuée sur des vias traversants, vias qui sont utilisés ici dans la mise en place du découplage au niveau du plan (zones moins denses).

La figure 182 présente deux motifs permettant d'étudier la validité de l'outil Fast-Henry dans la caractérisation d'un découplage effectué à l'aide de micro-vias. Le premier motif tente de minimiser au maximum la boucle de courant. Le deuxième se place dans un cas où la densité est telle, dans les couches inférieures, que c'est le seul accès aux plans.

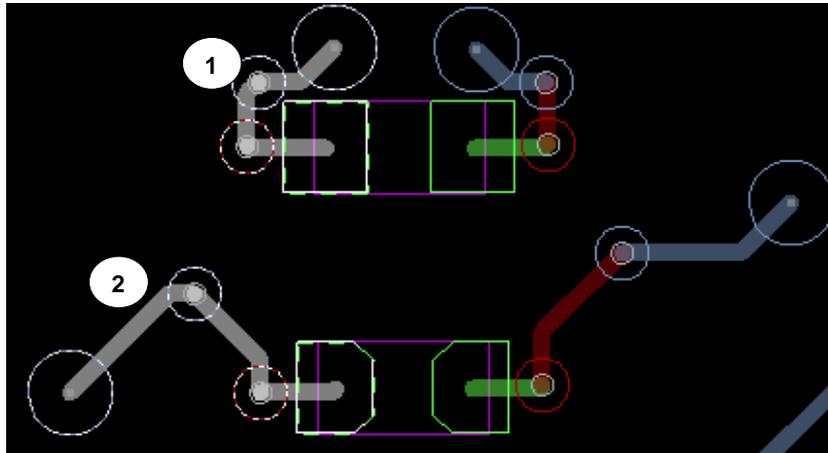


figure 182 : Motifs pour évaluation de l'outil Fast Henry (μ vias)

Motif	Lm	Remarques
1	0,670 nH	Cas optimal
2	0,651 nH	Cas non optimisé

tableau 46 : Relevé des valeurs des inductances montées calculées par Fast Henry

Les résultats présentés au tableau 46 ne sont pas satisfaisants. Le cas numéro 2 devrait présenter, de par son câblage, une inductance montée très importante. Cependant, l'outil calcule une inductance quasi-identique au cas numéro 1. L'outil ne caractérise donc que la liaison du pad au premier via et la hauteur du condensateur par rapport au plan (figure 183). Si l'ensemble des vias permettant d'aller de la couche Bottom à la couche 11 sont routés de façon identique, les résultats issus de l'outil seront les mêmes et ce, quelque soit le placement du via reliant la couche 11 à la couche 10, et du via qui permet de lier la couche 10 au plan. Dans le cas présent, les motifs liant le pad au premier via étant strictement identiques, la différence, relevée entre les deux inductances calculées, est due aux pads des condensateurs qui ont une géométrie différente (figure 182).

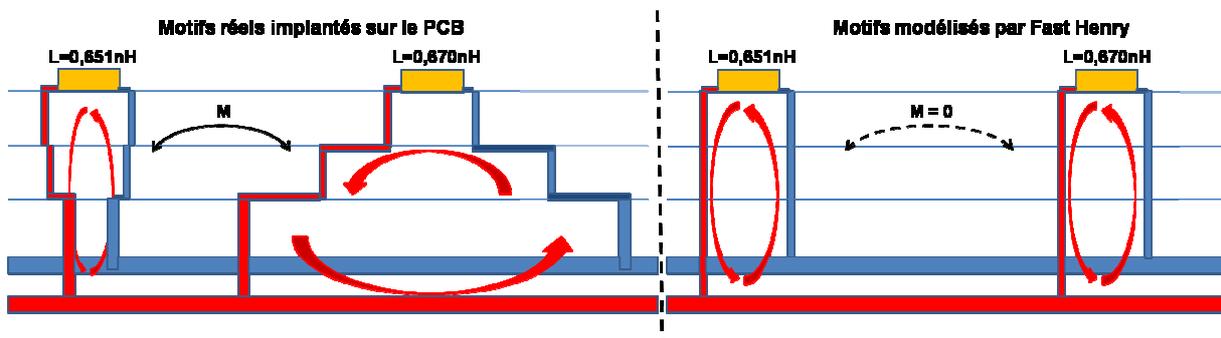


figure 183 : Motifs implantés et interprétés par l'outil Fast Henry

Cette limitation est conséquente car elle entraîne une sous-évaluation importante des inductances montées. Dans le cas présent, les valeurs calculées par l'outil sont proches de 1,6nH (figure 184). En effet, si on examine la figure 181, ne présentant que les composants et les μ vias permettant la liaison des couches 11 et 12 (Bottom), les motifs sont similaires.

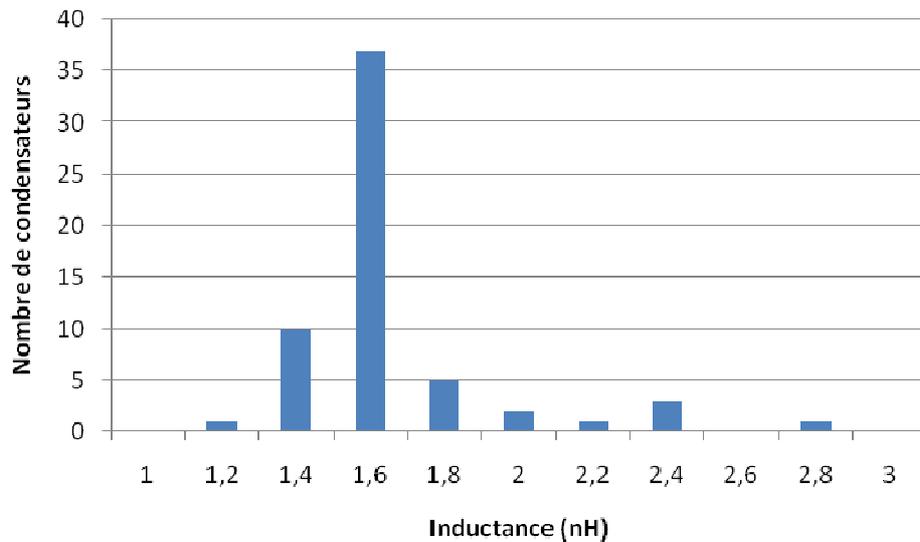


figure 184 : Histogramme présentant les valeurs d'inductance montée calculées par « Fast Henry »

La figure 185 montre que le câblage après le premier via introduit des boucles de courant différentes d'un composant à l'autre. Ces liaisons complémentaires augmentent sensiblement l'inductance montée. De plus la non-homogénéité des trajets après le premier via engendre, en réalité, des différences importantes sur les valeurs d'inductances parasites d'un composant à l'autre. La configuration actuelle de l'outil, au vu des valeurs d'inductance obtenues, ne permet pas de caractériser l'inductance montée dans le cas d'un routage effectué à l'aide de micro-vias.

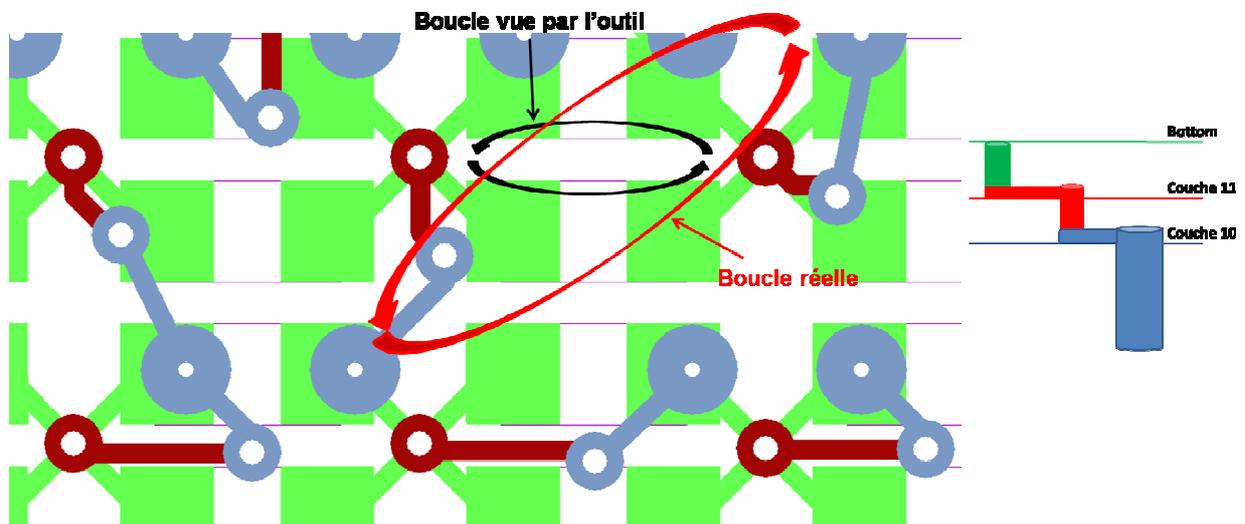


figure 185 : Découplage composant - vue des différents niveaux de via

Les limitations identifiées ci-dessus permettent d'expliquer les différences observées entre la mesure et la simulation (figure 178). Les résonances observées en simulation pour des modèles de condensateurs identiques et des inductances montées similaires sont beaucoup plus marquées. Les inductances montées réelles ainsi que l'apparition d'inductances mutuelles augmentent les niveaux d'impédance et introduisent une diminution et des disparités importantes sur les fréquences de résonance de chaque condensateur.

V.4. Découplage « plan » et découplage « composant »

V.4.1. Mesures comparées aux simulations

Dans cette partie nous étudions l'efficacité du découplage « plan » comparée au découplage « composant ».

- Découplage « plan » : les condensateurs sont placés autour du composant en couche Bottom à une distance des broches d'alimentation comprise entre 24 mm et 60 mm.
- Découplage « composant » : les condensateurs sont placés au plus proche des broches du composant soit sous le composant (Bottom).

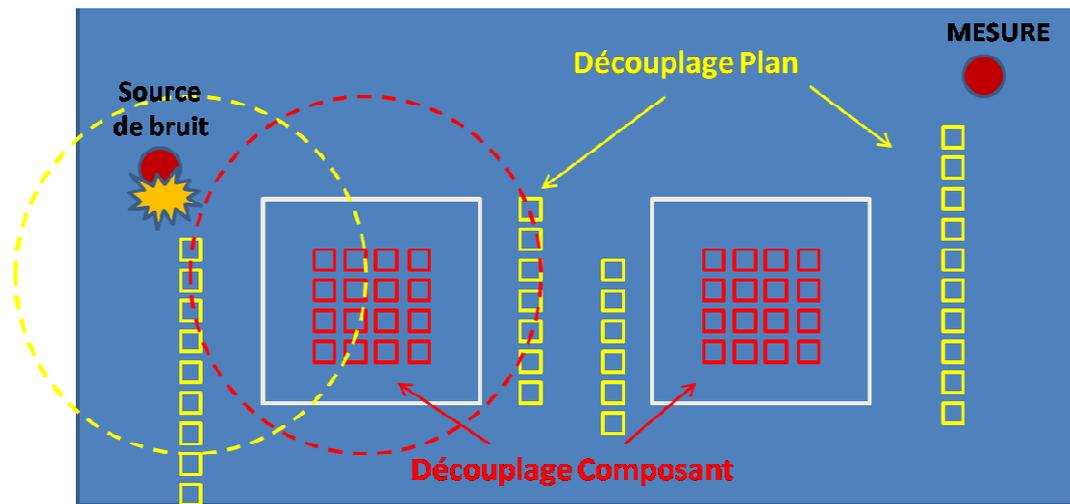


figure 186 : Découplage plan et composant

Si la zone d'action des condensateurs permet d'obtenir un découplage efficace, le découplage « plan » a l'avantage de permettre une zone de placement plus large pour les condensateurs. Cette étude permet donc de définir la marge de manœuvre d'implantation de ces composants. De plus, nous pourrions vérifier si l'outil est capable de tenir compte du placement des condensateurs. Les figures 187 et 188 comparent respectivement les mesures et les simulations obtenues pour les deux types de découplage.

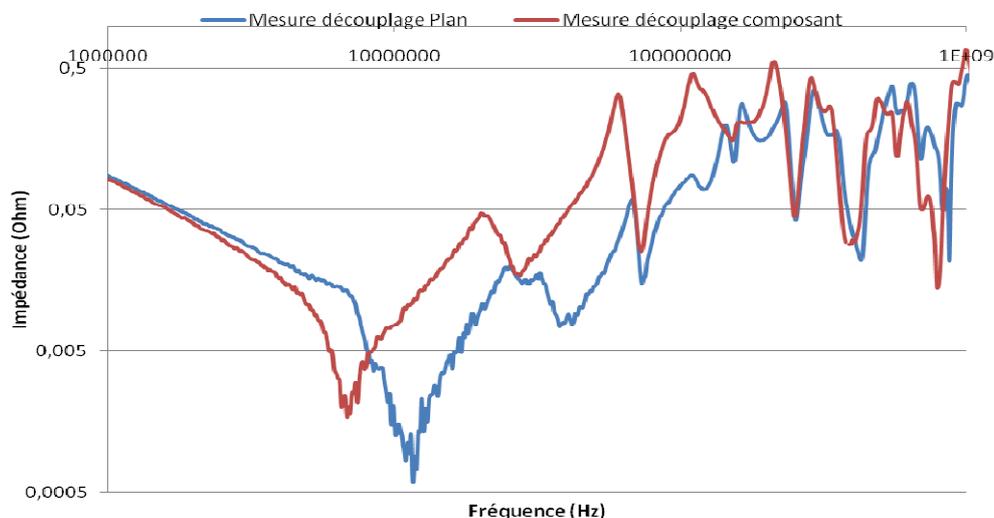


figure 187 : Mesures découplage plan et composant

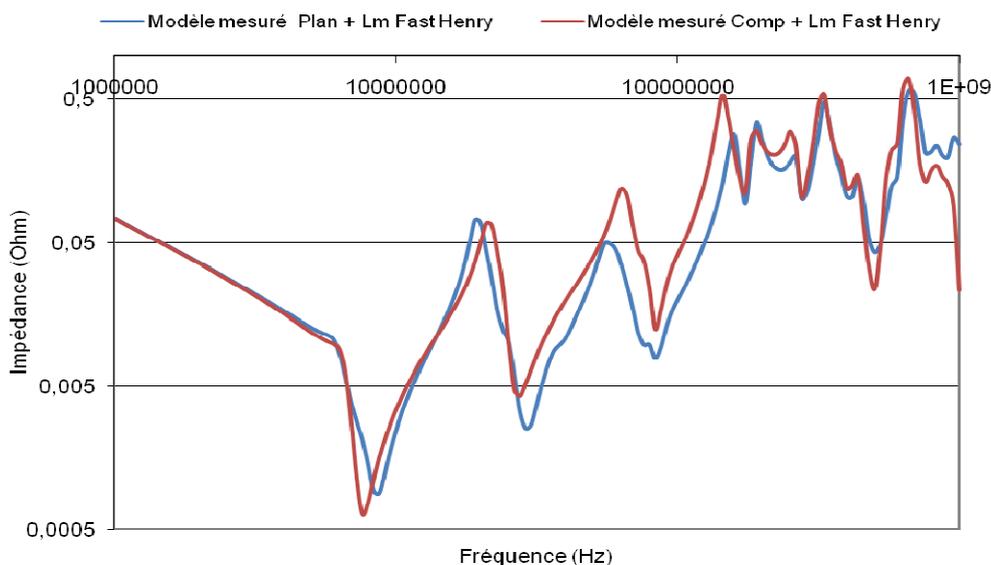


figure 188 : Simulations découplage plan et composant

La mesure du découplage « plan » comme celle du découplage « composant » permet d’observer la disparité importante des composants et des inductances montées. Ce phénomène est particulièrement visible à l’antirésonance (30 MHz) située entre les fréquences de résonance des condensateurs de 100 nF et de 10 nF. Le pic est atténué par les résonances de condensateurs de 10 nF présentant une inductance montée importante (courbe bleue). Ce phénomène n’est pas visible en simulation.

La comparaison de la mesure et de la simulation permet de constater :

- Que l’inductance montée dans le cas du découplage « plan » est sous estimée, ce qui n’est pas satisfaisant car la simulation est optimiste par rapport à la réalité.
- Que l’inductance montée dans le cas du découplage « composant » est surestimée. En effet, les résonances simulées apparaissent à des fréquences inférieures. Ce comportement est satisfaisant car la simulation se place dans un pire cas.
- Que la position des condensateurs a très peu d’impact sur le comportement du plan en haute fréquence.

La limitation introduite par l’outil dans le calcul des inductances occasionne des résultats peu satisfaisants dans la comparaison entre les découplages « plan » et « composant » qui montrent des résultats proches. Dans cette configuration, on note à travers la mesure que l’implantation d’un découplage « plan » est la solution la plus efficace. En effet, les condensateurs placés sur le plan sont proches de la source de bruit (figure 186), le découplage est par conséquent plus performant.

V.4.2. Simulations

L’objectif des simulations suivantes est d’étudier la différence entre les deux découplages dans un cas réel : placement des sources de bruit et relevé de l’impédance au niveau des broches d’alimentation du FPGA (figure 189).

L’étude se base dans le cas d’un découplage « composant » très optimisé (sous-estimation des inductances parasites) et d’un découplage « plan » dont le routage engendre des perturbations importantes (surestimation des inductances).

La figure 190 présente la comparaison d'un découplage plan et composant au niveau du FPGA de droite, la figure 191 présente la même comparaison au niveau du FPGA de gauche.

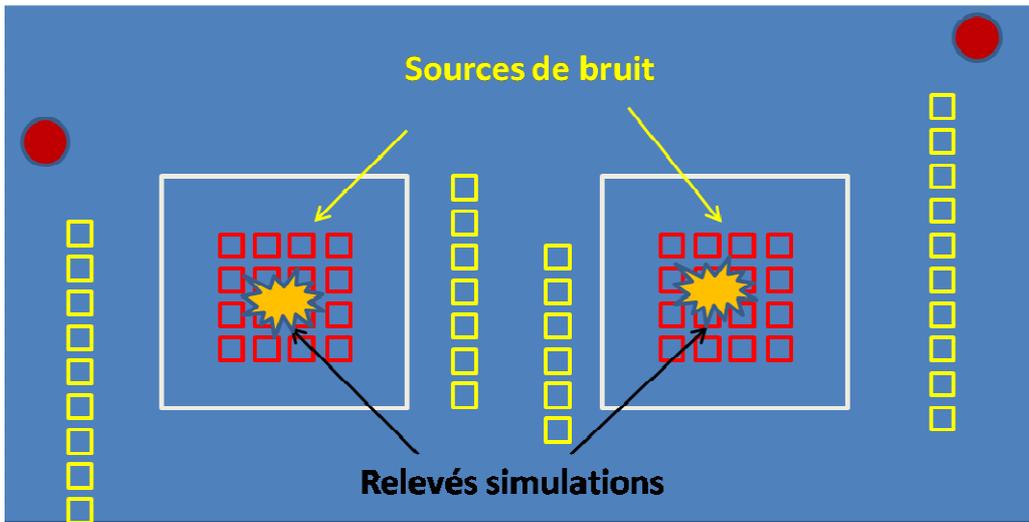


figure 189 : Découplage « plan » et « composant » – Conditions de simulations

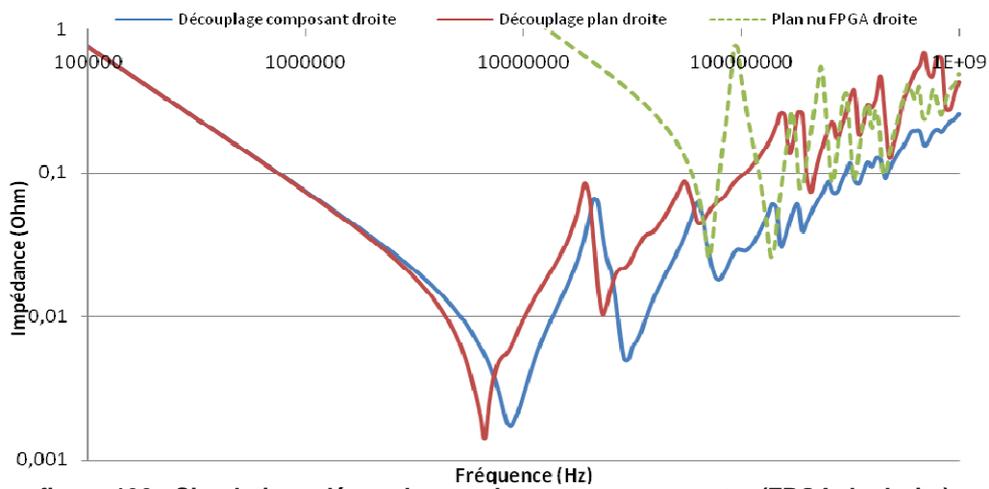


figure 190 : Simulations découplage « plan » et « composant » (FPGA de droite)

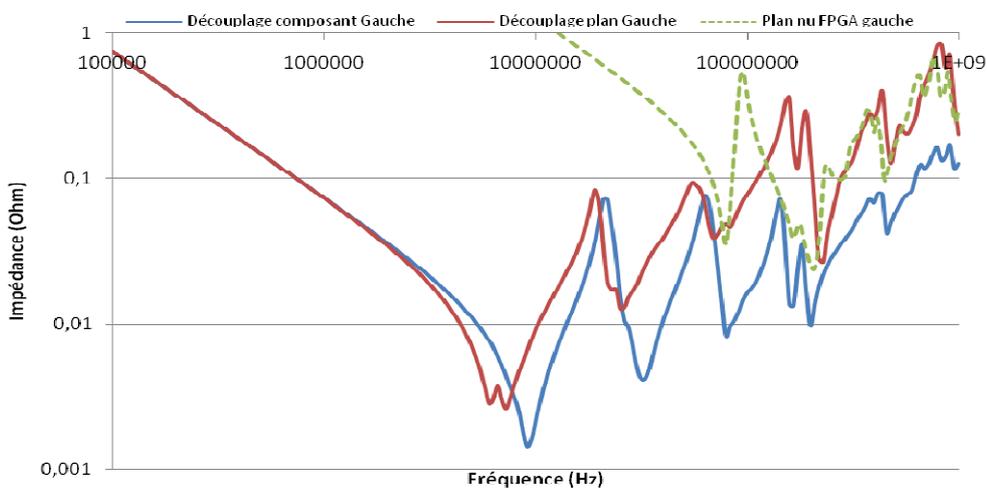


figure 191 : Simulations découplage « plan » et « composant » (FPGA de gauche)

- Pour les basses fréquences [100 KHz ; 80 MHz], on voit que le placement des condensateurs n'a que très peu d'impact sur l'efficacité du découplage. Malgré un découplage légèrement meilleur dans le cas du découplage « plan », les pics d'antirésonance se retrouvent à des fréquences semblables. Les découplages font apparaître des ESR différentes aux résonances mais qui ne présentent pas de réel impact.

- Pour les fréquences supérieures à 80 MHz les simulations montrent que le découplage « composant » permet d'obtenir des niveaux d'impédance nettement inférieurs. Dans les deux cas les condensateurs de 1 nF éliminent la première antirésonance du plan observée sur la courbe verte. Cependant, l'ESR vu au niveau du découplage « composant » est plus faible et l'impédance du plan reste inférieure d'environ une décade au-delà de cette fréquence. La présence de condensateurs sous le composant limite les résonances du plan et réduit son impédance.

Les simulations montrent que déplacer les capacités hors de la zone du composant entraîne la dégradation de l'efficacité du plan en hautes fréquences. Il est important de noter que plus la capacité est petite, plus sa constante de temps est petite, elle devra donc être plus proche de la zone d'appel de courant [POPOVICH 2008]. Les simulations nous montrent bien ce phénomène. L'impact du placement a peu d'effets sur le condensateur de 100 nF mais plus la capacité diminue, plus l'éloignement du condensateur de la source de bruit entraîne une augmentation de son ESR et de son inductance.

Un compromis peut donc être envisagé. L'ensemble des capacités de 10 nF et de 100 nF sont placées hors de la zone du composant et les capacités 1 nF sont placées au plus proche des broches d'alimentation. De cette façon, la densité de composant sous le FPGA est moindre, le câblage est moins complexe, la maîtrise de l'inductance montée est plus aisée et les résonances hautes fréquences introduites par le plan sont minimisées. De plus, le placement des capacités de 10 nF et de 100 nF peut être optimisé en les plaçant sur la couche (Top ou Bottom) la plus proche du plan à découpler.

V.5. Conclusion partielle

Cette partie a confirmé que les modèles de condensateurs dont les paramètres ont été mesurés, permettent d'obtenir les résultats les plus proches des mesures. Cependant, une limitation de l'outil lorsqu'il calcule des inductances parasites engendre des résultats non satisfaisants. L'utilisation de micro-vias entraîne une sous-estimation des inductances et rend le découplage optimiste ; l'implantation de vias traversants introduit une surévaluation des inductances.

Une collaboration avec Cadence est importante et rendra possible le travail sur une version permettant de correctement caractériser cette technologie de via. L'utilisation d'outils concurrents peut également être une solution. Par exemple, l'outil « Sigrity » permet une modélisation très précise des réseaux de découplage, cependant il implique l'utilisation de machines de calcul performantes et des temps de simulation très importants. Pour quantifier l'erreur introduite par l'outil dans l'évaluation des inductances, le kit de mesure prévoit des motifs pour mesurer l'inductance montée.

L'évolution des technologies rend difficile la mise en œuvre d'un découplage au niveau du composant. La proximité du découplage permet d'avoir un réservoir d'énergie au niveau de la broche mais la densité du découplage engendre des inductances montées et mutuelles qui dégradent sensiblement la performance du découplage. La solution proposée ci-dessus sera donc, une fois validée, une solution acceptable pour optimiser au mieux les cartes futures.

VI. CONCLUSION ET PERSPECTIVES

Ce chapitre a permis d'étudier la stabilité des plans d'alimentation à l'aide de mesures sur un circuit imprimé et de les confronter à l'outil « Power Integrity ». Ce dernier offre la possibilité d'étudier en pré et post-routage l'impédance de l'ensemble du réseau de découplage en fonction d'une contrainte tenant compte de la tension d'alimentation, de l'ondulation de tension autorisée ainsi que de la consommation des composants associés au plan.

La simulation pré-routage adopte des hypothèses et des simplifications importantes donnant des résultats très limités, définissant uniquement le réseau minimum à implanter. La simplification la plus importante est que l'outil ne tient pas compte d'une inductance montée représentative. L'expérience acquise sur la quantification des inductances parasites selon la complexité d'un circuit imprimé permettrait d'en tenir compte.

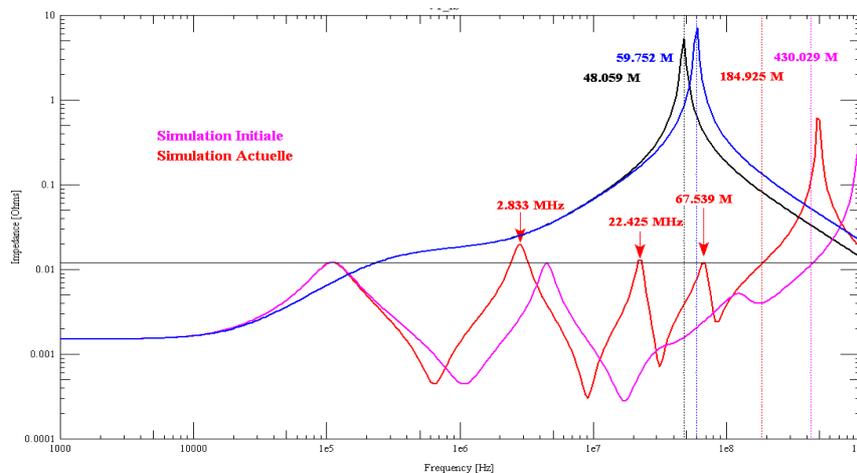


figure 192 : Simulation « Single-Node » Comparaison simulation initiale et actuelle

En estimant une inductance parasite moyenne et en injectant ce paramètre dans une simulation pré-routage, on obtient une simulation plus représentative de ce que l'on obtiendra réellement sur la carte. L'amélioration des simulations « single-node » ne remplacera pas les simulations « multi-node ». Cependant, une telle méthode permet d'anticiper les dégradations qu'introduiront le plan et le routage des condensateurs. Les efforts à fournir pour corriger les résonances détectées lors de la simulation « multi-node » seront moindres.

L'étude des simulations « multi-node » a montré que la version actuelle de l'outil présentait des limitations dans la caractérisation des plans d'alimentation. En effet, cet outil ne tient pas compte des inductances mutuelles et ne permet pas de caractériser correctement les inductances engendrées par le placement et le routage des condensateurs de découplage. De plus, l'outil présente un décalage fréquentiel du fait d'une définition limitée de la permittivité du diélectrique. Malgré cette limitation importante, l'outil semble correctement simuler l'ensemble du réseau de découplage. La précision des résultats dépendent cependant de la configuration de l'outil et de l'exactitude des épaisseurs de diélectrique renseignées à la définition de l'empilage du circuit imprimé. Une configuration correcte de l'empilage entraîne une caractérisation précise la capacité inter-plan. Cela permet d'avoir les bons paramètres géométriques pour calculer plus finement la valeur de l'inductance montée.

La mise en place d'un nouveau véhicule de test va nous aider à évaluer l'inductance parasite introduite par le câblage d'un condensateur sur circuit imprimé. De plus, une étude complémentaire est nécessaire pour quantifier l'impact des inductances mutuelles sur l'efficacité des découplages.

La méthode suivie dans cette étude ne nous permet pas de caractériser de façon exacte les condensateurs. Les résultats ont montré qu'il pouvait y avoir des disparités sur les caractéristiques des composants en fonction des fabricants. La caractérisation mise en œuvre par le fabricant KEMET nous empêche de correctement modéliser l'ensemble du réseau de découplage. Ainsi, la mesure permet une meilleure modélisation des composants. Cependant, dans le cas présent elle introduit une inductance qu'il faut compenser. Un environnement de calibration et de mesure a donc été créé pour correctement identifier les paramètres des condensateurs utilisés en découplage.

Dans une dernière partie nous avons traité l'efficacité d'un découplage plan et composant. Le placement des condensateurs sous le composant permet d'avoir, au niveau des broches d'alimentation, les capacités nécessaires pour fournir les appels de courant à haute fréquence. Cependant, au vu des évolutions et de la densité de composants présents sur les circuits imprimés, les performances d'un tel découplage peuvent être sensiblement diminuées : la complexité du câblage entraîne des inductances parasites importantes. Une solution a donc été proposée pour répartir l'ensemble des condensateurs de capacité supérieure à 10nF sur le plan et de placer les condensateurs de capacité inférieure au niveau des broches d'alimentation. De cette façon, le routage est moins complexe et limite au maximum l'apparition d'inductances parasites. Les condensateurs répartis sur le plan, sont placés sur la couche (Top ou Bottom) la plus proche des plans d'alimentation réduisant ainsi l'inductance montée. Les condensateurs placés au niveau des broches améliorent l'efficacité du plan en haute fréquence.

Cette étude nous a aidé à saisir la difficulté de maîtriser l'apparition d'inductances parasites dans un environnement dense et complexe. Les condensateurs X2Y présentant des inductances très faibles et limitant les boucles de courant induites par le câblage seront à évaluer dans le futur. Ces composants se composent de deux condensateurs équilibrés, soit une structure à trois zones de contact permettant d'obtenir de très faibles inductances. Ils sont dits « large bande » (>10GHz). Contrairement au MLCC (nano-henry), ces condensateurs permettent d'atteindre des niveaux de l'ordre du pico-henry. Des études ont montré que ces technologies n'engendraient pratiquement pas d'inductance mutuelle [SANDERS 2004]. L'étude du véhicule de test a permis de spécifier les deux découplages : un découplage effectué avec des condensateurs MLCC (0402) nécessitait 150 composants soit une surface de 75mm² contre 36 condensateurs X2Y (0603) soit une surface de 45mm², soit un gain de 40%.

Les évolutions des techniques de fabrication vont aussi permettre d'enterrer les composants passifs au sein des circuits imprimés. De plus, la qualification en cours des vias implantés dans le pad du composant ou encore des vias empilés vont dans le futur sensiblement limiter les inductances parasites.

Un besoin important dans la mise en œuvre d'une fonction de découplage est la définition de la fréquence maximale pour laquelle il est nécessaire d'avoir une faible impédance de plan. Pour cela une étude de l'ondulation de la tension et sa transposition dans le domaine fréquentiel permettrait de définir les fréquences critiques à découpler. La simulation nécessiterait la mise à disposition du profil de courant de basculement des cœurs (di/dt). De cette façon, avec les impédances de plan mesurées ou simulées $Z(f)$, il serait possible de définir la variation de tension temporelle et fréquentielle. Cependant, la plupart des constructeurs ne donnent pas le profil de courant des composants ; une telle étude s'appuyant sur la norme Intel donnerait une idée sur le comportement des composants utilisés [INTEL 2009].

Cette problématique pourrait être simplifiée par la mise en place de mesures, cependant cela nécessiterait, pour un traitement effectif, l'utilisation d'oscilloscopes 14 bits. Nous souhaitons mesurer des niveaux de variation de l'ordre de la dizaine de millivolt et cela dans une bande fréquentielle importante. La précision de la plupart des oscilloscopes (8bits) engendre à l'acquisition un niveau de bruit de quantification qui ne permet pas de retranscrire l'ensemble des fréquences mises en jeu. A terme il serait nécessaire de définir une impédance cible en fonction de la fréquence. En effet, le profil de courant dans le domaine fréquentiel tend à décroître, l'impédance cible inversement proportionnelle au courant ne doit donc pas être caractérisée par une impédance constante mais devrait voir son impédance croître avec la fréquence.

Dans l'étude des plans, il faut également pouvoir correctement estimer le courant moyen qui sera consommé par les composants ; cette information est indispensable à la définition de l'impédance cible. Cet objectif nécessite la mise en place de mesures de courant pour différents scénarios d'activité du cœur ; le véhicule de test et les FPGA ont été développés dans ce sens. Le principe consiste à activer des registres à décalage qui sont au nombre de 3 et qui représentent chacun 30 % des bascules du FPGA. L'activation des 3 registres représente un remplissage de 98 % des FPGA. Cela permet donc d'évaluer, en fonction du remplissage, la consommation du FPGA. A l'activation d'un registre, il est possible de définir une fréquence de fonctionnement pour le registre à décalage et la fréquence à laquelle les bascules commuteront.

Ainsi, de nombreuses études sont encore à réaliser. La plupart ont été débutées mais restent inachevées. Leur mise en œuvre est capitale pour avoir des informations précises sur les consommations et sur les fréquences à découpler. Cela permettra d'avoir des analyses complètes et un effort de conception proportionnel aux contraintes réelles sur les composants.

CONCLUSION GÉNÉRALE

Être compétitif dans la conception électronique nécessite d'anticiper les évolutions technologiques et de proposer des équipements toujours plus performants avec des consommations basses et des conditionnements miniaturisés. Cependant, cette course à la performance et à la densification fait apparaître d'importantes perturbations au sein des circuits, telles que l'apparition de réflexions et de couplages par diaphonie, et augmente la probabilité d'instabilité des réseaux d'alimentation. L'apparition de ces phénomènes est croissante avec ces évolutions et entraîne des surcoûts de production importants. L'objectif de ce travail est donc de proposer une approche adaptée permettant de traiter les problèmes d'intégrité de signal de manière à garantir au premier essai le fonctionnement d'une carte numérique rapide à haute densité d'interconnexions.

L'étude des phénomènes d'intégrité de signal a nécessité un travail important dans la spécification et la réalisation d'un véhicule de test. Le circuit réalisé permet, avec une structure semblable aux meilleurs produits industrialisés aujourd'hui, de reproduire et d'analyser les différentes perturbations détériorant la qualité des signaux. Au-delà de la simple connaissance des phénomènes, ce travail a révélé les éléments critiques à prendre en considération pour correctement caractériser et contrôler l'apparition de perturbations au sein des cartes.

L'empilage du circuit imprimé, contexte commun aux trois phénomènes étudiés, est un élément de conception critique. Sa description doit être précise, ce qui nécessite d'évaluer les variations engendrées lors de sa fabrication sur les épaisseurs de cuivre et de diélectrique. Une mauvaise définition de ces épaisseurs conduit à des erreurs de simulation et à des résultats d'analyse ne retranscrivant pas correctement le comportement des différents systèmes. En effet, la variation des épaisseurs de diélectrique modifie :

- les valeurs d'impédance caractéristique des lignes,
- les éléments linéiques caractérisant un couplage,
- la capacité équivalente entre les plans d'alimentation,
- les inductances parasites engendrées par le câblage des condensateurs de découplage.

Ces conséquences montrent la nécessité absolue de maîtriser la structure des circuits lors de leur fabrication. Une solution est de systématiser l'étude de coupons et de micro-sections pour évaluer les variations d'épaisseur susceptibles d'apparaître. Cette analyse devrait être complétée par une quantification de l'impact de la fabrication sur la géométrie des interconnexions. Ces paramètres peuvent en effet sensiblement modifier la définition des impédances caractéristiques et des couplages.

L'objectif de cette étude fut également d'apprécier le degré de validité des résultats de simulation en utilisant les outils d'intégrité du signal de la suite Cadence. La validation des choix méthodologiques et des approximations effectuées dans la modélisation des différents phénomènes a nécessité la définition d'une configuration adaptée à la complexité des circuits étudiés. Nous avons réussi à obtenir des résultats représentatifs des signaux physiques mesurés, mais nous avons pu également mettre en évidence les limitations de ces outils. Le travail important mis en œuvre dans l'étude des outils permet aujourd'hui d'obtenir des résultats satisfaisants et représentatifs dans l'analyse des phénomènes de réflexion et de diaphonie. Une avancée importante a également été apportée dans l'analyse du réseau de découplage et a permis de détecter les limitations de l'outil.

L'étude des phénomènes de réflexion a montré que le routage d'une carte à haute densité d'interconnexions pouvait engendrer d'importantes modifications sur les impédances

caractéristiques des pistes, à l'origine de sérieuses perturbations sur les signaux. La maîtrise des impédances caractéristiques nécessite donc de définir précisément la géométrie et la couche sur laquelle l'interconnexion doit être routée.

L'accès à cette couche doit être optimisé, et les pistes ou les plans partiels situés à proximité ne doivent pas influencer sur l'impédance caractéristique ciblée.

L'étude des couplages par diaphonie a mis en évidence les nombreuses situations de couplage engendrées par l'augmentation de la densité. Un modèle de simulation a été défini pour valider les choix technologiques effectués par l'outil Cadence. Ce modèle permet aujourd'hui d'étudier les couplages décelés par l'outil de simulation afin d'isoler les zones perturbatrices. De cette façon les corrections à apporter au routage sont identifiables.

L'ensemble des scénarios de couplage défini dans le véhicule de test ont été quantifiés pour donner au concepteur des indicateurs sur la façon de limiter au maximum l'apparition de couplages au sein des cartes.

L'étude de la stabilité des alimentations a montré d'importantes limitations dans la caractérisation des éléments parasites effectuée par l'outil « Power Integrity ». Par ailleurs, les modèles de condensateurs donnés par les fabricants ne permettent pas d'obtenir une analyse fine du réseau de découplage. Ces limitations ont conduit à réaliser un banc de calibration et de mesure pour la caractérisation précise des modèles des condensateurs et pour évaluer finement les inductances parasites introduites par leur routage. Enfin, nous avons défini des règles sur la façon d'optimiser le placement des condensateurs pour obtenir un réseau de découplage performant.

Au-delà de ces études, mon travail a consisté à définir une méthodologie, des règles ainsi qu'un protocole de conception permettant d'analyser l'ensemble des signaux d'une carte et de détecter, de minimiser et d'éliminer les perturbations recensées sur le circuit imprimé.

Dans un souci de confidentialité, ces points n'apparaissent pas dans ce document. Cependant une vue globale et simplifiée du processus auquel cette étude a abouti est présentée à la figure 193. Ce protocole est à comparer à la situation initiale (§III.2.2).

En intégrité de signal, il est primordial d'étudier les risques de perturbation dès la mise en œuvre de l'architecture globale de la carte. Un nombre important d'informations permet en effet de mener une pré-étude qui s'avère capitale.

En fonction des contraintes et de la définition globale du système, il est possible de définir les contraintes électriques et géométriques à mettre en œuvre pour maîtriser le routage. Si on prend l'exemple d'un bus rapide (DDR2) relié à un processeur, il est possible en amont du schéma d'étudier la topologie idéale de la liaison et de définir les contraintes permettant de contrôler notamment :

- la mise à longueur des pistes,
- leur impédance caractéristique,
- les écartements à imposer entre les conducteurs.

A ce stade, il est aussi possible de définir l'empilage du circuit imprimé, les différents signaux critiques, la configuration des outils ainsi que les modèles de simulation à utiliser.

Une fois que toutes ces actions sont effectuées, une grande partie des risques est minimisée, et les étapes de simulation qui suivent permettent d'affiner l'ensemble des contraintes et de confirmer la validité de la totalité des signaux une fois le routage effectué.

Non seulement, la prise en compte de l'intégrité de signal doit commencer au plus tôt dans la mise en œuvre d'une carte, mais de plus elle nécessite à chaque étape d'avoir des outils, des règles et une méthodologie visant à minimiser les risques de perturbations. Une étude qui commencerait dans une phase trop avancée de la conception risquerait d'engendrer des temps de mis en œuvre très importants. En effet, une fois l'ensemble des interconnexions routées, une simulation mettant, par exemple, en évidence la nécessité d'implanter une terminaison sur un bus mémoire, d'isoler un groupe de pistes ou encore de revoir le réseau de découplage, peut entraîner des reprises conséquentes.

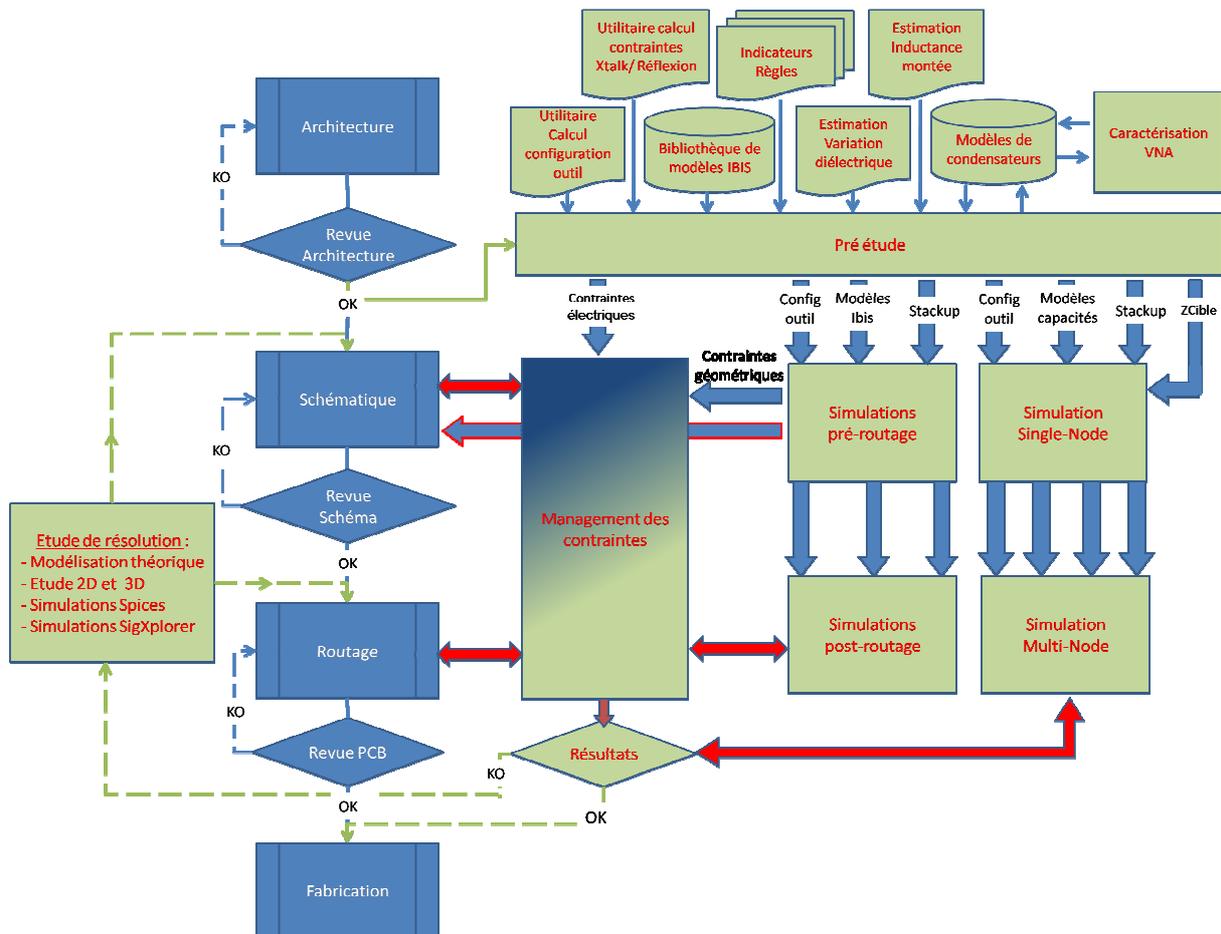


figure 193 : Vue globale du processus de conception

Aujourd'hui l'étude de la réflexion, de la diaphonie et de l'intégrité des alimentations est bien maîtrisée. Il reste cependant à poursuivre en matière d'intégrité des alimentations, notamment dans la définition d'une contrainte d'impédance cible tenant compte de l'évolution du profil de courant consommé en fonction de la fréquence. Une impédance cible constante contraint sensiblement le découplage et entraîne une surévaluation probable du nombre de condensateurs à implanter.

Pour compléter nos compétences en intégrité de signal, il est nécessaire de caractériser ces phénomènes dans l'étude des liens séries rapides. Ces liaisons multi-gigahertz présentent un saut technologique important avec des fréquences de fonctionnement pouvant atteindre 6GHz, ce qui entraîne une très sensible amplification des phénomènes d'intégrité de signal avec des effets radiatifs non encore pris en compte à ce jour. Une étude future est donc nécessaire pour recenser les moyens et méthodes de modélisation adaptés. L'objectif étant de définir des outils et un protocole de simulation pour analyser les liens à très haute vitesse utilisés de

façon croissante sur les cartes. Le véhicule de test a permis d'anticiper ce besoin et à ce jour une première étude a été effectuée pour évaluer certains outils de simulation. L'apparition de ces liens, leur complexité et leur « nouveauté » a engendré un effort conséquent dans la mise en place du véhicule de test. Ce thème sort du contexte de cette thèse mais a permis de préparer et de mettre en œuvre des supports pour un cadre de recherche futur.

REFERENCES

-
- [ACTEL 2006] Application Note AC288, “Using LVDS for Actel’s Axcelerator and RTAX-S/SL Devices, Actel Corporation, www.actel.com, 2006.
- [ALTERA 2000] White Paper, “Board Design Guidelines for LVDS System”, Altera Company, www.altera.com, 2000.
- [ALTIUM 2006] Altium Application Note, “Impedance controlled routing”, Altium Company, www.altium.com, 2006.
- [AMEDEO 2008] A. Amedeo, C. Gautier, F. Costa, “Maîtrise de l’intégrité de signal à travers la caractérisation d’une carte numérique rapide à forte densité d’intégration”, CEM Paris, 2008.
- [AMEDEO 2009] A. Amedeo, C. Gautier, F. Costa, “Signal Integrity Ensured Through Impedance Characterization of Advanced High-Speed Design”, EMC Zurich, 2009.
- [AMEDEO 2010] C. Gautier, A. Amedeo, F. Costa, “Etude de la diaphonie dans les cartes numériques à forte densité d’intégration”, CEM Limoges, 2010.
- [BLACKWELL 2000] G. R. Blackwell, “The Electronic Packaging Handbook”, IEEE Press, 2000.
- [BOGATIN 2000] E. Bogatin, “What is Characteristic Impedance?”, Print Circuit Design Magazine, pp18, January 2000.
- [BOGATIN 2003] E. Bogatin, “Signal Integrity Simplified”, Prentice Hall PTR, 2003.
- [BOGATIN 2004] E. Bogatin, “Rise times and Bandwidths”, Printed circuit design & Manufacture, 2004.
- [BROOKS 1998] D. Brooks, “PCB Impedance Control: Formulas and Resources”, UltraCAD company, www.ultracad.com, 1998.
- [BROOKS 2003] D. Brooks, “Signal Integrity Issues and Printed Circuit Board Design”, Prentice Hall PTR, 2003.
- [CACHEMICHE 2006] J.P. Cachemiche, “Transmission de données à haut débit”, Centre de Physique des Particules de Marseille, 2006.
- [CADENCE 2006] Cadence présentation d’outil en interne, “Allegro PCB Power Integrity”, 2006.
- [CADENCE 2006] Cadence design system, “Allegro PCB Power Integrity”, Training manual, www.cadence.com, 2006.
- [CAIGNET 2005] Thèse F.Caignet, “Mesure et modélisation prédictive des phénomènes parasites liés aux interconnexions dans les technologies CMOS”, 1999.

- [CHAO 1993] F.L. Chao, "Timing skew of the equal-length serpentine routing", IEEE ASIC conference, 1993, pp546-549.
- [CHAO 2007] F.L. Chao, "Measurement of laddering wave in lossy serpentine delay line", International Journal of Applied Science and Engineering, 2007.
- [CHAO 2008] F.L. Chao, "Analysis of Laddering Wave in Double Layer Serpentine Delay Line", International Journal of Applied Science and Engineering, 2008.
- [CHEN 1996] Y. Chen, Z. Chen, "Optimum placement of decoupling capacitors on packages and printed circuit boards under the guidance of electromagnetic field simulation", Proceeding ECTC, pp756-760, 1996.
- [COOMBS 2008] Clyde F. Coombs, Jr, "Printed Circuits Handbook sixth edition", McGRAW-HILL Handbooks, 2008.
- [DEBYE 1929] P. Debye, "Polar Molecules", Dover publications, New York, 1929.
- [DJORDJEVIC 2001] A. R. Djordjevic, R. M. Biljic, "Wideband Frequency-Domain Characterization of FR-4 and time domain Causality", IEEE Electromagnetic Compatibility, vol.43, Issue 4, pp662-667, Nov 2001.
- [ELDUN 2007] G. Eldun, "Timing Analysis and Simulation for Signal Integrity Engineers", Prentice Hall, 2007.
- [ELVIA 2004] Presentation product engineering, "A PCB technology for each of your application", ELVIA corporation, Juin 2004.
- [ETHIRAJAN 1998] K. Ethirajan, J. Nemeec, "Termination technique for high-speed buses", California Micro Device, 1998.
- [FAERBER 2007] J. Faerber, "Microscopie Electronique à Balayage, M.E.B", Institut de Physique et Chimie de Strasbourg, 2007.
- [GAUTIER 2001] Cyrille Gautier, "Contribution au développement d'outils logiciels en vue de la conception des convertisseurs statiques intégrant la compatibilité électromagnétique", Thèse, 2001.
- [GUIDE_THALES 2008] Guide interne Thales, "Matériaux de base compatibles lead-free pour les cartes électroniques", RESERVE GROUPE 2008.
- [HALFORD 2005] C. Halford, "Controlled Impedance: What is it? Why is it important? How is it controlled through the PCB design flow?", Spring 2005.
- [HP 8510] HP Application note, "Measuring dielectric constant with the HP 8510 network analyzer", Hewlett Packard, Product Note 8510-3.
- [HUANG 2007] W.T. Huang, C.H. Chen, C.H. Lu, S.Y. Tan, "A novel design to prevent crosstalk", IEEE Region 10 conference, pp1-4, November 2007.

-
- [INTEL] INTEL Site internet, "History of the Microprocessor", <http://www.intel.com>.
- [IPC 1995] IPC-D-317A, "Design Guidelines for Electronic Packaging Utilizing High Speed Techniques", IPC, Chicago, 1995.
- [IS420] ISOLA, "IS420: High-Tg and temperature-resistant base material with low expansion behavior in the z-axis", Isola group, www.isola-group.com.
- [JOHNSON 1993] H. Johnson, M. Graham, "High-Speed Digital Design, A Handbook of Black Magic", Prentice Hall PTR, 1993.
- [KATOPIS 1985] G. Katopis, "ΔI Noise Specification for a High Performance Computer Machine", Proceedings of the IEEE, Vol. 73, No. 9, pp. 1405–1415, September 1985.
- [KIM 2001] J. Kim, S. Han, "Analysis of via in multilayer printed circuit boards for high-speed digital systems", IEEE Electronic Materials and Packaging, 2001, pp382-387.
- [KIM 2006] G. Kim, "TDR/TDT Analysis by crosstalk in single and differential Meander Delay Lines for High Speed PCB Applications", EMC, 2006
- [KIMMEL 2002] W.D. Kimmel, D.D. Gerke, "The Return Path: Impedance Control on Printed Circuit Boards", CE Mag, 2002.
- [LEROSE 2001] S.Lerose, Guide interne Thales, "Signal Integrity: Reflection", 2001.
- [LI 2001] Y. L. Li, M. Elzinga, "Distributed models for multi-terminal capacitor using 2D lossy transmission-line approach", IEEE Electronic Components and Tech Conference, 2001.
- [MEAD 1979] Carver Mead, Lynn Conway, "Introduction to VLSI System", Addison-Wesley Longman Publishing Co, Boston, 1979.
- [MILIORN 2004] G. Miliorn, "Power Supply Design for PowerPC Processors", Application Note, Freescale Semiconductor, www.freescale.com, 2004.
- [MONTROSE 1999] M. Montrose, "EMC and The Printed Circuit Board: Design, Theory and Layout Made Simple", IEEE Press, 1999.
- [MU 2001] Z. Mu, K. Willis, "Si and design consideration for GpbsPCBs in communication system", EPEP 2001, 2001.
- [MUHTAROGLU 2004] A.Mutharoglu, G.Taylor, "On-die droop detector for analog sensing of power supply noise", IEEE Journal of Solid-State Circuit, vol.39, no.4, pp651-660, April 2004.
- [NAPOLI 1971] L. S. Napoli, J. J. Hughes, "A simple technique for the accurate determination of the microwave dielectric constant for microwave integrated circuits", IEEE Microwave Theory Tech., vol.19, pp. 664–665, July 1971.
- [NEU 2003], T. Neu, "Designing controlled impedance vias", EDN magazine, 2003.

- [NICOLSON 1970] A. M. Nicolson, G. F. Ross, "Measurement of the intrinsic properties of materials by time domain techniques", IEEE Instrumentation Measurement, vol. 19, pp. 377–382, Nov. 1970.
- [NOVAK 2003] I. Novak, "Overview of Frequency-Domain Power Distribution Measurements", DesignCon, 2003.
- [NS 2003] National Semiconductor, "Validating and using IBIS Files", White Paper, www.national.com, Janvier 2003.
- [ORFANIDIS 2004] Sophocles J. Orfanidis, "Electromagnetic Waves and Antennas", Technical Book, 2004.
- [PAN 1989] G. W. Pan, K.S. Olson, "Improved algorithmic methods for the prediction of wavefront propagation behavior in multiconductor transmission lines or highfrequency digital signal processors", IEEE Computer-Aided Design of integrated Circuits and Systems, vol.8, Issue 6, pp608-621, Juin 1989.
- [PAUL 2006] R. Paul, "Introduction to Electromagnetic Compatibility", John Wiley & Sons, 2006.
- [POLAR 2000] Polar, "An Introduction to the Design and Manufacture of Controlled Impedance PCBs", <http://www.polarinstruments.com>, 2000.
- [PRYMAK 1995] J. D. Prymak, "SPICE Modeling of Capacitors", KEMET Tech Topics, www.kemet.com, 1994.
- [PSPICE 2000] Cadence Design Systems, "Pspice Reference Guide", www.cadence.com, Mai 2000.
- [RIEDEL 1990] C. H. Riedell, M. B. Steer, "Dielectric characterization of printed circuit board substrates", IEEE Instrumentation Measurement, vol. 39, pp. 437–440, Apr. 1990.
- [RITCHEY 2003] L. Ritchey, "The how and why of obtaining accurate impedance calculations", Spring IPC conference, 2003.
- [RITCHEY 2004] L. Ritchey, "Test Structure Needed for Multilayer PCBs", Speeding Edge, 2004.
- [ROBERT] Daniel Robert, Site Internet "Electronique et Informatique", <http://www.premiumorange.com/daniel.robert9/>.
- [ROY 1998] T. Roy, L. Smith, "ESR and ESL of Ceramic Capacitor Applied to Decoupling Applications", Electronic Performance of Electronic Packaging Conference, 1998.
- [SANDERS 2004] D. L. Sanders, J. P. Muccioli, "Comparison of MLCC and X2Y Technology for Use in Decoupling Circuits", CARTS symposium, 2004.
- [SCHNEIDER 1969] M. V., Schneider, "Microstrip lines for microwave integrated circuits", Bell System Technique journal, Vol 48 n°5, 1969.

- [SIMBERIAN 2008] Simbeor Application Note, “Modeling frequency-dependent dielectric loss and dispersion for multi-gigabit data channels”, Simberian Inc, www.simberian.com, 2008.
- [SMITH 1999] L. Smith, P. Anderson, “Power distribution System Design Methodology and Capacitor Selection for Modern CMOS Technology”, IEEE Transactions on Advanced Packaging, vol22, no.3, pp.284-291, August 1999.
- [SMITH 2000] L. Smith, T. Roy, “Power Plane Spice Models for Frequency and Time Domains”, IEEE EPEP, 2000.
- [SMITH 2002] L. D. Smith, “A Transmission-Line Model for Ceramic Capacitors for CAD Tools Based on Measured Parameters”, IEEE Electronic Components and Tech Conference, 2002.
- [SHIM 2002] H. W. Shim, T. M. Zeef, “Decoupling Strategies for Printed Circuit Boards without Power Planes”, IEEE Electromagnetic Compatibility, vol.1, pp.258–261, August 2002.
- [SRINIDASAGAM 2007] K. Srinidasagam, J. Nayar, “Exploring termination option for high-speed interfaces”, Electronics world, 2007.
- [SVENSSON 2001] C. Svensson, G. E. Dermer, “Time domain modeling of lossy interconnects”, IEEE on Advanced Packaging, Vol.24, Issue 2, pp191-196, May 2001.
- [SWAMINATHAN 2007] M.Swaminathan, A. Edge Engin, “Power Integrity Modeling and Design for Semiconductors and Systems”, Prentice Hall, November 2007.
- [SWANSON 2001] Daniel G. Swanson, "What's my Impedance?", Microwave magazine IEEE, 2001. Volume 2, pp 72-82.
- [SYED 2000] Syed B. Huq, “Effective Signal Integrity Analysis using IBIS Models”, DesignCon2000, Février 2000.
- [TANG 2000] K.T. Tang, E.G. Friedman, “Estimation of On-Chip Simultaneous Noise on Signal Delay in Synchronous CMOS Integrated Circuits”, Signal Processing Systems, IEEE Workshop on Volume Issue, pp633-642, 2000.
- [TEKTRONIX 2006] Tektronix A.N., "TDR and S-parameters Measurements—How Much Performance Do You Need?", EDN Magazine, 2006.
- [WEI 2003] J.Wei, A.Dixit, S.Luibson, “Interconnect Cross-Talk Induced Delay and Noise Glitch Analysis for Embedded Microprocessor Designs”, International Cadence users group conference, 2003.
- [WESTERHOFF 2005] Todd Westerhoff, “things you can learn from IBIS curves”, IBIS Submit / DAC, Cisco Systems, www.cisco.com, 2005.

[WILLIS 2003] Ken WILLIS, "Adressing Crosstalk in High Speed Designs Using Allegro PCB SI", Allegro PCB SI Application Note, www.cadence.com, Janvier 2003.

[WILLIS 2008] B. Willis, "Introduction to microsectioning printed circuit boards", Global SMT & Packaging Magazine, November 2008.

[YU 2002] X. Yu, Y. Huang, S. Li, "The study of crosstalk in high-speed circuit design", International Symposium on EMC, IEEE, pp617-620, May 2002.

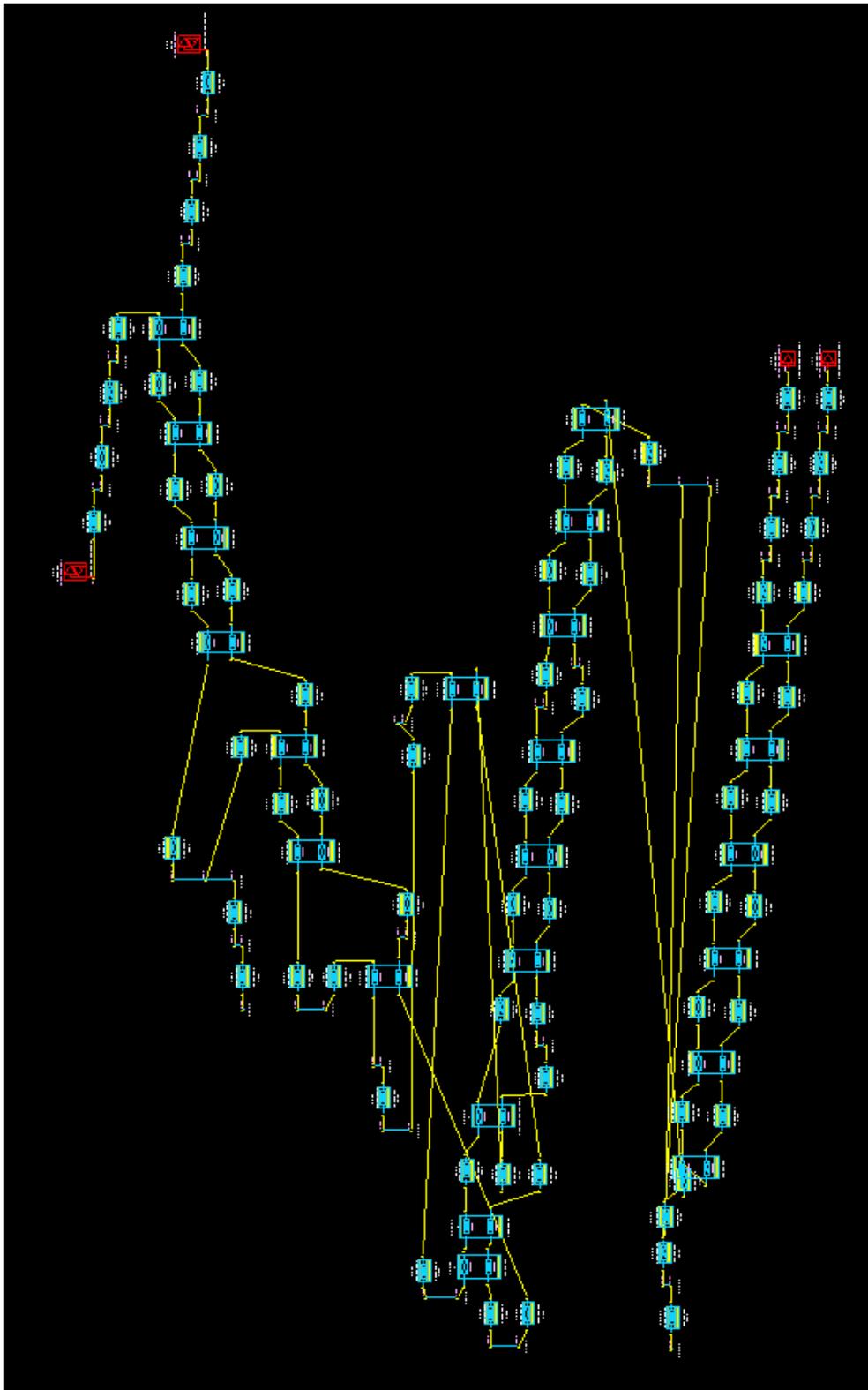
[YUAN 2006] F.Yuan, "CMOS Current-mode Circuits for Data Communication", Springer, 2006.

[ZAK 2001] Thèse T.Zak, "Intégration des exigences d'intégrité de signal et de compatibilité électromagnétique dans la conception des cartes électroniques numériques rapides et mixtes", 2001.

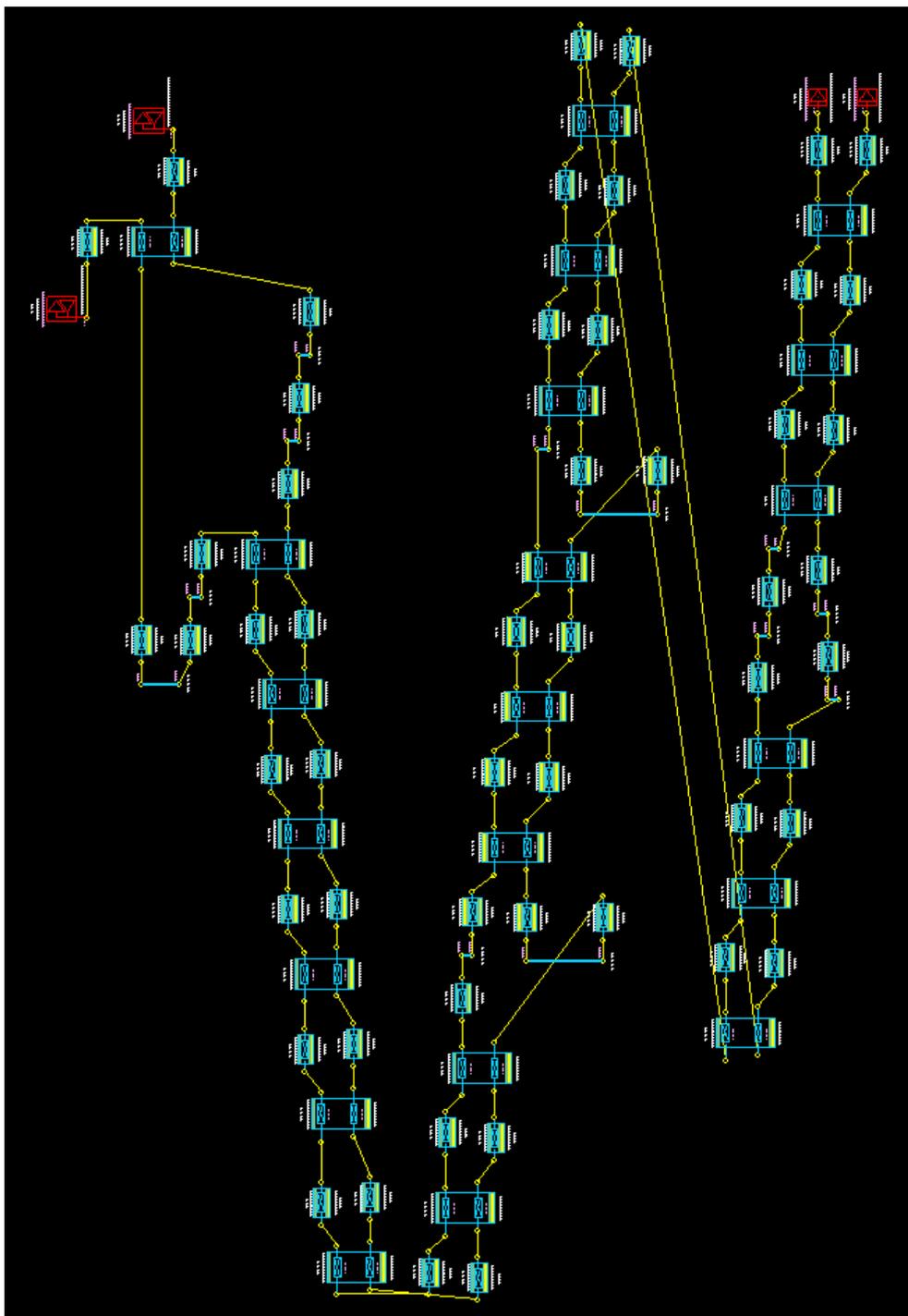
[ZEEFF 2003] T. M. Zeef, T. H. Hubing, "Analysis of Simple Two-Capacitor Low-Pass Filters", IEEE Electromagnetic Compatibility, vol.45, pp.595-601, November 2003.

ANNEXES

Annexe 1 :



Annexe 2 :



Matrices C (pF/m) et L (nH/m) issues de MMTL :

94									476									
0.9	94								99	476								
9	0.9	97							186	186	476							
2.7	0.04	0.6	187						115	41	74	286						
0.04	2.7	0.6	0	187					41	115	74	20	286					
0.6	0.6	1.2	13	13	190				73	73	109	54	54	281				
66	0.2	5.4	73	0.01	5.6	181			247	74	138	166	34	74	393			
0.2	66	5.4	0.01	73	5.6	0.03	181		74	247	138	34	166	74	59	393		
5.3	5.3	63	5.6	5.6	70	15	15	187	138	138	237	74	74	159	124	124	382	

Résumé :

L'étude des différents phénomènes d'Intégrité de Signal (IS) a nécessité la mise en œuvre d'un véhicule de test (VT) spécifique, conçu suivant des contraintes industrielles. La carte réalisée présente un environnement complexe avec des zones à haute densité d'interconnexions (HDI) et permet d'étudier l'ensemble des phénomènes IS.

Une première partie a permis d'étudier les variations sur l'impédance caractéristique des pistes provoquées d'une part par le procédé de fabrication et d'autre part par les contraintes d'un routage HDI. L'impact de ces désadaptations a ensuite été quantifié.

L'étude de la diaphonie a nécessité la mise en place d'un modèle de simulation simplifié pour valider la méthodologie utilisée par l'outil d'analyse de la suite Cadence. Les simulations ont ensuite été confrontées aux résultats de mesures pour étudier la validité de l'outil et pour définir la configuration à mettre en œuvre, afin que les simulations soient représentatives des signaux réels.

Une dernière partie est consacrée à l'étude de l'intégrité des alimentations. Les résultats de simulations issus de l'outil Power Integrity sont comparés aux résultats de mesures effectuées sur le VT en utilisant un VNA. Le réseau de découplage est caractérisé par son impédance dans une analyse fréquentielle. Nous avons étudié la caractérisation des plans d'alimentations, des modèles de condensateur ainsi que les inductances parasites introduites par le placement et le routage. Enfin, une étude a été effectuée pour optimiser le placement des condensateurs de découplage sur le circuit imprimé tout en limitant l'apparition d'inductances parasites.

Abstract :

The study of Signal Integrity (SI) phenomena required the implementation of a specific test vehicle (TV), conceived according to industrial constraints. The finished printed circuit board (PCB) is a complex environment based on high speed and high density interconnections (HDI), and which allows for the study of all SI phenomena.

The first part looked at the characteristic impedance variations due to both the manufacturing process and the HDI layout. The impact of these miss-adaptations was then quantified.

The crosstalk study then required the set-up of a simplified simulation model to validate the methodology used by Cadence's tool. Simulation was then compared with experimental results to study the tool's validity and to define the correct tool configuration to obtain simulations that are more representative of real signals.

The last part is dedicated to the study of Power Integrity. The tool simulations results are compared with the measured results from using VNA on TV. The Power Distribution Network is characterized using impedance analysis in the frequency field. We studied the characterization of power plans, of capacitor models as well as the parasitic inductance introduced by capacitor's placement. Finally, a study was done to provide an efficient solution of decoupling capacitors placement while seeking to minimize the parasitic inductance.

Mots clés :

Intégrité de Signal, Impédance caractéristique, Impédance contrôlée, Réflexion, Diaphonie, Intégrité des alimentations, Inductance parasite, Condensateur de découplage, Electrostatique, Electromagnétique, Commutation, Circuit imprimé, Protocole de conception.

Keywords :

Signal Integrity, Characteristic impedance, Controlled impedance, Reflection, Crosstalk, Power Integrity, Parasitic inductance, Decoupling capacitor, Electrostatic, Electromagnetic, Rising edge, Printed Circuit Board, Conception flow.