

TABLE DES MATIÈRES

	Page
INTRODUCTION	1
CHAPITRE 1 NOTIONS DE BASE ET REVUE DE LITTÉRATURE	5
1.1 Introduction.....	5
1.2 Circuit logique programmable de type FPGA	5
1.3 DCM	7
1.4 Distribution d'horloges	8
1.5 Produits d'intermodulation	10
1.6 Mode test.....	11
1.7 Revue de littérature.....	13
1.8 Conclusion	19
CHAPITRE 2 SÉRIES D'EXPÉRIMENTATIONS PRÉLIMINAIRES	21
2.1 Introduction.....	21
2.2 Plateforme utilisée	21
2.2.1 Plaquette de développement	21
2.2.2 Environnement de développement.....	23
2.3 Première série d'expérimentations préliminaires.....	24
2.3.1 Caractéristiques.....	24
2.3.2 Analyse des résultats.....	26
2.4 Deuxième série d'expérimentations.....	29
2.4.1 Caractéristiques.....	29
2.4.2 Analyse des résultats.....	30
2.5 Conclusion	35
CHAPITRE 3 ARCHITECTURES PROPOSÉES	37
3.1 Introduction.....	37
3.2 Première architecture à un FPGA	37
3.2.1 Diagramme bloc commun.....	38
Testeur	38
CUT	41
3.2.2 Spécificités de l'architecture à un FPGA (V6_6)	46
3.3 Deuxième architecture à deux FPGA	47
3.3.1 Spécificités de l'architecture à deux FPGA (V6_7)	48
3.3.2 Communication entre les deux cartes	49
3.4 Conclusion	50
CHAPITRE 4 RÉSULTATS ET ANALYSE.....	51

4.1	Méthodologie d'analyse.....	51
4.1.1	Approximation de la marge de synchronisation par la mesure de la largeur de l'impulsion sur X_o	51
4.1.2	Objectifs.....	52
4.1.3	Analyse des résultats : mesures et calculs.....	54
4.2	Testeur et CUT ensemble (architecture à un seul FPGA).....	56
4.3	Testeur et CUT séparés (architecture à 2 FPGA).....	59
4.3.1	Mode fonctionnel.....	60
	Fréquences solos.....	60
	Trios de fréquences.....	63
4.3.2	Mode test.....	69
	Procédure.....	69
	Résultats et analyse.....	69
4.3.3	Comparaison des modes test et fonctionnel.....	76
	Fréquences solos.....	76
	Trios de fréquences.....	79
4.4	Comparaison des deux architectures V6_6 et V6_7.....	82
4.5	Conclusion de l'analyse.....	85
	CONCLUSION ET RECOMMANDATIONS.....	87
	ANNEXE I PLATEFORME UTILISÉE.....	89
	ANNEXE II DÉTAILS D'IMPLÉMENTATION.....	93
	ANNEXE III APPROXIMATION DÉTAILLÉE DE LA MARGE DE SYNCHRONISATION.....	103
	105	
	ANNEXE IV PROCÉDURE DE TEST POUR L'ARCHITECTURE V6_7 DANS LE MODE FONCTIONNEL POUR DES FRÉQUENCES SOLOS.....	113
	ANNEXE V RAPPORTS RELATIFS POUR L'ARCHITECTURE V6_7 DANS LE MODE FONCTIONNEL POUR LES FRÉQUENCES SOLOS.....	115
	ANNEXE VI GRAPHIQUES DE LA LARGEUR DE L'IMPULSION SUR X DANS LE MODE FONCTIONNEL DE L'ARCHITECTURE V6_6.....	117
	ANNEXE VII GRAPHIQUES DE LA LARGEUR DE L'IMPULSION SUR X DANS LE MODE FONCTIONNEL POUR LES TRIOS DE FRÉQUENCES DE L'ARCHITECTURE V6_7.....	121
	ANNEXE VIII GRAPHIQUES DE LA LARGEUR DE L'IMPULSION SUR X DANS LE MODE TEST POUR UNE FRÉQUENCE DE RÉFÉRENCE F_{CLK_REF} DE 95MHz.....	123

ANNEXE IX GRAPHIQUES DE LA LARGEUR DE L'IMPULSION SUR X DANS
LE MODE TEST DE L'ARCHITECTURE V6_7125

ANNEXE X GRAPHIQUES DE LA LARGEUR DE L'IMPULSION SUR X DANS
LES MODES TEST ET FONCTIONNEL DE
L'ARCHITECTURE V6_7129

ANNEXE XI RTL DÉTAILLÉ DES ARCHITECTURES V6_6 ET V6_7131

BIBLIOGRAPHIE137

LISTE DES TABLEAUX

	Page
Tableau 1.1 Produits d'intermodulation	10
Tableau 3.1 Paramètres provenant de l'interface usager	40
Tableau 4.1 Paramètres de l'horloge de test	55
Tableau 4.2 Moyenne des mesures de L_X pour les trios de fréquences de l'architecture V6_6.....	56
Tableau 4.3 Nombre de périodes de F_{CLK_REF} dans un cycle d'intermodulation pour les trios de fréquences dont $F_{CLK_REF}=150\text{MHz}$	63
Tableau 4.4 Nombre de périodes de F_{CLK_REF} dans un cycle d'intermodulation pour les trios de fréquences dont $F_{CLK_REF}=160\text{MHz}$	64
Tableau 4.5 Extrémums de la variation de L_X (V_{MIN} % et V_{MAX} %) et du rapport relatif (R_{MIN} % et R_{MAX} %) pour les trios de fréquences dont $F_{CLK_REF}=150\text{MHz}$	65
Tableau 4.6 Extrémums de la variation de L_X (V_{MIN} % et V_{MAX} %) et du rapport relatif (R_{MIN} % et R_{MAX} %) pour les trios de fréquences dont $F_{CLK_REF}=160\text{MHz}$	65
Tableau 4.7 $L_{X(MAX)}-L_{X(MIN)}$ dans le mode test pour l'architecture V6_7, en fonction de la fréquence de CLK_TEST (F_{CLK_TEST}), de celle des horloges fonctionnelles, et de celle de balayage F_{shift} (phase de shift). $R_{shift} = F_{CLK_TEST} / F_{shift}$	72
Tableau 4.8 Horloges pour les expérimentations dans le mode test pour l'architecture V6_7	73
Tableau 4.9 $L_{X(MOY)}$ dans les modes test et fonctionnel pour l'architecture V6_7.....	81
Tableau 4.10 Différence entre $L_{X(MOY)}$ des deux architectures	84

LISTE DES FIGURES

	Page
Figure 1.1 Architecture d'un FPGA de la famille Spartan-3E	6
Figure 1.2 Schéma bloc d'un DCM d'un FPGA de la famille Spartan-3E.....	7
Figure 1.3 Élément BUFGMUX.....	8
Figure 1.4 Architecture globale des BUFGMUX et des signaux environnants.....	9
Figure 2.1 Nexys2 – Diagramme bloc	22
Figure 2.2 Nexys2 – Allure physique	22
Figure 2.3 Diagramme bloc de la première architecture préliminaire dans le mode fonctionnel à multiples domaines d'horloge.....	25
Figure 2.4 Mesure de L_X pour CLKF=40MHz	27
Figure 2.5 Mesure de L_X pour CLKF=75MHz	27
Figure 2.6 $L_{X(MAX)}-L_{X(MIN)}$ en fonction de CLKF de la première architecture	28
Figure 2.7 Diagramme bloc de la deuxième architecture préliminaire dans le mode fonctionnel à multiples domaines d'horloge.....	29
Figure 2.8 FFT de V_{DD} dans le mode fonctionnel sans commutation pour une fréquence de 40MHz.....	30
Figure 2.9 FFT de V_{DD} dans le mode fonctionnel	31
Figure 2.10 FFT de V_{DD} dans le mode fonctionnel	32
Figure 2.11 FFT de V_{DD} dans le mode fonctionnel avec commutation pour une fréquence de 50MHz	33
Figure 2.12 FFT de V_{DD} dans le mode fonctionnel	34
Figure 2.13 FFT de V_{DD} dans le mode fonctionnel avec commutation pour une fréquence de 75MHz	34
Figure 3.1 Diagramme bloc de haut niveau de la première architecture à un FPGA; ce diagramme est également valide pour la seconde architecture.	38

Figure 3.2 Diagramme bloc global du testeur.....	39
Figure 3.3 Diagramme bloc global du CUT	41
Figure 3.4 Diagramme bloc explosé du CUT	42
Figure 3.5 CUT : Génération des horloges fonctionnelles	43
Figure 3.6 CUT : Choix des horloges	43
Figure 3.7 CUT : Chaînes de balayage	44
Figure 3.8 CUT : signaux de contrôle.....	45
Figure 3.9 CUT : Circuit servant à la mesure de L_X	45
Figure 3.10 Génération des signaux de test pour la première architecture	47
Figure 3.11 Génération des signaux de test pour la seconde architecture	48
Figure 4.1 Système synchrone	52
Figure 4.2 Circuit servant à la mesure de L_X	54
Figure 4.3 Mesures de L_X prises selon 32 périodes consécutives pour 40-60-160 MHz.....	57
Figure 4.4 1 ^{ière} comparaison d'un cycle d'intermodulation pour 40-60-160 MHz.....	58
Figure 4.5 2 ^{ième} comparaison d'un cycle d'intermodulation pour 40-60-160 MHz.....	58
Figure 4.6 Variations de L_X (V%) dans le mode fonctionnel pour les fréquences solos	61
Figure 4.7 Amplitude de la FFT de L_X dans le mode fonctionnel pour les fréquences solos ..	62
Figure 4.8 Mesure de L_X : 30-40-160 MHz pour l'architecture V6_7.....	66
Figure 4.9 Mesure de L_X : 130-140-160 MHz pour l'architecture V6_7	67
Figure 4.10 Mesure de L_X : 50-100-150 MHz pour l'architecture V6_7.....	67
Figure 4.11 Mesure de L_X : 50-75-150 MHz pour l'architecture V6_7.....	68
Figure 4.12 Mesure de L_X dans le mode test, Mode test : $F_{CLK_TEST} = 80\text{MHz}$, Mode fonctionnel : 130-140-160 MHz, Architecture V6_7	70

Figure 4.13	Mesure de L_X dans le mode test pour les dernières impulsions « LC », Mode test : $F_{CLK_TEST} = 80\text{MHz}$, Mode fonctionnel : 130-140-160 MHz, Architecture V6_7.....	71
Figure 4.14	Différence entre les extrémums des mesures de L_X ($L_{X(MAX)} - L_{X(MIN)}$) dans le mode test pour les fréquences de l'horloge de test suivantes: 65, 70, 75, 80, 85, 90 et 95MHz, Architecture V6_7.....	74
Figure 4.15	$R_{MOY}(\%)$ pour les fréquences solos.....	77
Figure 4.16	$R_{MAX}(\%)-R_{MIN}(\%)$ dans les deux modes pour les fréquences solos.....	77
Figure 4.17	Mesure de L_X dans les deux modes pour l'architecture V6_7,.....	79
Figure 4.18	Mesure de L_X dans les deux modes pour l'architecture V6_7,.....	80
Figure 4.19	Mesure de L_X dans les deux modes pour l'architecture V6_7,.....	80
Figure 4.20	Mesure de L_X : 30-40-160 MHz pour les architectures V6_6 et V6_7.....	83
Figure 4.21	Mesure de L_X : 70-80-160 MHz pour les architectures V6_6 et V6_7.....	83
Figure 4.22	Mesure de L_X : 40-60-160 MHz pour les architectures V6_6 et V6_7.....	84

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

ATPG	Automatic test pattern generation
BUFGMUX	Tampon multiplexeur d'horloge servant à choisir entre deux horloges en entrée
CE	Clock Enable
CLB	Configurable Logic Blocks
DCM	Digital Clock Manager
DVD	Dynamic Voltage Drop
FPGA	Field-Programmable Gate Array
IOB	Blocs d'entrées/sorties
LC	Phase de « Launch » et « Capture » dans une horloge de test
LOC	Launch on capture
LOS	Launch on shift
Pmod	Peripheral Module
PIM	Produit d'intermodulation
PLL	Phase-locked loop
RAM	Random Access Memory
RLOC	Relative location
RTL	Register Transfer Level
SBAST	Scan based at-speed test
SPICE	Simulation Program with Integrated Circuit Emphasis
VDD	Tension d'alimentation

INTRODUCTION

Lorsqu'un fabricant met une puce électronique sur le marché, des tests de production doivent être effectués afin d'assurer qu'elle respecte les spécifications. Pour ce faire, plusieurs tests ont été développés. L'un des tests habituellement employés consiste à envoyer une série de transitions à l'aide d'une ou de plusieurs chaînes de balayage, créées à partir des registres internes de la puce, lorsque celle-ci se trouve dans un mode de test. Le but de ce test, appelé test à vitesse nominale en mode balayage (« *scan-based at-speed testing* », SBAST), est d'émuler le fonctionnement normal de la puce en vitesse nominale afin de s'assurer que les délais de propagation de ces transitions respectent la période d'horloge de leur domaine de fréquence respectif. Certains, comme (Bushnell 2000), (Nadeau-Dostie, Takeshita et al. 2008) et (Thibeault, 2008), prétendent que ce type de test n'est pas tout à fait représentatif du mode fonctionnel, car le mode test peut induire lui-même des erreurs dans les résultats recueillis. En effet, il y a plus d'activité et de commutations pendant le déplacement des bits dans la chaîne de balayage et pendant la capture des résultats lorsque la puce est en mode test. On peut alors observer des baisses importantes de la tension d'alimentation et ce phénomène a des répercussions sur les délais affectant les transitions de propagation, ainsi que sur la durée des périodes d'horloge. En bout de ligne, ceci peut se traduire par des pertes de rendement, car des puces fonctionnelles sont déclarées faussement défectueuses. Il est donc impératif de s'assurer d'une bonne représentativité des tests SBAST afin d'éviter ces pertes potentielles de rendement.

Jusqu'à présent, les efforts déployés pour vérifier cette représentativité ont presque exclusivement porté sur le mode test en tant que tel. Dans cette optique, le mode fonctionnel de même que son émulation pendant le test, appelé test fonctionnel (qui consiste à stimuler le circuit sous test en totalité ou en partie comme s'il était en mode normal), sont considérés comme des points de référence stables. Or il s'avère que la présence d'horloges multiples peut avoir des répercussions sur la tension d'alimentation. Ces répercussions, jusqu'ici négligées, se présentent sous la forme de fluctuations superposées à la tension

d'alimentation causées par un phénomène appelé produits d'intermodulation (PIMs). Ces fluctuations peuvent influencer les délais de propagation. De ce fait, si elles ne sont pas considérées correctement, elles ont le potentiel de biaiser l'évaluation de la fréquence nominale à laquelle un circuit peut fonctionner.

Le but de ce projet est d'investiguer l'impact des PIMs sur la représentativité du test de type SBAST versus le mode fonctionnel.

Pour ce faire, nous proposons la mise en place d'un banc d'essai, utilisant une plateforme programmable existante sur laquelle sera mise en œuvre deux nouvelles architectures d'expérimentation, permettant l'étude et la comparaison des modes test et fonctionnel en termes de délais et de bruit sur l'alimentation. Nous investiguerons entre autres l'impact de la présence d'un testeur dans le même dispositif que le circuit sous test (CUT). Pour ce faire, nous comparerons les résultats en termes de délais d'une première série d'expérimentations où le testeur et le CUT sont ensemble avec une deuxième série où les deux parties sont implémentées chacun dans leur propre dispositif.

Les principales contributions de ce mémoire incluent les deux architectures expérimentales développées, ainsi que la meilleure compréhension du phénomène des PIMs rendue possible grâce aux résultats recueillis. Certains des résultats ont fait l'objet d'une publication (Thibeault and Larche 2012).

Voici l'organisation du mémoire :

- le chapitre 1 présente les notions de base nécessaires à la compréhension de ce mémoire et la revue de littérature pertinente au projet;
- le chapitre 2 présente les séries d'expérimentations préliminaires. Elles nous ont permis d'observer le phénomène de PIMs dans le mode fonctionnel à multiples domaines d'horloges;

- le chapitre 3 présente la plateforme utilisée pour le projet. On propose deux architectures de test : la première avec le testeur et le CUT ensemble dans le même FPGA; la deuxième avec le testeur et le CUT dans deux dispositifs séparés;
- le chapitre 4 présente l'analyse des résultats pour les deux architectures, ainsi qu'une comparaison de ces résultats;
- le mémoire se termine par une conclusion et des recommandations.

CHAPITRE 1

NOTIONS DE BASE ET REVUE DE LITTÉRATURE

1.1 Introduction

Ce chapitre présente la matière nécessaire à la compréhension de ce projet de maîtrise. Premièrement, on définit de façon globale les éléments suivants : les circuits logiques programmables de type FPGA; les modules électroniques de génération d'horloges (*Digital Clock Manager, DCM*); la distribution d'horloges dans les FPGA et le phénomène des PIMs. Par la suite, on présente un aperçu des principaux tests de puces et la revue de littérature effectuée.

1.2 Circuit logique programmable de type FPGA

Un circuit logique programmable est un circuit intégré principalement constitué de cellules logiques élémentaires (*Configurable Logic Bloc, CLB*), de cellules d'entrée/sortie (*Input Output Block, IOB*) et de réseaux d'interconnexions pouvant être contrôlés afin de réaliser des fonctions logiques au préalable définies par l'utilisateur. Les ressources et leur disposition varient d'un type de circuit à logique programmable à un autre. Le dispositif utilisé dans ce projet fait partie de la famille Spartan-3E de la compagnie Xilinx. L'architecture globale de cette famille comprend cinq catégories d'éléments fondamentaux :

CLB : Comprend quatre tranches (*slice*) qui contiennent chacune deux bascules, deux tables de conversion (*look-up table, LUT*) et quelques portes logiques. Les LUT contenues dans les *slices* de la partie de droite (*SLICEM*) peuvent être configurées comme étant des blocs RAM ou des registres à décalage;

IOB : Sert à contrôler le flux des données entre la logique interne du FPGA et ses broches d'entrée/sortie. Les IOB peuvent être unidirectionnels ou bidirectionnels. Ils sont regroupés en blocs, chacun ayant son alimentation et ses caractéristiques propres;

Bloc RAM : Fournit un stockage sous forme de blocs de mémoire statique;

Bloc multiplicatif : Permet la fonction de multiplication pour des larges valeurs. Chaque bloc multiplicatif est associé à un bloc RAM;

DCM : Permet la génération d'une horloge selon un facteur et un déphasage tout en assurant la synchronisation entre l'horloge de référence en entrée et l'horloge générée en sortie.

L'architecture d'un FPGA de la famille Spartan-3E est présentée à la Figure 1.1.

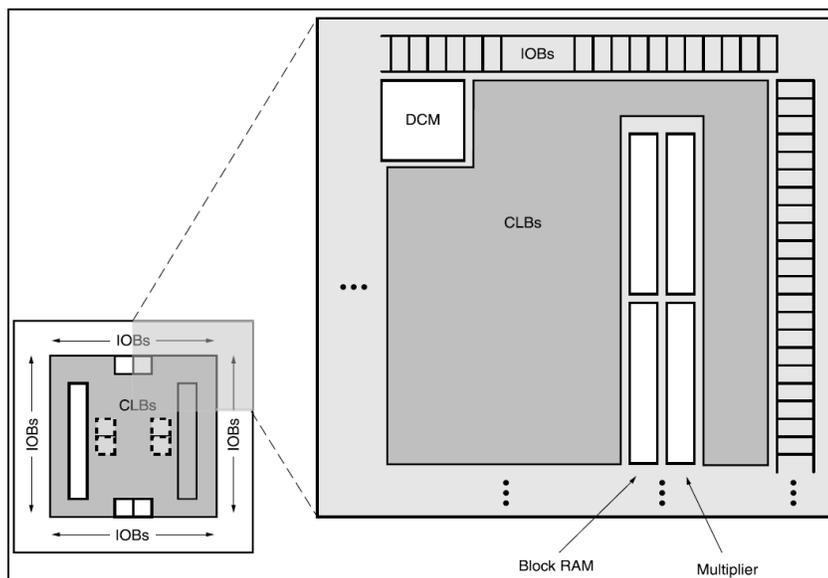


Figure 1.1 Architecture d'un FPGA de la famille Spartan-3E
Tirée de Xilinx (2012)

Les éléments précédemment énumérés sont organisés tel que décrit sur la figure ci-dessus. Des blocs d'entrée/sortie englobent une matrice de CLB au pourtour du dispositif. Le FPGA possède deux colonnes de RAM englobant plusieurs blocs RAM de 18Kbits chacun. Chaque bloc RAM est associé à un bloc multiplicatif. Deux DCM se trouvent au centre supérieur et deux autres au centre inférieur du dispositif. Les cinq éléments principaux communiquent

entre eux à l'aide d'interconnexions disposées un peu partout. Dans ce qui suit, nous décrivons de manière plus détaillée le DCM.

1.3 DCM

Précisons qu'un DCM est un circuit électronique qui génère une horloge de fréquence et de phase diverses à partir d'une horloge de référence à son entrée. Il s'assure que l'horloge générée et l'horloge de référence soient bien synchronisées. Pour ce faire, il prend l'horloge en sortie, la ramène à une entrée rétroactive et ajuste son délai interne dépendant de la phase de l'horloge générée. Le schéma bloc d'un DCM est présenté à la Figure 1.2, où la rétroaction du signal d'horloge CLK0 est illustrée.

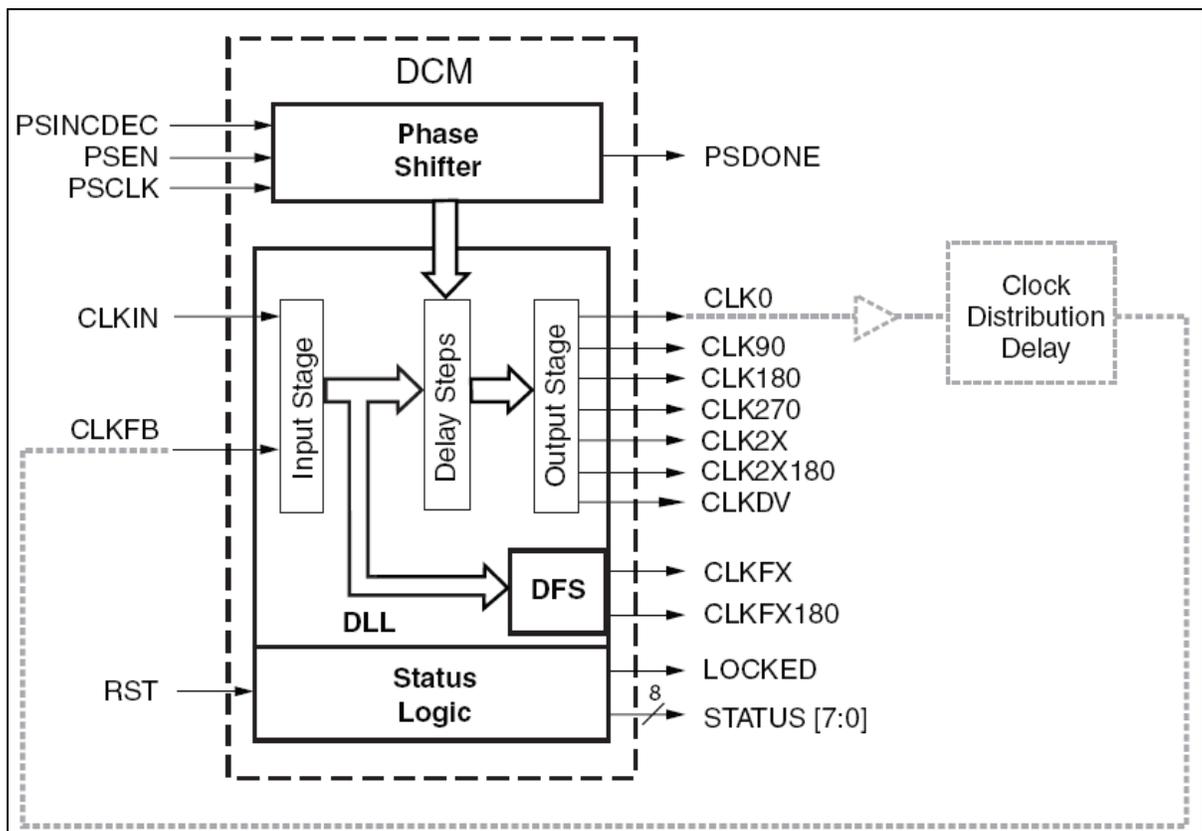


Figure 1.2 Schéma bloc d'un DCM d'un FPGA de la famille Spartan-3E
Tirée de Xilinx (2012)

Le DCM comprend trois modules principaux :

Phase Shifter (PS) : Contrôle la relation de phase entre les horloges en sortie et l'horloge de référence *CLKIN*;

Delay-Locked-Loop (DLL) : Fournit un circuit numérique qui génère une horloge avec une phase nulle par rapport à l'horloge de référence;

Digital Frequency Synthesizer (DFS)¹ : Génère des horloges en sortie (*CLKFX* et *CLKFX180*) selon des facteurs multiplicatif (*CLKFX_MULTIPLY*) et diviseur (*CLKFX_DIVIDE*) appliqués à l'horloge de référence.

1.4 Distribution d'horloges

Une fois générés, les signaux d'horloge doivent être distribués dans le FPGA. Des tampons/multiplexeurs nommés BUFGMUX sont mis à la disposition des utilisateurs afin de diriger une horloge vers un tampon de type BUFG² ou de l'utiliser en tant que multiplexeur afin de faire la sélection entre deux horloges. Un élément BUFGMUX est présenté à la Figure 1.3.

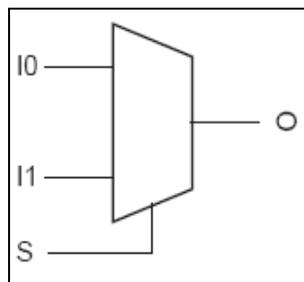


Figure 1.3 Élément BUFGMUX
Tirée de Xilinx (2011)

¹ Le DFS peut être utilisé en conjonction avec le DLL ou séparément. Si le DLL n'est pas utilisé, le biais de synchronisation des horloges en sorties ne sera pas ajusté à zéro, car le DLL est nécessaire au signal de rétroaction.

² *BUFG* : Tampon pour une horloge.

Le signal S permet de sélectionner l'une des deux entrées $I0$ ou $I1$ et de la diriger vers la sortie O . En plus d'être un multiplexeur, cet élément permet d'éliminer tout biais de synchronisation. Ceci est garanti par le fait que lorsque la valeur du signal S change, la sortie n'est pas modifiée tant et aussi longtemps que l'entrée précédente n'est pas à un niveau bas et que l'entrée future ne passe pas d'un niveau haut à un niveau bas.

Il y a 24 BUFGMUX disponibles dans le FPGA ciblé. Chaque élément est dédié à un DCM spécifique. Les entrées $I0$ et $I1$ peuvent provenir de trois sources différentes : une horloge sur une broche d'entrée; une horloge générée par un DCM; une ligne double d'interconnexion. Il est à noter que les BUFGMUX sont regroupés selon leur emplacement dans le FPGA : bas et haut (*Global*); côtés gauche et droit. Les détails de l'architecture des BUFGMUX et les signaux les englobant sont présentés à la Figure 1.4.

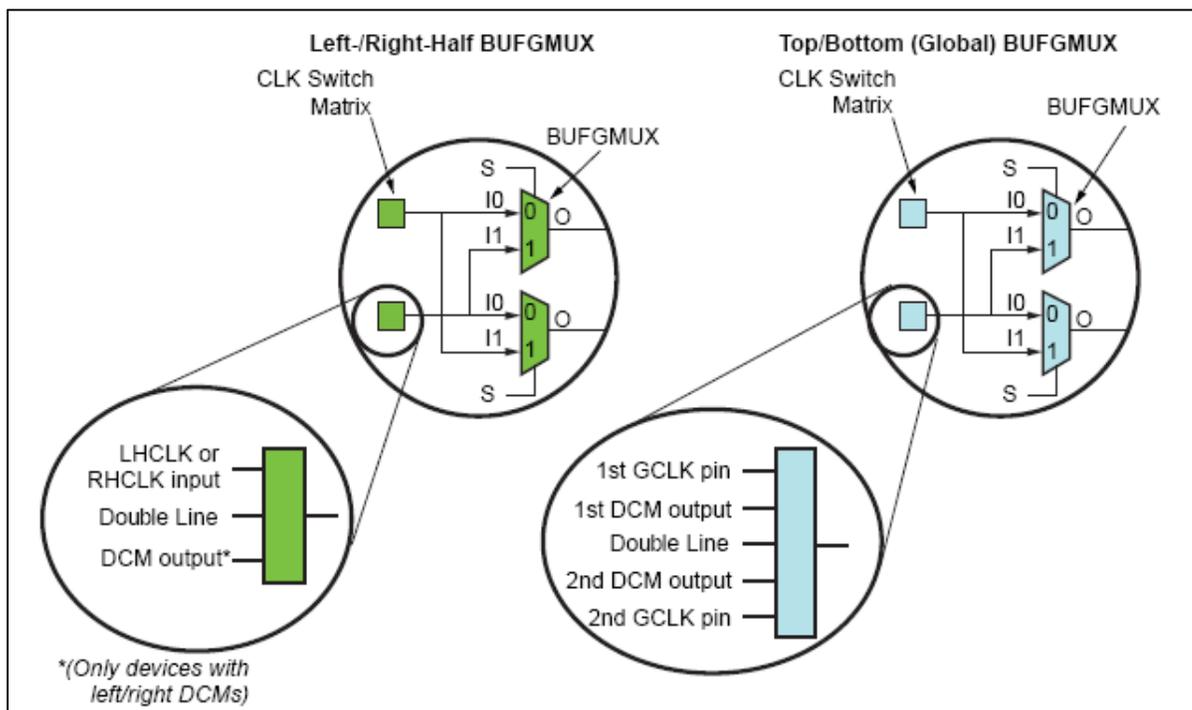


Figure 1.4 Architecture globale des BUFGMUX et des signaux environnants
Tirée de Xilinx (2011)

Les BUFGMUX sont organisés en paires et se partagent les entrées $I0$ et $I1$. Le tout est possible grâce à des matrices communes de commutation d'horloges. Si on prend l'exemple de la Figure 1.4, l'entrée $I0$ du premier BUFGMUX de la partie droite et gauche est également l'entrée $I1$ du second élément juste en-dessous. Les éléments présentés dans cette section seront mis à profit dans les architectures proposées plus loin, afin de passer facilement d'un mode (fonctionnel ou test) à l'autre. À la section suivante, nous décrivons un phénomène indésirable qui peut se produire en présence de domaines d'horloges multiples.

1.5 Produits d'intermodulation

La présence de plusieurs domaines d'horloges dont les fréquences ne sont pas multiples l'une de l'autre, dans un système électronique, amène un phénomène que l'on nomme produits d'intermodulation (PIMs). Ceci est dû aux caractéristiques non linéaires des transistors qui commutent. L'interaction des fréquences non multiples l'une de l'autre fait apparaître des harmoniques non désirables. Prenons l'exemple de deux fréquences dans un système non linéaire. Mathématiquement, les PIMs se définissent ainsi :

Tableau 1.1 Produits d'intermodulation
Tiré de VK5BR (1997)

1^{er} ordre	F_1	F_2
2^{ième} ordre	$F_1 + F_2$	$F_2 - F_1$
3^{ième} ordre	$2F_1 - F_2$	$2F_2 - F_1$
	$2F_1 + F_2$	$2F_2 + F_1$
4^{ième} ordre	$2F_1 + 2F_2$	$2F_2 - 2F_1$
5^{ième} ordre	$3F_1 - 2F_2$	$3F_2 - 2F_1$
	$3F_1 + 2F_2$	$3F_2 + 2F_1$
...

Sans perte de généralité, nous supposons dans cette discussion que $F_2 > F_1$. On sait qu'une fréquence F_1 produit les harmoniques linéaires suivantes : $2F_1, 3F_1, 4F_1, 5F_1$, etc., de même que F_2 produit également les harmoniques suivantes : $2F_2, 3F_2, 4F_2, 5F_2$, etc. Normalement, plus la fréquence de l'harmonique augmente, plus l'amplitude de cette harmonique tend à diminuer. Finalement, si les fréquences sont multiples l'une de l'autre, les PIMs viendront s'ajouter aux harmoniques déjà existences dans le système. Ils ne seront donc pas différenciables des harmoniques linéaires. Si les conditions propices sont réunies, le phénomène d'intermodulation va apparaître lorsque la puce est en mode fonctionnel, mais pas nécessairement en mode test. Ce dernier est l'objet de la prochaine section.

1.6 Mode test

Le but de ce projet étant de comparer une puce de type FPGA dans les modes test et fonctionnel et non de tester la puce à proprement parler, nous ne ferons que survoler la notion de test, afin d'avoir une meilleure idée de ce concept. Tel que mentionné dans l'introduction, afin de s'assurer de la structure et du fonctionnement d'une puce électronique, il est important de tester la puce afin de détecter les différentes défauts qui pourraient l'affecter. Pour ce faire, deux principaux types de tests ont été développés : les tests fonctionnels et les tests structurels.

Dans le cas du test fonctionnel, on prend la puce comme une boîte noire. On soumet cette dernière à des séquences de bits (vecteurs de test qui sont souvent dérivés des vecteurs de simulation) aux entrées et on compare la réponse prévue aux sorties de la puce. Si les sorties n'ont pas les valeurs escomptées, la puce est déclarée défectueuse. Le but de ce test est de vérifier la fonctionnalité d'une puce. Ce type de test peut également être utilisé pour voir si une puce peut rouler à la fréquence nominale. Si des PIMs affectent le mode fonctionnel, ils peuvent être également présents et avoir un impact similaire durant le test fonctionnel si tous les domaines d'horloges sont actifs et si leur niveau d'activité se rapproche de celui en mode fonctionnel. Or, ce n'est pas toujours le cas.

Le test structurel vise plutôt à s'assurer que la structure du circuit est intacte. Plusieurs défauts dus au procédé de fabrication peuvent en effet altérer la structure d'une puce. Pour faciliter l'application de ce type de test, diverses stratégies de conception ont été développées. La plupart de ces stratégies s'appuient sur l'insertion de chaînes de balayage, qui consiste à relier les registres internes et à ajouter des broches d'entrée/sortie supplémentaires donnant accès à ces registres. Cette insertion permet entre autres de rendre les registres plus facilement contrôlables et observables et facilite la génération automatisée des vecteurs de test. Ces vecteurs de test sont conçus de telle sorte à tester des modèles de pannes bien spécifiques. Dans la catégorie des tests structurels, selon (Bushnell, 2000), il y a trois principaux modèles de pannes : collé-à (*stuck-at*); court-circuit; et retard.

Le modèle de pannes collé-à est défini au niveau porte et affecte les nœuds (signaux) reliant les portes logiques, en supposant qu'ils sont de manière permanente collés à « 0 » ou à « 1 ». En d'autres termes, on utilise ce modèle pour tester la possibilité que l'entrée ou la sortie des portes logiques soient collées à l'alimentation V_{DD} ou à la masse. Il s'agit du modèle de pannes le plus utilisé.

Le modèle de panne de court-circuit sert à représenter les défauts causant une connexion indésirable entre la sortie de deux portes logiques.

Les modèles de pannes de retard servent à représenter les défauts qui causent des délais. Ces délais affectent les transitions qui se propagent dans la logique et ils peuvent causer des erreurs de synchronisation lorsque les données sont trop retardées et ne sont pas encore valides lorsqu'elles sont échantillonnées par le signal d'horloge. Ces modèles de pannes sont utilisés dans les tests visant à s'assurer que le CUT respecte les spécifications de fréquence d'horloge(s) minimale de fonctionnement (« at-speed delay testing »). Les modèles existants considèrent deux types de retard : ceux où la transition est lente à descendre et ceux où la transition est lente à monter. Tel que spécifié par (Bushnell, 2000), orthogonalement à ces deux types, deux modèles de pannes sont définis: les pannes de

transition et les pannes de retard de chemin. Expliqué selon (Mourad, 2000), le modèle de pannes de transition suppose que le retard de transition affecte un point précis du circuit et qu'il est suffisamment important pour causer une erreur de synchronisation, alors que le modèle de panne de retard de chemin suppose que le retard est distribué sur tout le chemin.

Dans le cas du projet présenté dans ce document, on s'intéresse plus particulièrement au test de type « at-speed delay testing », par conséquent aux pannes de retard. C'est ce type de test qui sera émulé lors de nos expérimentations. Ceci étant dit, aucun vecteur de test ne sera véritablement généré à partir des modèles de pannes, ni appliqué. Le focus de ce projet est l'impact de l'application de ce type de test sur l'alimentation du circuit et sur les différents délais en jeu. Sauf exception, les PIMs n'apparaissent pas avec ce type de test car une seule horloge est habituellement utilisée. L'exception provient du fait que dans certains cas, les puces vont contenir des circuits internes de génération d'horloges.

La section suivante vise à étudier les contributions des recherches précédentes dans le but de positionner notre projet.

1.7 Revue de littérature

Les recherches effectuées par nos prédécesseurs ont démontré que les tests à vitesse nominale pouvaient ne pas refléter adéquatement le mode fonctionnel d'une puce. Pour ces travaux, l'attention a essentiellement été portée sur les fluctuations observées dans le mode test. Dans notre cas, l'emphase est davantage portée sur le mode fonctionnel, démontrant que ce dernier peut également subir des variations importantes au niveau de la tension d'alimentation.

Pour commencer cette revue de littérature, citons (Nadeau-Dostie, Takeshita et al. 2008) qui présentent une nouvelle méthodologie de test dont le but est de contrôler les variations de la tension d'alimentation et l'activité dans un circuit pendant un test de balayage à vitesse nominale. Ils partent du principe que l'activité du circuit a une influence directe sur le

courant moyen, la température locale et la réduction du niveau de la tension d'alimentation (*IR drop*), le tout influençant directement la propagation des délais dans la puce. Ils proposent un contrôleur d'horloge placé dans la puce afin de sélectionner un grand nombre de stimuli d'horloges pour tester les chemins inter-domaines synchrones à vitesse nominale et pour contrôler les variations de la tension d'alimentation. Ils utilisent des boucles à verrouillage de phase (PLL) et des contraintes de temps pour contrôler les groupes d'horloges synchrones et multiplier la fréquence des horloges externes. Selon leurs expérimentations, les auteurs concluent que la fréquence de balayage (phase « *shift* ») de l'horloge de test a un impact sur la baisse de la tension d'alimentation. Ils affirment que la méthodologie *BurstMode* permet au contrôle de l'activité d'un circuit numérique de refléter le mode d'opération fonctionnel pendant l'application de tests structurels à vitesse nominale. Cela est utile pour le diagnostic et la caractérisation de baisses de tension inattendues. Selon les auteurs, le mode test est davantage représentatif du mode fonctionnel en appliquant leur méthodologie au testeur. Par soucis d'analyser l'impact des baisses de V_{DD} sur les délais de propagation, différentes formes d'horloges test seront étudiées dans le cas de notre système. Dans le cas des tests effectués par (Nadeau-Dostie, Takeshita et al. 2008), les auteurs ne tiennent pas compte que la baisse de la tension d'alimentation pourrait également être affectée par des PIMs dans les modes test (dans le cas de génération interne de signaux) et fonctionnel, ce qui peut influencer la représentativité du mode test versus le mode fonctionnel.

D'autres travaux (Pant and Zelman 2009) s'intéressent aux microprocesseurs Intel de haute performance qui sont soumis à des tests de balayage à vitesse nominale. Ils mettent l'accent sur les effets combinés des baisses de tension sur l'alimentation et sur l'étirement de l'horloge sur la performance du test à vitesse nominale. Ils soumettent la puce à des patrons de balayage de type transitionnels (LOC). Ces patrons sont composés d'une horloge lente suivie d'une horloge fonctionnelle. Il y a également suffisamment de temps entre la fin de la phase de décalage (phase « *shift* ») et l'application des impulsions de capture (phase

« capture »), afin de permettre à la grille d'alimentation de se charger complètement avant la deuxième phase.

En focalisant leurs expérimentations sur les trois principales baisses de tension sur l'alimentation, les auteurs démontrent qu'à des hautes fréquences, le circuit expérimente une baisse d'une plus grande importance. Ils démontrent également que les tests transitionnels de balayage roulent plus vite que les tests fonctionnels pourtant effectués à des tensions d'alimentation plus élevés et qui deviennent progressivement plus lents à mesure que la tension diminue. À des hautes fréquences, la phase de capture est terminée avant que la baisse de tension n'ait le temps de se développer complètement et conséquemment, le test ne voit qu'une faible baisse de tension. Les auteurs démontrent expérimentalement et mathématiquement que le pic de la baisse de tension, qui est un pourcentage de la tension nominale, varie linéairement selon la fréquence.

L'une des solutions qui a été proposée pour atténuer la première baisse de tension est d'augmenter la longueur de la séquence de capture et d'appliquer les premières impulsions de capture à une vitesse plus basse. Les auteurs proposent trois variantes réduisant la fréquence de l'horloge des cycles d'avant la capture. Il est clair que la baisse de tension est réduite de beaucoup et que cette méthode permet d'atténuer la première baisse de tension, qui est la plus significative. La fréquence de résonance responsable de la deuxième baisse de tension se situe entre 1 et 10MHz. À ces fréquences, la baisse de second ordre peut affecter le balayage à vitesse nominale seulement si elle enjambe plus d'une opération complète de la chaîne de balayage.

Il est à noter que le design avec lequel les auteurs ont effectué leurs expérimentations possède un réseau d'alimentation très robuste. Étant un microprocesseur à haute performance, il a une grande capacité de recouvrement en courant. Les résultats ne s'appliquent donc pas nécessairement aux FPGA, lesquels n'ont pas tous un réseau d'alimentation aussi robuste que les microprocesseurs haute performance. Les baisses de tension peuvent alors avoir plus d'impact au niveau des FPGA que pour le type de dispositif testé dans cette recherche. Dans la phase de construction de l'horloge de test dans le cadre de nos expérimentations, on tiendra compte des caractéristiques de la fréquence de la phase de décalage, ainsi que de l'emplacement de la phase capture, afin de tester leurs impacts sur les

baisses de tension dans le mode test. Encore une fois, les auteurs ne tiennent pas compte de la présence des PIMs dans les modes test et fonctionnel.

L'un des inconvénients des tests de balayage à vitesse nominale est la consommation de puissance excessive causant des baisses de tension et la dégradation de la fréquence d'opération. L'objectif premier de (Sde-Paz and Salomon 2008) est de cibler la cause principale de la dégradation de la performance des tests de balayage à vitesse nominale. Suite à des mesures effectuées sur le silicium, les auteurs démontrent que la fréquence des patrons de balayage à vitesse nominale est plus basse que celle des patrons fonctionnels. Une haute consommation en puissance est un élément majeur qui contribue à cette dégradation. Selon les résultats obtenus, la fréquence maximale est proportionnelle à la tension d'alimentation. En autres mots, les baisses de la tension d'alimentation causent une détérioration des résultats à des valeurs de tension d'opération près des conditions minimales tolérables. Les auteurs croient que ces baisses seraient la cause de la différence de fréquence observées entre les deux types de patrons de test. Ils mesurent une puissance beaucoup plus grande pendant l'application du patron de balayage à vitesse nominale.

Ils concluent qu'il est nécessaire de trouver des façons de réduire l'activité de commutation pendant les tests de balayage. De plus, les auteurs affirment qu'une baisse de tension sur l'alimentation affecte l'alimentation des bascules, ce qui a un impact direct sur le chargement de données, donc il y a dégradation de la performance. Ils estiment également que l'activité qui se produit sur l'horloge pour un test fonctionnel est considérablement plus petite que l'activité pendant la capture pour un test de balayage. Donc, la baisse de tension dans le mode fonctionnel est selon eux négligeable.

Les auteurs démontrent que les facteurs résistifs et inductifs de l'impédance sont également des éléments contribuant aux baisses de tension sur la grille d'alimentation. Ils observent aussi un étirement de l'horloge qui permet des conditions de changement sur les données. Avec l'utilisation d'un outil ATPG WSA (*Weighted Switching Activity*) basé sur la liste des nœuds (*netlist*), les auteurs observent que les patrons de balayage ayant une plus basse activité ont atteint une plus haute fréquence que ceux ayant une plus haute activité.

Ils démontrent qu'il y a une bonne corrélation entre l'activité de permutation et la dégradation de la fréquence. Ils affirment qu'en développant des outils ATPG qui contrôleraient les niveaux d'activité de commutation, ils pourraient utiliser les patrons de balayage à vitesse nominale comme des qualificatifs de fréquence pour les patrons fonctionnels. Finalement, en comparant les modes test et fonctionnel, les auteurs affirment que les baisses de tension sur l'alimentation dans le mode fonctionnel sont négligeables. Pourtant, on verra dans les prochains chapitres qu'il existe des baisses de tension non négligeables dans le mode fonctionnel à multiples domaines d'horloge dû à la présence de PIMs.

(Arabi, Saleh et al. 2007) estiment que mesurer les baisses de tension statiques des SoCs n'est plus suffisant pour assurer l'intégrité de l'alimentation en puissance. Cette méthode ne tient pas compte de la contribution de la densité de puissance, les variations causées par l'activité de commutation dans le circuit et l'impact de l'inductance et de la capacité incluant les effets de la résonance. Au lieu d'adopter une approche statique, les auteurs proposent de faire l'analyse dynamique des baisses de tension (DVD) dans le but de mesurer l'impact du bruit d'alimentation sur le temps de propagation de la logique et des cellules mémoires. Ils mesurent et calculent la moyenne et le maximum de DVD (DVD_{AVG} et DVD_{MAX}) en surveillant le bruit sur l'alimentation à l'intérieur du composant. Ensuite, ils proposent une manière de diminuer ce bruit. Les auteurs montrent que DVD_{AVG} est en corrélation avec le ralentissement du délai qui devrait être égal à la marge de délai sur un chemin critique entre deux bascules, ce ralentissement étant exprimé comme un pourcentage du cycle d'horloge. Le paramètre DVD_{MAX} représente la baisse de tension minimale qui cause un échec fonctionnel au niveau du comportement des cellules mémoires et standards. Les résultats montrent qu'un changement de 5% à 10% sur la valeur de V_{DD} mène directement à un changement de 5% à 10% sur le délai. Lorsqu'une région est testée, à l'aide d'un signal de contrôle, les autres régions sont maintenues en mode normal de sorte qu'elles ne commutent pas. La méthodologie proposée démontre par des résultats expérimentaux une réduction notable du bruit sur l'alimentation pendant un test de balayage, ainsi qu'une bonne corrélation entre les tests de balayage de chemins critiques et ceux réalisés dans le mode

fonctionnel. Par contre, il est important de noter que c'est très difficile en pratique de recréer le même profil DVD pendant le mode test. Même en mode de fonctionnement normal, chaque activité des données crée un profil DVD distinct. Les circuits utilisés dans cet ouvrage ne sont pas ceux utilisés dans le mode fonctionnel et ce prototype n'est pas généralisable. Donc, cette approche ne peut que fournir une différenciation moyenne et indirecte de l'impact du bruit de l'alimentation sur le délai entre les modes test et fonctionnel.

(Thibeault 2008) estime que le mode test cause davantage d'activité dans la puce, donc le courant augmente, causant des pertes résistives et inductives (Ldi/dt). Ces effets peuvent créer des points chauds et augmenter les délais de propagation des portes logiques. De plus, selon (Mak 2007), l'horloge dans le mode test est plus lente que dans le mode fonctionnel et les outils ATPG qui génèrent les patrons de test sélectionnent souvent les chemins les plus courts. (Thibeault 2008) affirme que l'influence de la fréquence du stimulus sur le bruit de la tension d'alimentation a clairement été démontrée dans l'ouvrage de (Pant, Chiprout et al. 2007), mais aucun test ne tient compte de ces résultats. Il affirme également que chaque réseau de distribution de l'alimentation a sa propre fréquence naturelle de résonance. Ces réseaux agissent donc tous comme des filtres RLC. Ceci implique que si la fréquence de l'horloge de test se trouve autour de la fréquence naturelle du réseau de distribution, ceci peut causer davantage de bruit sur l'alimentation et différemment selon le mode test ou fonctionnel. Ceci implique également que la présence d'horloges plus lentes pourrait aussi contribuer au bruit sur l'alimentation, parce que leurs plus hautes harmoniques pourraient causer de la résonance. Finalement, les outils dynamiques existants ne sont pas assez matures et ne fournissent pas un délai estimé direct qui peut être utilisé pour l'analyse des délais. Dans ce travail, l'auteur propose une nouvelle technique d'observation dynamique qui permet de mesurer directement l'impact du bruit d'alimentation sur les délais de propagation combinatoires dans les modes test et fonctionnel. Ceci a pour but de quantifier l'impact de différentes sources de bruit, incluant le bruit sur l'alimentation, sur les délais de propagation des circuits sous test utilisés dans les deux modes. Les tests sont effectués dans deux contextes différents : dans le premier, avec un nombre réduit de patrons de test

fonctionnel; dans un second, à la phase de capture pendant le mode test basé sur le délai. Deux plans de mesures sont proposés, un plan relatif et un plan absolu. Le plan relatif vise à mesurer et à caractériser la différence qui pourrait exister entre le délai de certains chemins sensibles dans le mode test temporel et le délai des mêmes chemins dans le mode fonctionnel. Les mesures sont prises en dehors de la puce en respectant l'horloge externe. L'avantage est d'éliminer les constantes d'erreurs le long du chemin. Le plan absolu vise à estimer la fréquence maximale de l'horloge dans le mode test temporel, en utilisant une plus basse fréquence et en ajustant le rapport cyclique de l'horloge. Selon les résultats des travaux, l'auteur montre que s'il y a trop d'activité dans le circuit pendant un test, il se peut que les transitions ne soient pas synchronisées avec l'horloge et dans ce cas, elles ne seront pas détectées. Il serait donc utile de vérifier l'arrivée de ces transitions pour chaque test effectué afin que les résultats soient représentatifs et observables. Il est également à noter que les circuits proposés introduisent des capteurs et des convertisseurs courant-tension et la stratégie d'insertion de ces modules peut être optimisée. D'après les résultats obtenus par (Thibeault 2008), le mode test n'est clairement pas représentatif du mode fonctionnel. De plus, le phénomène des PIMs n'est pas pris en compte dans ces tests.

1.8 Conclusion

Dans ce chapitre, on a tout d'abord présenté les notions de base permettant la compréhension du projet. Par la suite, la revue des recherches précédentes a été réalisée afin de définir les besoins en ce qui a trait au projet de maîtrise présenté dans cet ouvrage. De ce fait, selon les résultats obtenus par (Pant and Zelman 2009), la manière la plus efficace de contrer l'impact de la première baisse de tension d'alimentation dans le mode test est d'utiliser une horloge de test avec les caractéristiques suivantes: une fréquence lente de la phase décalage; une phase de capture espacée par rapport à la phase précédente. Puisque nous nous intéressons à la représentativité du mode test et à l'impact des PIMs en termes de délais et de bruit sur l'alimentation, différentes fréquences de la phase décalage, ainsi que différents espacements de la phase de capture seront appliqués. Par contre, il n'est pas nécessaire d'appliquer un patron de balayage spécifique puisque le but de ce projet est de comparer les délais de

propagation dans une puce de type FPGA se trouvant dans les modes test et fonctionnel et non de tester la puce à proprement parler. De plus, en révisant la littérature, on remarque que le phénomène des PIMs n'a jamais été étudié en lien avec les modes test et fonctionnel. Cela nous amène donc à développer une architecture qui nous permettra également d'étudier l'impact des PIMs sur les délais de propagation dans les deux modes.

CHAPITRE 2

SÉRIES D'EXPÉRIMENTATIONS PRÉLIMINAIRES

2.1 Introduction

Un des objectifs du projet est d'investiguer l'effet du bruit de la tension d'alimentation sur les modes test et fonctionnel. Dans un premier temps, notre intérêt s'est porté sur le mode fonctionnel. À cet effet, deux architectures ont été développées et deux séries d'expérimentations, dites préliminaires, ont été réalisées. La première architecture visait l'émulation du mode fonctionnel à plusieurs domaines d'horloge, avec une prise de mesures permettant de quantifier les effets de chacun des signaux d'horloge. Les résultats obtenus lors de la première série d'expérimentations ont mené au développement de la seconde architecture qui visait à valider l'hypothèse de la présence de PIMs dans le système, ce qui aurait des conséquences directes sur la mesure des délais. Dans ce chapitre, on présente brièvement la plateforme utilisée, ses caractéristiques, ainsi que les résultats des séries d'expérimentations préliminaires.

2.2 Plateforme utilisée

2.2.1 Plaquette de développement

Dans notre système, on utilise une plaquette de développement Nexys2. Cette plaquette est présentée à la Figure 2.1 et à la Figure 2.2.

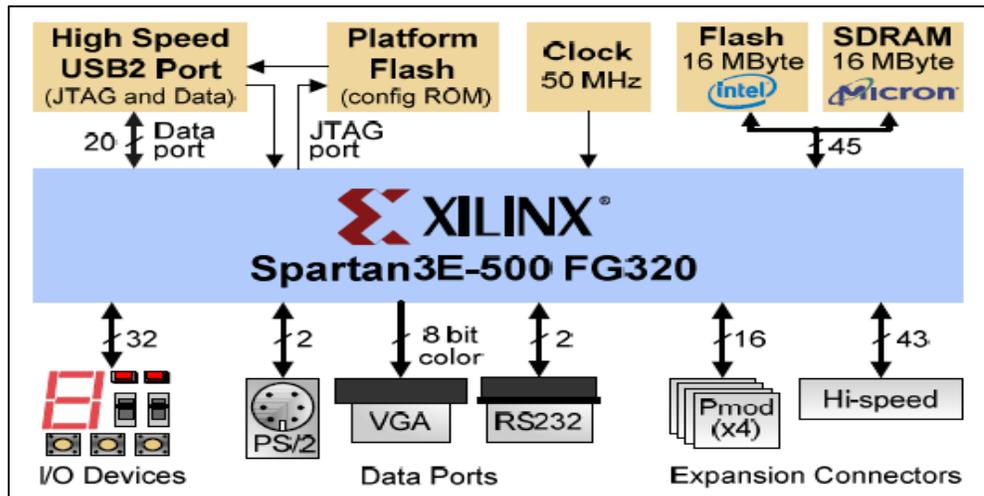


Figure 2.1 Nexys2 – Diagramme bloc
Tirée de Digilent (2011)

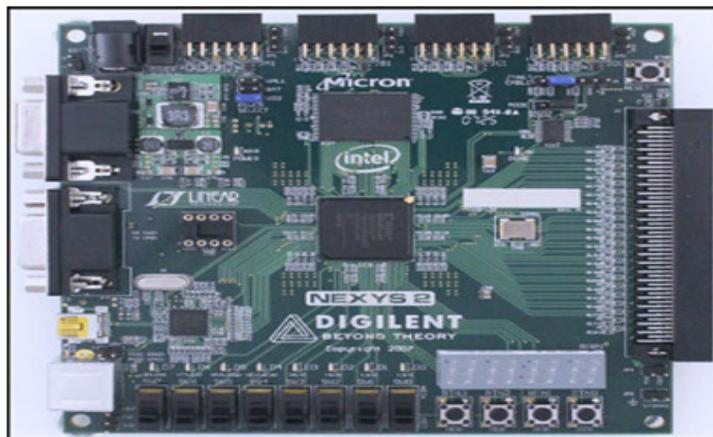


Figure 2.2 Nexys2 – Allure physique
Tirée de Digilent (2011)

Cette plateforme est une plaquette de développement complète. Les spécifications et éléments qui concernent le projet présenté dans ce document sont énumérés dans la liste qui suit, les détails étant présentés à l'ANNEXE I.

- FPGA Spartan 3E XC3S500E4FG320 de Xilinx;

- 500K portes logiques;
- compatible avec toutes les versions des outils Xilinx ISE;
- port USB2 haute vitesse :
 - programmation;
 - communication avec une interface usager (Adept Suite Software);
- oscillateur 50MHz et support pour un oscillateur supplémentaire;
- 60 entrées sorties :
 - 4 connecteurs de 12 broches (Pmod);
 - 1 connecteur haute vitesse « Hirose FX2 »;
 - idéal pour une connexion dont la vitesse excède 100MHz;
 - réduction du bruit;
- 8 DELs;
- 4 7-segments;
- 4 boutons;
- 8 interrupteurs;
- 4 DCMs;
- 8 BUFGMUXs.

2.2.2 Environnement de développement

Le logiciel de développement utilisé est ISE WebPACK version 8.2i. Cet outil est offert gratuitement sur le site web de Xilinx. Il permet de concevoir des designs à l'intérieur de FPGA et de CPLD, couvrant la synthèse HDL, la simulation, l'implémentation, le placement et la programmation JTAG. Divers services sont également offerts aux usagers, tels que des notes d'application spécifiques au dispositif utilisé, des tutoriels, des manuels d'utilisation et un support technique. L'environnement de développement est présenté plus en détails à l'ANNEXE I.

2.3 Première série d'expérimentations préliminaires

Tel qu'indiqué précédemment, l'objectif de cette première série d'expérimentations est d'émuler le mode fonctionnel à multiples domaines d'horloge, en mettant l'emphase sur l'effet direct des signaux d'horloge. Cet effet est quantifié en mesurant un délai de propagation pour une large gamme de fréquences.

2.3.1 Caractéristiques

Rappelons que l'architecture est implémentée dans un FPGA Spartan3E-500 de Xilinx, faisant partie de la plaquette de développement Nexys2 de Digilent.

Le diagramme bloc de l'architecture est présenté à la Figure 2.3.

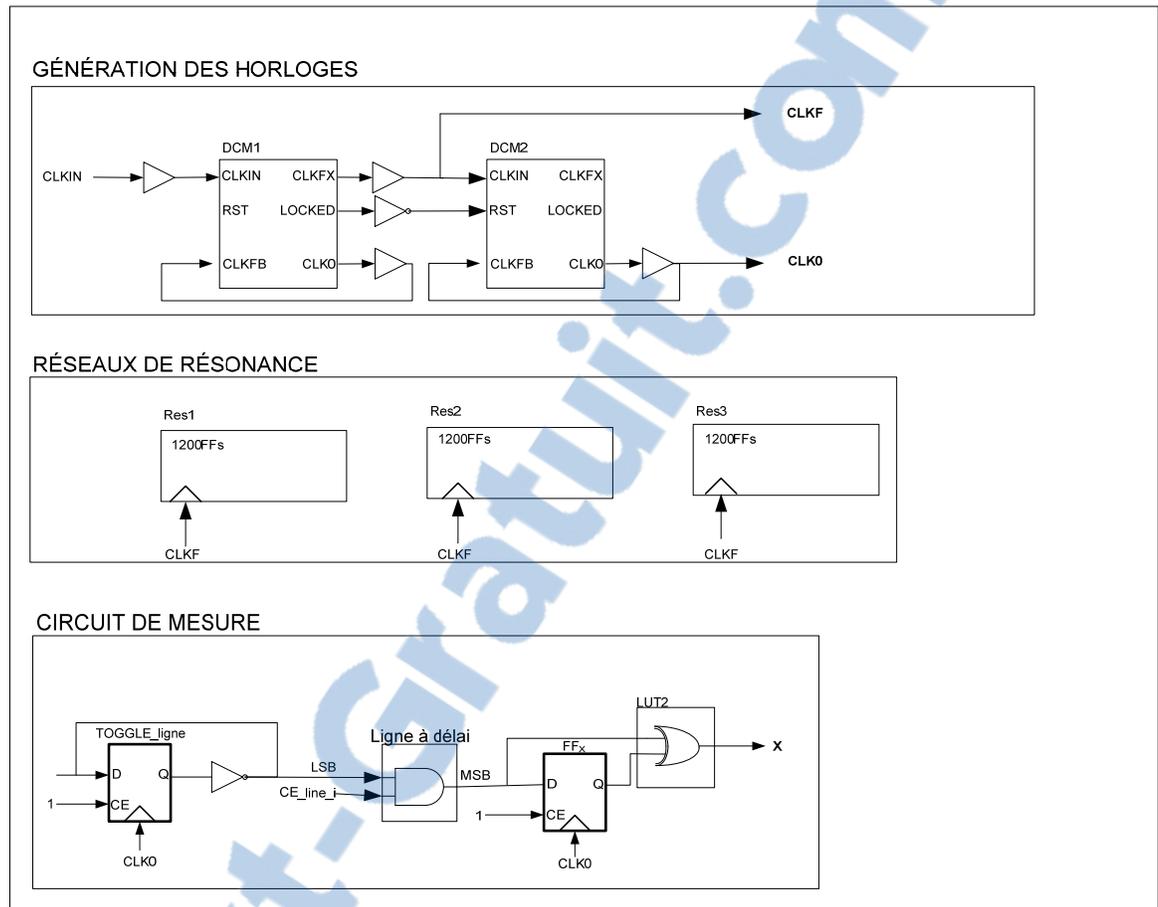


Figure 2.3 Diagramme bloc de la première architecture préliminaire dans le mode fonctionnel à multiples domaines d'horloge

On y distingue trois parties :

La génération des horloges : Deux horloges sont générées. La première est générée à partir de l'horloge principale de 50MHz qui est appliquée à un certain facteur et déphasée d'un certain degré pour obtenir l'horloge nommée *CLKF*. Cette horloge est ensuite utilisée pour générer une deuxième horloge nommée *CLK0* qui possède la même fréquence et la même phase que la première. Les fréquences suivantes sont générées : 20, 22,5, 25, 30, 40, 45, 50, 60, 70, 75, 80, 90, 100, 110, 120, 130, 140, 150, 155, 160, 166,67, 170, 180 et 200MHz. Pour chaque fréquence, les déphasages suivants sont appliqués : 0, 45, 90, 135, 180, 225, 270 et 315;

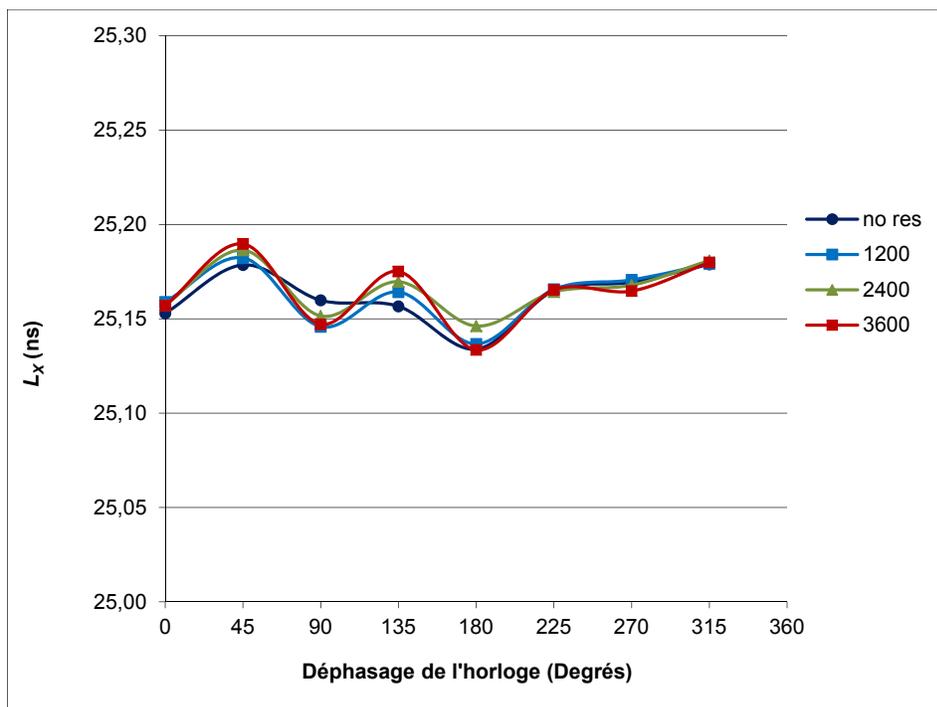
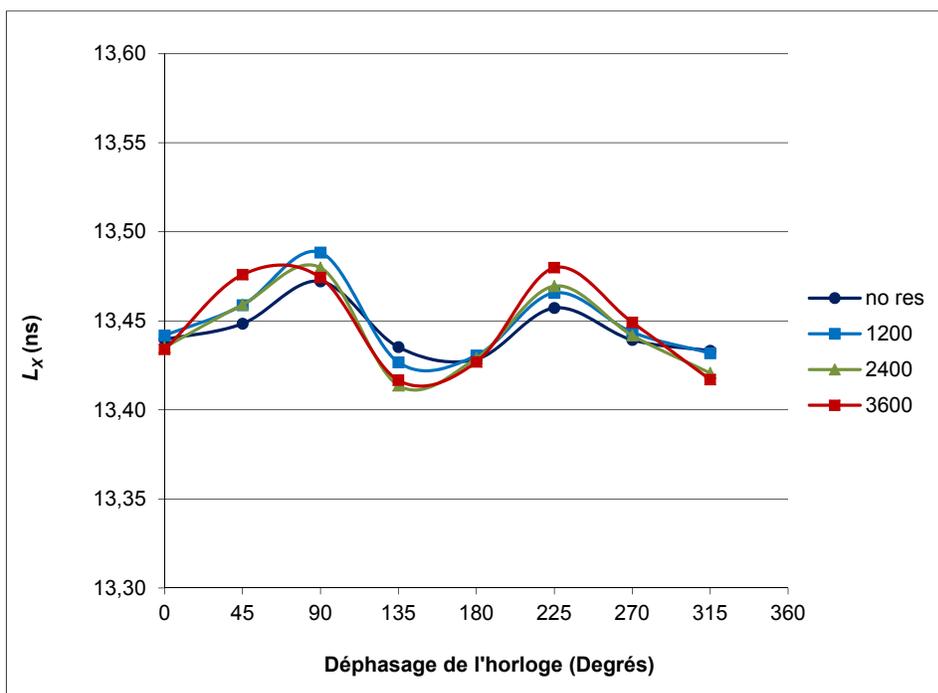
Les réseaux de résonance : Trois registres à décalage sont implémentés, chacun possédant 1200 bascules auxquelles l'horloge $CLKF$ est appliquée. Quatre types de résonances sont possibles, en fonction du nombre de réseaux activés : 0, 1200, 2400 et 3600 bascules;

Le circuit de mesure : Finalement, un circuit de mesure contenant une ligne à délai synchronisée (composée d'une porte logique ET) sur l'horloge $CLK0$ est implémenté dans le but de mesurer la marge de temps restante entre le délai de la ligne et le prochain front montant. Cette marge peut être approximée par la mesure de la largeur de l'impulsion sur le signal X , appelée L_X , le tout étant démontré en détails à la section 4.1.1.

2.3.2 Analyse des résultats

Pour la première série d'expérimentations préliminaires, on fixe l'horloge $CLKF$ à 40MHz avec un déphasage de zéro degré, on mesure L_X selon les quatre cas de résonance possibles. Ensuite, on modifie le déphasage selon les sept autres degrés énumérés à la section précédente. On refait les mêmes tests pour une horloge de 75MHz. Le but de générer les mêmes fréquences avec huit déphasages différents est de pouvoir mesurer L_X à huit moments différents.

Les mesures de L_X pour une horloge de 40MHz sont présentées à la Figure 2.4 et celles pour une horloge de 75MHz sont présentées à la Figure 2.5.

Figure 2.4 Mesure de L_X pour CLKF=40MHzFigure 2.5 Mesure de L_X pour CLKF=75MHz

On voit que L_X suit un certain patron suivant le déphasage peu importe le type de résonance. L'hypothèse de la présence de ce patron à ce stade-ci est la présence de produits d'intermodulation (PIMs). Rappelons que l'interaction de plusieurs fréquences qui ne sont pas multiples l'une de l'autre se produit en présence de système non-linéaire, donc lorsque les transistors commutent. La théorie des PIMs a été présentée précédemment à la section 1.5.

Des expérimentations sont effectuées avec la série de fréquences énumérées à la section 2.3.1. Pour chaque fréquence, on calcule ensuite $L_{X(MAX)}-L_{X(MIN)}$, où $L_{X(MAX)}$ et $L_{X(MIN)}$ sont respectivement les largeurs maximal et minimale mesurées. Les résultats sont présentés à la Figure 2.6.

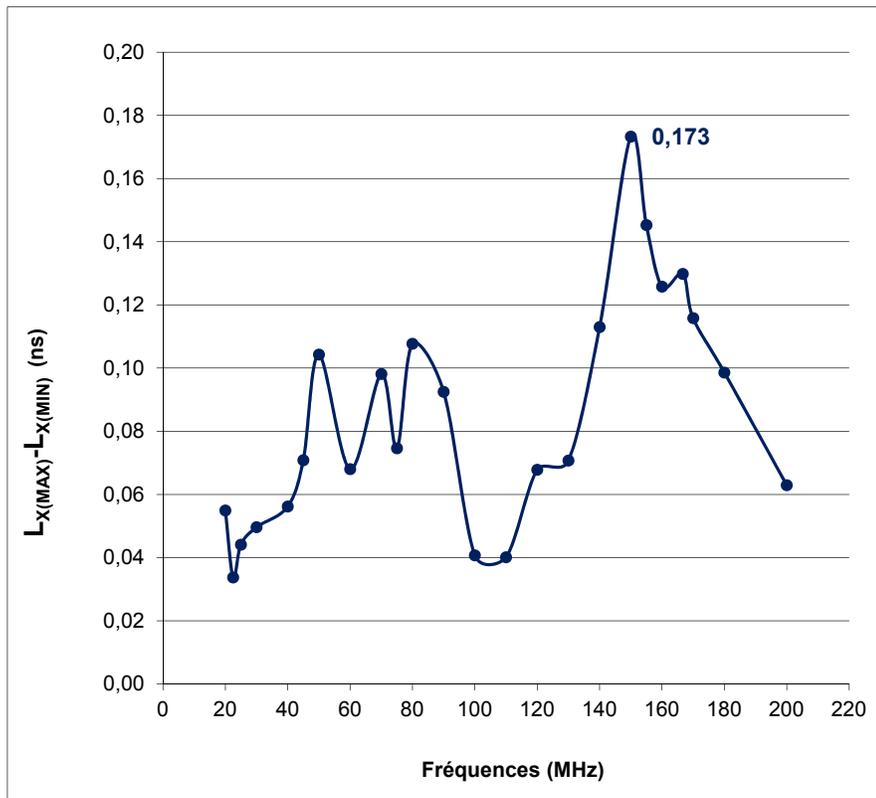


Figure 2.6 $L_{X(MAX)}-L_{X(MIN)}$ en fonction de $CLKF$ de la première architecture préliminaire dans le mode fonctionnel à multiples domaines d'horloge

Pour toutes les fréquences, on observe que le nombre de bascules, donc le niveau d'activité dans le circuit, n'a que très peu d'influence sur la mesure de L_X . On peut conclure que la ligne à délai est principalement influencée par le réseau de distribution de l'horloge $CLKF$. On remarque également que la fréquence de résonance se situe à environ 150MHz.

2.4 Deuxième série d'expérimentations

L'objectif de cette deuxième série d'expérimentations est d'étudier l'impact des PIMs sur la tension d'alimentation.

2.4.1 Caractéristiques

L'architecture de cette série d'expérimentations est présentée à la Figure 2.7.

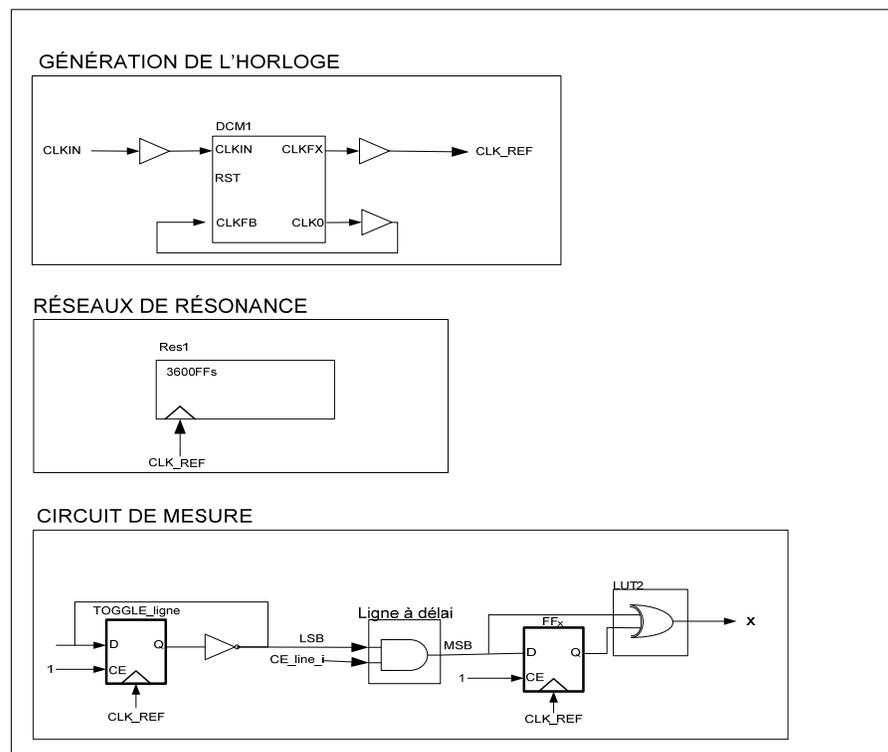


Figure 2.7 Diagramme bloc de la deuxième architecture préliminaire dans le mode fonctionnel à multiples domaines d'horloge

Trois ensembles de résultats sont recueillis lors de cette seconde expérimentation. Pour chacun d'eux, l'horloge CLK_REF est générée pour une fréquence de 40, 50 et 75MHz. Cette horloge est appliquée à un réseau de résonance contenant un registre à décalage de 3600 bascules, ainsi qu'à une ligne à délai (qui n'est pas utilisée). La FFT de la tension d'alimentation est calculée à partir de la mesure prise directement sur une broche du FPGA à l'aide d'une fonction de l'oscilloscope, lequel modèle est présenté à l'ANNEXE I.

2.4.2 Analyse des résultats

Les deux prochaines figures présentent la FFT de V_{DD} avec et sans résonance pour une fréquence de 40MHz.

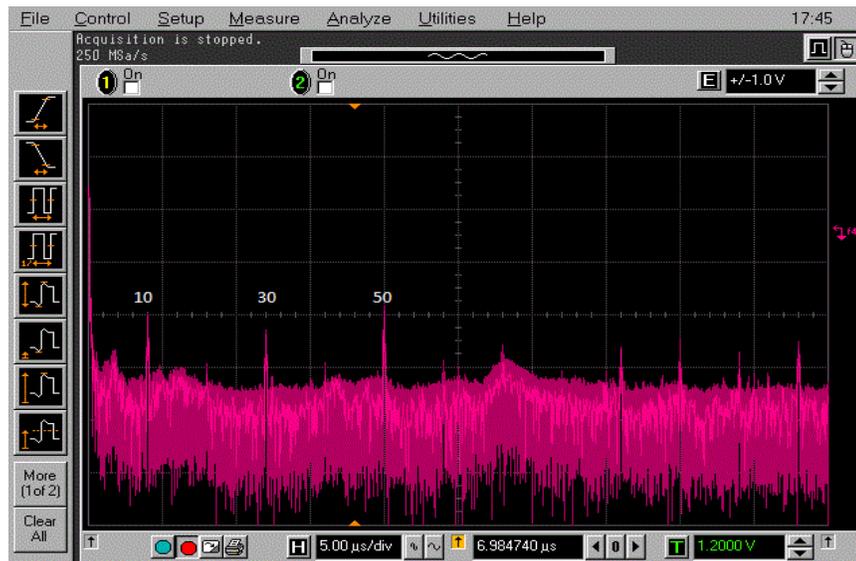


Figure 2.8 FFT de V_{DD} dans le mode fonctionnel sans commutation pour une fréquence de 40MHz

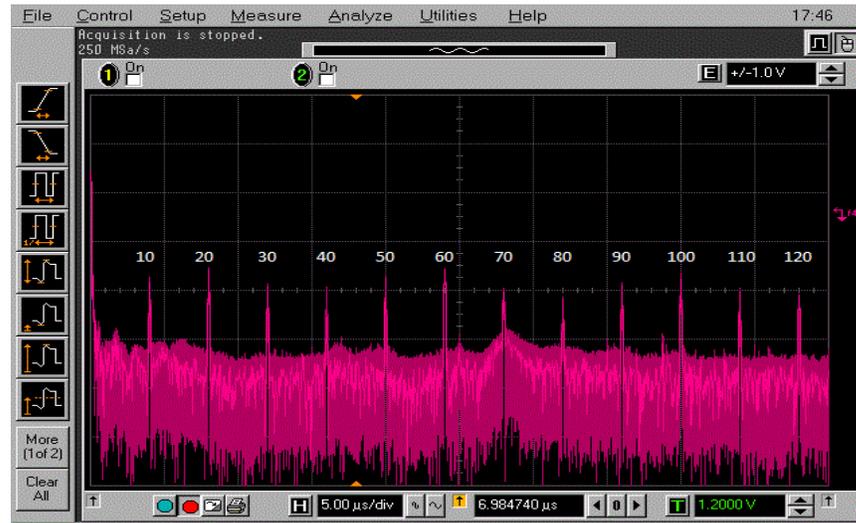


Figure 2.9 FFT de V_{DD} dans le mode fonctionnel avec commutation pour une fréquence de 40MHz

Rappelons que la fréquence d'opération de 40MHz est générée à partir de l'horloge principale de 50MHz. Sur la première figure, il n'y a aucune commutation. On remarque trois principales harmoniques, soit 10, 30 et 50MHz. Ces harmoniques proviennent des réseaux de distribution de 40MHz et de 50MHz. Soit les relations suivantes :

$$F_1 = 40MHz \quad (2.1)$$

$$F_2 = 50MHz \quad (2.2)$$

$$F_2 - F_1 = 10MHz \quad (2.3)$$

$$2F_1 - F_2 = 30MHz \quad (2.4)$$

Lorsque le registre à décalage commute, plusieurs autres harmoniques viennent s'ajouter, lesquelles sont toujours reliées à la relation entre les deux mêmes fréquences. Cet effet est renforcé par le niveau d'activité augmentant dans le système.

Pour la prochaine expérimentation, l'horloge *CLK_REF* est soumise à la même fréquence que l'horloge principale, c'est-à-dire, 50MHz. Sur la Figure 2.10, il n'y a aucune commutation et sur la Figure 2.11, le registre à décalage commute.

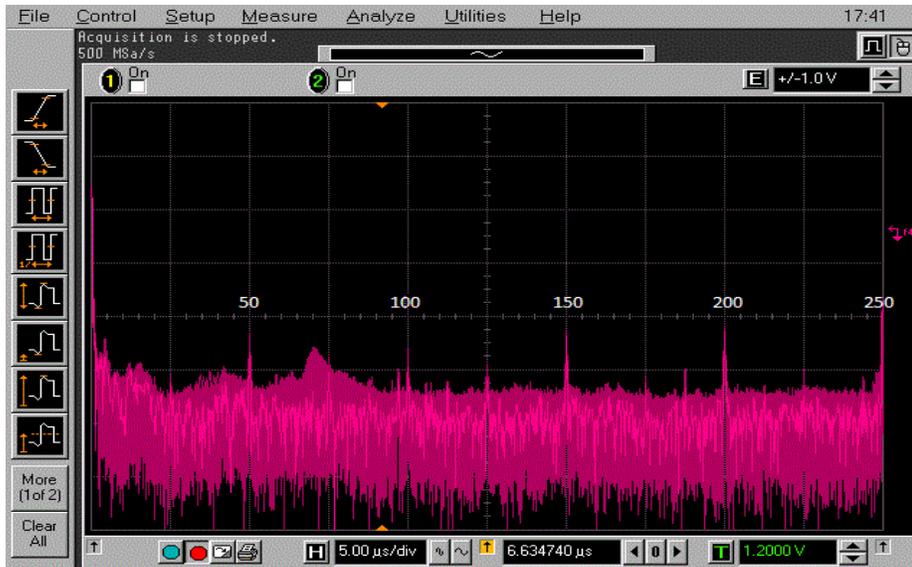


Figure 2.10 FFT de V_{DD} dans le mode fonctionnel sans commutation pour une fréquence de 50MHz



Figure 2.11 FFT de V_{DD} dans le mode fonctionnel avec commutation pour une fréquence de 50MHz

Lorsque le registre à décalage n'est pas dans un mode de commutation, on remarque quatre harmoniques, soit 50, 150, 200 et 250MHz. Ces harmoniques sont des multiples de la fréquence de base.

Lorsque l'horloge à laquelle le système est soumis est un multiple de l'horloge principale, les PIMs ne sont pas différenciables des harmoniques linéaires puisqu'elles apparaissent aux mêmes fréquences. Par contre, on remarque des composantes fréquentielles supplémentaires de 25, 75, 100, 125, 175 et 225MHz qui apparaissent lorsque le registre à décalage commute. On observe qu'il y a une fréquence de $\frac{F}{2}$ qui apparaît. À prime abord, on ne s'attend pas à retrouver ces harmoniques. En fait, les réseaux de résonance génèrent une fréquence de $\frac{F}{2}$ qui provient du déséquilibre des bascules qui commutent et non du réseau de résonance de base. Cette fréquence génère à son tour des harmoniques.

Pour la dernière série d'expérimentations de cette architecture, l'horloge CLK_REF est générée à 75MHz toujours à partir de l'horloge principale de 50MHz.

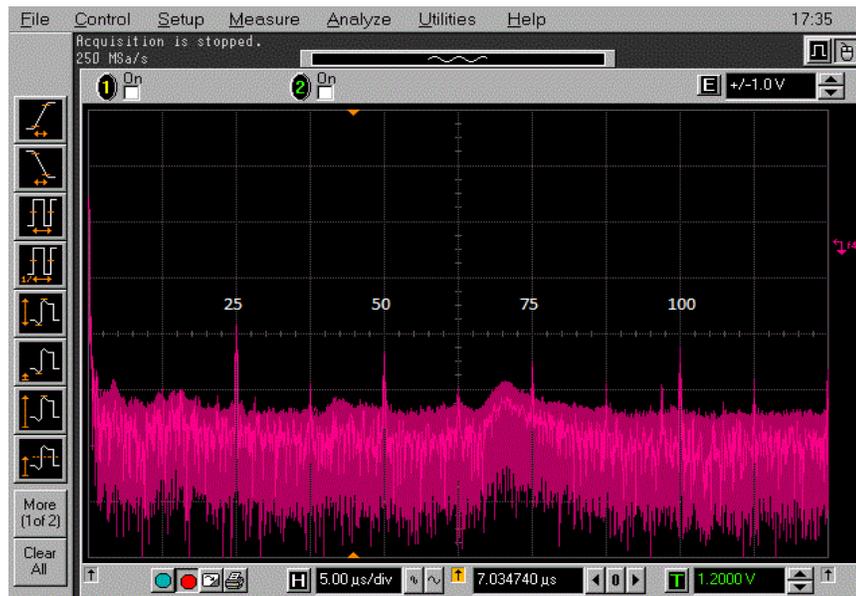


Figure 2.12 FFT de V_{DD} dans le mode fonctionnel sans commutation pour une fréquence de 75MHz

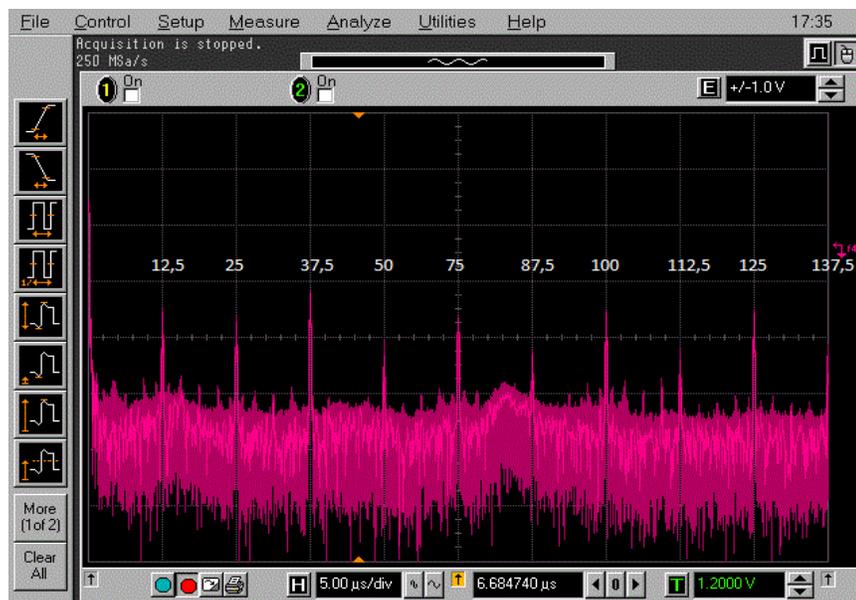


Figure 2.13 FFT de V_{DD} dans le mode fonctionnel avec commutation pour une fréquence de 75MHz

Comme dans les deux systèmes précédents, sur la Figure 2.12, il n'y a aucune commutation. On remarque quatre principales harmoniques, soit 25, 50, 75 et 100MHz. Ces harmoniques proviennent des réseaux d'horloge de 75MHz et de 50MHz. Soit les relations suivantes :

$$F_1 = 50MHz \quad (2.5)$$

$$F_2 = 75MHz \quad (2.6)$$

$$F_2 - F_1 = 25MHz \quad (2.7)$$

$$2F_1 - F_2 = 100MHz \quad (2.8)$$

Lorsque le réseau de résonance commute à la fréquence d'opération, plusieurs autres harmoniques apparaissent, toujours reliés à la relation entre les deux mêmes fréquences, mais également reliés à la fréquence de $\frac{F}{2}$. Cet effet est observable pour les fréquences de 12.5, 37.5, 87.5, 122.5 et 137.5MHz.

À ce stade-ci, les expérimentations effectuées permettent l'observation de la présence de PIMs sur la tension d'alimentation pendant le mode fonctionnel à multiples domaines d'horloge. On remarque également que cet effet augmente d'intensité lorsque le niveau d'activité dans le circuit augmente.

2.5 Conclusion

Les séries d'expérimentations préliminaires ont permis d'observer la marge de synchronisation (approximée par la mesure de L_X) et la présence de PIMs sur la tension d'alimentation. Le tout dans un système à multiples domaines d'horloge dans le mode fonctionnel. En relation avec ces résultats, (Thibeault and Larche 2012) démontre que les PIMs causent une réduction du délai pour la moitié des périodes de la simulation effectuée. Si une transition est propagée à ce moment précis, le CUT paraîtra plus rapide qu'il l'est en

réalité. Il est donc envisageable de penser qu'il est davantage difficile d'émuler correctement le mode fonctionnel par le mode test, dû à ces PIMs qui causent une variation de délai. L'objectif est donc de développer une architecture permettant la comparaison des modes test et fonctionnel en termes de délais et de bruit sur la tension d'alimentation. Il sera donc important de s'assurer de tester les deux modes dans les mêmes conditions pour pouvoir comparer les modes de façon fiable.

CHAPITRE 3

ARCHITECTURES PROPOSÉES

3.1 Introduction

Tel que présenté précédemment, on veut développer une plateforme permettant d'étudier la représentativité du mode test et l'impact des produits d'intermodulation (PIMs) en termes de délai et de tension d'alimentation. Pour ce faire, on doit s'assurer que les modes test et fonctionnel soient comparables, donc que lors de la comparaison de ces modes, le routage reste le même. Il est à noter que la base des architectures présentées requière un testeur et un circuit sous test (CUT). Le rôle du testeur est de fournir une horloge et un signal de contrôle (*clock enable*) pour le mode test. Le rôle du CUT est d'introduire de la résonance dans le circuit à partir de chaînes de balayage et de mesurer l'impact des différents facteurs énumérés ci-haut sur un délai de propagation.

Dans ce chapitre, deux architectures sont proposées : une première architecture qui est composée d'un seul circuit intégré programmable (FPGA) émulant le testeur et le CUT, ainsi qu'une seconde architecture qui est composée de deux FPGA, l'un émulant le testeur et l'autre le CUT. La première architecture est présentée à la section 3.2. Cette présentation est faite en deux étapes. À la section 3.2.1, on présente les parties communes aux deux architectures, alors qu'à la section 3.2.2, on présente ce qui est propre à cette première architecture. La section 3.3 décrit la seconde architecture et ses spécificités.

3.2 Première architecture à un FPGA

Cette section décrit la première architecture, émulant le testeur et le CUT à l'aide d'un seul FPGA. Cette architecture porte également le nom de code V6_6.

3.2.1 Diagramme bloc commun

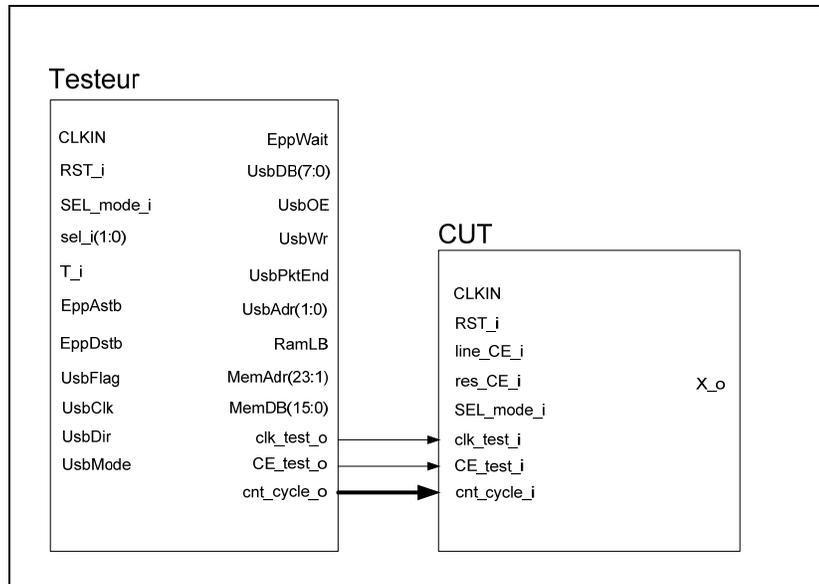


Figure 3.1 Diagramme bloc de haut niveau de la première architecture à un FPGA; ce diagramme est également valide pour la seconde architecture.

Figure 2.3 présente le diagramme bloc de la première architecture. On y distingue les deux parties principales de l'architecture, soient le testeur et le CUT, ainsi que les signaux qu'ils partagent. Ce diagramme bloc de haut niveau s'applique également à la seconde architecture.

Testeur

Le testeur permet d'accomplir les opérations suivantes : 1) enregistrer les paramètres de test définissant les caractéristiques de l'horloge et du signal de contrôle utilisés pendant le test; 2) produire ces deux signaux; 3) stocker le numéro de la période de l'horloge fonctionnelle³ qui fera l'objet d'une mesure et le transmettre au CUT sous le bon format.

³ Ceci a pour but de visualiser les PIMs sur plusieurs périodes de l'horloge de référence dans le mode fonctionnel.

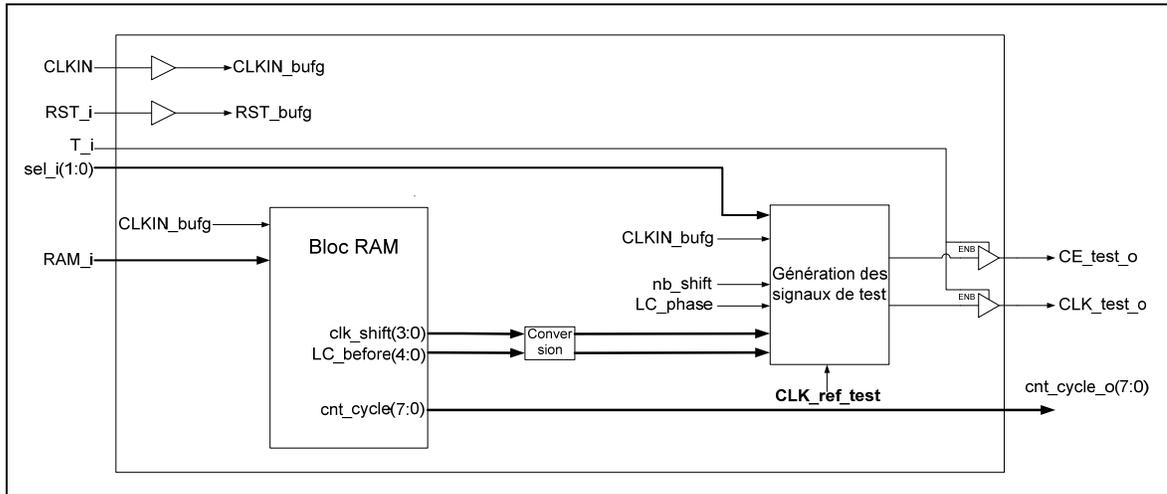


Figure 3.2 Diagramme bloc global du testeur

Voici la description des blocs du testeur illustrés à la Figure 3.2:

Bloc RAM : Ce bloc reçoit les paramètres de l'interface usager et les range en mémoire. Deux de ces paramètres servent à construire les signaux de test et le troisième est transmis directement au CUT. Ces paramètres sont présentés au Tableau 3.1. Notons qu'afin de simplifier la présentation du testeur, les signaux provenant de l'interface usager sont regroupés sous un seul signal nommé *RAM_i*;

Conversion : Ce bloc lit les paramètres de test provenant du bloc RAM, les convertit sous le bon format pour les transmettre au bloc « Génération des signaux de test »;

Génération des signaux de test : Ce bloc reçoit les paramètres de test *clk_shift* et *LC_before* provenant du bloc « Conversion ». Il a comme constantes *nb_shift* et *LC_phase* qui contiennent le nombre d'impulsions de la phase de décalage et de la phase « LC » respectivement. Il reçoit également en entrée le signal *sel_i* qui est en fait une lecture de deux interrupteurs qui servent à synchroniser le signal de contrôle du mode test. À partir de ces paramètres, le rôle de ce bloc est de construire l'horloge de test (*CLK_test_o*) et le signal de contrôle de test (*CE_test_o*), pour ensuite les transmettre au CUT. La génération des signaux de test est synchronisée sur l'horloge *CLK_ref_test*. En fait, ce nom d'horloge n'est qu'à titre informatif car, l'horloge change selon l'architecture à un ou deux FPGA. Les détails seront présentés aux sections 3.2.2 et 3.3.1;

Signal T_i : est utilisé afin de transmettre les paramètres de test seulement si l'utilisateur a sélectionné le mode test.

Notons que les RTL détaillés du bloc RAM et du bloc amenant à la génération des signaux de test sont présentés à l'ANNEXE IX.

Tableau 3.1 Paramètres provenant de l'interface usager

Mode	Nom	Description
Test	clk_shift(3:0)	Fréquence de la phase de décalage : Nombre d'impulsions qu'on laisse passer selon la période de référence
	LC_before(4:0)	Emplacement de la phase « LC » : Nombre d'impulsions entre la fin de la phase de décalage et le début de la phase « LC »
Fonctionnel	cnt_cycle(7:0)	Emplacement du signal de contrôle du mode fonctionnel : Numéro de la période de l'horloge de référence

CUT

Le diagramme bloc global du CUT est présenté à la Figure 3.3.

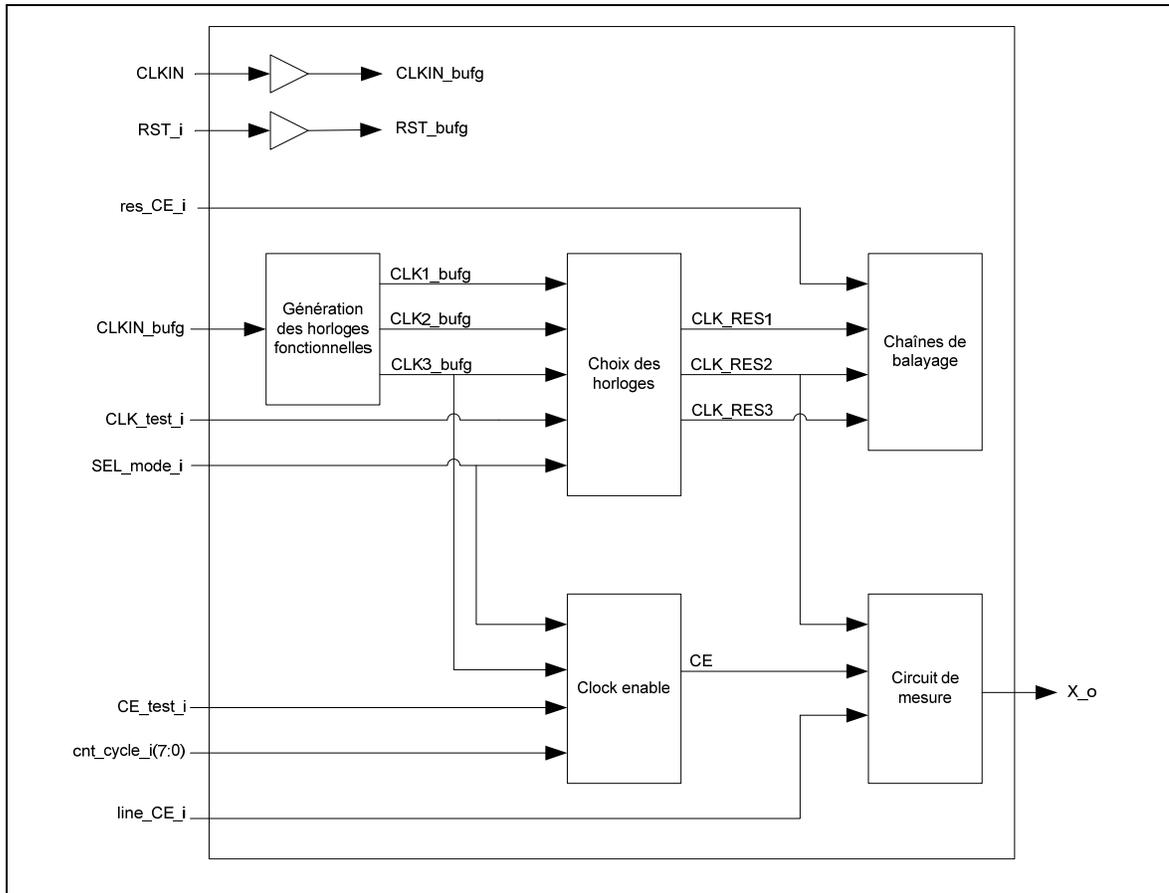


Figure 3.3 Diagramme bloc global du CUT

Le CUT remplit les fonctions suivantes : 1) générer trois horloges fonctionnelles; 2) lire le mode à adopter; 3) choisir les horloges et paramètres selon le mode; 4) soumettre la ligne à délai, ainsi que les chaînes de balayage aux paramètres du mode souhaité. À la Figure 3.4, chaque partie du CUT est exposé à un niveau d'abstraction plus bas :

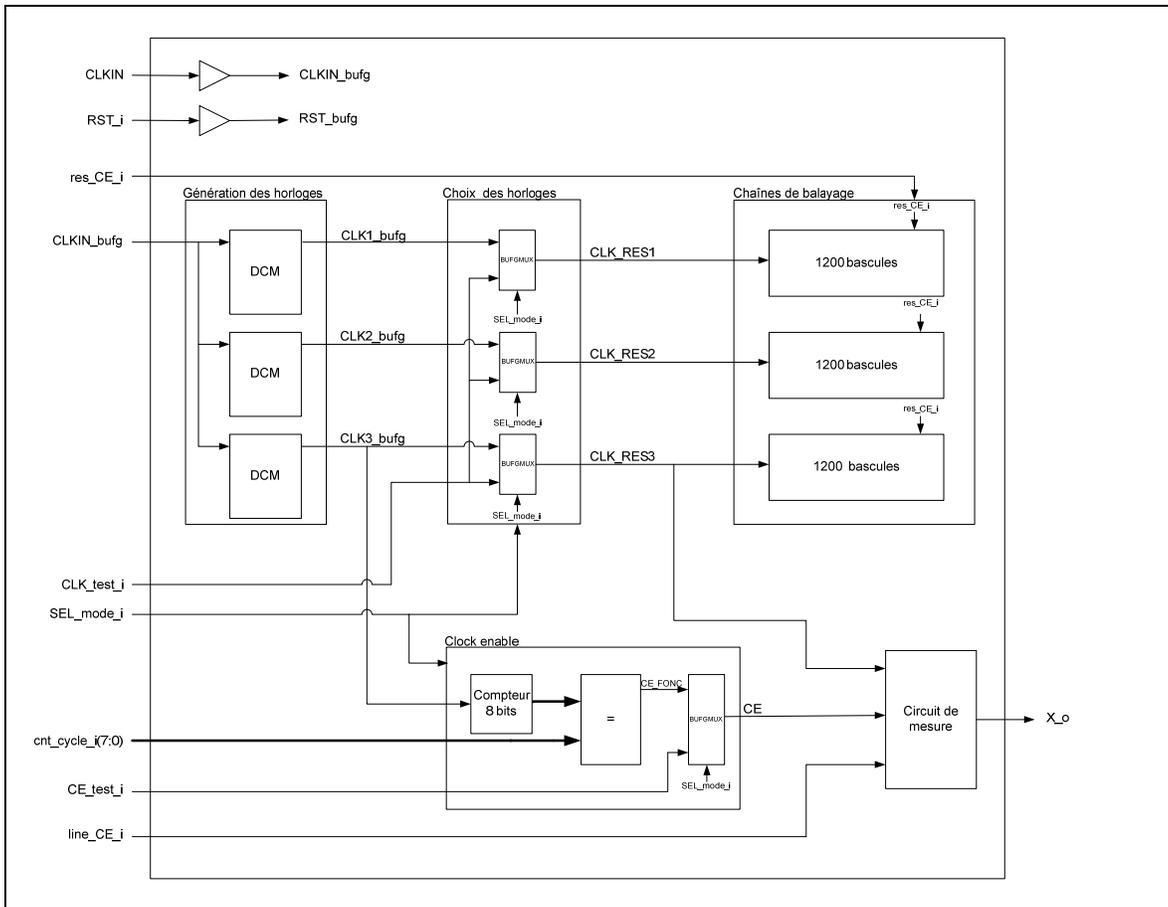


Figure 3.4 Diagramme bloc explosé du CUT

Débutons par le bloc « Génération des horloges fonctionnelles » présenté en détail à la Figure 3.5.

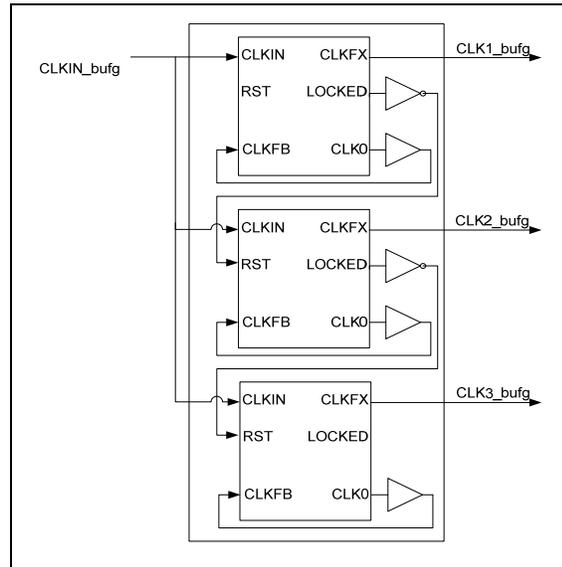


Figure 3.5 CUT : Génération des horloges fonctionnelles

Ce bloc génère trois horloges qui sont utilisées dans le mode fonctionnel : *CLK1_bufg*, *CLK2_bufg* et *CLK3_bufg*. À partir de l'horloge principale en entrée et selon les paramètres des DCM présentés à la section 1.3, les trois horloges sont générées et sont utilisées par les blocs « Choix des horloges » et « *Clock enable* ». Le bloc « Choix des horloges » est présenté plus en détail à la Figure 3.6.

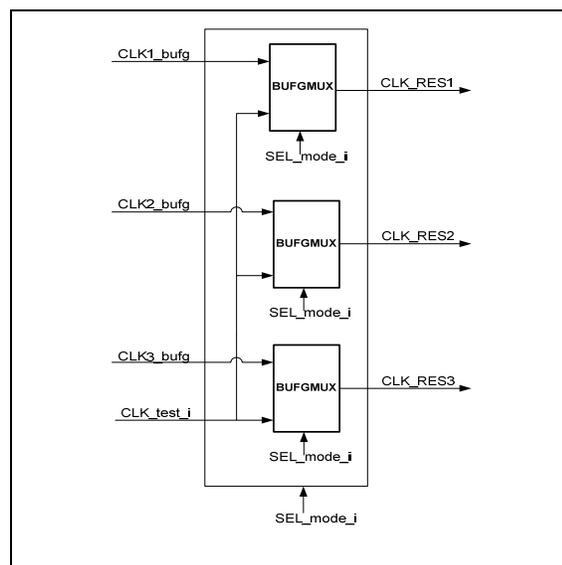


Figure 3.6 CUT : Choix des horloges

Ce bloc sert à propager dans le système les horloges correspondantes au mode sélectionné par l'utilisateur. Pour ce faire, les composants BUFGMUX sont utilisés tel que décrit à la section 1.4. Ce bloc reçoit en entrée les trois horloges fonctionnelles, l'horloge de test, ainsi que le mode désiré par l'intermédiaire du signal *SEL_mode_i*. Il transmet aux blocs « Chaînes de balayage » et « Ligne à délai » les trois horloges du système; *CLK_RES1*, *CLK_RES2* et *CLK_RES3*. Le bloc « Chaînes de balayage » est présenté à la Figure 3.7.

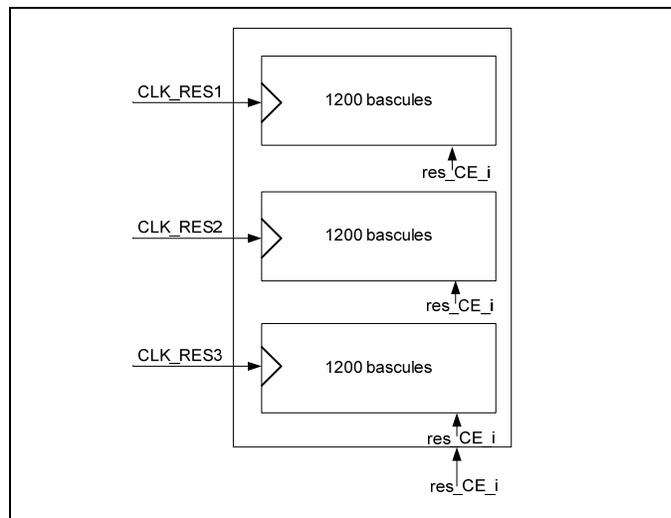


Figure 3.7 CUT : Chaînes de balayage

Dans le but de mesurer l'impact du bruit sur la tension d'alimentation, ainsi que sur les délais, on crée trois chaînes de balayage que l'on soumet à trois horloges différentes. Lorsqu'une chaîne est activée, ses 1200 bascules commutent au rythme de l'horloge qui l'alimente. Le RTL détaillé de ce bloc est présenté à l'ANNEXE IX. Le bloc « *Clock enable* » est présenté à la Figure 3.8.

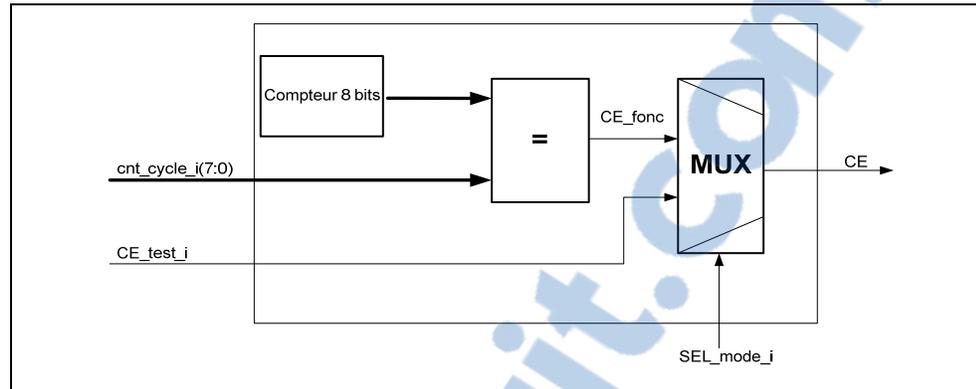


Figure 3.8 CUT : signaux de contrôle

Ce bloc prend en entrée le paramètre *cnt_cycle_i* qui indique le numéro de la période d'horloge fonctionnelle de référence. Il compare ce paramètre avec un compteur de 8 bits et construit le signal de contrôle du mode fonctionnel (*CE_fonc*). Selon le mode sélectionné par l'utilisateur, le signal *CE* est assigné au signal *CE_fonc* ou *CE_test_i* reçu en entrée par le testeur. Le dernier bloc, « Ligne à délai », est présenté à la Figure 3.9.

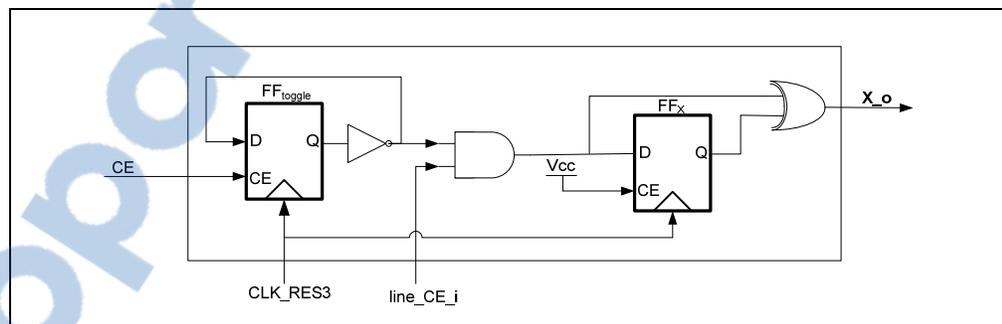


Figure 3.9 CUT : Circuit servant à la mesure de L_X

Ce bloc est la partie qui sert à mesurer la marge de synchronisation qui est approximée par L_X (les détails de cette approximation sont présentés à l'ANNEXE III). Rappelons que L_X est la largeur de l'impulsion sur le signal X_o . La première bascule est de type « toggle » et prend le signal *CE* en entrée choisi selon le mode dans le bloc « Clock enable ». La ligne à délai

est composée d'une porte logique de type ET. Elle est activée à partir de la valeur d'un interrupteur qui est transmis en entrée par le signal *line_CE_i*. La marge de synchronisation est comprise entre les deux bascules FF_{TOGGLE} et FF_X qui sont synchronisées sur l'horloge de référence *CLK_RES3*. Elle est définie comme la marge existant entre la présence d'une valeur stable à l'entrée de la bascule FF_X suite à la propagation d'une transition dans la porte ET et l'arrivée du front montant de l'horloge qui échantillonne cette valeur. Le signal *X_o* produit une impulsion dont la durée est fonction de la différence entre le délai cumulatif de la fin de la ligne et l'arrivée du prochain front montant de l'horloge. Ce signal est mesuré sur une broche du FPGA.

3.2.2 Spécificités de l'architecture à un FPGA (V6_6)

Toutes les parties présentées jusqu'à présent sont communes aux deux architectures. Le diagramme bloc global du testeur présenté précédemment à la Figure 3.2 correspond par conséquent aux deux architectures. Cependant, une différence apparaît au niveau de la génération de l'horloge *CLK_ref_test* qui sert à la génération des signaux de test. Dans le cas de la première architecture où le testeur et le CUT sont dans le même FPGA, cette horloge devient *CLK3_bufg*, une des horloges du mode fonctionnel, tel que présenté à la Figure 3.10.

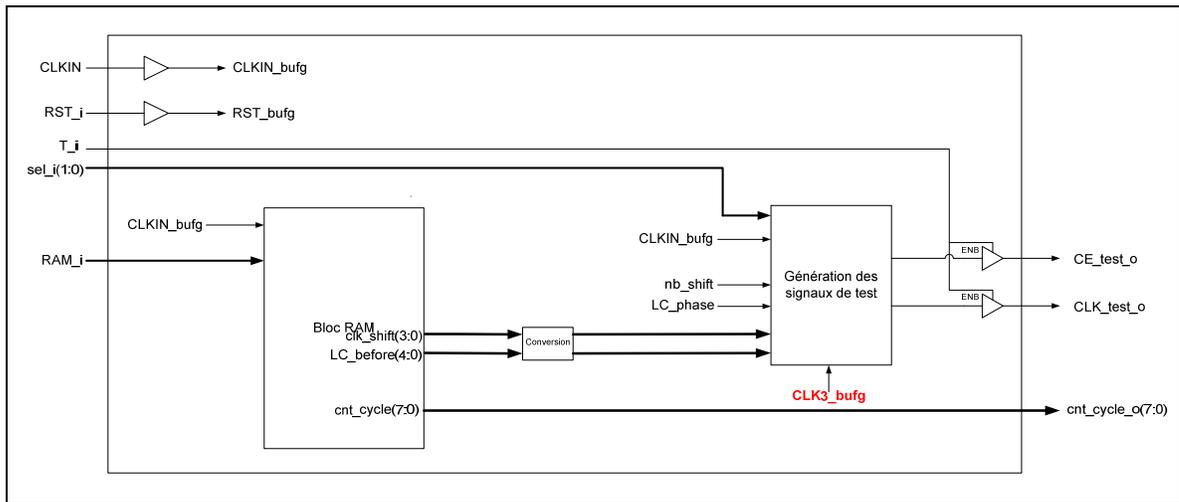


Figure 3.10 Génération des signaux de test pour la première architecture

Rappelons que dans le FPGA que l'on utilise, il y a quatre DCM disponibles. En théorie, nous devrions être en mesure d'utiliser trois DCM pour la génération des horloges fonctionnelles et la quatrième pour celle des signaux de test. Malheureusement, ce n'est pas possible. En effet, en raison notamment des ressources utilisées par notre système, les contraintes de temps ne sont pas respectées. Nous avons donc dû utiliser seulement trois DCM pour générer les trois horloges dans le mode fonctionnel et prendre l'une d'elles, la troisième horloge servant d'horloge de référence, pour générer l'horloge de test. Ce choix d'implémentation implique que la fréquence de l'horloge de test en régime permanent ne pourra jamais être égale à la fréquence de l'horloge de référence dans le mode fonctionnel. Il est à noter que les détails d'implémentation sont présentés à l'ANNEXE II.

3.3 Deuxième architecture à deux FPGA

Cette section présente la seconde architecture, émulant le CUT et le testeur dans deux FPGA séparés. Cette architecture porte également le nom de code V6_7. Comme les parties communes avec la première architecture ont déjà été présentées, nous nous concentrons ici sur les spécificités de l'architecture V6_7.



3.3.1 Spécificités de l'architecture à deux FPGA (V6_7)

Regardons les besoins en termes d'horloges dans les deux FPGA, le premier pour le CUT et le second pour le testeur. Dans le CUT, le système comprend trois domaines d'horloge et trois réseaux de résonance. Dans le mode fonctionnel, chacun des trois domaines cadence un des trois réseaux de résonance. Dans le mode test, l'horloge de test alimente les trois réseaux de résonance. On sait qu'il y a quatre DCM disponibles. Dans ce dispositif, on utilise seulement trois DCM pour générer les trois horloges dans le mode fonctionnel. Dans le testeur, on a besoin d'un seul DCM dans le but de générer l'horloge de test qui sera transmise au CUT par l'intermédiaire de la broche en sortie *CLK_test_o*. La Figure 3.11 présente le testeur de la seconde architecture où la provenance de l'horloge de synchronisation du bloc « Génération des signaux de test » est modifiée par rapport à la première architecture.

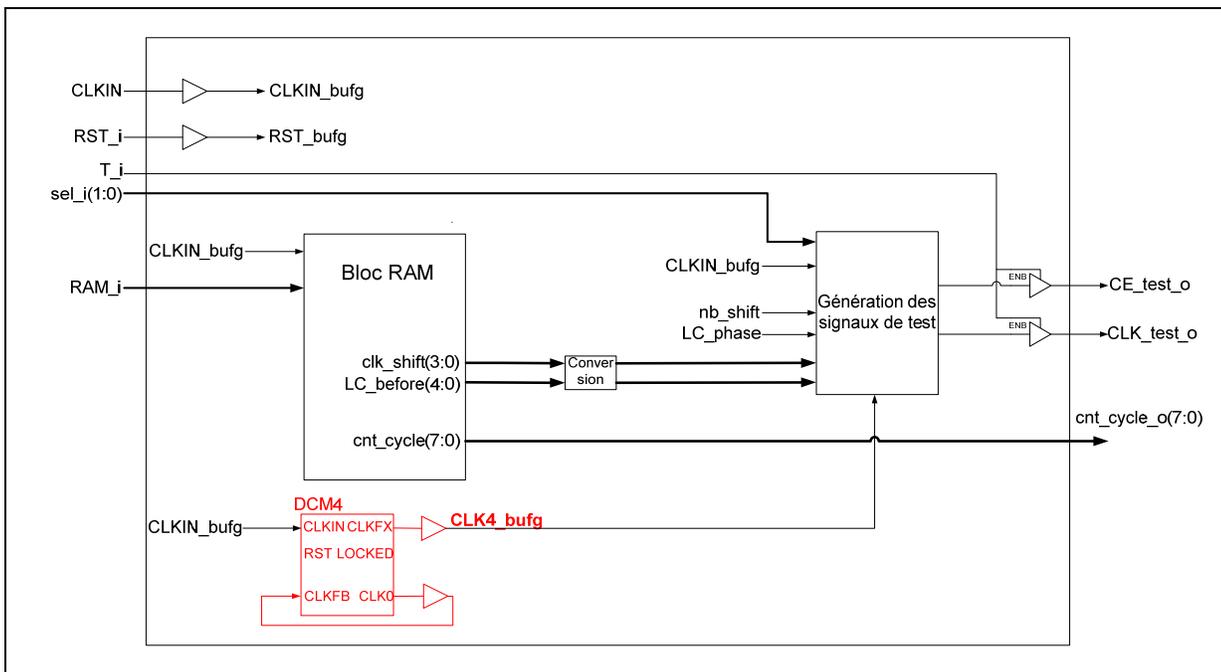


Figure 3.11 Génération des signaux de test pour la seconde architecture

Les deux différences entre cette architecture et la précédente sont :

- la génération de l'horloge *CLK4_bufg*;
- le testeur est séparé du CUT et placé dans un autre FPGA sur une deuxième carte de développement.

3.3.2 Communication entre les deux cartes

Afin de communiquer entre le testeur et le CUT, un connecteur a été fabriqué pour relier les deux plaquettes de développement via le connecteur haute vitesse, l'une servant de CUT et l'autre de testeur. Le connecteur est présenté à l'ANNEXE I.

3.4 Conclusion

En conclusion, l'un des objectifs est de s'assurer de pouvoir appliquer les modes test et fonctionnel dans des conditions semblables. Pour ce faire, on a vu que l'architecture n'est pas modifiée lorsque l'on change de mode, ce qui permet de mesurer le même délai. Un autre objectif est de mesurer l'impact des PIMs. On a vu, à la section 1.5, que cet impact est visualisable sur plusieurs périodes consécutives de l'horloge de référence, ce que permet de faire l'application client. À partir de cette application, il est également permis de changer la forme de l'horloge de test selon plusieurs paramètres. Ceci permet donc de mesurer l'impact de la fréquence de l'horloge de test, ainsi que de l'emplacement de la prise de mesure dans le mode test. Finalement, on peut mesurer l'impact du testeur en le séparant du CUT.

CHAPITRE 4

RÉSULTATS ET ANALYSE

4.1 Méthodologie d'analyse

À partir des architectures présentées au CHAPITRE 3, on mesure et analyse le temps de propagation à travers une ligne à délai afin d'étudier l'impact des PIMs sur la tension d'alimentation, ainsi que sur le délai de propagation et la représentativité du mode fonctionnel à partir du mode test. Pour ce faire, on analyse la marge de synchronisation entre la fin de la ligne à délai et le prochain front montant de la bascule qui suit la ligne à délai. Cette marge comprend le délai de la ligne et l'impact des fluctuations sur l'horloge du système. Elle dépend principalement de trois facteurs :

- le délai dans le réseau de distribution de l'horloge;
- la période d'horloge;
- le bruit sur l'alimentation.

On aurait pu mesurer directement le délai de la ligne à délai, mais cette mesure ne comprend pas l'impact des fluctuations de l'horloge. Tel que décrit ci-après, la mesure choisie constitue une bonne approximation de la marge de synchronisation entre l'arrivée d'une donnée à une bascule et le front montant suivant qui l'échantillonne.

4.1.1 Approximation de la marge de synchronisation par la mesure de la largeur de l'impulsion sur X_o

Dans un système synchrone, tel que celui présenté à la Figure 4.1, la sortie des bascules prend simultanément la valeur de leurs entrées (en théorie), c'est-à-dire, au front d'échantillonnage de l'horloge. Le processus normal de conception de systèmes synchrones prévoit entre autres la vérification de la validité des données à l'entrée des bascules (ex. nœud B, Figure 4.1) lors de leur échantillonnage par le front de l'horloge. Cette vérification est habituellement faite à l'aide d'un outil d'analyse statique (voir Xilinx, 1991). Cet outil

fournit un rapport qui énumère l'estimation faite des différents délais et marges de synchronisation, basée sur les pires temps de propagation dans les pires conditions (dans notre cas, 85° C et $V_{DD}=1,40V$). Nous avons utilisé ce rapport pour s'assurer que la mesure choisie (largeur de l'impulsion sur X_o appelée L_X) était une bonne approximation de la marge de synchronisation entre les deux bascules entourant la ligne à délai. Cette analyse est présentée à l'ANNEXE III. Suite à cette analyse, nous en concluons que c'est bien le cas. La marge de synchronisation entre les deux bascules FF_{TOGGLE} et FF_X peut être approximée par la mesure de L_X .

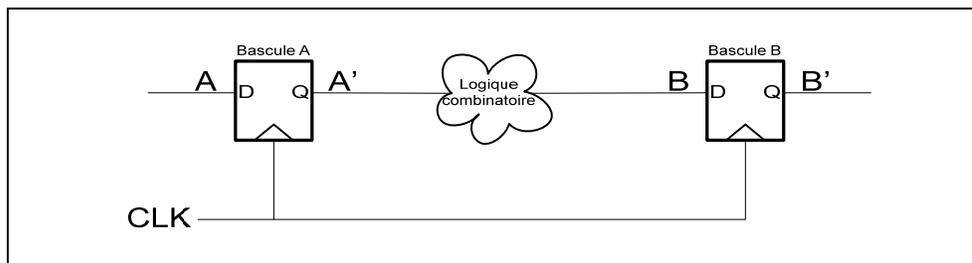


Figure 4.1 Système synchrone

4.1.2 Objectifs

Rappelons que le but de ce projet est de développer de nouvelles architectures permettant de comparer les modes test et fonctionnel en termes de délais et de bruit sur la tension d'alimentation. Il est donc important d'analyser auparavant le réseau de distribution des horloges et les différentes alimentations des composants du système.

Tout d'abord, on sait que les bascules qui constituent les registres à décalage induisent du bruit dans leur réseau d'alimentation. On observe alors des fluctuations sur V_{DD} qui affectent tous les circuits qui y sont connectés, ce qui inclut la ligne à délai. Les DCM ont leur propre alimentation qui est séparée de celle des bascules, donc ils ne sont pas directement affectés par les fluctuations sur V_{DD} . Par contre, ils utilisent une boucle de rétroaction qui assure qu'il n'y ait aucun déphasage entre l'horloge principale en entrée et l'horloge en sortie se

propageant ensuite dans le système. On sait par contre que l'horloge en sortie du DCM, qui se propage partout dans le système, passe par des amplificateurs qui eux sont reliés à la même alimentation que celle des registres à balayage.

Il existe des différences importantes entre les modes test et fonctionnel du point de vue du bruit sur l'alimentation. On retrouve habituellement dans le mode fonctionnel des domaines d'horloge multiples. Dans ce contexte, à l'activité de commutation s'ajoutent comme source de bruit sur l'alimentation les PIMs lorsqu'on est en présence de domaines dont les fréquences respectives des horloges ne sont pas des multiples l'une de l'autre. Dans le mode test, une seule horloge est propagée à toutes les bascules. Dans le cas où le testeur est situé dans une autre puce, on se retrouve dans un contexte d'horloge unique (donc pas d'intermodulation possible). Dans l'autre cas où le testeur et le circuit sous test occupent le même FPGA, nous sommes en présence d'horloges distribuées multiples mais où les fréquences d'horloge sont des multiples. Notons également dans les deux cas la présence des DCM servant à générer les fréquences utilisées par le mode fonctionnel. De plus, le système est conçu de manière à ce que les horloges soient sélectionnées et distribuées selon le mode d'opération à partir d'un BUFGMUX. Donc, pendant le mode test, les horloges fonctionnelles, qui causent les PIMs, n'atteignent pas les amplificateurs et ne sont par conséquent pas distribuées. Par contre, l'horloge de référence (50 MHz) est quant à elle présente et amplifiée (dans les boucles de rétroaction des DCM). Elle peut donc interagir avec l'horloge de test. Cette interaction, du point de vue de l'intermodulation, est limitée à la période de décalage pendant laquelle l'horloge de test est périodique.

4.1.3 Analyse des résultats : mesures et calculs

Afin de comprendre les résultats, rappelons que les mesures de délais sont prises à l'aide du circuit de la Figure 4.2.

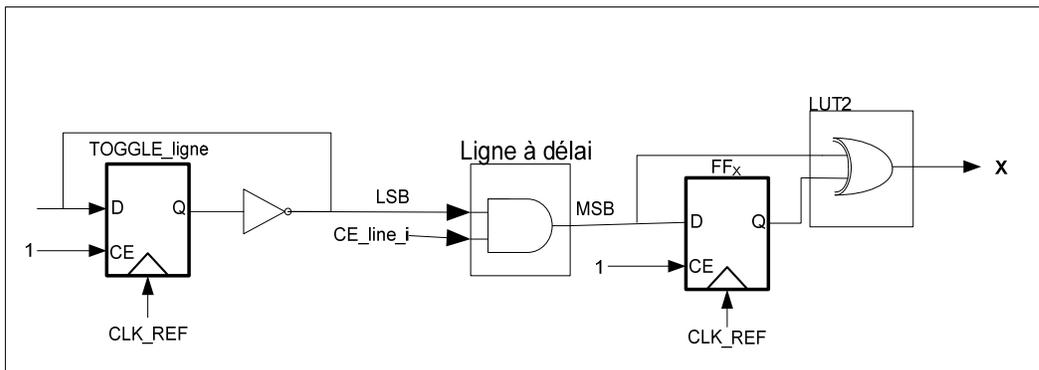


Figure 4.2 Circuit servant à la mesure de L_X

Dans le mode fonctionnel, on mesure L_X , à 32 moments différents qui correspondent à 32 périodes de référence (CLK_RES_3) consécutives. Ces mesures sont prises pour différentes valeurs (trios) de fréquences d'horloge cadencant les trois réseaux de résonance. Le choix du nombre de périodes est expliqué à l'ANNEXE II.

Dans le mode test, on mesure également L_X , selon les caractéristiques de l'horloge de test présentées dans le Tableau 4.1. Ces paramètres sont illustrés en détail à la section 2.8 de l'ANNEXE II.

Tableau 4.1 Paramètres de l'horloge de test

Paramètres		Valeurs
Nom	Description	
Fréquence de la phase de décalage	Nombre d'impulsions qu'on laisse passer selon la période de référence	1 à 5
Longueur de la phase « LC »	Nombre d'impulsions dans la phase « LC »	1 à 47
Emplacement de la phase « LC »	Nombre d'impulsions entre la fin de la phase de décalage et le début de la phase « LC »	0 à 29

Rappelons que le but est d'abord de comparer les deux architectures au niveau des PIMs dans le mode fonctionnel, mais également de faire la comparaison de la mesure de L_X entre les différents trios de fréquences pour une même architecture dans les modes test et fonctionnel. Pour ce faire, à l'équation (4.1), on calcule le rapport relatif entre le délai dit effectif entre les bascules (i.e. la période de référence moins la marge) et la période de référence. Le paramètre T_{CLK3_bufg} est la période de référence de la troisième horloge fonctionnelle et le paramètre L_X est la largeur de l'impulsion sur X_o (approximant la marge):

$$R\% = \frac{T_{CLK3_bufg} - L_X}{T_{CLK3_bufg}} \times 100 \% \quad (4.1)$$

Ainsi, on peut comparer la mesure L_X peu importe la période de référence T_{CLK3_bufg} en sachant que cette largeur est un certain pourcentage (R%) de la période de référence.

Dans le mode fonctionnel, on calcule également la variation de L_X de deux périodes consécutives selon l'équation (4.2) où $L_{X(n-1)}$ est la première mesure de L_X et $L_{X(n)}$ est la deuxième mesure de L_X .

$$V\% = \frac{L_{X(n)} - L_{X(n-1)}}{L_{X(n-1)}} \times 100 \% \quad (4.2)$$

4.2 Testeur et CUT ensemble (architecture à un seul FPGA)

Dans cette architecture ayant comme nom de code V6_6, le testeur et le CUT sont ensemble dans le même dispositif. Les mesures de L_X sont prélevées dans le mode fonctionnel.

Dans le Tableau 4.2, pour chaque expérimentation effectuée, on retrouve la moyenne de L_X calculée.

Tableau 4.2 Moyenne des mesures de L_X
pour les trios de fréquences de l'architecture V6_6

	Trios de fréquences (MHz)	$L_{X(MOY)}$ (ns)
1	30-40-160	5,284
2	40-50-160	5,270
3	40-60-160	5,285
4		5,290
5	70-80-160	5,253
6	80-90-160	5,247
7	50-150-160	5,285

On remarque que la fréquence des domaines d'horloge n'a que peu d'impact sur la moyenne des mesures de L_X .

Pour chaque expérimentation (donc pour chaque trio de fréquences), 32 mesures de L_X sont prises (Figure 4.3). On superpose ensuite ces mesures de telle sorte à visualiser un cycle complet d'intermodulation selon la démarche présentée à l'ANNEXE II.

Pour le premier trio, les fréquences sont les suivantes : 40MHz, 60MHz et 160MHz.

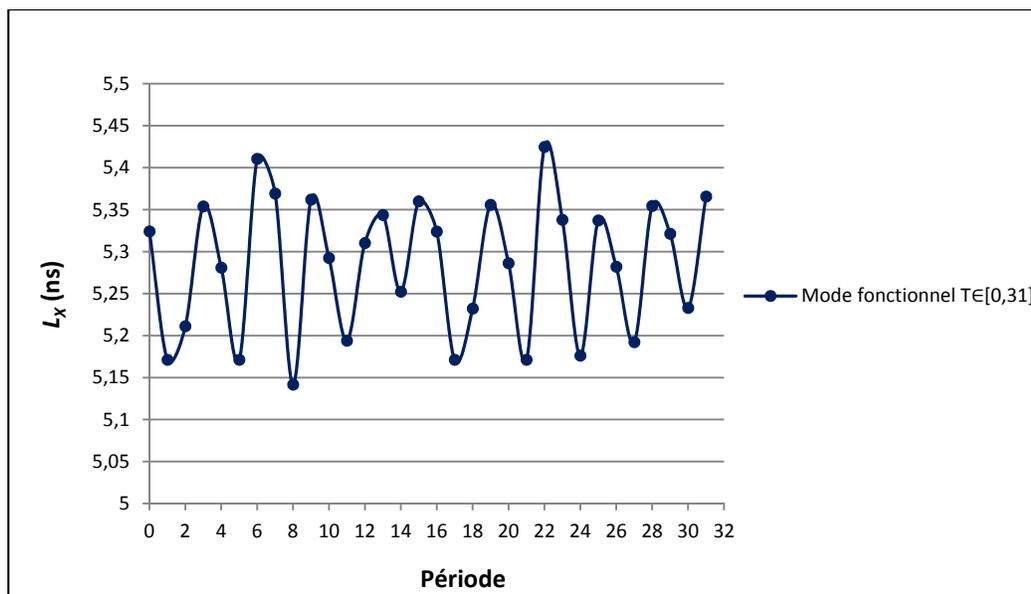


Figure 4.3 Mesures de L_X prises selon 32 périodes consécutives pour 40-60-160 MHz

En superposant les mesures de cette dernière série, il est possible de visualiser un patron d'intermodulation. Cette représentation est présentée à la Figure 4.4. Une deuxième série de mesures est effectuée et présentée à la Figure 4.5. Chacune des figures contient trois courbes. Les deux premières contiennent chacune 16 des 32 points de mesure. Cette représentation permet effectivement de constater qu'il y a répétition d'un même patron qui correspond à un cycle d'intermodulation. Dans ce cas-ci, la durée de ce cycle est de 16 périodes de l'horloge de référence de 160MHz. Ceci correspond à une période de 10MHz provenant de l'intermodulation entre deux fréquences du trio (40MHz et 60MHz), ainsi que de l'horloge principale (50MHz). La troisième courbe correspond à la moyenne des mesures de L_X ($L_{X(MOY)}$).

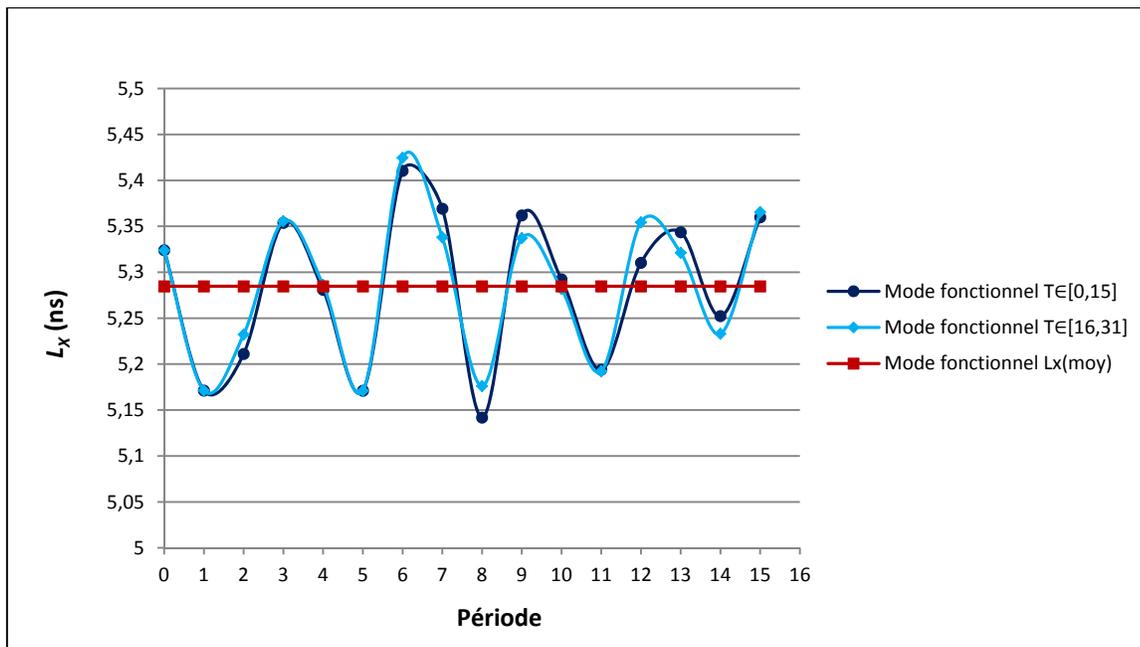


Figure 4.4 1^{ière} comparaison d'un cycle d'intermodulation pour 40-60-160 MHz

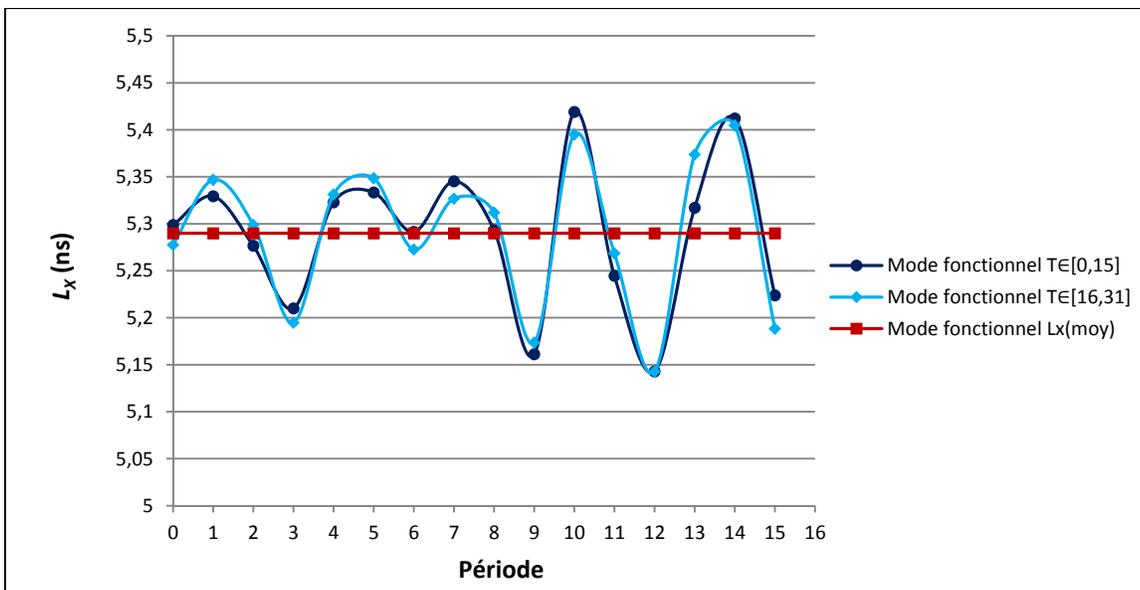


Figure 4.5 2^{ième} comparaison d'un cycle d'intermodulation pour 40-60-160 MHz

Pour chacun des trios présentés au Tableau 4.2, une série de 32 mesures de L_X est prise et les résultats sont présentés à l'ANNEXE VI. On peut encore une fois observer deux cycles complets d'intermodulation superposés, ainsi que la moyenne de L_X .

Ces résultats viennent confirmer qu'en présence d'un système à multiples domaines d'horloges non multiples l'une de l'autre, il y a présence de PIMs. Ces résultats viennent appuyer les résultats des simulations effectuées par (Thibeault and Larche 2012), qui montraient l'impact des PIMs sur la tension d'alimentation, et par conséquent, sur les délais de propagation. Rappelons qu'à la section 2.3, on a vu qu'en observant les composantes fréquentielles de V_{DD} , on aperçoit non seulement les PIMs, mais une fréquence de $\frac{F}{2}$ qui correspond aux données se propageant dans un registre à décalage. En pratique, ce phénomène est également observable au niveau des délais de propagation. À partir de nos résultats, on voit effectivement un cycle d'intermodulation se répéter au rythme de $\frac{F}{2}$. Cependant, dans le cas par exemple du trio de fréquences 40-60-160 MHz, cette composante ne peut pas être distinguée de l'intermodulation entre les fréquences 40-50-60 MHz.

En résumé, dans le cas de la première architecture où le testeur et le CUT sont ensemble dans le même FPGA, les conclusions suivantes sont notées :

- pour une même fréquence de référence (F_{CLK_REF} : fréquence à laquelle la transition est lancée sur la ligne à délai), la fréquence à laquelle les registres à décalage commutent n'a que peu d'impact au niveau de la mesure moyenne de L_X ;
- les PIMs sont clairement visibles dans le cas d'horloges fonctionnelles dont les fréquences ne sont pas multiples l'une de l'autre.

4.3 Testeur et CUT séparés (architecture à 2 FPGA)

Rappelons que dans cette architecture (ayant comme nom de code V6_7), le testeur et le CUT sont séparés. On effectue la même mesure de L_X dans le CUT pour les modes test et fonctionnel.

Tel que présenté à la section 4.1.2, puisque les PIMs sont présents seulement lorsque l'on est en présence de plusieurs domaines d'horloges dont les fréquences ne sont pas multiples l'une de l'autre, la mesure de L_X est influencée seulement pendant le mode fonctionnel. Rappelons que ceci est dû au fait qu'il y a présence de multiplexeurs pour choisir entre la distribution des horloges fonctionnelles ou de l'horloge de test dépendant du mode choisi. À partir de cette architecture, on peut effectuer les actions suivantes :

- observer l'impact des PIMs dans le mode fonctionnel;
- comparer la marge de synchronisation dans les modes test et fonctionnel, pour savoir si le mode test est représentatif versus le mode fonctionnel.

4.3.1 Mode fonctionnel

Fréquences solos

Procédure

Pour une première série de tests, on génère la même fréquence pour les trois domaines d'horloge dans le but d'étudier l'impact des fréquences d'horloges non multiples l'une de l'autre. Donc les trois réseaux de résonance sont balayés à la même fréquence, mais selon trois domaines d'horloge différents. Cinq fréquences ont été testées : 140MHz, 150MHz, 160MHz, 170MHz et 180MHz. On mesure L_X et on fait la calibration de ces mesures. La procédure pour cette série d'expérimentations est présentée en détail à l'ANNEXE IV. À partir de ces résultats, on analysera le mode fonctionnel et on comparera les deux modes à la section 4.3.3. Notons que même si on parle ici de fréquences solos, il ne faut pas oublier la présence de l'horloge de 50MHz, qui peut induire de l'intermodulation.

Résultats et analyse

À la Figure 4.6, on observe la variation de la mesure de L_X d'une période à l'autre dans le mode fonctionnel pour 32 périodes.

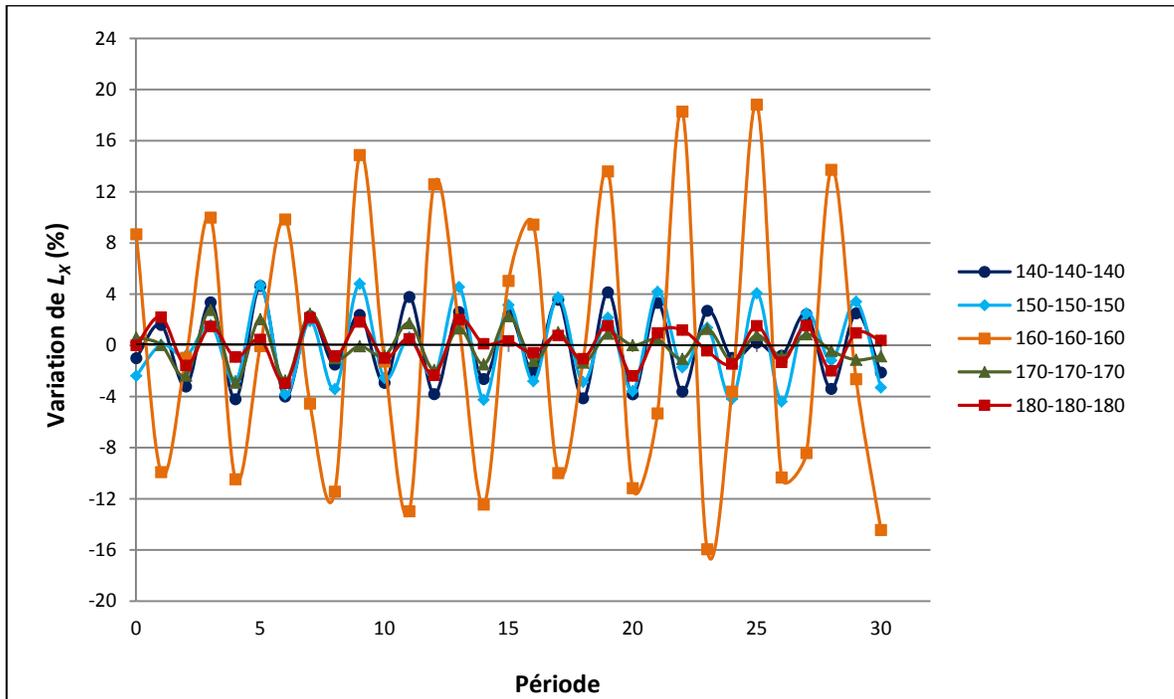


Figure 4.6 Variations de L_X (V%) dans le mode fonctionnel pour les fréquences solos

On remarque que la mesure de L_X varie selon la même tendance pour les cinq fréquences testées dans ce cas-ci. Par contre, L_X varie de façon beaucoup plus significative pour le trio de fréquences de 160-160-160 MHz.

À la Figure 4.7, on observe la FFT de la mesure de L_X pour chaque trio de fréquences.

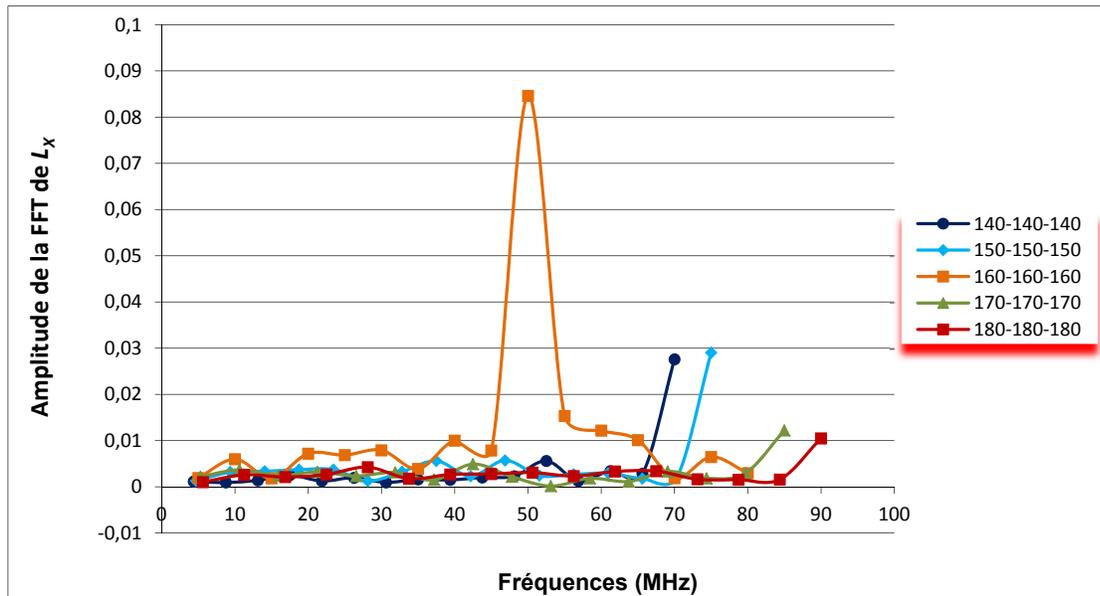


Figure 4.7 Amplitude de la FFT de L_X dans le mode fonctionnel pour les fréquences solos

On remarque la présence d'une composante fréquentielle à 50MHz pour le trio 160-160-160 MHz. Rappelons que l'horloge principale est de 50MHz, ce qui laisse supposer que la fréquence de résonance se situe aux alentours de 160MHz. Cette théorie explique également la forte variation de délai (V%) représentée graphiquement à la Figure 4.6. Par opposition, on remarque une composante fréquentielle à $\frac{F_s}{2}$ (F_s étant la fréquence d'échantillonnage) pour tous les trios solos à l'exception du 160-160-160 MHz.

En résumé, voici les conclusions dans le mode fonctionnel pour les fréquences solos :

- la présence de l'horloge principale de 50MHz induit légèrement des PIMs;
- la fréquence de résonance se situe aux alentours de 160MHz.

Il est à noter que le rapport relatif de ces expérimentations est présenté à la section 4.3.3 afin de comparer les modes test et fonctionnel.

Trios de fréquences

Procédure

Dans le cas de cette série d'expérimentations, on attribue trois fréquences différentes aux trois réseaux de résonance. En plus de mesurer L_X et de calculer ses variations, on compare les résultats selon les cycles d'intermodulation dans le mode fonctionnel.

Calculs préliminaires

On assigne une fréquence de référence (F_{CLK_REF}) de 150MHz à la première série de tests. Dans le Tableau 4.3, on retrouve le calcul de base permettant d'obtenir le nombre de périodes dans un cycle d'intermodulation complet correspondant à chaque trio de fréquences. Ces valeurs sont calculées selon la démarche présentée à l'ANNEXE II. Notons qu'il faut également prendre en considération l'horloge principale de 50MHz dans le calcul du nombre de périodes dans un cycle complet d'intermodulation.

Tableau 4.3 Nombre de périodes de F_{CLK_REF} dans un cycle d'intermodulation pour les trios de fréquences dont $F_{CLK_REF}=150\text{MHz}$

	Trios de fréquences (MHz)	Calcul de base	Périodes dans un cycle
1	50-100-150	-	0
2	50-75-150	$75 - 50 = 25\text{MHz}$ $\frac{150M}{25M} = 6 \text{ périodes}$	12

Rappelons que dans le mode fonctionnel, les mesures sont prises sur 32 périodes de F_{CLK_REF} consécutives. Par conséquent, pour le premier trio dont les fréquences sont des multiples l'une de l'autre, on ne pourra visualiser de PIMs. Par contre, pour le deuxième trio, on pourra visualiser 2 cycles complets d'intermodulation.

On assigne une fréquence de référence de 160MHz à la deuxième série de tests. La même démarche est appliquée pour cinq trios de fréquences et présentés dans le Tableau 4.4.

Rappelons qu'il faut prendre en considération l'horloge principale de 50MHz dans le calcul du nombre de périodes dans un cycle complet d'intermodulation.

Tableau 4.4 Nombre de périodes de F_{CLK_REF} dans un cycle d'intermodulation pour les trios de fréquences dont $F_{CLK_REF}=160\text{MHz}$

	Trios de fréquences (MHz)	Calcul de base	Périodes dans un cycle
1	40-60-160	$50 - 40 = 10\text{MHz}$ $\frac{160M}{10M} = 16 \text{ périodes}$	16
2	140-150-160	$150 - 140 = 10\text{MHz}$ $\frac{160M}{10M} = 16 \text{ périodes}$	16
3	130-140-160	$140 - 130 = 10\text{MHz}$ $\frac{160M}{10M} = 16 \text{ périodes}$	16
4	70-80-160	$80 - 70 = 10\text{MHz}$ $\frac{160M}{10M} = 16 \text{ périodes}$	16
5	30-40-160	$40 - 30 = 10\text{MHz}$ $\frac{160M}{10M} = 16 \text{ périodes}$	16

Pour tous les trios de fréquences dont l'horloge de référence est de 160MHz, on peut visualiser deux cycles complets d'intermodulation.

Résultats et analyse

Les tableaux qui suivent présentent les extrêmes du rapport relatif ($R_{\text{MIN}} \%$ et $R_{\text{MAX}} \%$) à partir de $R\%$ défini à l'équation (4.1), ainsi que les extrêmes de la variation de L_X ($V_{\text{MIN}} \%$ et $V_{\text{MAX}} \%$) à partir de $V\%$ défini à l'équation (4.2) pour chaque trio de fréquences.

Tableau 4.5 Extrêmes de la variation de L_X ($V_{\text{MIN}} \%$ et $V_{\text{MAX}} \%$) et du rapport relatif ($R_{\text{MIN}} \%$ et $R_{\text{MAX}} \%$) pour les trios de fréquences dont $F_{\text{CLK_REF}} = 150\text{MHz}$

Trios de fréquences (MHz)	Rapports de relatifs (R %)		Variations de L_X (V %)	
	($R_{\text{MIN}} \%$)	($R_{\text{MAX}} \%$)	($V_{\text{MIN}} \%$)	($V_{\text{MAX}} \%$)
50-100-150	5,32	6,38	-0,78	0,73
50-75-150	5,41	6,39	-1,02	+1,55

Tableau 4.6 Extrêmes de la variation de L_X ($V_{\text{MIN}} \%$ et $V_{\text{MAX}} \%$) et du rapport relatif ($R_{\text{MIN}} \%$ et $R_{\text{MAX}} \%$) pour les trios de fréquences dont $F_{\text{CLK_REF}} = 160\text{MHz}$

Trios de fréquences (MHz)	Rapports de relatifs (R %)		Variations de L_X (V %)	
	($R_{\text{MIN}} \%$)	($R_{\text{MAX}} \%$)	($V_{\text{MIN}} \%$)	($V_{\text{MAX}} \%$)
40-60-160	5,56	11,28	-5,01	5,53
140-150-160	6,92	9,77	-2,82	2,84
130-140-160	6,83	10,26	-2,72	3,26
70-80-160	5,91	10,36	-3,56	5,37
30-40-160	4,97	11,04	-4,20	3,85

On remarque qu'en moyenne, les extrêmes de la variation des mesures de L_X ($V_{\text{MIN}} \%$ et $V_{\text{MAX}} \%$) des trios ayant une fréquence de référence de 160MHz sont de trois à cinq fois supérieurs à ceux des trios possédant une fréquence de référence de 150MHz. Cette observation est en accord avec les résultats des expérimentations avec des fréquences solos. On a vu à la section précédente que la variation des mesures de L_X dans le mode fonctionnel

pour des fréquences solos est supérieure pour une fréquence de 160MHz à celle observées pour d'autres fréquences. On observe également que le rapport relatif minimal ($R_{\text{MIN}} \%$) est le même pour les deux fréquences de référence, tandis que le rapport relatif maximal ($R_{\text{MAX}} \%$) est d'environ le double pour $F_{\text{CLK_REF}} = 160\text{MHz}$ comparativement à $F_{\text{CLK_REF}} = 150\text{MHz}$.

Il est intéressant de comparer les résultats cycle par cycle pour chaque trio de fréquence. Sous forme graphique, on a représenté la mesure de la largeur de l'impulsion sur X pour certains trios, les graphiques supplémentaires sont présentés à l'ANNEXE VII.

La Figure 4.8 représente les mesures de L_X pour le trio de fréquences 30-40-160 MHz.

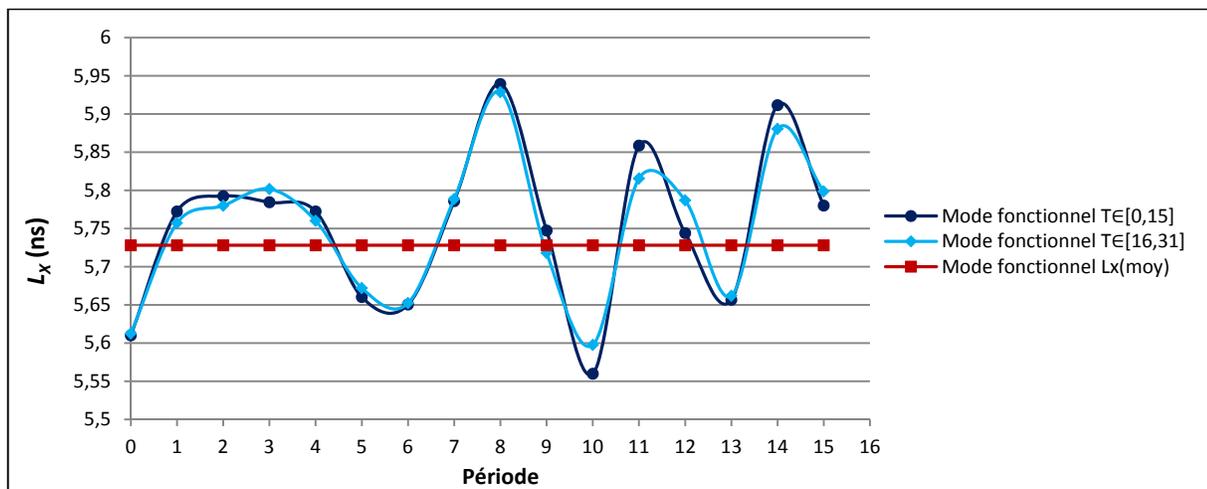


Figure 4.8 Mesure de L_X : 30-40-160 MHz pour l'architecture V6_7

C'est intéressant de voir qu'on peut visualiser deux cycles complets d'intermodulation, chaque cycle comprenant 16 périodes de l'horloge de 160MHz.

La Figure 4.9 représente les mesures de L_X pour le trio de fréquences 130-140-160 MHz.

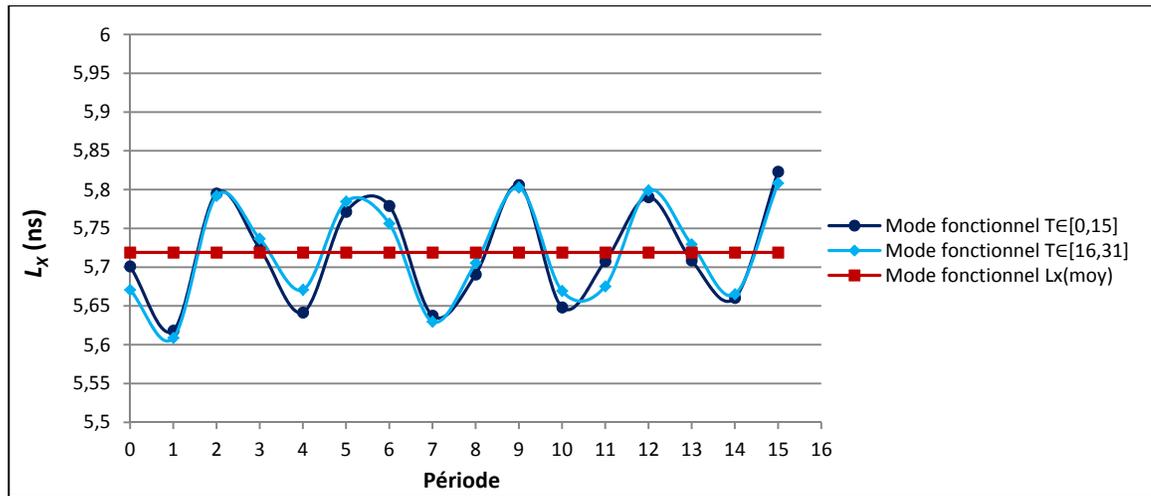


Figure 4.9 Mesure de L_X : 130-140-160 MHz pour l'architecture V6_7

On remarque que peu importe les fréquences soumises aux registres à décalage, on peut visualiser les cycles complets d'intermodulation correspondant aux valeurs calculées au Tableau 4.4.

La Figure 4.10 représente les mesures de L_X pour le trio de fréquences 50-100-150 MHz.

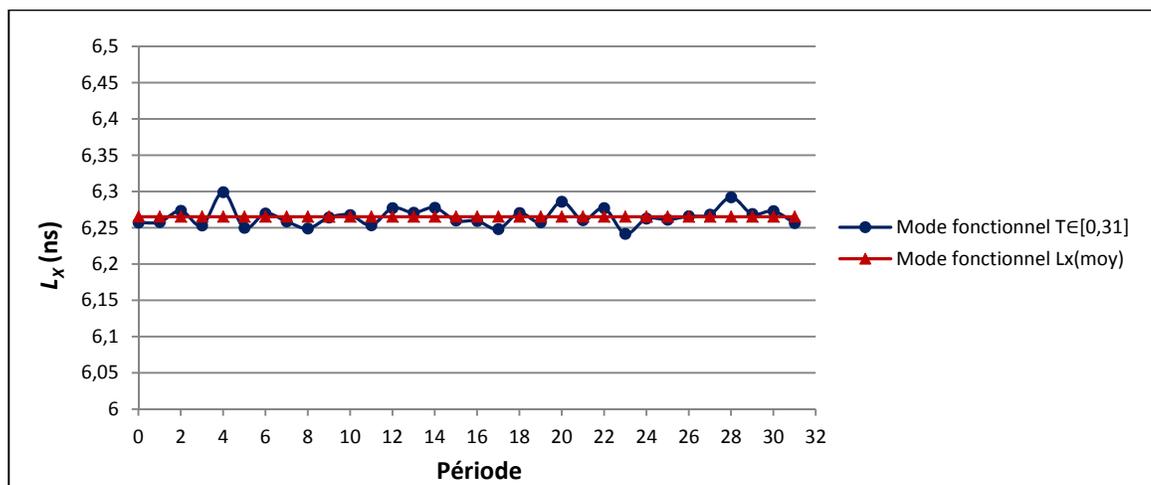


Figure 4.10 Mesure de L_X : 50-100-150 MHz pour l'architecture V6_7



On sait qu'on ne peut observer le phénomène des PIMs pour des fréquences d'horloges qui ne sont pas multiples l'une de l'autre, car leurs harmoniques se situent aux mêmes fréquences que les harmoniques linéaires. C'est effectivement ce qu'on remarque pour le trio de fréquences 50-100-150 MHz. Pour la même fréquence de référence de 150MHz, on peut visualiser les mesures de L_X pour cinq cycles complets d'intermodulation pour le trio 50-75-150 MHz à la Figure 4.11.

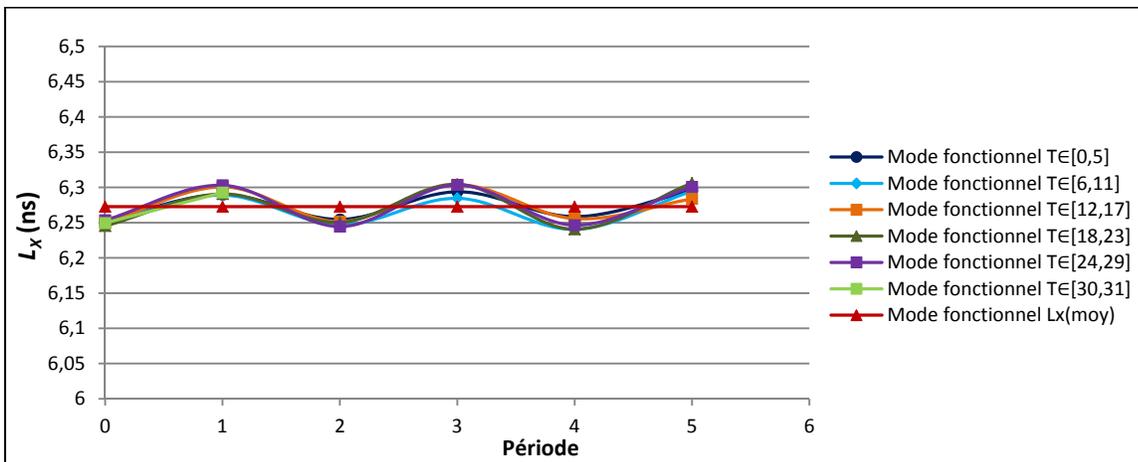


Figure 4.11 Mesure de L_X : 50-75-150 MHz pour l'architecture V6_7

Tel que présenté au début de la section, on observe graphiquement que pour des trios dont la fréquence de référence F_{CLK_REF} est de 150MHz, la variation des délais (V%) est inférieure à celle observée pour les trios dont F_{CLK_REF} est de 160MHz.

En résumé, dans le mode fonctionnel pour les trios de fréquences, on peut tirer les conclusions suivantes :

- les extrémums de la variation des mesures de L_X ($V_{MIN}\%$ et $V_{MAX}\%$) sont de trois à cinq fois supérieurs pour $F_{CLK_REF}=160\text{MHz}$, comparativement à ceux pour $F_{CLK_REF}=150\text{MHz}$;

- le rapport relatif minimal (R_{MIN} %) est le même pour les deux fréquences de référence, tandis que le rapport relatif maximal (R_{MAX} %) est d'environ le double pour $F_{\text{CLK_REF}}=160\text{MHz}$ comparativement à $F_{\text{CLK_REF}}=150\text{MHz}$;
- pour des horloges fonctionnelles non multiples l'une de l'autre, on n'observe pas de PIMs.

4.3.2 Mode test

Procédure

Dans le mode test, on soumet les trois réseaux de résonance à l'horloge de test correspondant aux paramètres d'implémentation présentés au Tableau 4.1 de la section 4.1.3. On choisit la fréquence de référence ($F_{\text{CLK_REF}}$), la fréquence de la phase de décalage (F_{SHIFT}), la longueur de la phase « LC » et l'emplacement des impulsions « LC ». Rappelons également que la transition sur la ligne à délai est lancée selon le signal de contrôle (CE_{test}) qui est actif pendant la première impulsion de la phase « LC ». On prend finalement la mesure de L_X . On recommence ainsi pour toutes les fréquences de décalage et tous les emplacements des impulsions « LC » possible.

Résultats et analyse

Cette série d'expérimentations permet dans un premier temps l'étude de l'impact du lancement des impulsions de lancement et de capture de la transition et dans un deuxième temps celle de l'impact des fréquences du mode fonctionnel sur le mode test. Deux expérimentations ont été effectuées à cet effet.

influence du moment de lancement de la transition sur la mesure L_X , influence qui finit par s'estomper, sauf pour la courbe $F_{SHIFT}=26,67\text{MHz}$, où L_X continue à osciller. En effet, on peut remarquer que la valeur de L_X pour les fréquences de décalage de 80M, 40M, 20M et 16MHz, se stabilise entre 12,13 et 12,17ns, alors que pour la fréquence de décalage de 26,67MHz, elle continue à osciller entre 12,09 et 12,24ns. Afin d'étudier plus spécifiquement la stabilité des délais de propagation pour cette fréquence, on a effectué cinq séries de mesures pour les six « LC » les plus éloignés de la phase décalage. Les résultats sont présentés à la Figure 4.13. Ces résultats suggèrent qu'une certaine forme d'instabilité semble être présente, les mesures variant sensiblement d'une fois à l'autre. Malgré nos efforts, il nous a été impossible de trouver la cause de cette instabilité.

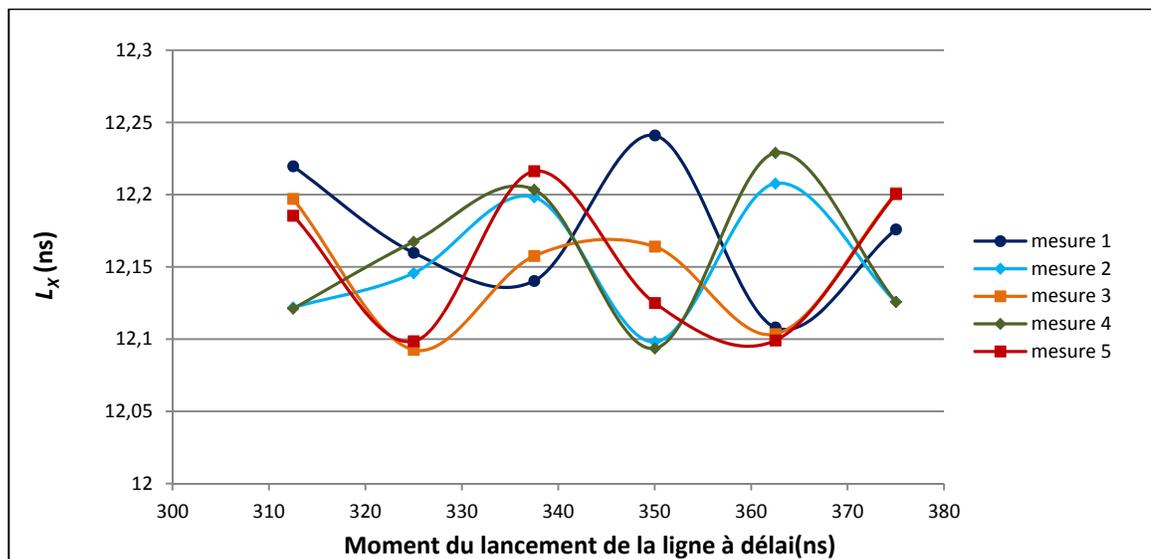


Figure 4.13 Mesure de L_X dans le mode test pour les dernières impulsions « LC », Mode test : $F_{CLK_TEST} = 80\text{MHz}$, Mode fonctionnel : 130-140-160 MHz, Architecture V6_7

Si on exclut la courbe obtenue à $F_{shift} = 26.6\text{MHz}$, les résultats obtenus sont en accord avec ceux des expérimentations présentées dans l'article de (Nadeau-Dostie, Takeshita et al. 2008) montrant que l'emplacement des impulsions « LC » a un impact sur le délai de propagation dû aux variations de la tension d'alimentation.

Des expérimentations semblables sont effectuées pour une horloge de référence de 95MHz et un trio d'horloges fonctionnelles de 30-40-95 MHz. Les figures sont présentées à l'ANNEXE VIII. Les mêmes conclusions s'appliquent pour une horloge de référence de 95MHz, que pour celle de 80MHz. Les résultats sont présentés au Tableau 4.7.

On fait les mêmes expérimentations pour des trios d'horloges fonctionnelles de 80-80-80 MHz et de 95-95-95 MHz. On étudie seulement les mesures de L_X pour lesquelles la valeur de l'horloge décalage est égale au tiers de celle de F_{CLK_TEST} . Ceci a pour but d'étudier l'impact des horloges fonctionnelles sur la mesure de L_X dans le mode test. Tel que spécifié à la section 2.4.2, les horloges fonctionnelles sont distribués dans le CUT seulement pendant le mode fonctionnel dû à l'utilisation des composants BUFGMUX. Donc, la valeur des horloges fonctionnelles peuvent avoir un impact sur la marge de synchronisation dans le mode test, mais hypothétiquement minime. Les résultats sont aussi présentés dans le Tableau 4.7.

Tableau 4.7 $L_{X(MAX)}-L_{X(MIN)}$ dans le mode test pour l'architecture V6_7, en fonction de la fréquence de CLK_TEST (F_{CLK_TEST}), de celle des horloges fonctionnelles, et de celle de balayage F_{shift} (phase de shift). $R_{shift} = F_{CLK_TEST} / F_{shift}$

F_{CLK_TEST}	$L_{X(MAX)} - L_{X(MIN)}$			
	80MHz		95MHz	
Fréquences, horloges fonctionnelles (MHz)	130-140-160	80-80-80	30-40-95	95-95-95
$R_{shift} = 3$	0,15	0,16	0,14	0,20
$R_{shift} = \{1, 2, 4, 5\}$	0,04	0,06	0,05	0,03

On y présente l'écart maximum entre les mesures de L_X pour des horloges de test de 80MHz et 95MHz. Cet écart maximum correspond à la différence entre les valeurs maximale et

minimale de L_X mesurées lors d'une expérimentation incluant des mesures sur toute la plage de lancement de la transition sur la ligne à délai. Pour chaque valeur de l'horloge de test, deux expérimentations sont exécutées, soit pour deux trios différents d'horloges fonctionnelles. Pour chaque expérimentation, on présente l'écart maximum sur L_X mesuré pour les horloges de test dont la phase de décalage possède un rapport R_{shift} de trois, ensuite pour celles ayant un rapport R_{shift} de un, deux, quatre et cinq. On remarque que les valeurs des horloges fonctionnelles ont très peu d'impact sur les délais de propagation dans le mode test, puisque l'écart reste stable peu importe la valeur des horloges fonctionnelles. De plus, l'écart dont la phase de décalage possède un rapport R_{shift} de trois est d'environ trois fois supérieur que pour les autres rapports.

Les fréquences des horloges utilisées lors de la prochaine série d'expérimentations sont présentées au Tableau 4.8.

Tableau 4.8 Horloges pour les expérimentations dans le mode test pour l'architecture V6_7

Horloges fonctionnelles (MHz)	Horloge de test (CLK_TEST) (MHz)
30-40-65	65
30-40-70	70
30-40-75	75
130-140-80	80
30-40-85	85
30-40-90	90
30-40-95	95

Pour chacune des horloges de test, on calcule la différence entre les extrêmes des mesures de L_X ($L_{X(MAX)} - L_{X(MIN)}$). Ces calculs sont graphiquement présentés à la Figure 4.14. Il est à noter que des graphiques supplémentaires sont présentés à l'ANNEXE IX.

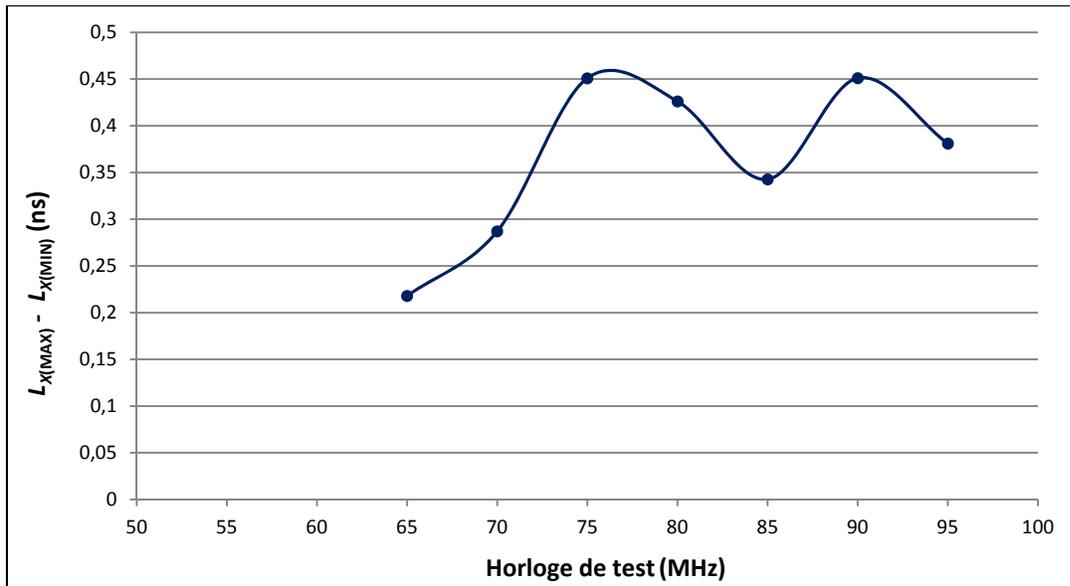


Figure 4.14 Différence entre les extrêmes des mesures de L_X ($L_{X(\text{MAX})} - L_{X(\text{MIN})}$) dans le mode test pour les fréquences de l'horloge de test suivantes: 65, 70, 75, 80, 85, 90 et 95MHz, Architecture V6_7

On remarque que la fréquence de l'horloge de test ($F_{\text{CLK_TEST}}$) ne semble pas avoir d'impact sur les extrêmes des mesures de L_X , ce qui signifie qu'elle n'a pas d'impact sur le niveau d'oscillation de la mesure de L_X . Le rapport entre $F_{\text{CLK_TEST}}$ et ce niveau d'oscillation n'a pas été établi.

Rappelons que le bruit sur la tension d'alimentation peut être causé par deux facteurs :

- l'activité dans le circuit causée par les registres qui sont balayés par une ou plusieurs fréquences en même temps.
- les PIMs qui sont eux-mêmes causés par plusieurs domaines d'horloges non multiples l'une de l'autre dans le mode fonctionnel. Ces PIMs causent du bruit sur l'alimentation des bascules.

On sait que dans le mode test, la marge de synchronisation (qui est approximée par la mesure de L_X) est très peu affectée par les PIMs lorsque seule l'horloge de test est propagée. Dans

l'architecture utilisée ici (avec 2 FPGA), rappelons que l'horloge source de 50MHz est distribuée pour alimenter les DCM, qui génèrent les horloges du mode fonctionnel. Malgré le fait que ces horloges n'atteignent pas les bascules des réseaux de résonance en mode test, il est possible qu'une interaction s'opère et que des PIMs de faible intensité puissent apparaître et affecter le réseau d'alimentation. Sur la base des résultats antérieurs (Tableau 4.7), l'impact de ces PIMs semble à première vue négligeable.

Conformément aux résultats de la littérature, les variations importantes présentes juste après le lancement de la transition sur la ligne à délai suggèrent que ce lancement est la source principale de bruit sur l'alimentation. Notons que l'horloge de test peut elle-même influencer l'alimentation lorsque les impulsions du lancement (*launch*) et de la capture traversent l'amplificateur. Les expérimentations effectuées ne permettent pas de différencier ces 2 sources.

En résumé, pour le mode test, les conclusions suivantes s'appliquent :

- la mesure de L_X est affectée par le lancement de la transition sur la ligne à délai;
- l'oscillation des mesures de L_X triple lorsque $F_{SHIFT} = \frac{F_{REF}}{3}$ pour des fréquences de référence de 80MHz et 95MHz;
- la valeur de la fréquence des horloges fonctionnelles a peu d'impact sur les mesures de L_X dans le mode test.

4.3.3 Comparaison des modes test et fonctionnel

Fréquences solos

L'analyse des expérimentations des fréquences solos effectuée à la section 4.3.1 se poursuit, afin de comparer les modes test et fonctionnel. Rappelons que les trois registres à décalage sont balayés à la même fréquence selon trois domaines d'horloge différents. On mesure L_X et on fait la calibration de ces mesures dans le mode test. La procédure pour cette série d'expérimentations est présentée en détail à l'ANNEXE IV. On peut ainsi comparer L_X dans les deux modes. Notons que même si on parle ici de fréquences solos, il ne faut pas oublier la présence de l'horloge de 50MHz, qui peut induire de l'intermodulation.

Résultats et analyse

Afin d'analyser les résultats de cette série d'expérimentations, on calcule le rapport relatif dans les deux modes. Présenté à la section 4.1.3, rappelons que le rapport relatif ($R\%$) représente le délai effectif (période de référence moins la mesure de L_X) exprimé en pourcentage de la période de référence. Plus précisément, pour chaque trio de fréquence solo, on calcule la moyenne des rapports relatifs ($R_{MOY}\%$) pour chacun des modes et on calcule ensuite la différence $R_{MOY(FONC)} - R_{MOY(TEST)}$, lesquels résultats sont présentés à la Figure 4.15. On calcule finalement l'écart entre le rapport relatif maximum ($R_{MAX}\%$) et le rapport relatif minimum ($R_{MIN}\%$) dans les deux modes, lesquels résultats sont présentés à la Figure 4.16.

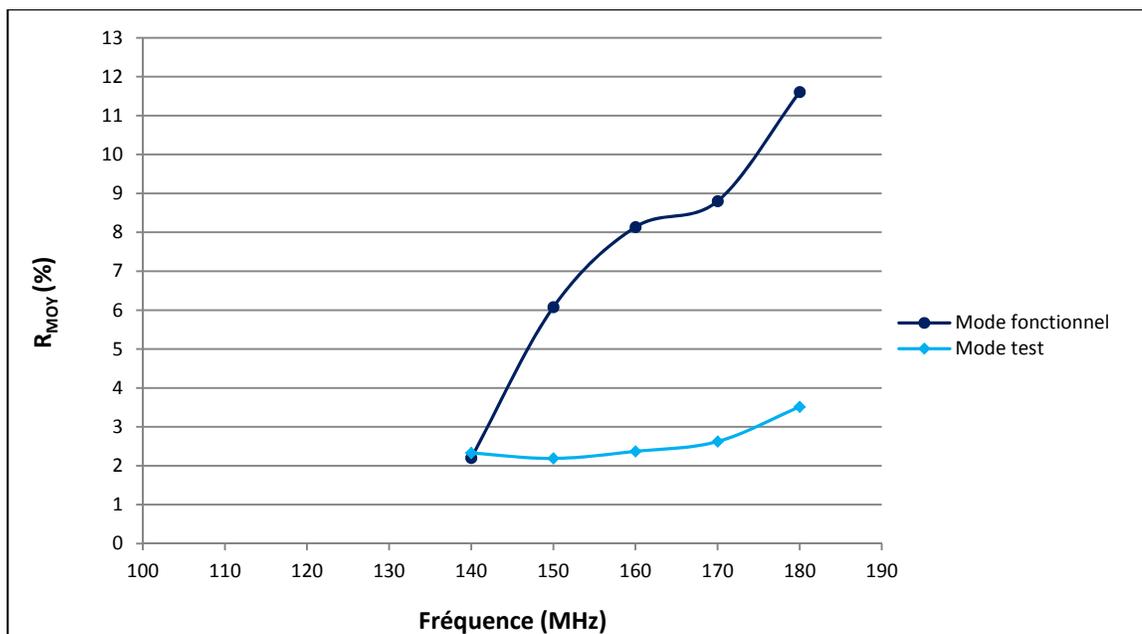


Figure 4.15 R_{MOY} (%) pour les fréquences solos

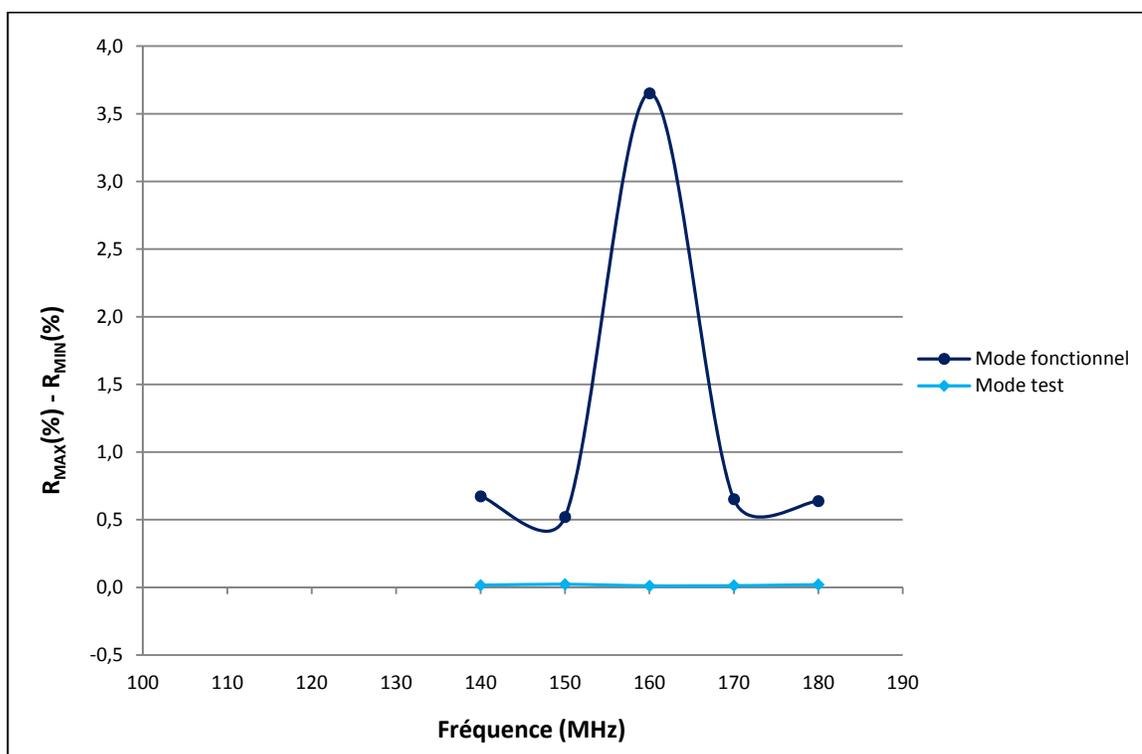


Figure 4.16 R_{MAX} (%)- R_{MIN} (%) dans les deux modes pour les fréquences solos

À la Figure 4.15, on remarque que pour une fréquence solo de 140MHz, le rapport relatif moyen ($R_{MOY}\%$) est sensiblement le même dans les deux modes. À des fins d'analyse, on traite les courbes comme étant des droites. Ainsi, pour des fréquences de 140MHz à 180MHz, ($R_{MOY}\%$) augmente d'environ 3% pour le mode test et d'environ 25% pour le mode fonctionnel. Donc, dans le mode test, ($R_{MOY}\%$) augmente beaucoup plus lentement que dans le mode fonctionnel. Il est à noter que dans le mode test, les mesures sont prises lorsque les impulsions « LC » sont éloignées de la phase de balayage, donc la tension d'alimentation a le temps de se stabiliser avec le lancement de la transition sur la ligne à délai. Dans le mode fonctionnel, on peut conclure que la fréquence a un impact sur le rapport relatif moyen. Finalement, on peut présumer que pour une fréquence solo en-deçà de 140MHz, ($R_{MOY}\%$) est plus grand dans le mode test que dans le mode fonctionnel. Ce qui veut dire que pour des fréquences solos où les PIMs sont beaucoup moins présents, le mode test est plus optimiste que le mode fonctionnel pour des fréquences dépassant 140MHz, contrairement à ce qu'on a vu dans la littérature⁴ à la section 1.7.

À la Figure 4.16, on observe l'écart entre les extrémums de R% (donc, $R_{MAX}-R_{MIN}$) pour les deux modes. Pour le mode fonctionnel, cet écart est plus grand d'environ 80% pour le trio 160-160-160 MHz. Dans le mode test, l'écart entre $R_{MAX}-R_{MIN}$ restent quasi stables pour toutes les fréquences testées. On peut donc conclure que dans le mode test, le rapport relatif n'est pas significativement affecté par la fréquence de l'horloge de test, en autant qu'on laisse suffisamment de temps à l'alimentation pour se stabiliser avant d'effectuer le lancement des impulsions « LC ». Les rapports relatifs calculés sont présentés en détails sous forme de tableau à l'ANNEXE V.

⁴ Les recherches présentées dans les articles suivants : (Sde-Paz, 2008), (Thibeault, 2008), (Nadeau-Dostie, 2008)

Trios de fréquences

Afin d'établir si le mode test est représentatif du mode fonctionnel, on compare la mesure de L_X en soumettant la ligne à délai à la même fréquence. Ainsi, $F_{CLK3_bufg} = F3$, $F_{CLK4_bufg} = 2 \times F3$ pour obtenir $F_{CLK_TEST} = F3$ lorsque le rapport de la phase de balayage R_{SHIFT} est de un. Dans le mode test, on place les impulsions « LC » aux quatre moments les plus tardifs, afin que les mesures de L_X soient stables. On calcule ensuite la moyenne de ces mesures. Dans le mode fonctionnel, on prend les mesures de L_X en prenant compte qu'on peut visualiser quatre cycles complets d'intermodulation. De cette façon, on peut comparer les mesures de L_X dans les deux modes. Quelques résultats sont présentés de la Figure 4.17 à la Figure 4.19. Des graphiques supplémentaires sont placés à l'ANNEXE X.

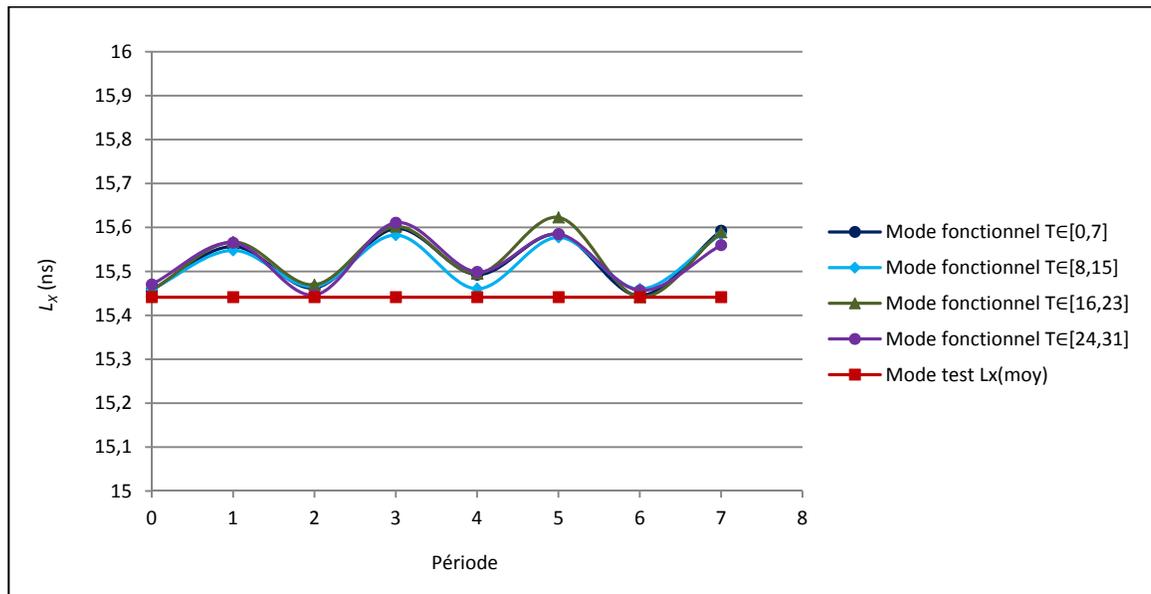


Figure 4.17 Mesure de L_X dans les deux modes pour l'architecture V6_7, $F_{CLK_TEST} = 60\text{MHz}$, horloges fonctionnelles : 30-40-60 MHz

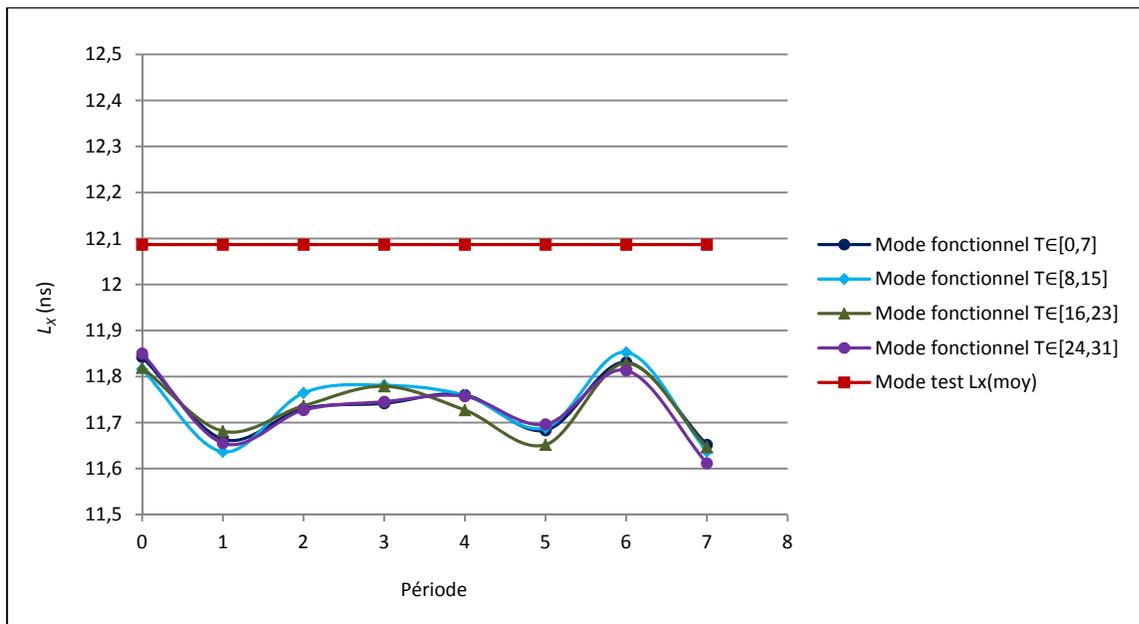


Figure 4.18 Mesure de L_X dans les deux modes pour l'architecture V6_7, $F_{CLK_TEST} = 80\text{MHz}$, horloges fonctionnelles = 40-50-80 MHz

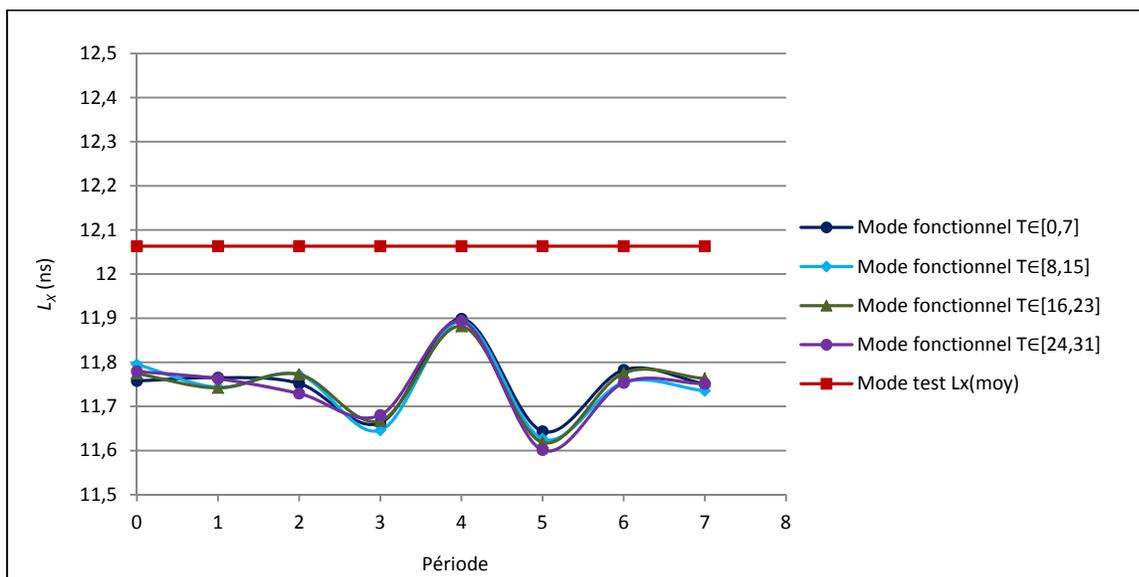


Figure 4.19 Mesure de L_X dans les deux modes pour l'architecture V6_7, $F_{CLK_TEST} = 80\text{MHz}$, horloges fonctionnelles : 40-60-80 MHz

Dans le Tableau 4.9, on retrouve les mesures de L_X dans les modes test et fonctionnel, ainsi que la différence entre ces mesures dans les deux modes. Notons que l'horloge de 50MHz est également présente.

Tableau 4.9 $L_{X(MOY)}$ dans les modes test et fonctionnel pour l'architecture V6_7

	Trios de fréquences (MHz)	Périodes dans un cycle	$L_{X(MOY)}$ (ns)		$L_{X(MOY_TEST)} - L_{X(MOY_FONC)}$ (ns)
			Mode test	Mode fonctionnel	
1	30-40-60	6	15,441	15,524	-0,083
2	40-60-80	8	12,063	11,748	0,316
3	60-70-80	8	12,106	11,759	0,346
4	40-50-80	8	12,087	11,736	0,350
5	30-40-80	8	12,057	11,756	0,301

On remarque que la différence entre les mesures de L_X dans les deux modes est plus grande pour une fréquence de référence F_{CLK_REF} plus grande. Pour une fréquence de référence (F_{CLK_REF}) de 80MHz, la différence est d'environ quatre fois supérieure que pour une fréquence de référence de 60MHz, qui est quasi-nulle pour cette dernière. On observe également que pour $F_{CLK_REF}=80\text{MHz}$, le mode test est optimiste par rapport au mode fonctionnel, ce qui n'est pas le cas pour $F_{CLK_REF}=60\text{MHz}$. On a vu que dans la littérature, le mode test est très généralement, déclaré pessimiste par rapport au mode fonctionnel, alors que dans ce cas-ci, le mode test est optimiste pour des fréquences de 80MHz. Finalement, on voit que les valeurs des horloges fonctionnelles, omis la fréquence de référence, n'ont pas d'impact sur la moyenne des mesures de L_X .

En résumé, voici les conclusions pour la comparaison des modes test et fonctionnel :

- pour des fréquences solos où les PIMs sont beaucoup moins présents, le mode test est plus optimiste que le mode fonctionnel pour des fréquences dépassant 140MHz;
- dans le mode test, le rapport relatif n'est pas affecté par la fréquence de l'horloge de test;
- pour des domaines d'horloges non multiples l'une de l'autre dont $F_{CLK_REF} = 80\text{MHz}$, le mode test est optimiste vs le mode fonctionnel et il est pessimiste pour $F_{CLK_REF} = 60\text{MHz}$;
- dans les deux modes, les valeurs des horloges fonctionnelles, omis la fréquence de référence, ont très peu d'impact sur la moyenne des mesures de L_X .

4.4 Comparaison des deux architectures V6_6 et V6_7

Tel qu'énoncé dans l'Introduction, par la mise en place des architectures présentées à la section 1.1, on veut entre autres, étudier l'impact de la présence d'un testeur dans le même dispositif que le circuit sous test (CUT). Dans cette section, nous comparons les résultats en termes de délais de la première architecture (V6_6) où le testeur et le CUT sont ensemble avec la deuxième architecture (V6_7) où les deux parties sont implémentées chacun dans leur propre dispositif. Rappelons que le rôle du testeur, dont le diagramme bloc est présenté au CHAPITRE 3, est de lire en entrée les paramètres de test, générer les signaux de test et les envoyer au CUT. Donc, la comparaison entre les deux architectures nous permet d'étudier l'impact de l'horloge de test et de l'horloge permettant sa génération. Cet exercice est intéressant dans la mesure où certaines compagnies incluent dans leurs puces des modules dont le rôle est de générer de manière interne les impulsions de lancement et de capture. Pour ce faire, L_X est mesurée dans le mode fonctionnel pour les deux architectures. Les résultats sont présentés de la Figure 4.20 à la Figure 4.22. Les données sont ensuite résumées dans le Tableau 4.10.

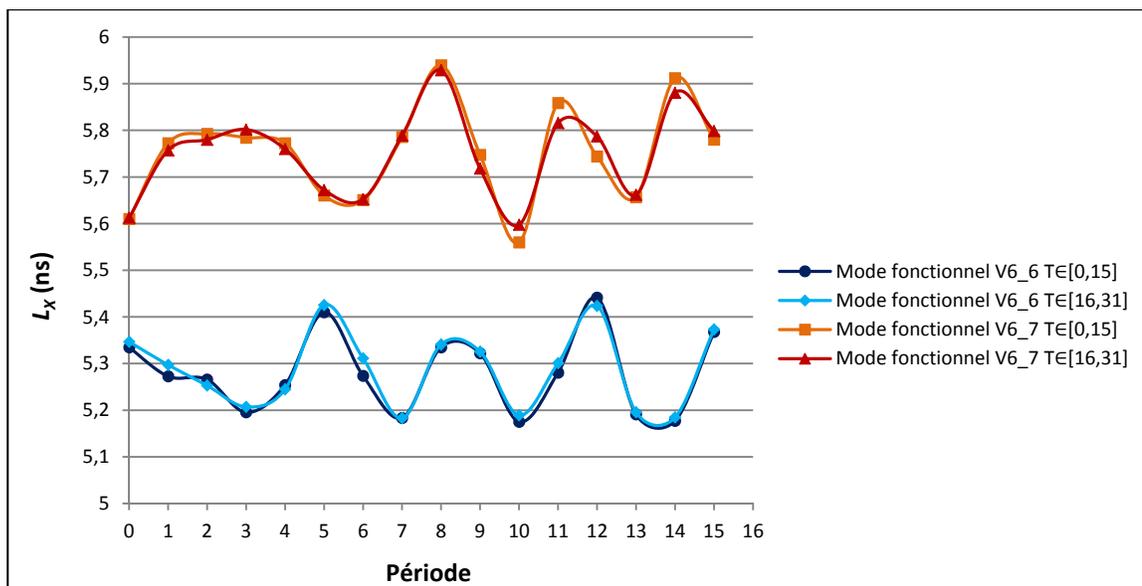


Figure 4.20 Mesure de L_X : 30-40-160 MHz pour les architectures V6_6 et V6_7

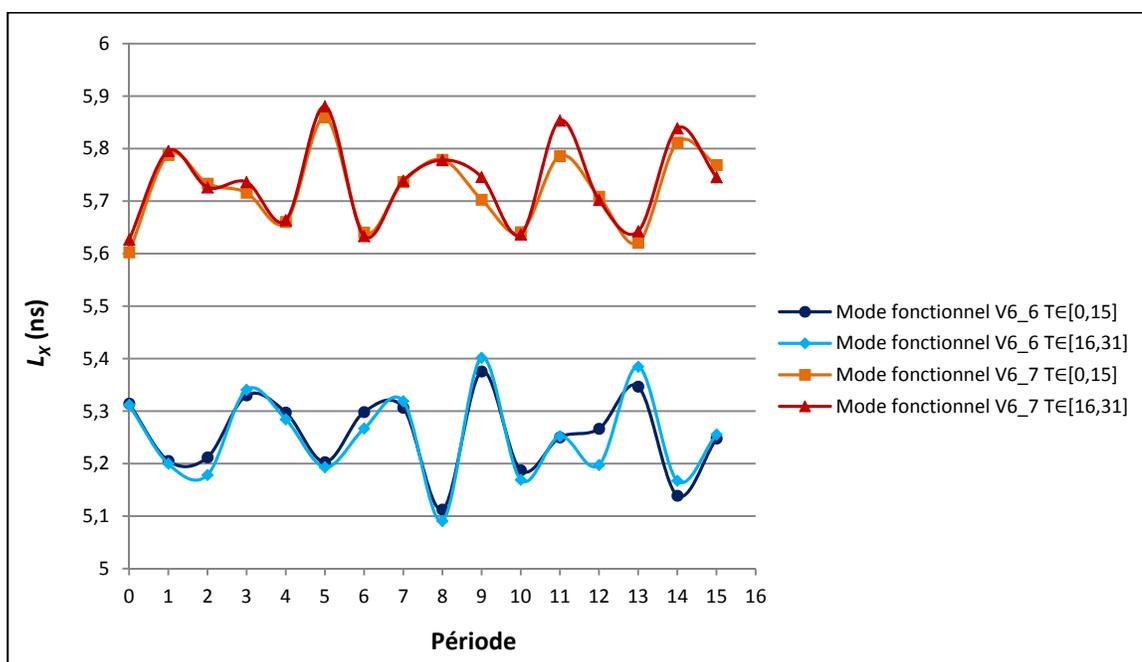


Figure 4.21 Mesure de L_X : 70-80-160 MHz pour les architectures V6_6 et V6_7

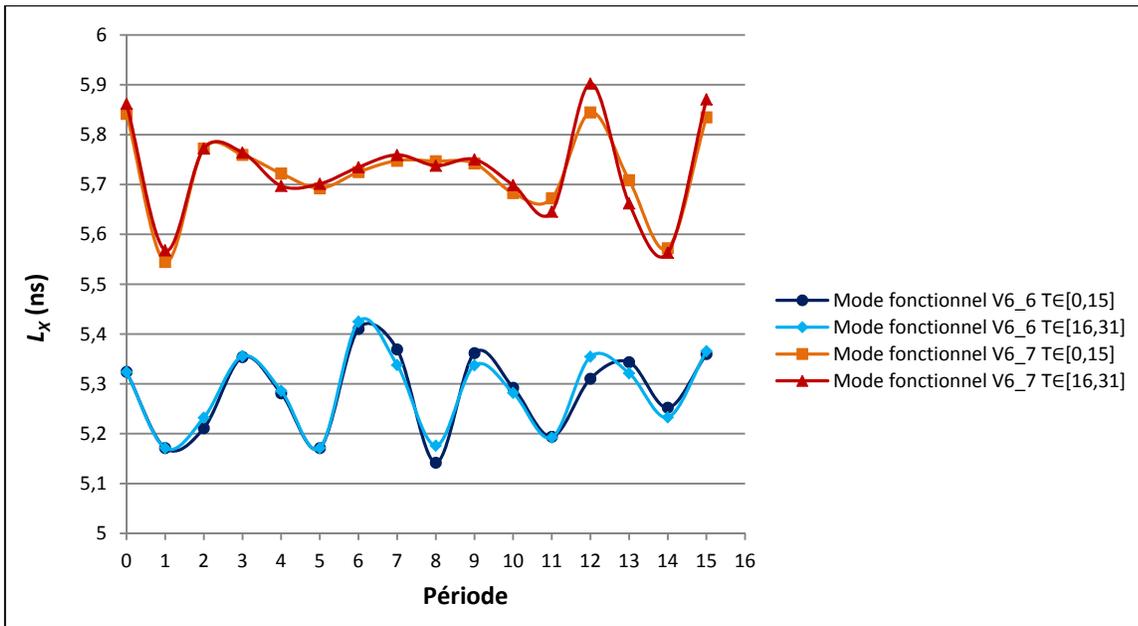


Figure 4.22 Mesure de L_X : 40-60-160 MHz pour les architectures V6_6 et V6_7

Tableau 4.10 Différence entre $L_{X(MOY)}$ des deux architectures

	Trios de fréquences	$L_{X(MOY6_7)} - L_{X(MOY6_6)}$ (ns)
1	30-40-160	0,464
2	70-80-160	0,475
3	40-60-160	0,440

On remarque qu'il y a une différence d'environ 0,46ns entre la moyenne des mesures de L_X des deux architectures. Cette différence est constante peu importe le trio de fréquences. On observe également que la marge de synchronisation (approximée par la mesure de L_X) est plus petite dans l'architecture dans laquelle le testeur et le CUT sont ensemble. Ceci signifie que le délai de propagation dans la ligne à délai est plus grand. On peut donc conclure que le

testeur, donc la génération de l'horloge de test a un impact sur les délais de propagation dans le CUT.

4.5 Conclusion de l'analyse

Rappelons les objectifs de ce projet de maîtrise :

- étudier l'impact des PIMs sur les délais de propagation et sur la tension d'alimentation;
- établir si le mode test est représentatif du mode fonctionnel ;
- étudier l'impact du testeur au niveau des délais de propagation.

Notons tout d'abord qu'à des fins d'explications, puisque nous avons fait la démonstration à l'ANNEXE III, que la marge de synchronisation peut être approximée par la mesure de la largeur de l'impulsion sur X, on parlera exclusivement de marge de synchronisation.

On sait que les bascules qui constituent les registres à décalage causent du bruit sur la tension d'alimentation, ce qui cause des fluctuations sur V_{DD} . Cette alimentation est également affectée par les PIMs causés par l'interaction des réseaux d'horloge dont les fréquences ne sont pas multiples l'une de l'autre. Puisque les horloges fonctionnelles sont à l'origine des PIMs, le mode test n'est pas significativement affecté par ces produits parce que ces horloges ne font pas partie du réseau de distribution d'horloges pendant le mode test.

Pendant le mode fonctionnel, pour la première architecture dans laquelle le testeur et le CUT sont ensemble, on a vu que pour la même fréquence de référence, la marge de synchronisation reste sensiblement la même peu importe la fréquence qui commande les registres à décalage. De plus, l'impact des PIMs est clairement visible sur la marge.

Pour la deuxième architecture où le testeur et le CUT sont séparés, on a également pu observer l'impact des PIMs sur la marge de synchronisation dans le mode fonctionnel. Pour les expérimentations avec des fréquences solos, on a calculé le rapport relatif. Puisque les fréquences de référence ne sont pas les mêmes, on peut comparer l'évolution de la marge

comme étant un pourcentage (R%) de la période de référence. Ainsi, on a vu que la présence de l'horloge source induit légèrement des PIMs et que la fréquence de résonance se situe vraisemblablement aux alentours de 160MHz.

Pour les expérimentations dont les trois fréquences ne sont pas les mêmes (trios de fréquences), on a également pris des mesures dans les deux modes. Dans le mode fonctionnel, on a observé que la variation du délai (V%) était de trois à cinq fois supérieure pour une horloge de référence de 160MHz que pour une horloge de 150MHz. Ceci correspond aux résultats pour les fréquences solos. On voit encore une fois l'impact des PIMs sur la marge de synchronisation. Dans le mode test, on a remarqué que pour une fréquence de balayage (F_{SHIFT}) ayant un rapport (R_{SHIFT}) égal à trois, le délai oscille considérablement par rapport aux autres fréquences de balayage possible. On a vu que la marge est affectée par le moment du lancement de la ligne à délai. Par contre, les horloges fonctionnelles ont très peu d'impact sur cette marge. L'horloge de test a quant à elle un impact direct sur la marge; plus la fréquence de l'horloge de test augmente, plus l'écart entre les extrémums des mesures augmente également. Finalement, on a comparé les modes test et fonctionnel. On a remarqué que pour des fréquences solos où les PIMs sont beaucoup moins présents, le mode test est plus optimiste que le mode fonctionnel pour des fréquences dépassant 140MHz. Pour des domaines d'horloges non multiples l'une de l'autre dont $F_{\text{CLK_REF}}=80\text{MHz}$, le mode test est optimiste vs le mode fonctionnel et il est pessimiste pour $F_{\text{CLK_REF}}=60\text{MHz}$. Finalement, dans les deux modes, la fréquence de référence a très peu d'impact sur la moyenne des mesures de L_X .

On a par la suite comparé les deux architectures en termes de délai. Le délai de propagation est plus grand lorsque le testeur est à l'intérieur du CUT, ce qui implique que la génération de l'horloge de test a un impact sur la marge de synchronisation.

CONCLUSION ET RECOMMANDATIONS

En premier lieu, dans ce projet de maîtrise, on s'est intéressé à la représentativité du test de balayage à vitesse nominale vs le mode fonctionnel. Dans la littérature, les efforts déployés pour vérifier cette représentativité ont porté presque exclusivement sur le mode test, le mode fonctionnel étant considéré comme un point de référence stable. À partir d'expérimentations préliminaires, on a remarqué que le mode fonctionnel à multiples domaines d'horloge amène l'apparition de fluctuations indésirables appelées produits d'intermodulation (PIMs), jusqu'ici inexplorés dans ce contexte. Un des objectifs de cette recherche a donc porté sur l'étude de l'impact des PIMs sur les délais de propagation et sur la tension d'alimentation. Afin d'atteindre les objectifs de recherche, une plateforme a été mise en place comprenant un testeur et un circuit sous test (CUT). Du même coup, on a étudié l'impact de la présence d'un testeur dans le même dispositif que le CUT.

À partir des résultats obtenus suite aux expérimentations effectuées, on a remarqué que sous certaines limites fréquentielles, le test de balayage à vitesse nominale n'est pas représentatif du mode fonctionnel. En effet, les PIMs dans le mode fonctionnel à multiples domaines d'horloge ne sont pas présents dans le mode test, car les horloges multiples ne sont pas distribuées dans ce mode. On conclut également que les PIMs présents dans le mode fonctionnel ont un impact sur les délais de propagation et sur la tension d'alimentation. On voit clairement un patron se dessiner sur les mesures de la largeur de l'impulsion sur X (L_X) dans le mode fonctionnel qui se répète selon la démarche présentée à l'ANNEXE II. Finalement, selon nos expérimentations, le testeur, donc la génération de l'horloge de test, a un impact sur les mesures de L_X .

Selon la revue de littérature effectuée pour ce projet de maîtrise, on a vu que les recherches portant sur le mode fonctionnel à proprement parler sont peu nombreuses. Davantage, les recherches portant sur les PIMs présents dans ce mode sont inexistantes. Il est donc recommandé de pousser l'étude de l'impact des PIMs dans le mode fonctionnel, afin

d'adapter les paramètres des tests de puces électroniques. Il serait également souhaitable de pousser la théorie des PIMs en termes de prédiction, afin de prévoir et peut-être aussi de prévenir leur apparition dans le mode fonctionnel à multiples domaines d'horloge. Suite à cela, il serait intéressant de modéliser le réseau d'alimentation, afin de tenir compte de ces nouveaux paramètres.

ANNEXE I

PLATEFORME UTILISÉE

1.1 Instruments

Les mesures sont prises à l'aide d'un oscilloscope et les plaquettes de développement sont alimentées auprès d'une source d'alimentation externe. Les détails de ces instruments sont les suivants :

- Oscilloscope Agilent, Infiniium 500 MHz
- Agilent Technologies, N6705A, Dc Power Analyser, LXI⁵

1.2 Interface usager

1.2.1 Programmation

L'interface usager utilisée est l'outil *Adept* de *Digilent*⁶ présenté à la Figure-A I-1. Cet outil permet de programmer le FPGA ou le PROM à l'aide du fichier ayant l'extension « *.bit » généré par l'outil de développement *Xilinx*. Lorsque la carte est alimentée et connectée à l'ordinateur via le câble USB, l'outil la reconnaît et affiche son nom dans la fenêtre *Config*. Le fichier peut être chargé et le dispositif programmé.

⁵ Agilent Technologies, Inc. January 30,2008. Agilent DC Power Analyzer. Consulté en décembre 2009, à <http://cp.literature.agilent.com/litweb/pdf/5989-6319EN.pdf>

⁶ Digilent. *Digilent Adept*, Consulté en juin 2009, à <http://www.digilentinc.com/Products/Detail.cfm?Prod=ADEPT>

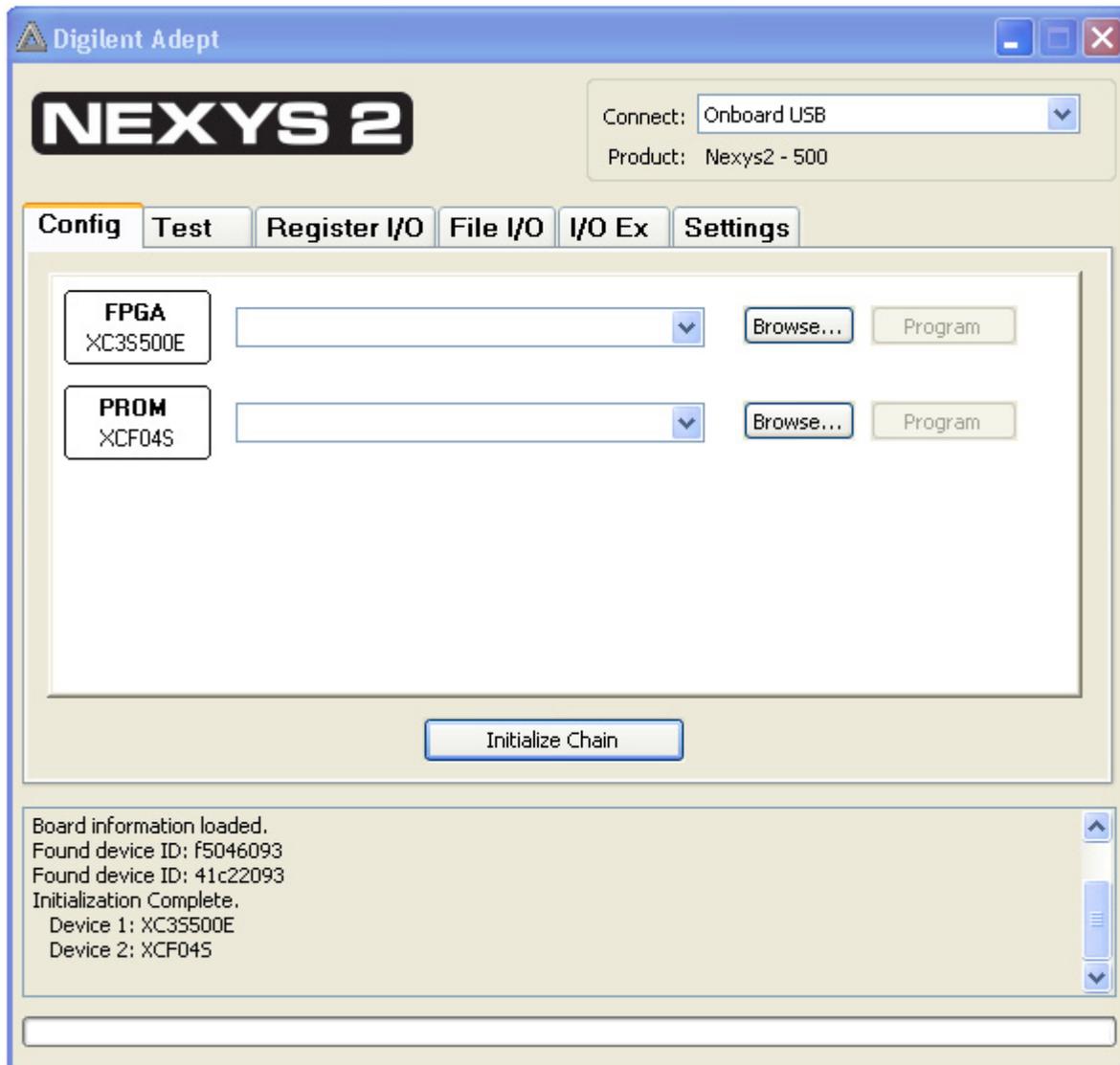


Figure-A I-1 Programmation de la carte de développement

1.2.2 Communication

Puisqu'on a plusieurs tests à effectuer dans les modes test et fonctionnel, un bloc RAM a été implémenté dans le testeur. Ce bloc permet à l'utilisateur d'écrire en mémoire les paramètres des tests pendant la collecte des mesures. Ces informations sont le numéro de la période du cycle d'intermodulation dans le mode fonctionnel, les paramètres qui définissent la phase de

décalage et l'emplacement des impulsions « LC » de l'horloge de test. Sur la Figure-A I-2, on remarque l'interface usager qu'on utilise à cet effet. Dans la première case de l'onglet « Register I/O », on entre l'adresse à laquelle on veut écrire en mémoire et dans la deuxième case, on entre le paramètre correspondant. On appuie ensuite sur le bouton « >> », les données sont alors transférées dans le bloc RAM du FPGA. On fait de même pour les deux autres paramètres. Dans le Tableau-A I-1, on retrouve le résumé des paramètres correspondant aux adresses en mémoire.

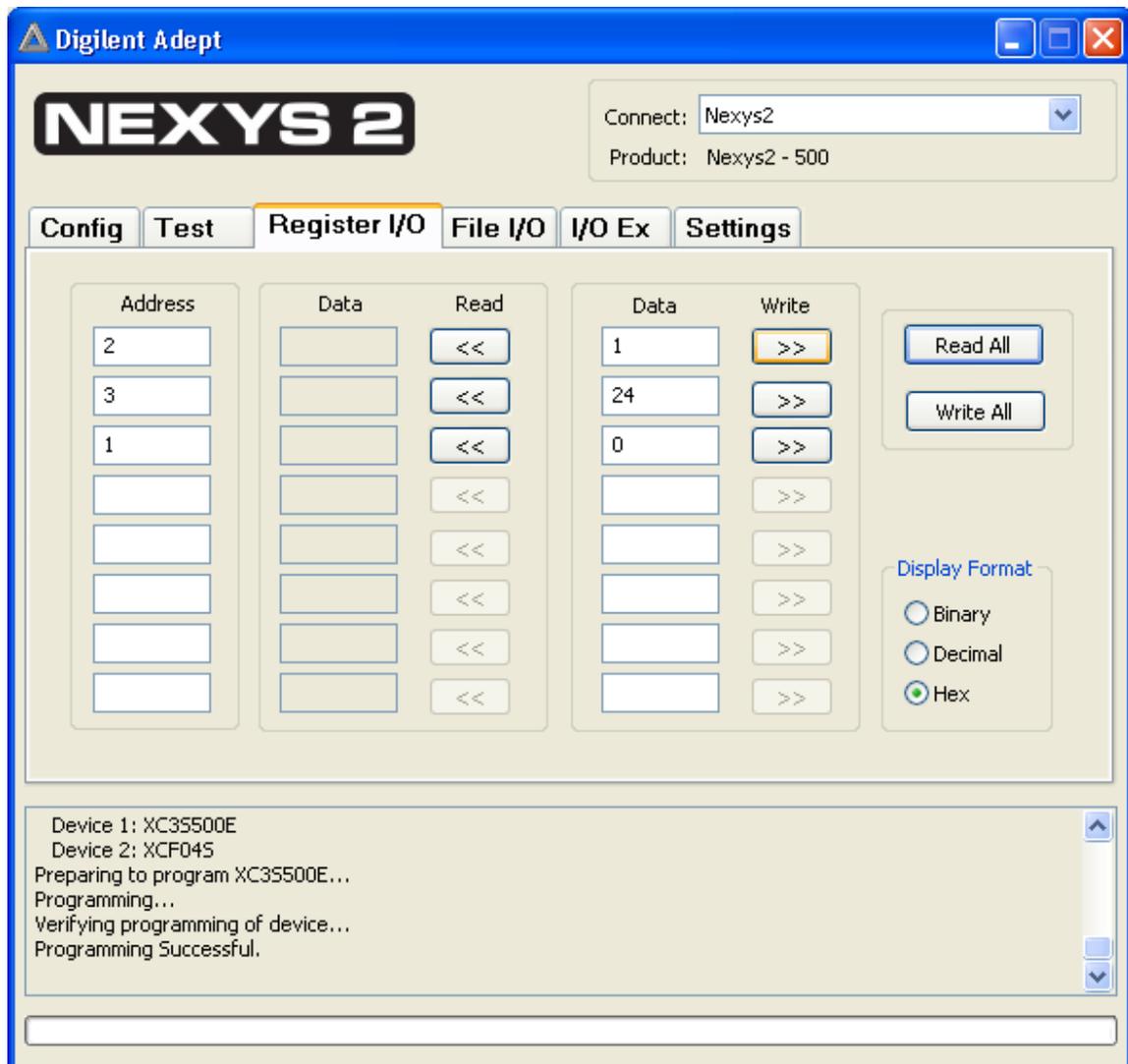


Figure-A I-2 Communication avec la carte de développement

Tableau-A I-1 Paramètres du bloc RAM

Adresse	Paramètre		Valeur
	Nom	Description	
0x01	cnt_cycle	Numéro de la période dans un cycle d'intermodulation	0 à 31
0x02	clk_shift	Nombre d'impulsions qu'on laisse passer selon la période de référence	1 à 5
0x03	LC_bef	Nombre d'impulsions entre la fin de la phase de décalage et le début de la phase « LC »	0 à 29

ANNEXE II

DÉTAILS D'IMPLEMENTATION

2.1 Choix du mode opérationnel

Afin de comparer le plus précisément les modes test et fonctionnel, le circuit sous test (CUT) est le même pour les deux modes. On peut lancer une transition sur la même ligne à délai et les réseaux de résonance du système sont les mêmes. On permet à l'utilisateur de choisir le mode opérationnel par l'intermédiaire d'un interrupteur sur la carte de développement.

2.2 Lancement de la ligne à délai

On utilise un multiplexeur pour changer la provenance du signal de contrôle *CE* servant à lancer une transition sur la ligne à délai. Chaque mode a son signal qui lui est propre; *CE_fonc* dans le mode fonctionnel; *CE_test* dans le mode test.

Dans le mode fonctionnel, la transition sur la ligne à délai est lancée à n'importe quelle période, se situant entre 0 et 31, choisie par l'utilisateur pendant un cycle d'intermodulation complet. Le calcul de la longueur de ce cycle est présenté à la section 2.3 de l'ANNEXE II.

Dans le mode test, la transition sur la ligne à délai est lancée pendant la première impulsion de la phase « LC » et la capture de la ligne à délai se fait pendant la deuxième impulsion de la même phase. Les détails de l'implémentation du signal de contrôle *CE_test* sont présentés à la section 2.9 de l'ANNEXE II.

2.3 Visualisation d'un cycle d'intermodulation complet

Selon (Thibeault and Larche 2012), on peut observer l'effet des PIMs sur la tension d'alimentation du système. On remarque qu'il faut laisser suffisamment de temps au système par rapport à la période de référence afin de visualiser un cycle d'intermodulation complet. Pendant ce cycle, on observe que la mesure de l'impulsion sur X, appelée L_X , change dépendant du moment de sa capture. Pour ces raisons, on doit mesurer L_X à plusieurs moments par rapport à la période de référence. Le nombre de périodes qui forme un cycle d'intermodulation est calculé selon la valeur des horloges. En se référant à la section 1.5 où l'on a défini mathématiquement les PIMs, voici un exemple de ces calculs :

Tableau-A II-1 Exemple de calcul d'un cycle d'intermodulation

Domaine de Résonance	F (MHz)	T (ns)
1	$F_1 = 30$	$T_1 = 33,33$
2	$F_2 = 40$	$T_2 = 25$
3	$F_{CLK_REF} = 160$	$T_{CLK_REF} = 6,25$

$$F_{2-1} = F_2 - F_1 \rightarrow \quad (A II-1)$$

$$T_{2-1} = \frac{1}{F_{2-1}} \leftrightarrow T_{2-1} = 100ns \quad (A II-2)$$

$$F_{CLK_REF-2} = F_{CLK_REF} - F_2 \rightarrow \quad (A II-3)$$

$$T_{CLK_REF-2} = \frac{1}{F_{CLK_REF-2}} \leftrightarrow T_{CLK_REF-2} = 8,33ns \quad (A II-4)$$

$$F_{CLK_REF-1} = F_{CLK_REF} - F_1 \rightarrow \quad (A II-5)$$

$$T_{CLK_REF-1} = \frac{1}{F_{CLK_REF-1}} \leftrightarrow T_{CLK_REF-1} = 7,69ns \quad (\text{A II-6})$$

$$T_{2-1} > T_{CLK_REF-2} > T_{CLK_REF-1} \quad (\text{A II-7})$$

- on peut visualiser 16 périodes de $T_{CLK_REF} = 6,25ns$ dans une période de $T_{2-1} = 100ns$;
- un cycle d'intermodulation complet dure 16 périodes de 6,25ns dans ce cas-ci;
- pour visualiser deux cycles complets, on doit mesurer L_X pour les périodes 0 à 31;
- dans le cas du projet de maîtrise, selon les fréquences que nous visons, on veut prendre 32 mesures de L_X consécutives afin de visualiser au moins un cycle complet d'intermodulation;
- au CHAPITRE 2, on a vu que des PIMs supplémentaires apparaissent dus à la commutation des registres à décalage. Il faut également en tenir compte dans la visualisation du cycle complet d'intermodulation.

Tel que présenté à la section 1.2.2 de l'ANNEXE I, l'interface usager permet à l'utilisateur de choisir en temps réel la période de l'horloge de référence à laquelle la mesure de L_X est prise pendant le mode fonctionnel. Suite à la lecture en mémoire du numéro de la période que veut visualiser l'utilisateur, le signal de contrôle du mode fonctionnel (CE_fonc) est implémenté tel que l'on retrouve l'apparence à la Figure-A II-1.



Figure-A II-1 Exemple du signal de contrôle CE_fonc pour le mode fonctionnel

Un compteur est assigné pour compter les périodes de référence dans un cycle d'intermodulation. La valeur maximale du compteur est établie par les équations (A II-1 à A II-7). Le signal de contrôle *CE_fonc* est actif lorsque la période choisie par l'utilisateur est égale à la période du compteur, tel que spécifié dans le diagramme bloc de la Figure 3.8.

2.4 Choix des horloges selon le mode opérationnel

L'utilisateur choisit le mode opérationnel via un interrupteur sur la carte de développement où le CUT se trouve. Tel que présenté à la section 1.4, afin de modifier la provenance des horloges reliées aux réseaux de résonance dépendant du mode opérationnel, on utilise les composantes BUFGMUX disponibles pour chaque réseau. Dans notre cas, les entrées de chaque composant correspondent à une horloge du mode fonctionnel et à l'horloge de test. Les sorties de ces composantes sont directement reliées aux réseaux de résonance.

2.5 Caractéristiques des DCM

2.5.1 Valeurs des DCM

En plus des caractéristiques des DCM qui ont été présentées à la section 1.3, il est à noter qu'il est important de s'assurer que les DCM (PLL est un terme plus général) utilisés dans le système soient « routés » de manière adéquate. Le DCM prend une horloge en entrée (CLKIN) et selon les attributs qu'on lui donne, sort une horloge sur l'une de ses sorties. Dans le cas de notre système, seulement la sortie *CLKFX* nous intéresse. On choisit la valeur des attributs *CLKFX_MULTIPLY* et *CLKFX_DIVIDE* selon l'équation (A II-8).

$$F_{CLKFX} = F_{CLKIN} \times \frac{CLKFX_MULTIPLY}{CLKFX_DIVIDE} \quad (A II-8)$$

L'attribut `CLKFX_MULTIPLY` est un entier entre 2 et 32 inclusivement. L'attribut `CLKFX_DIVIDE` est un entier entre 1 et 32 inclusivement. Donc, ces paramètres permettent de choisir une grande gamme de fréquences.

2.5.2 Limites des DCM au niveau de l'horloge de test

Tel que vu précédemment à la section 3.3.1, un des DCM est utilisé pour générer l'horloge de test. À partir de cette composante, on génère une horloge que l'on appelle soit `CLK4_bufg` dans l'architecture `V6_7` ou `CLK3_bufg` dans l'architecture `V6_6`. À des fins d'explication, on nommera cette horloge `CLKX_bufg`. Il est important de comprendre que l'implémentation de l'horloge de test impose la relation suivante :

$$CLK_TEST = \frac{CLKX_bufg}{2} \quad (\text{A II-9})$$

Expérimentalement, les DCM offrent une limite de grandeur au niveau des valeurs des horloges. Plus précisément, si l'on veut comparer les deux modes pour une horloge de référence dans le mode fonctionnel de 80MHz, il faut que `CLKX_bufg` soit égale à 160MHz. Cette implémentation est possible. Par contre, on ne peut comparer une horloge fonctionnelle de 160MHz, car `CLKX_bufg` serait égale à 320MHz et cela est impossible expérimentalement dû à la limite du DCM.

2.6 Placement/routage manuel

On a fait un placement relatif de la ligne à délai représentée par le schéma de la Figure 3.9. À l'aide de la contrainte « RLOC », on peut s'assurer de la proximité des composantes formant la ligne à délai. On a également imposé une contrainte de temps entre le signal *X* et

la broche de sortie. Ceci a pour but de minimiser l'effet du bruit sur l'alimentation sur le signal X une fois généré.

2.7 Bloc RAM

Le bloc RAM est utilisé afin de permettre à l'utilisateur d'écrire en mémoire les paramètres des tests pendant la collecte des mesures de L_X . Rappelons que ces informations sont le numéro de la période du cycle d'intermodulation dans le mode fonctionnel, les paramètres qui définissent la phase de décalage et l'emplacement des impulsions « LC » de l'horloge de test. Donc, lorsqu'un utilisateur appuie sur l'un des boutons « >> » de l'interface utilisateur, une donnée de huit bits est écrite à l'adresse de huit bits correspondante dans le bloc RAM créé dans le FPGA. Le tout se fait par communication USB. Le programme classe ensuite la donnée dans le bon paramètre selon l'adresse qui lui correspond. Le RTL détaillé du bloc RAM est présenté à la Figure-A IX-2.

2.8 Horloge de test

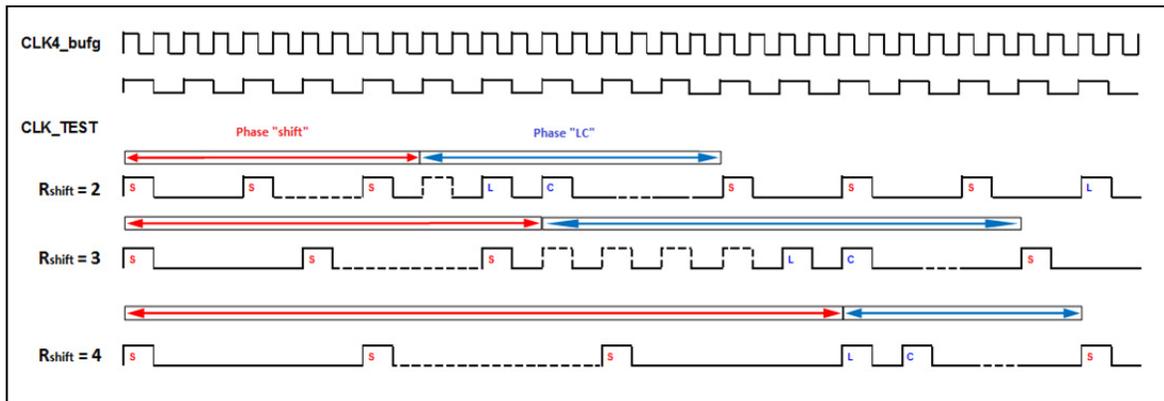


Figure-A II-2 Exemple d’horloges de test

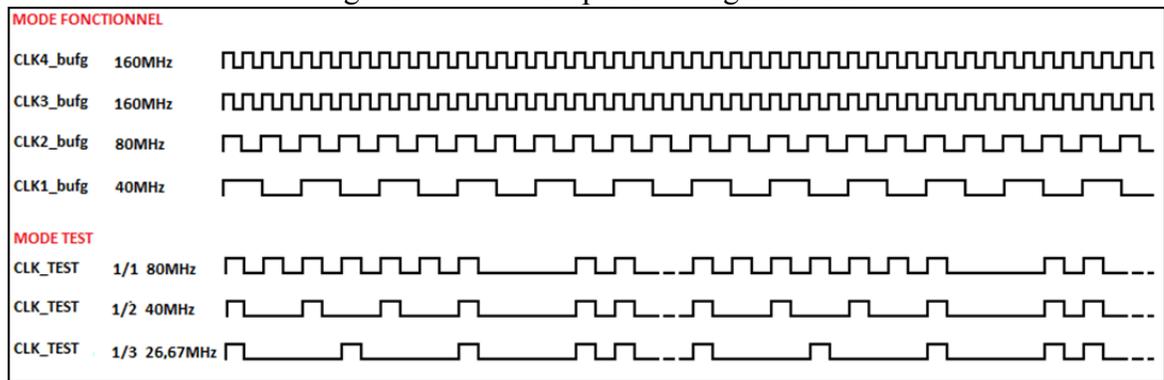


Figure-A II-3 Comparaison entre les horloges fonctionnelles et l’horloge de test

À la Figure-A II-2, on observe l’allure de l’horloge de test selon la valeur de R_{SHIFT} qui est défini par la relation suivante :

$$R_{SHIFT} = \frac{F_{CLK_{TEST}}}{F_{SHIFT}} \tag{A II-10}$$

F_{CLK_TEST} est la fréquence de l’horloge de test et F_{SHIFT} est la fréquence de la phase « shift ». La flèche rouge indique la longueur de la phase de décalage et la flèche bleue indique la longueur de la phase « LC ». La première horloge $CLKX_bufg$ est l’horloge de référence utilisée pour implémenter l’horloge de test. Elle est égale à $CLK3_bufg$ dans l’architecture V6_6 ou CLK_4_bufg dans l’architecture V6_7. La deuxième sert seulement d’outil afin de visualiser les impulsions de l’horloge de test dans l’exemple présenté. Le principe est de

laisser passer toutes les impulsions, une sur deux, une sur trois, une sur quatre ou une sur cinq pendant la phase « shift ». Dans le cas de notre système, on a établi arbitrairement le nombre d'impulsions maximales dans cette phase à 32767. Pendant la phase « LC », deux impulsions à vitesse nominale sont émises. Arbitrairement, cette phase a une durée de 47 périodes de référence. Afin d'observer le temps de stabilisation de l'alimentation, on peut laisser passer de 1 à 30 périodes de référence entre la fin de la dernière impulsion de décalage et le début de la phase « LC ».

Un chronogramme servant à comparer les horloges dans les deux modes est présenté à la Figure-A II-3. Dans cet exemple, l'horloge de référence est de 160MHz, l'horloge à partir de laquelle on implémente l'horloge de test. Tel que spécifié précédemment, cette horloge de référence est égale à *CLK3_bufg* dans l'architecture V6_6 ou *CLK4_bufg* dans l'architecture V6_7. Pour le mode fonctionnel, on observe les trois horloges distribuées aux trois réseaux de résonance. Pour le mode test, on observe trois horloges différentes, dépendant de la valeur attribuée à R_{SHIFT} . Cet attribut correspond aux nombres d'impulsions qu'on laisse passer pour ainsi obtenir une horloge équivalente à celle dans le mode fonctionnel. Plus précisément, pour $R_{SHIFT} = 1$, on obtient une fréquence de décalage de 80MHz. Pour $R_{SHIFT} = 2$, la fréquence de décalage passe à 40MHz et finalement, pour $R_{SHIFT} = 3$, cette même fréquence passe à 26,67MHz. On remarque que la phase de décalage est suivie d'une phase « LC » avec deux impulsions à vitesse nominale.

2.9 CE_test

Dans notre projet, pendant le mode test, une transition sur la ligne à délai est lancée pendant la première impulsion de la phase « LC », tel que présenté à la Figure-A II-4. Rappelons que le but de cette architecture est de comparer le même délai de propagation dans les modes test et fonctionnel en termes PIMs et de bruit sur la tension d'alimentation. Pour ce faire, on doit lancer une transition sur la ligne à délai pendant une impulsion à vitesse nominale. De plus, on sait que dans la littérature, le mode test est implémenté selon l'un des deux patrons : LOC ou LOS. Les architectures testées dans ces deux cas permettent d'envoyer des vecteurs de

tests selon un patron bien précis et de mesurer des délais de propagation. Dans notre cas, on ne produit pas un test structurel à proprement parlé, il n'est donc pas nécessaire d'utiliser des vecteurs de test et d'employer une méthode bien définie pour le signal de contrôle. Il est également à noter que plus on s'éloigne de la dernière impulsion de la phase « shift », plus le V_{DD} a le temps de se stabiliser. Donc, en lançant une transition sur la ligne à délai pendant la première impulsion de la phase « shift », on évite de mesurer L_X (la mesure de la largeur de l'impulsion sur X) pendant le moment critique où la tension d'alimentation tend à baisser. En effet, on verra que plus on attend avant de lancer une transition sur la ligne à délai, plus la mesure de L_X se stabilise.

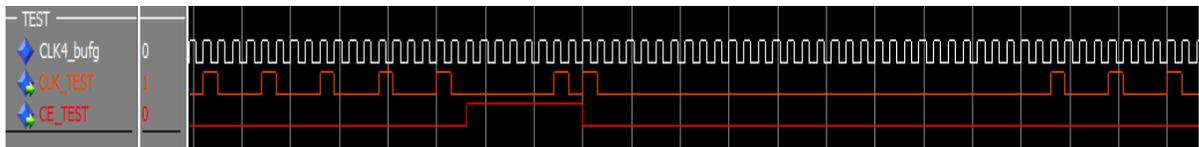


Figure-A II-4 Exemple du signal de contrôle pour le mode test

2.10 Communication entre les deux cartes

Dans la deuxième architecture, le testeur et le circuit sous test (CUT) se trouvent respectivement dans deux FPGA distincts. On a donc fabriqué une carte de communication qui permet de transmettre les signaux du testeur vers le CUT via les ports de communication haute vitesse des cartes de développement.

Tableau-A II-2 Communication entre deux cartes de développement Nexys2

J1A	Nom	FPGA	J1B	Nom	FPGA
1	VCC3V3		1	SHIELD	
2	VCC3V3		2	GND	
3	TMS	D15	3	TDO-ROM	A17
4	JTSL		4	GND	
5	TDO-FX2		5	GND	
6	FX2-IO1	B4	6	GND	
7	FX2-IO2	A4	7	GND	
8	FX2-IO3	C3	8	GND	
9	FX2-IO4	C4	9	GND	
10	FX2-IO5	B6	10	GND	
11	FX2-IO6	D5	11	GND	
12	FX2-IO7	C5	12	GND	
13	FX2-IO8	F7	13	GND	
14	FX2-IO9	E7	14	GND	
15	FX2-IO10	A6	15	GND	
16	FX2-IO11	C7	16	GND	
17	FX2-IO12	F8	17	GND	
18	FX2-IO13	D7	18	GND	
19	FX2-IO14	E8	19	GND	
20	FX2-IO15	E9	20	GND	
21	FX2-IO16	C9	21	GND	
22	FX2-IO17	A8	22	GND	
23	FX2-IO18	G9	23	GND	
24	FX2-IO19	F9	24	GND	
25	FX2-IO20	D10	25	GND	
26	FX2-IO21	A10	26	GND	
27	FX2-IO22	B10	27	GND	
28	FX2-IO23	A11	28	GND	
29	FX2-IO24	D11	29	GND	
30	FX2-IO25	E10	30	GND	
31	FX2-IO26	B11	31	GND	
32	FX2-IO27	C11	32	GND	
33	FX2-IO28	E11	33	GND	
34	FX2-IO29	F11	34	GND	
35	FX2-IO30	E12	35	GND	
36	FX2-IO31	F12	36	GND	
37	FX2-IO32	A13	37	GND	
38	FX2-IO33	B13	38	GND	
39	FX2-IO34	E13	39	GND	
40	FX2-IO35	A14	40	GND	
41	FX2-IO36	C14	41	GND	
42	FX2-IO37	D14	42	GND	
43	FX2-IO38	B14	43	GND	
44	FX2-IO39	A16	44	GND	
45	FX2-IO40	B16	45	GND	
46	GND		46	FX2-CLKIN	B9
47	FX2-CLKOUT	D9	47	GND	
48	GND		48	FX2-CLKIO	M9
49	VCCFX2		49	VCCFX2	
50	VCFX2		50	SHIELD	

ANNEXE III

APPROXIMATION DÉTAILLÉE DE LA MARGE DE SYNCHRONISATION

3.1 Délais généraux tirés de l'analyseur statique

T_{CKO}: Temps de propagation requis entre le front montant de l'horloge d'une bascule jusqu'à sa sortie;

T_{ILO}: Temps de propagation requis pour qu'une donnée se propage de l'entrée à la sortie d'un CLB en traversant la logique combinatoire;

T_R: Temps de propagation requis pour le routage;

T_{DICK}: Temps de propagation requis pour qu'une donnée se propage de l'entrée d'un CLB au front montant de l'horloge d'une bascule;

T_{IOOP}: Temps de propagation requis pour qu'une donnée se propage de l'entrée d'un IOB à la sortie sur une broche du FPGA.

3.2 Représentation des délais

À la Figure-A III-1, les délais de la ligne à délai selon le rapport d'analyse statique obtenu via l'environnement de développement sont représentés schématiquement.

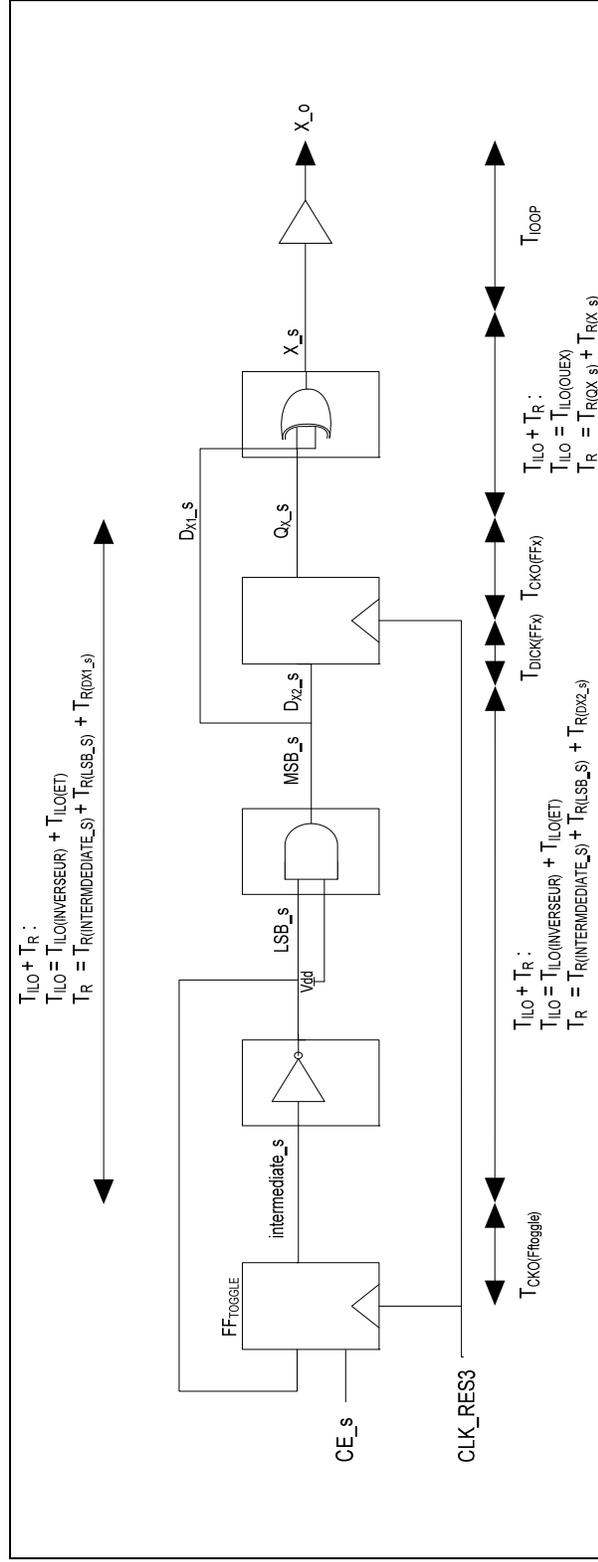


Figure-A III-1 Représentation des délais

3.2 Chronogramme

À la Figure-A III-2, sous forme de chronogramme, on représente les délais qui nous intéressent dans le but d'établir une corrélation entre la marge de synchronisation et la mesure de la largeur de l'impulsion sur x , appelée L_x .

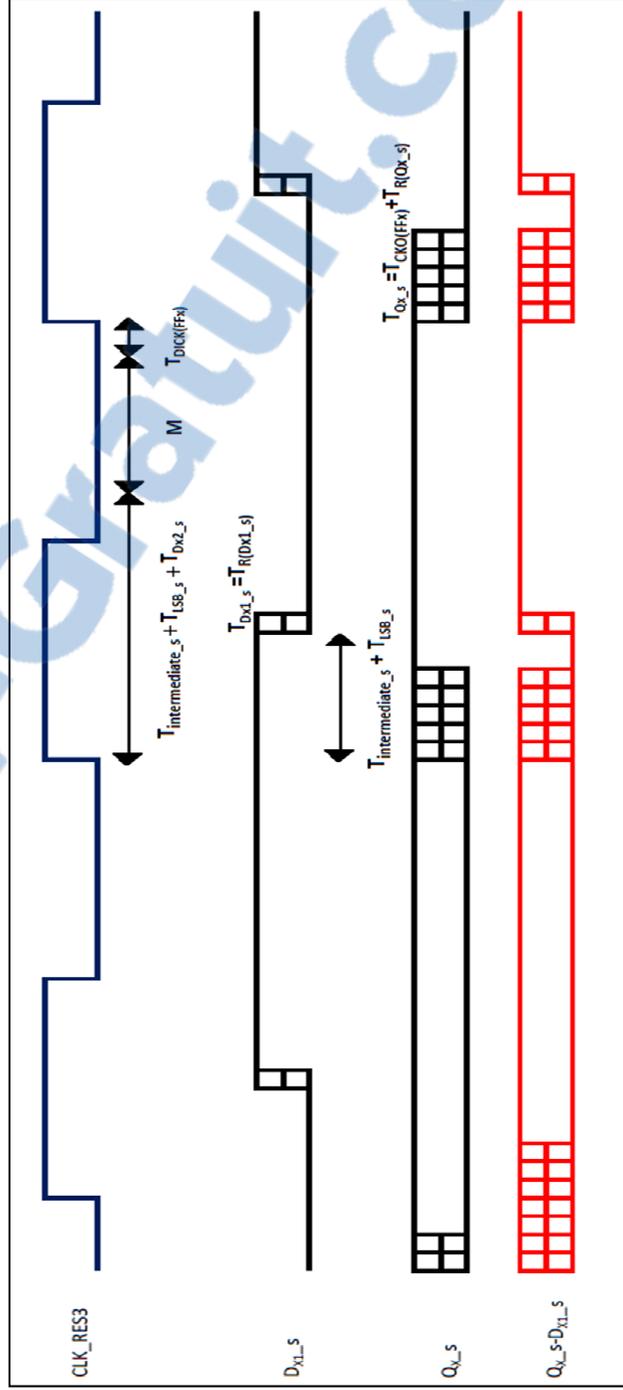


Figure-A III-2 Chronogramme

3.4 Temps de propagation requis par l'analyseur statique

Les valeurs qui sont utilisées dans les calculs qui suivent sont tirées de l'analyseur statique pour un trio de fréquences dont l'horloge de référence est de 150MHz. Puisque les délais varient proportionnellement selon la période de référence, l'équation L_X-M n'est pas une fonction de cette période d'horloge.

$T_{FFtoggle-FFx}$: Temps de propagation requis entre le front montant de l'horloge de la bascule FF_{TOGGLE} et le prochain front montant de l'horloge de la bascule FF_X :

$$T_{FFtoggle-FFx} = T_{intermediate_s} + T_{LSB_s} + T_{Dx2_s} + T_{DICK(FFx)} \quad (A\ III-1)$$

Où :

$$T_{intermediate_s} = T_{CKO(FFtoggle)} + T_{R(intermediate_s)} \quad (A\ III-2)$$

$$T_{LSB_s} = T_{ILO(inverseur)} + T_{R(LSB_s)} \quad (A\ III-3)$$

$$T_{Dx2_s} = T_{ILO(ET)} + T_{R(Dx2_s)} \quad (A\ III-4)$$

L'équation (A III-1) devient donc :

$$T_{FFtoggle-FFx} = T_{CKO(FFtoggle)} + T_{R(intermediate_s)} + T_{ILO(inverseur)} + T_{R(LSB_s)} + T_{ILO(ET)} + T_{R(Dx2_s)} + T_{DICK(FFx)} \leftrightarrow \quad (A\ III-5)$$

$$T_{FFtoggle-FFx} = 0,515 + 0,317 + 0,660 + 0,356 + 0,660 + 0,401 + 0,314 \quad (A\ III-6)$$

$$T_{FFtoggle-FFx} = 3,223ns \quad (A\ III-7)$$

$T_{FFtoggle-X}$: Temps de propagation requis entre le front montant de l'horloge de la bascule FF_{TOGGLE} et la sortie du signal sur la broche X :

$$\begin{aligned} T_{FFtoggle-X} = & T_{CKO(FFtoggle)} + T_{R(intermediate_s)} + T_{ILO(inverseur)} & (A\ III-8) \\ & + T_{R(LSB_s)} + T_{ILO(ET)} + T_{R(Dx1_s)} + T_{ILO(OUEX)} + T_{R(X_s)} \\ & + T_{IOOP(X)} \end{aligned}$$

$$\begin{aligned} T_{FFtoggle-X} = & 0,515 + 0,317 + 0,660 + 0,356 + 0,660 + 0,067 & (A\ III-9) \\ & + 0,612 + 0,249 + 2,887 \end{aligned}$$

$$T_{FFtoggle-X} = 6,323ns \quad (A\ III-10)$$

T_{FFx-X} : Temps de propagation requis entre le front montant de l'horloge de la bascule FF_X et la sortie du signal sur la broche X :

$$T_{FFx-X} = 0,511 + 0,463 + 0,612 + 0,249 + 2,887 \quad (A\ III-11)$$

$$T_{FFx-X} = 4,722ns \quad (A\ III-12)$$

3.5 Délais spécifiques

M : Marge de temps que possède la donnée se propageant entre les deux bascules FF_{TOGGLE} et FF_X . Cette marge de temps est par rapport au prochain front montant de l'horloge.

À la Figure-A III-3, on retrouve un schématique et un chronogramme tirés des notes de cours de (Thibeault 2010) faisant la représentation de la marge de synchronisation dans le cas où la donnée est lente et l'horloge rapide :

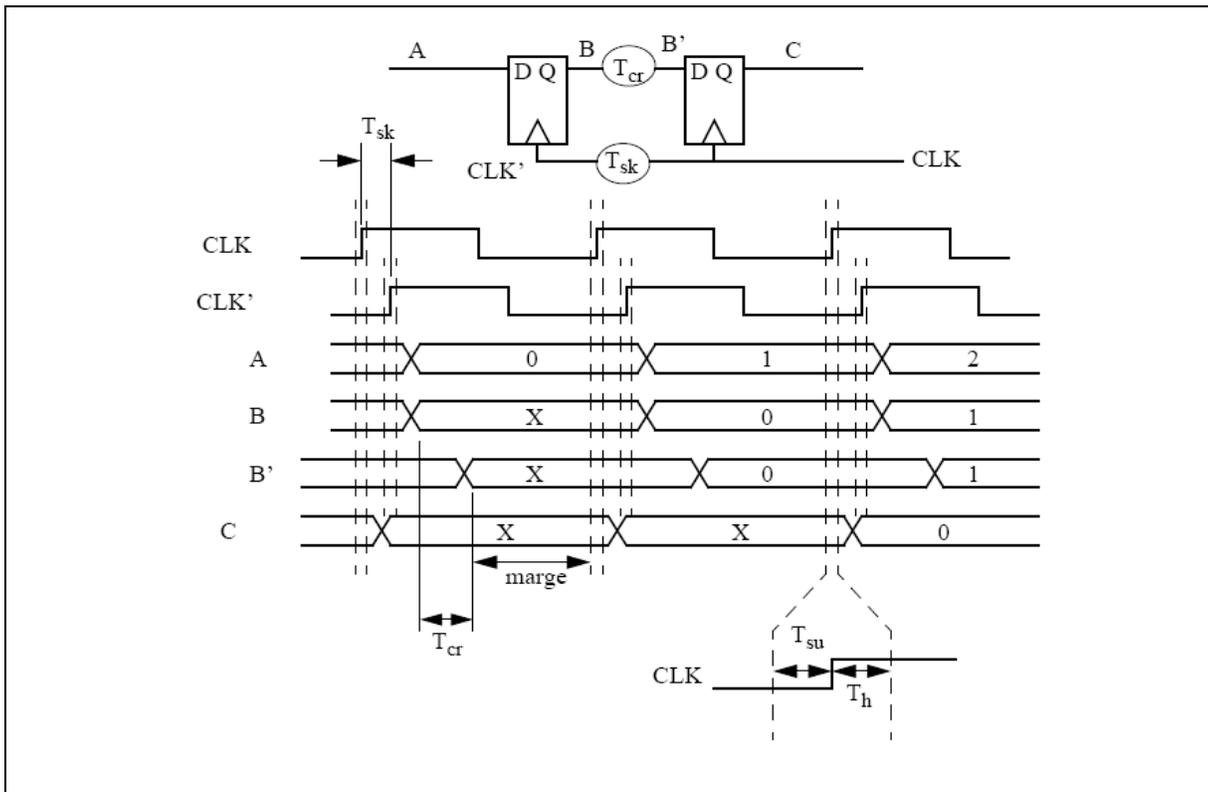


Figure-A III-3 Représentation de la marge de synchronisation

Selon ces notes de cours, par définition, la marge de synchronisation se définit mathématiquement de la manière suivante :

$$M = T_{CLK} - T_{SK} - T_{SU} - T_{PR} - T_{PLOGIC} - T_{C-Q} \quad (\text{A III-13})$$

Selon la définition des délais à la section 3.1, on renomme les termes suivants :

- T_{SU} devient $T_{DICK(FFx)}$;
- T_{PR} devient T_R ;
- T_{PLOGIC} devient T_{ILO} ;
- T_{C-Q} devient $T_{CKO(FFtoggle)}$;
- T_{SK} est le temps de propagation entre le même front montant de l'horloge de la bascule FF_{TOGGLE} et celui de la bascule FF_x . Selon l'analyseur statique, le terme T_{SK} est négligeable, puisqu'il n'y apparaît pas.

L'équation (A III- devient donc :

$$M = T_{CLK} - T_{CKO(FFtoggle)} - T_R - T_{ILO} - T_{DICK(FFx)} \quad (\text{A III-14})$$

On remarque qu'on peut simplifier l'équation avec le terme $T_{FFtoggle-FFx}$:

$$T_{FFtoggle-FFx} = T_{CKO(FFtoggle)} + T_R + T_{ILO} + T_{DICK(FFx)} \quad (\text{A III-15})$$

Où :

$$T_R = T_{R(intermediate_s)} + T_{R(LSB_s)} + T_{R(Dx2_s)} \quad (\text{A III-16})$$

$$T_{ILO} = T_{ILO(inverseur)} + T_{ILO(ET)} \quad (\text{A III-18})$$

L'équation (A III- devient donc :

$$M = T_{CLK} - T_{FFtoggle-FFx} \leftrightarrow \quad (\text{A III-18})$$

L_X : Mesure entre le délai cumulatif de la fin de la ligne (D_{X1_s}) et le prochain front montant de l'horloge (Q_{X_s}), négligeant les délais de sortie pour simplifier les équations.

$$L_X = [T_{CLK} + T_{Qx_s} + T_{X_o}] - [T_{Dx1_s} + T_{X_o}] \quad (\text{A III-20})$$

On remarque qu'on peut simplifier l'équation avec les termes $T_{FFtoggle-X}$ et T_{FFx-X} :

$$T_{FFtoggle-X} = T_{Dx1_s} + T_x \quad (\text{A III-21})$$

Où :

$$T_{Dx1_s} = T_{CKO(FFtoggle)} + T_{R(intermediate_s)} + T_{ILO(inverseur)} + T_{R(LSB_s)} + T_{ILO(ET)} + T_{R(Dx1_s)} \quad (\text{A III-22})$$

$$T_x = T_{R(OUEX)} + T_{x_s} + T_{ioop(x)} \quad (\text{A III-23})$$

$$T_{FFx-X} = T_{Qx_s} + T_x \quad (\text{A III-24})$$

Où :

$$T_{Qx_s} = T_{CKO(FFx)} + T_{R(Qx_s)} \quad (\text{A III-25})$$

$$T_x = T_{R(OUEX)} + T_{x_s} + T_{ioop(x)} \quad (\text{A III-26})$$

L'équation ((A III- devient donc :

$$L_X = [T_{CLK} + T_{FFx-X}] - [T_{FFtoggle-X}] \quad (\text{A III-27})$$

$$L_X = [T_{CLK} + 4,722] - [6,323] \leftrightarrow \quad (\text{A III-28})$$

$$L_X = T_{CLK} - 1,601 \quad (\text{A III-29})$$

On peut maintenant comparer la mesure L_X et la marge de synchronisation M :

$$\Delta_{L_X-M} = L_X - M \leftrightarrow \quad (\text{A III-30})$$

$$\Delta_{L_X-M} = [T_{CLK} - 1,601] - [T_{CLK} - 3,223] \leftrightarrow \quad (\text{A III-31})$$

$$\Delta_{L_X-M} = -1,601 + 3,223 \leftrightarrow \quad (\text{A III-32})$$

$$\Delta_{L_X-M} = 1,622ns \quad (\text{A III-33})$$

Cette erreur est négligeable dans le sens où la marge de synchronisation est calculée avec les valeurs de l'analyseur statique où la puce est testée dans les pires conditions. Ce delta est vraisemblablement plus petit en pratique qu'il ne l'est en théorie. De plus, la plupart des mesures effectuées sont prises à une fréquence de 80MHz, l'erreur est donc aux alentours de 10%.

ANNEXE IV

PROCÉDURE DE TEST POUR L'ARCHITECTURE V6_7 DANS LE MODE FONCTIONNEL POUR DES FRÉQUENCES SOLOS

- Mode test :
 - on choisi une horloge de décalage qui est stable⁷;
 - on mesure L_X pour les quatre impulsions « LC » les plus éloignées;
- Mode fonctionnel :
 - on mesure L_X pour 32 périodes;
- Mode test :
 - on choisi la même « horloge shift » qu'au début du test;
 - on mesure L_X pour les quatre impulsions « LC » les plus éloignées.

⁷ Une horloge de décalage stable est une horloge pour laquelle les mesures de X se stabilisent pour toutes les valeurs de « LC ».

ANNEXE V

RAPPORTS RELATIFS POUR L'ARCHITECTURE V6_7 DANS LE MODE FONCTIONNEL POUR LES FRÉQUENCES SOLOS

Dans les deux modes, on calcule la moyenne des rapports relatifs (R_{MOY}), ainsi que l'écart entre rapport le relatif maximum (R_{MAX}) et le rapport relatif minimum (R_{MIN}). Finalement, pour chaque fréquence solo, on calcule la différence entre R_{MOY} de chacun des modes.

Tableau-A V-1 Rapport relatif pour les fréquences solos dans le mode fonctionnel pour l'architecture V6_7

Horloges fonctionnelles	Horloge de test	Rapport relatif (R%)				
		Mode fonctionnel		Mode test		$R_{MOY,FONC} - R_{MOY,TEST}$
		moyen	max-min	moyen	max-min	
140-140-140	70	2,200	0,048	2,327	0,047	-0,127
150-150-150	75	6,078	0,054	2,188	0,069	3,889
160-160-160	80	8,135	0,228	2,369	0,011	5,765
170-170-170	85	8,801	0,038	2,623	0,037	6,179
180-180-180	90	11,608	0,035	3,514	0,020	8,094

ANNEXE VI

GRAPHIQUES DE LA LARGEUR DE L'IMPULSION SUR X DANS LE MODE FONCTIONNEL DE L'ARCHITECTURE V6_6

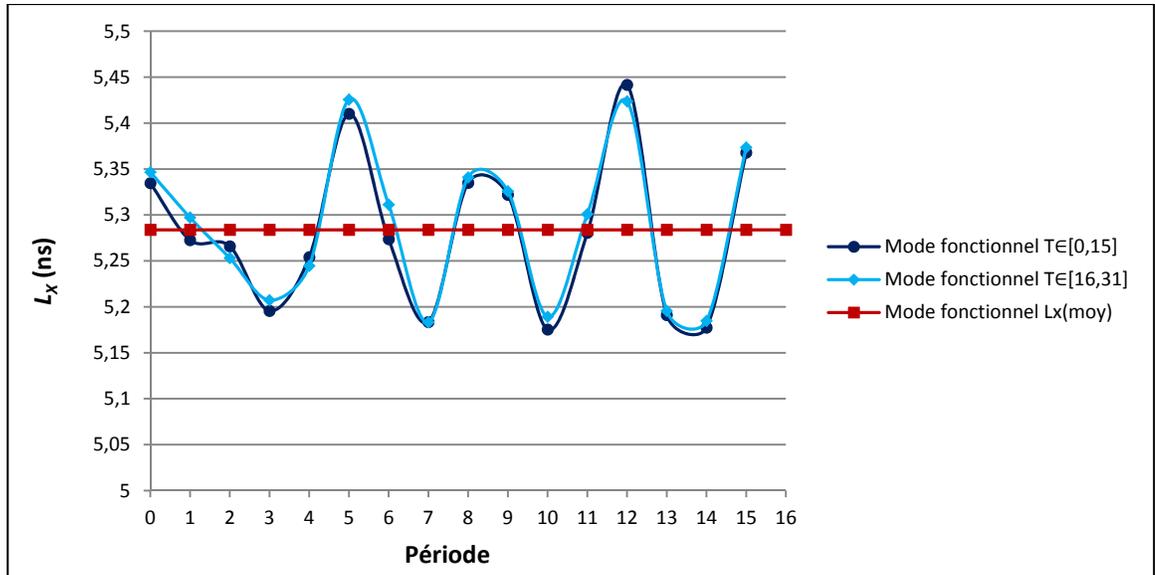


Figure-A VI-1 Mesure de L_X : 30-40-160 MHz pour l'architecture V6_6

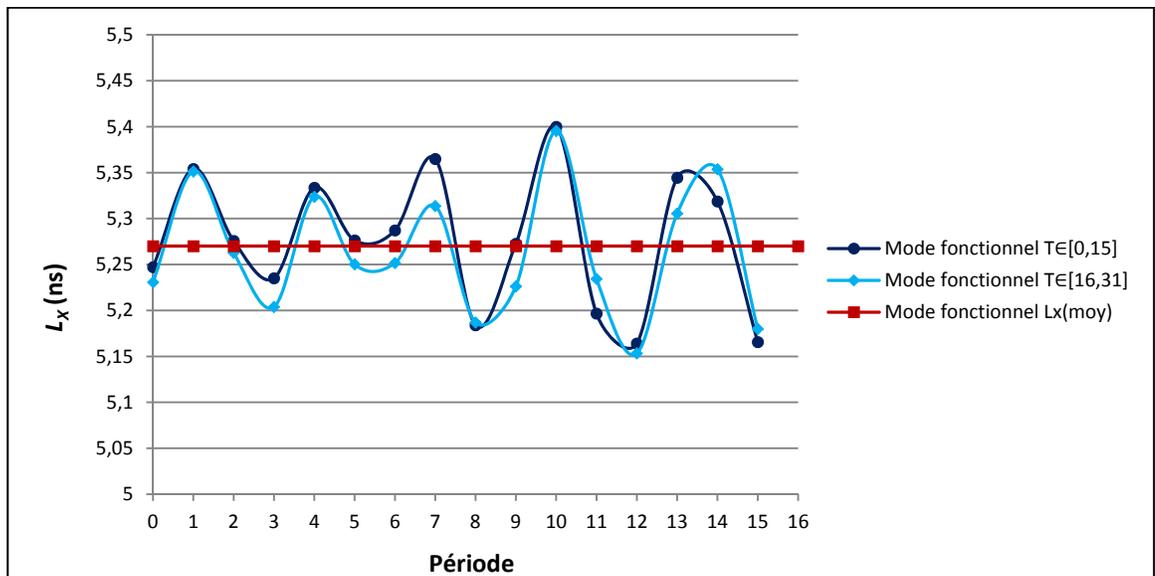
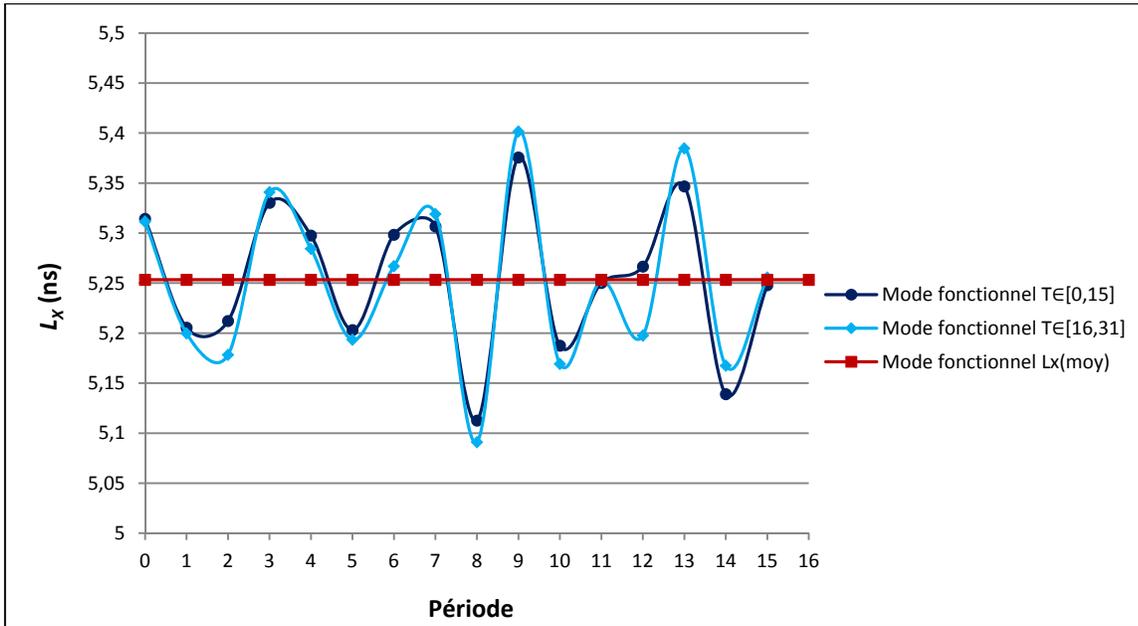
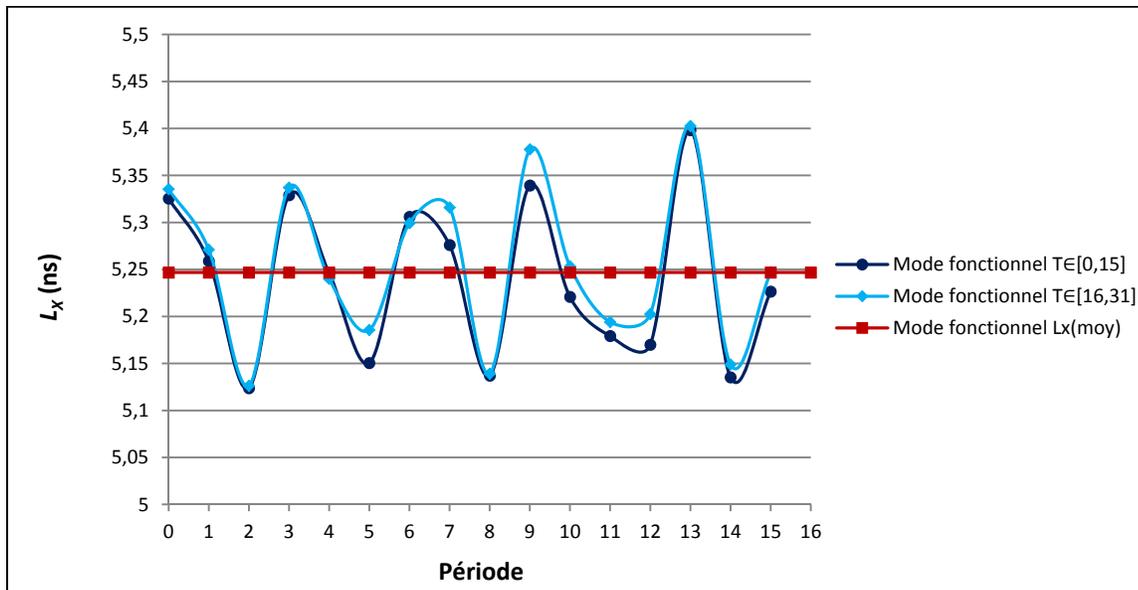


Figure-A VI-2 Mesure de L_X : 40-50-160 MHz pour l'architecture V6_6

Figure-A VI-3 Mesure de L_X : 70-80-160 MHz pour l'architecture V6_6Figure-A VI-4 Mesure de L_X : 80-90-160 MHz pour l'architecture V6_6

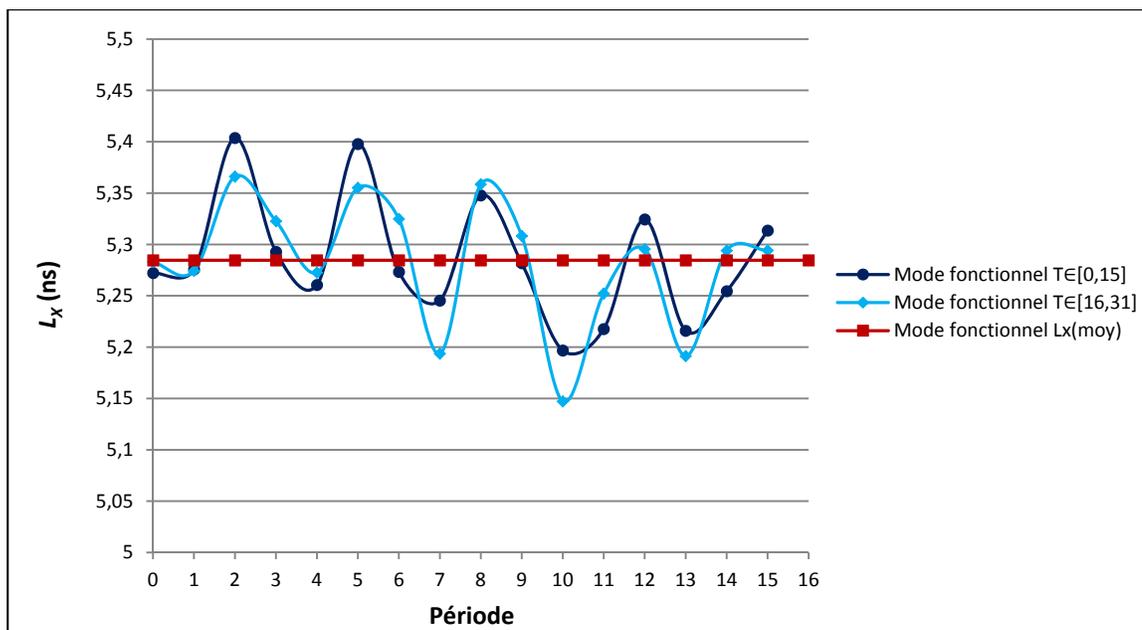


Figure-A VI-5 Mesure de L_x : 50-150-160 MHz pour l'architecture V6_6

ANNEXE VII

GRAPHIQUES DE LA LARGEUR DE L'IMPULSION SUR X DANS LE MODE FONCTIONNEL POUR LES TRIOS DE FRÉQUENCES DE L'ARCHITECTURE V6_7

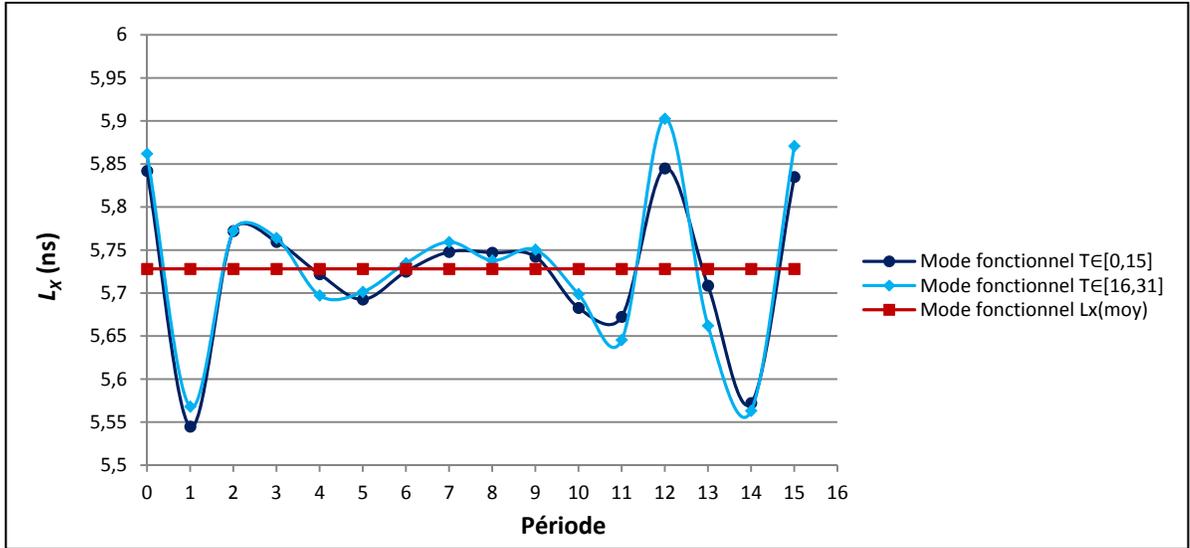


Figure-A VII-1 Mesure de L_X : 40-60-160 MHz pour l'architecture V6_7

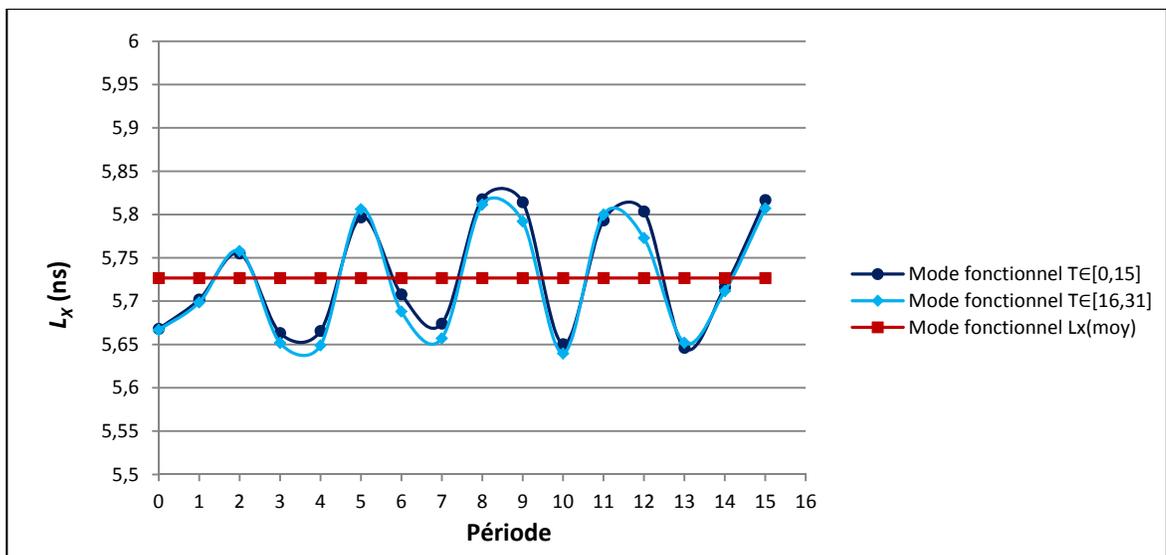


Figure-A VII-2 Mesure de L_X : 140-150-160 MHz pour l'architecture V6_7

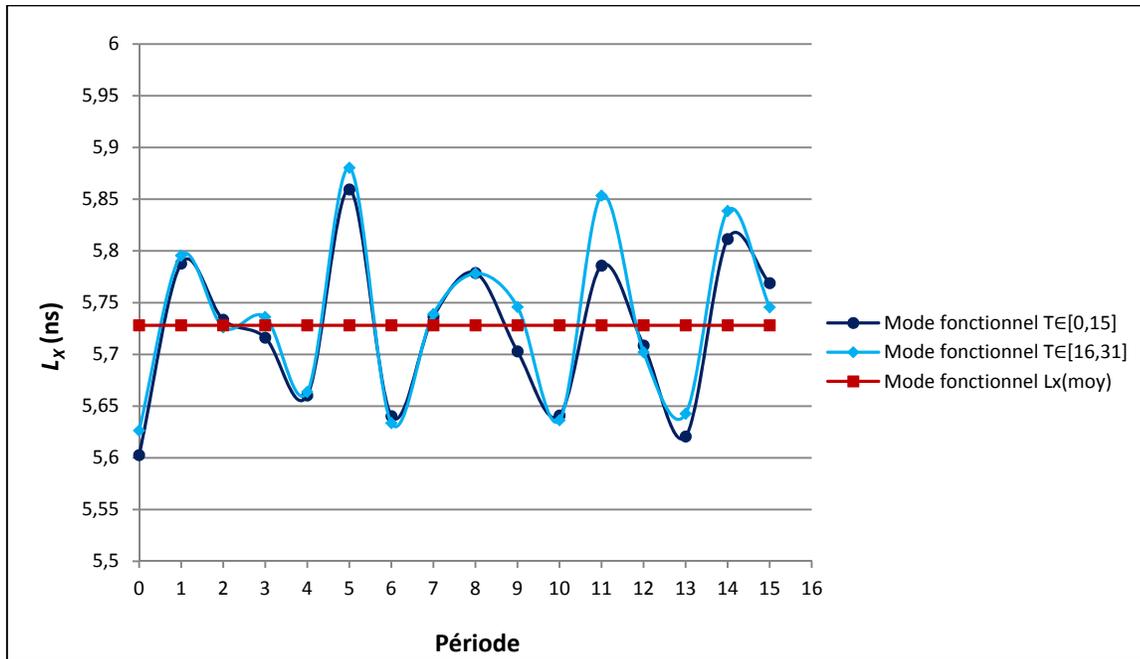


Figure-A VII-3 Mesure de L_X : 70-80-160 MHz pour l'architecture V6_7

ANNEXE VIII

GRAPHIQUES DE LA LARGEUR DE L'IMPULSION SUR X DANS LE MODE TEST POUR UNE FRÉQUENCE DE RÉFÉRENCE F_{CLK_REF} DE 95MHz

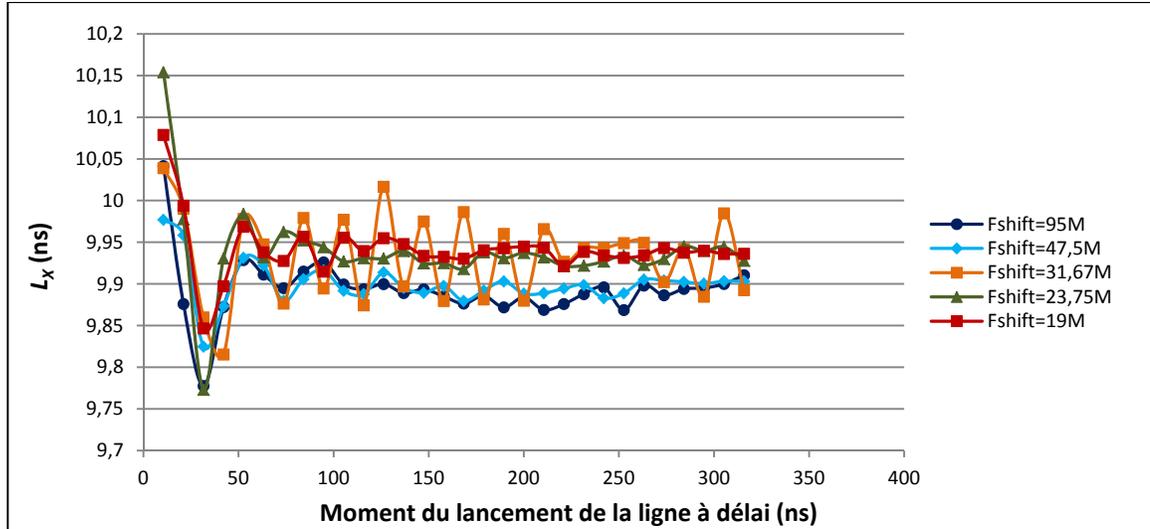


Figure-A VIII-1 Mesure de L_X dans le mode test, Mode test : $F_{CLK_TEST} = 95\text{MHz}$, Mode fonctionnel : 30-40-95 MHz, Architecture V6_7

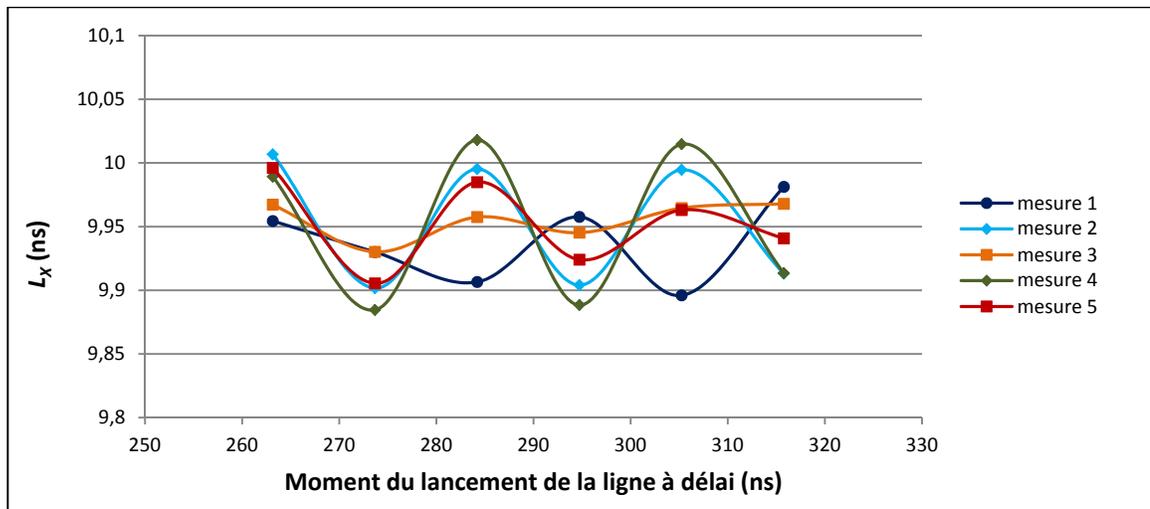


Figure-A VIII-2 Mesure de L_X dans le mode test pour les dernières impulsions « LC », Mode test : $F_{CLK_TEST} = 95\text{MHz}$, Mode fonctionnel : 30-40-95 MHz, Architecture V6_7

ANNEXE IX

GRAPHIQUES DE LA LARGEUR DE L'IMPULSION SUR X DANS LE MODE TEST DE L'ARCHITECTURE V6_7

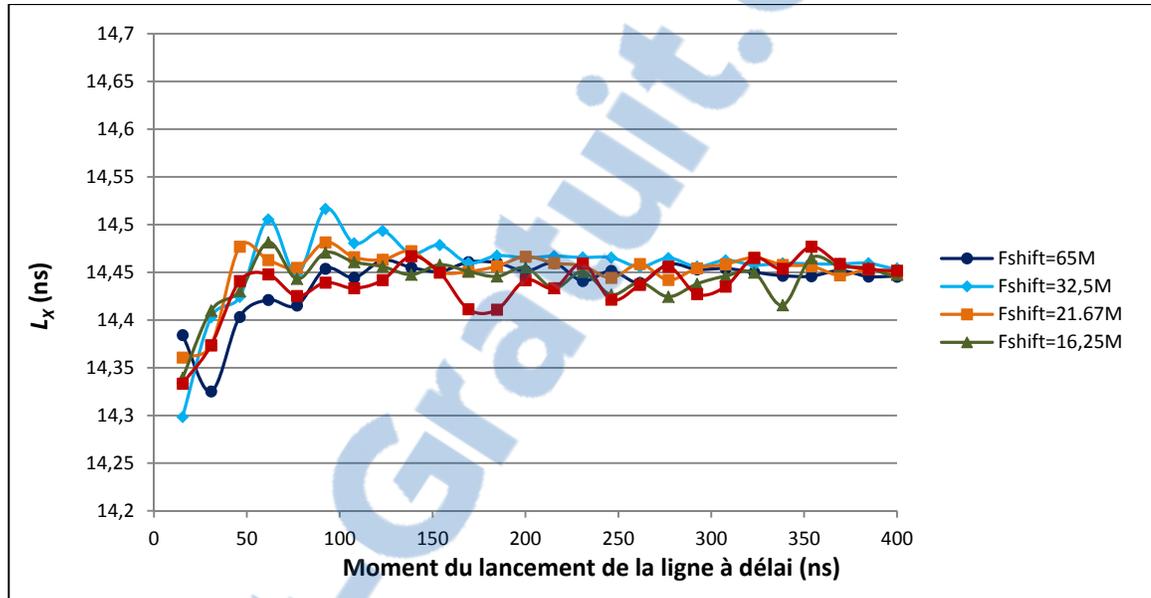


Figure-A IX-1 Mesure de L_X dans le mode test pour $F_{CLK_TEST} = 65\text{MHz}$

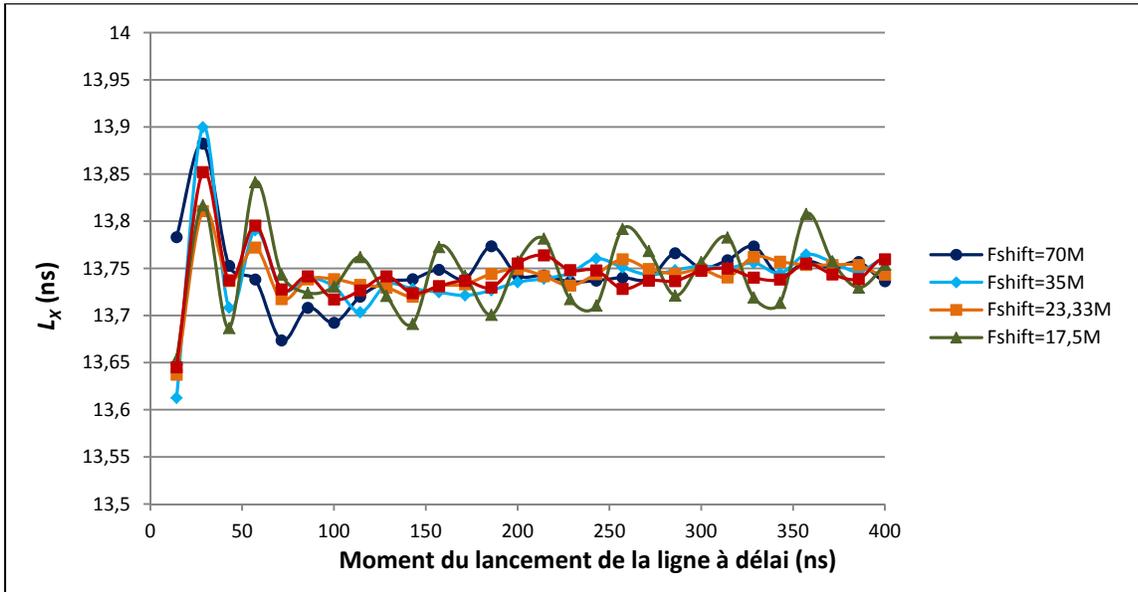


Figure-A IX-2 Mesure de L_X dans le mode test pour $F_{CLK_TEST} = 70\text{MHz}$

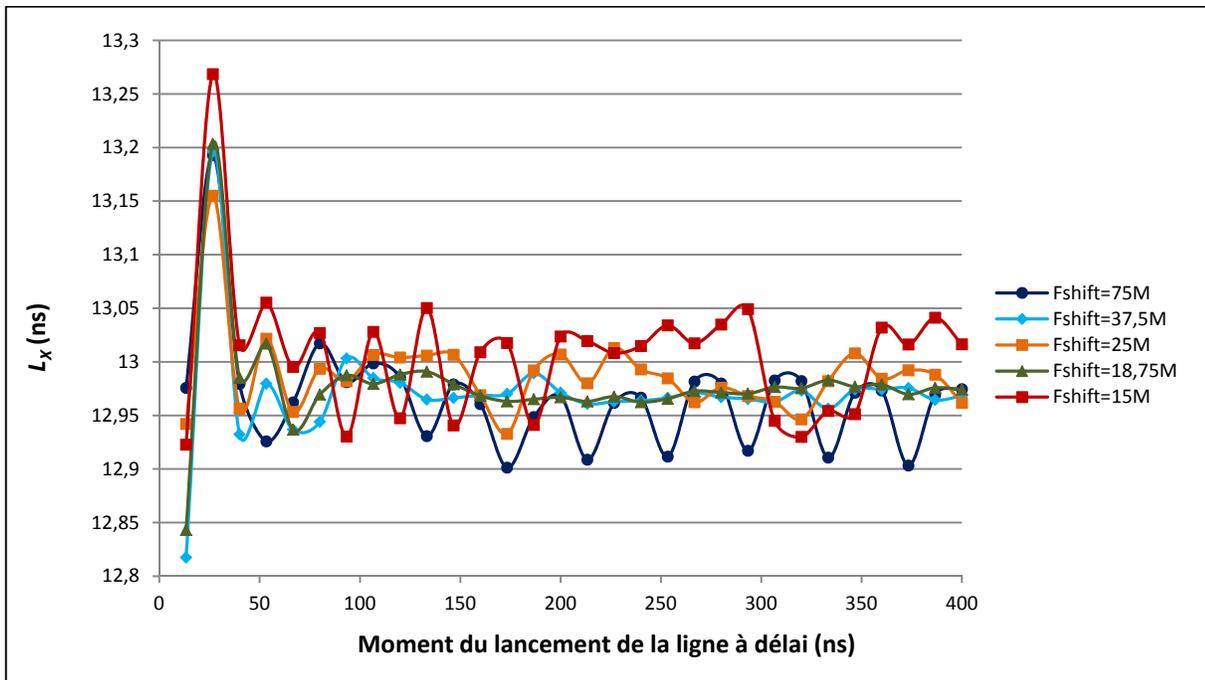


Figure-A IX-2 Mesure de L_X dans le mode test pour $F_{CLK_TEST} = 75\text{MHz}$

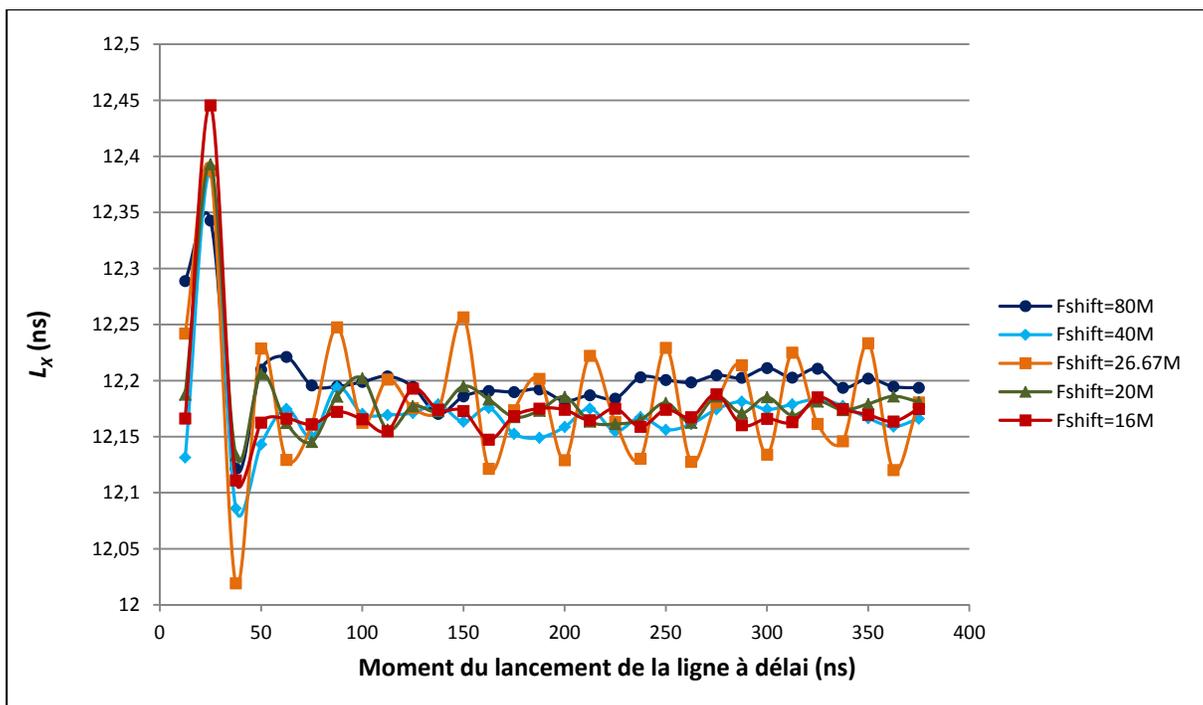


Figure-A IX-3 Mesure de L_X dans le mode test pour $F_{CLK_TEST} = 80\text{MHz}$

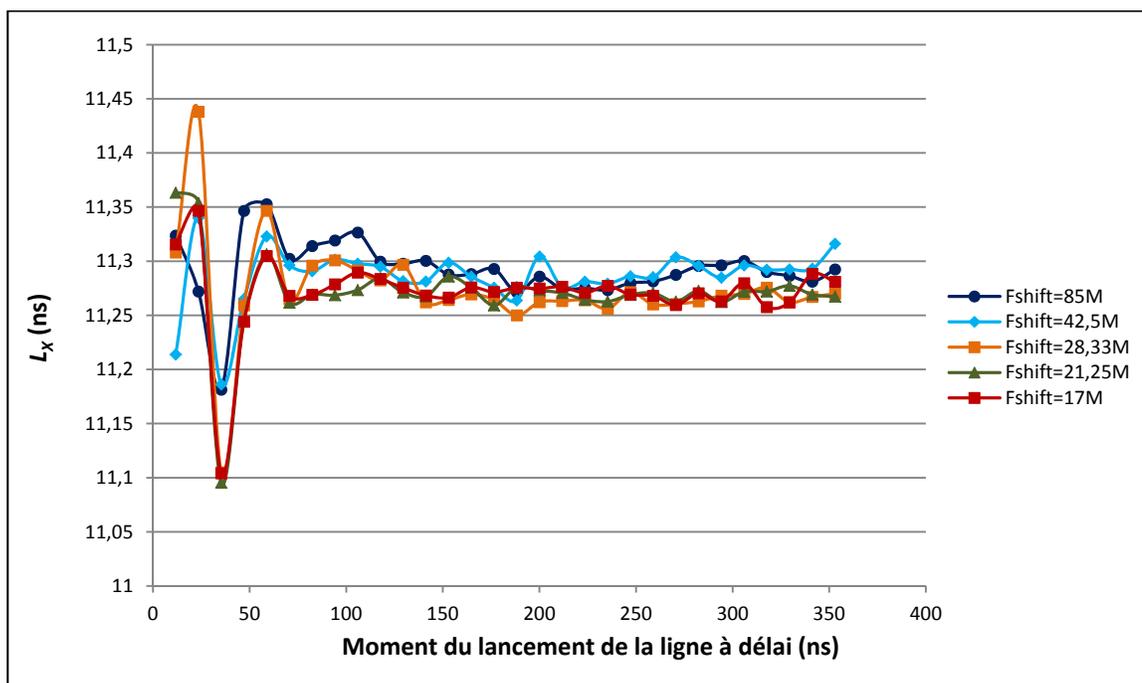


Figure-A IX-4 Mesure de L_X dans le mode test pour $F_{CLK_TEST} = 85\text{MHz}$

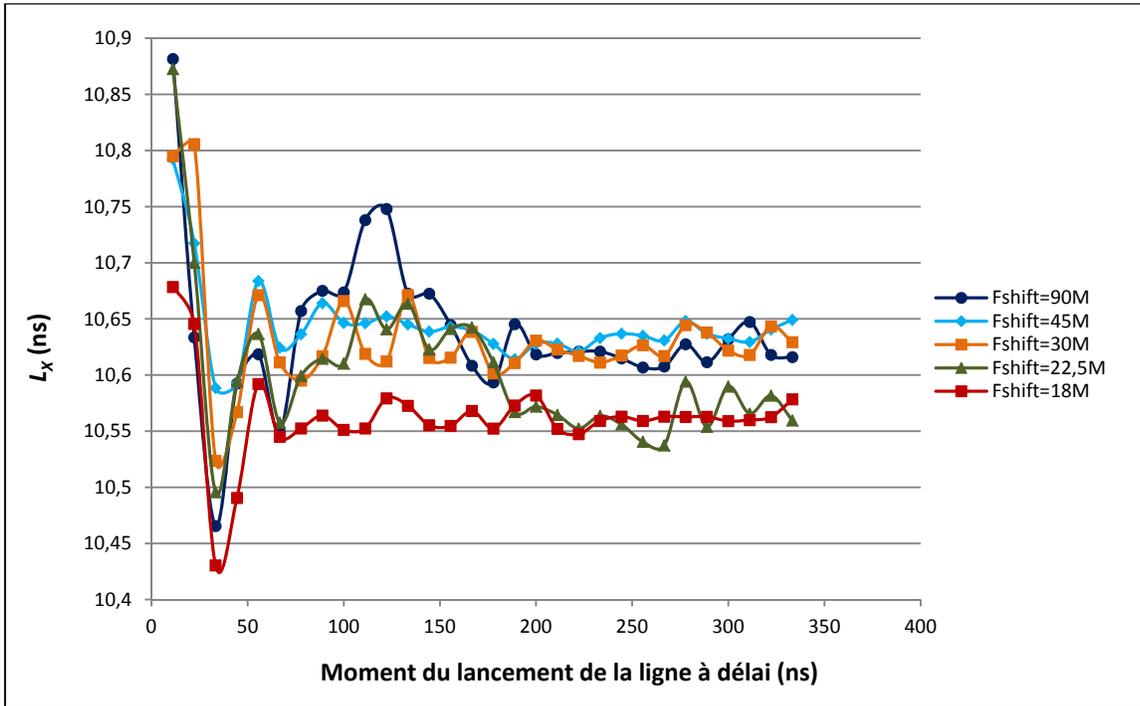


Figure-A IX-4 Mesure de L_X dans le mode test pour $F_{CLK_TEST} = 90\text{MHz}$

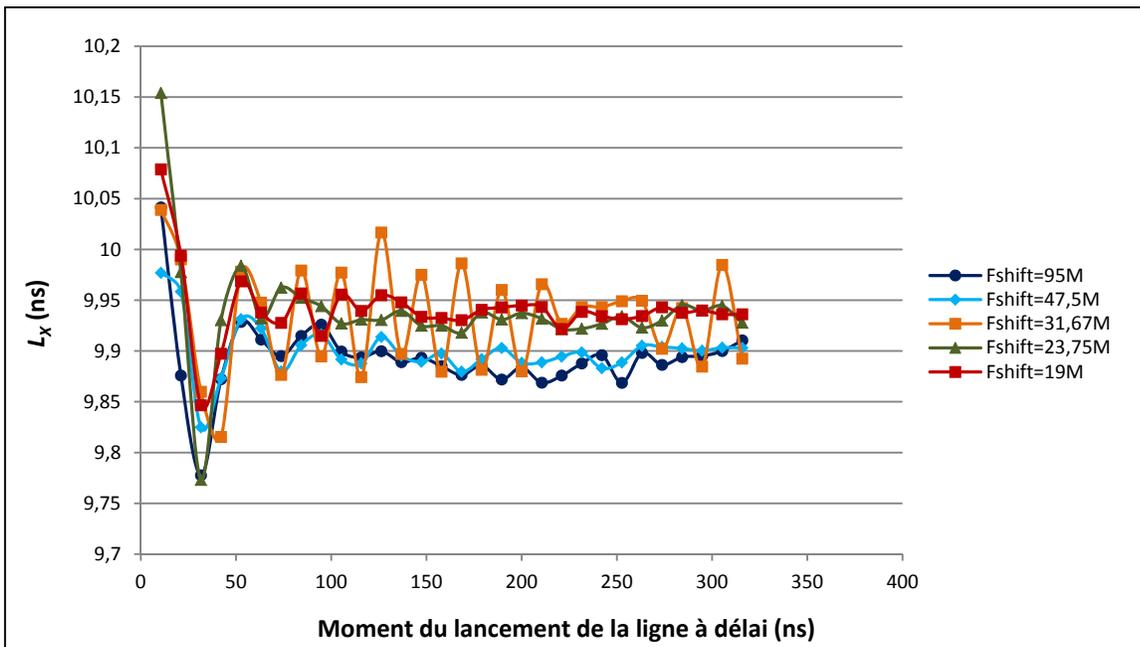


Figure-A IX-5 Mesure de L_X dans le mode test pour $F_{CLK_TEST} = 95\text{MHz}$

ANNEXE X

GRAPHIQUES DE LA LARGEUR DE L'IMPULSION SUR X DANS LES MODES TEST ET FONCTIONNEL DE L'ARCHITECTURE V6_7

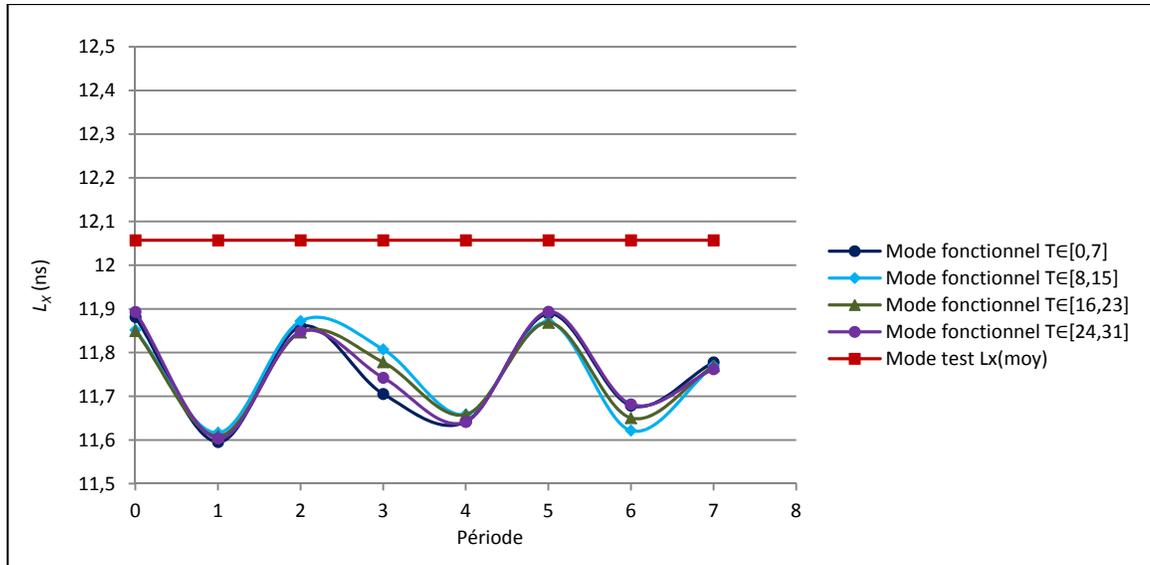


Figure-A X-1 Mesure de L_x dans les deux modes pour l'architecture V6_7, $F_{CLK_TEST} = 80\text{MHz}$, horloges fonctionnelles : 30-40-80 MHz

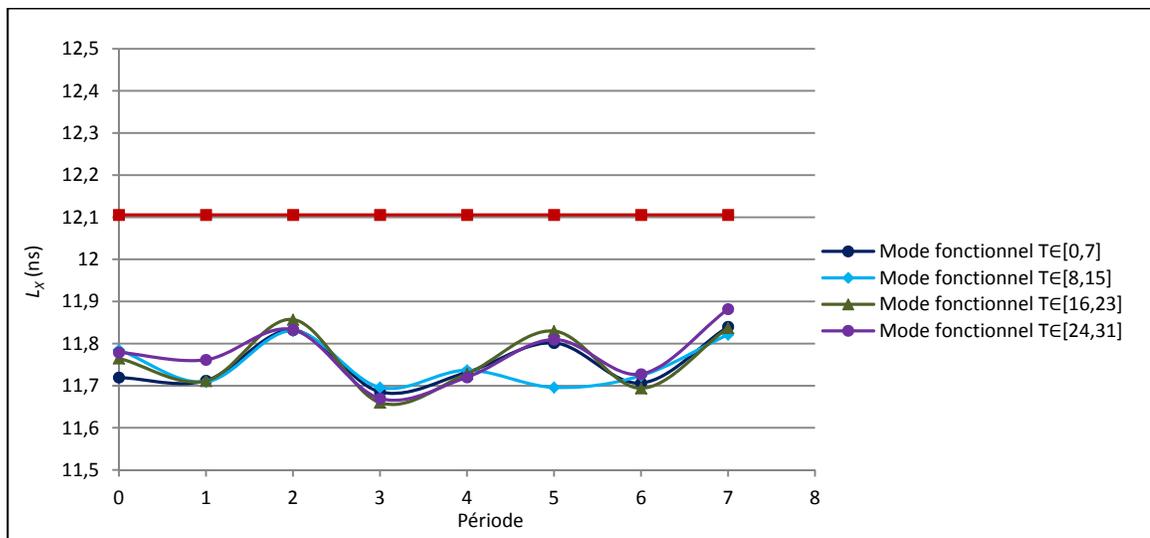


Figure-A X-2 Mesure de L_x dans les deux modes pour l'architecture V6_7, $F_{CLK_TEST} = 80\text{MHz}$, horloges fonctionnelles = 60-70-80 MHz

ANNEXE XI

RTL DÉTAILLÉ DES ARCHITECTURES V6_6 ET V6_7

Dans cette section, on retrouve les schématiques détaillés qui ne se trouvent pas dans le CHAPITRE 3.

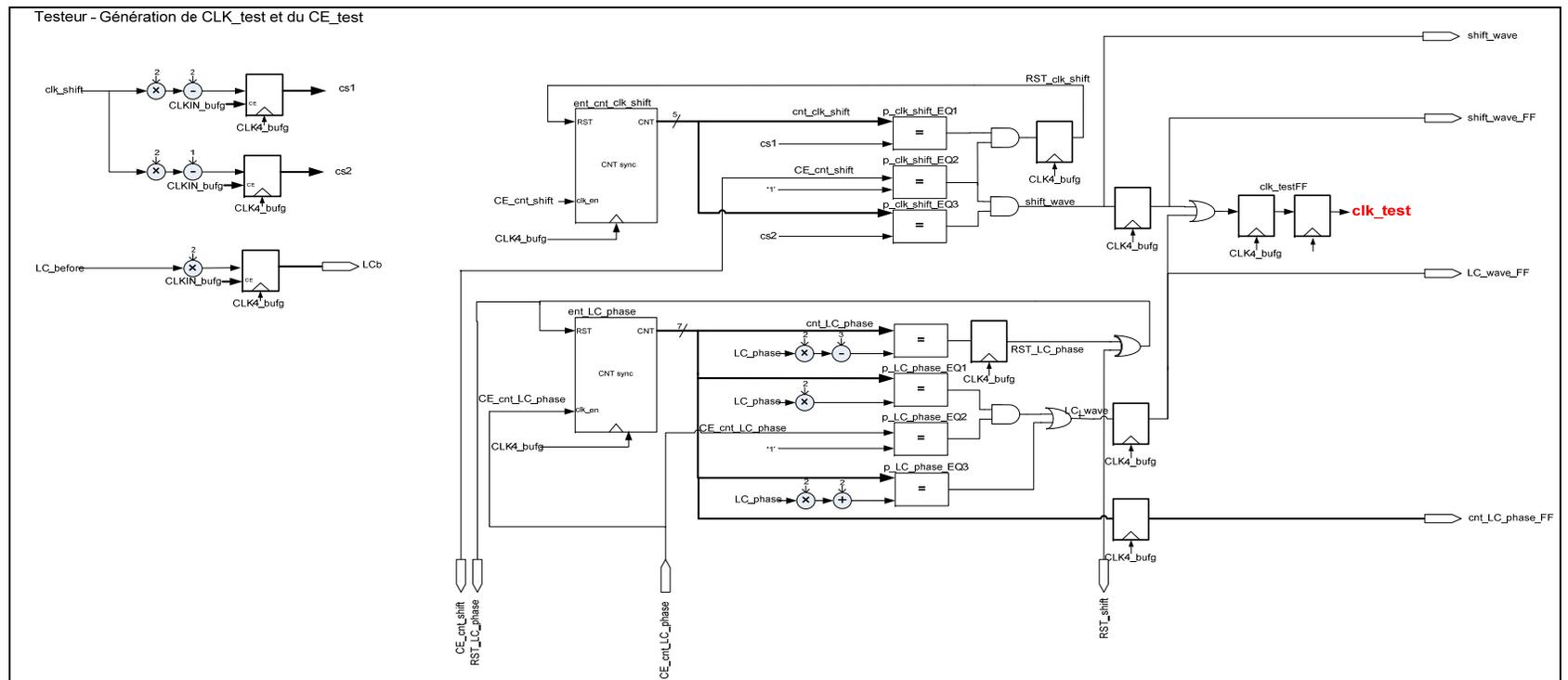


Figure-A XI-1 Testeur –Génération de l’horloge de test et du signal de contrôle CE_test (Partie1)

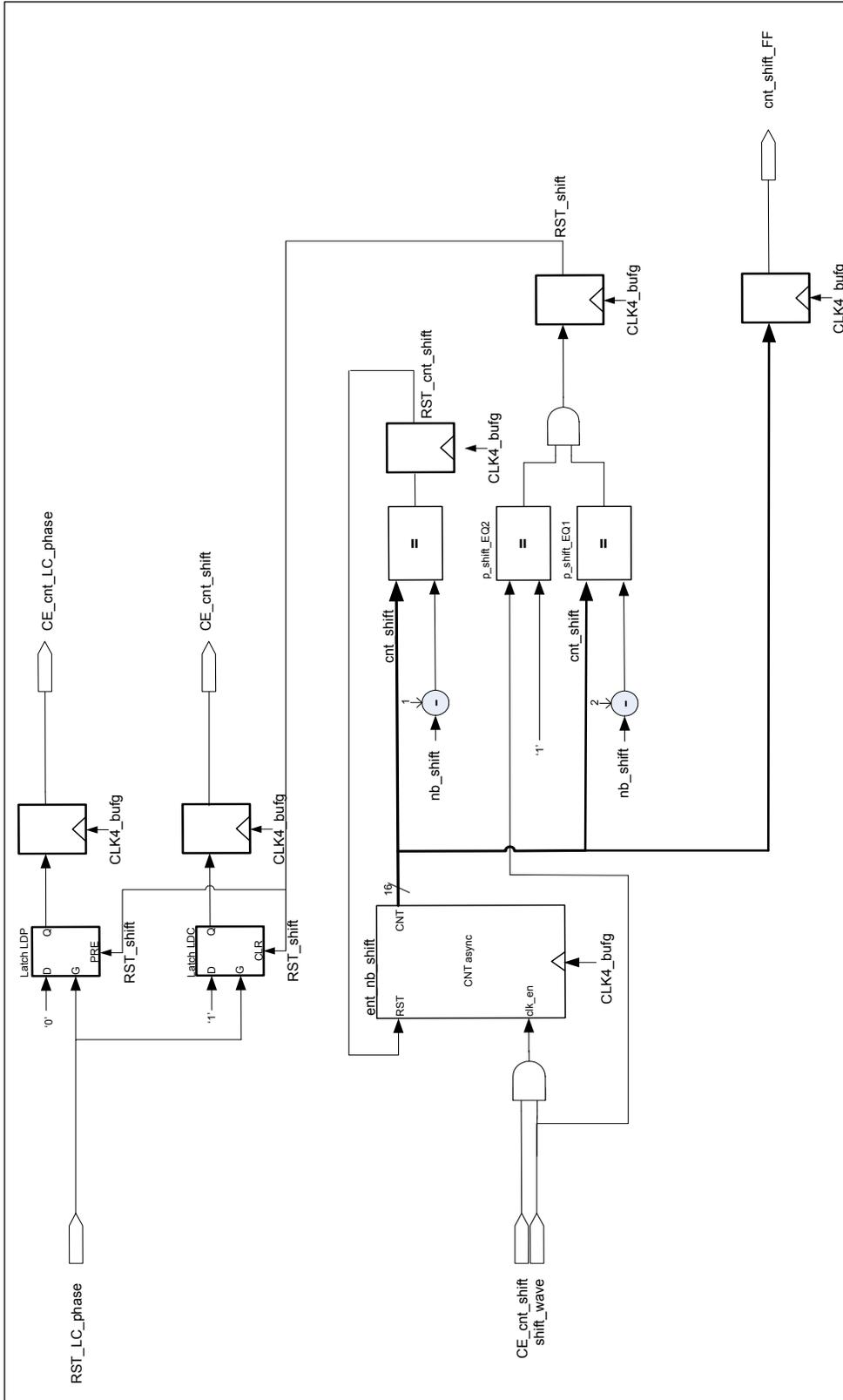


Figure-A X] Figure-A XI-2 Testeur – Génération de l’horloge de test et du signal de contrôle *CE_test* (Partie2)

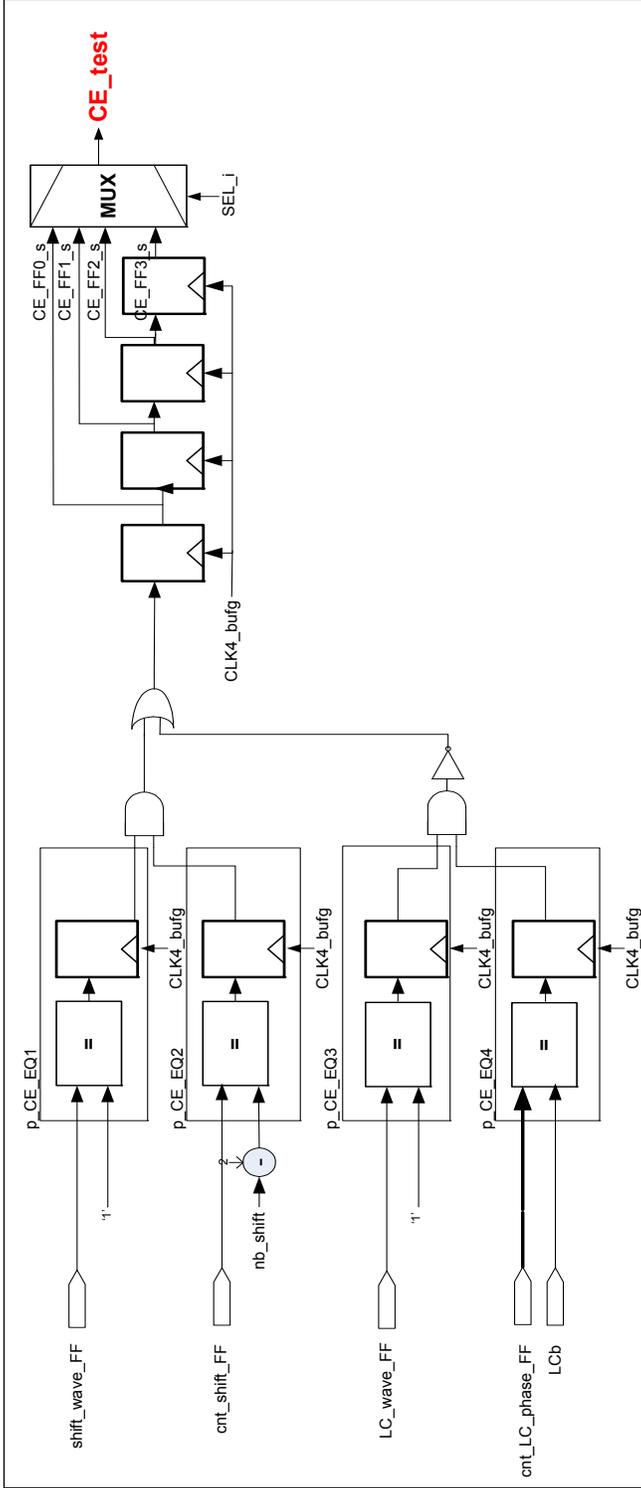


Figure-A XI-3 Testeur – Génération de l’horloge de test et du signal de contrôle *CE_test* (Partie3)

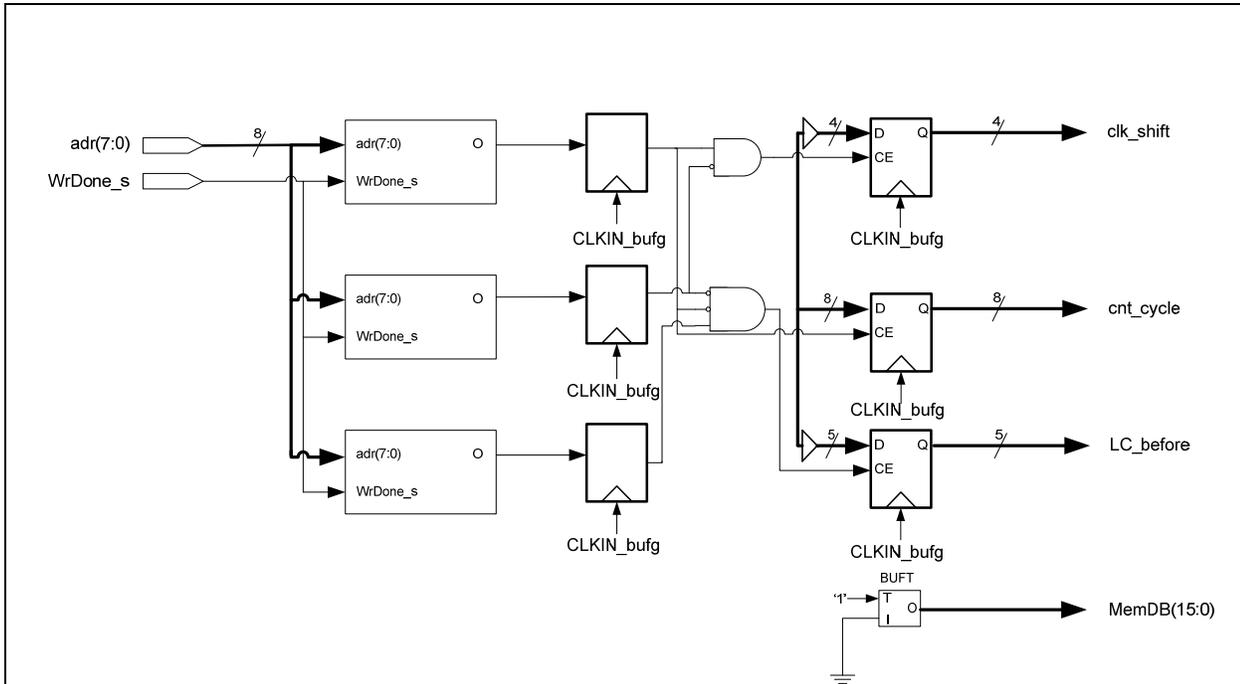


Figure-A XI-4 Testeur – Bloc RAM (Partie1)

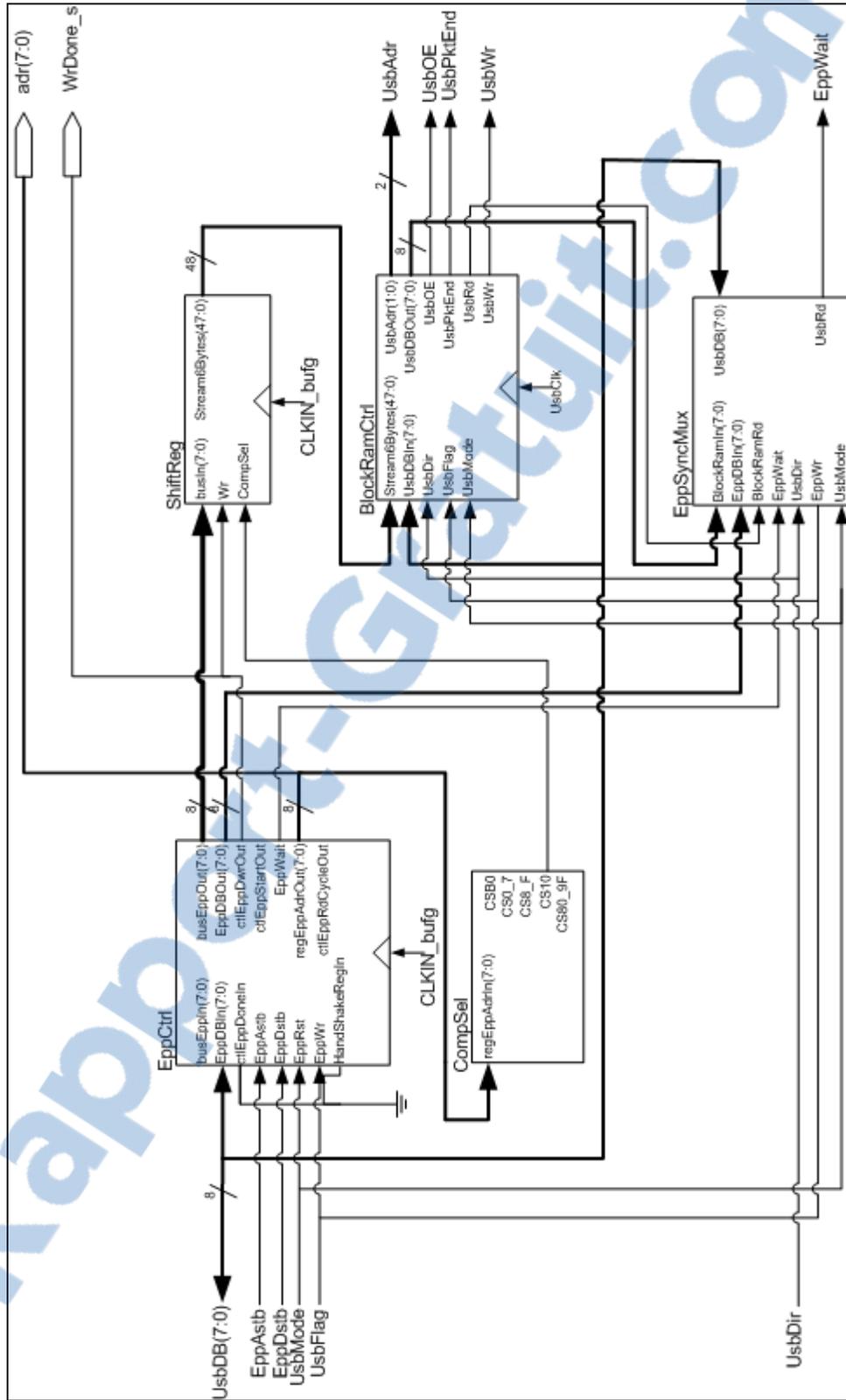


Figure-A XI-5 Testeur – Bloc RAM (Partie2)

Rapport.com

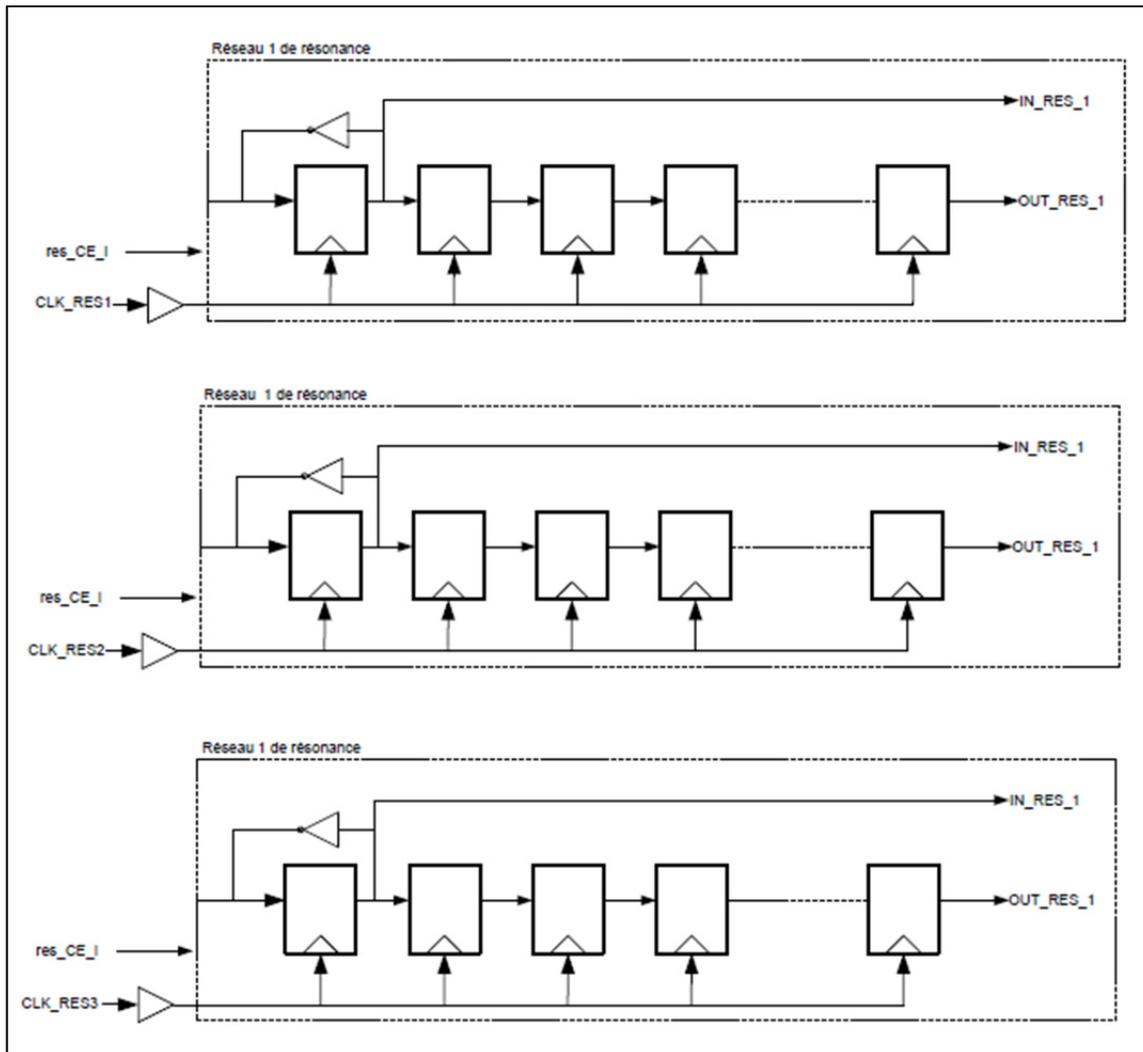


Figure-A XI-6 CUT – Réseaux de résonance

BIBLIOGRAPHIE

- Abuhamdeh, Z., B. Hannagan, et al. (2007). "A production IR-drop screen on a chip." IEEE Design and Test of Computers (Compendex): p.216-224.
- Ahmed, N., C. P. Ravikumar, et al. (2005). At-speed transition fault testing with low speed scan enable. VLSI Test Symposium, 2005. Proceedings. 23rd IEEE.
- Arabi, K., R. Saleh, et al. (2007). "Power supply noise in SoCs: Metrics, management, and measurement." IEEE Design and Test of Computers (Compendex): p.236-244.
- Athan, S. P., D. C. Keezer, et al. (1992). High frequency wafer probing and power supply resonance effects. Proceedings of the International Test Conference 1991, October 26, 1991 - October 30, 1991, Nashville, TN, USA, Publ by IEEE.
- Beck, M., O. Barondeau, et al. (2005). Logic design for on-chip test clock generation implementation details and impact on delay test quality. Design, Automation and Test in Europe, DATE '05, March 7, 2005 - March 11, 2005, Munich, Germany, Institute of Electrical and Electronics Engineers Inc.
- Bushnell, M., M. L. Bushnell, et al. (2000). Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits.
- Chen, P.-L., Y.-C. Huang, et al. (2010). "Fast test integration: Toward plug-and-play at-speed testing of multiple clock domains based on IEEE standard 1500." IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (Compendex): p.1837-1842.
- Dharchoudhury, A., R. Panda, et al. (1998). Design and analysis of power distribution networks in PowerPCTM microprocessors. Proceedings of the 1998 35th Design Automation Conference, June 15, 1998 - June 19, 1998, San Francisco, CA, USA, IEEE.
- Digilent. (2007). "New Products : Nexys™2 Spartan-3E FPGA Board." 2009, from <http://www.digilentinc.com/Products/Detail.cfm?Prod=NEXYS2>.
- Digilent. (2009). "Digilent Nexys2 Board Reference Manual." 2009, from http://www.digilentinc.com/data/products/nexys2/nexys2_rm.pdf.
- Eireiner, M., D. Schmitt-Landsiedel, et al. (2009). Adaptive circuit block model for power supply noise analysis of low power system-on-chip. 2009 International Symposium

on System-on-Chip, SoC 2009, October 5, 2009 - October 7, 2009, Tampere, Finland, IEEE Computer Society.

Ghosh, S., S. Bhunia, et al. (2006). "A novel delay fault testing methodology using low-overhead built-in delay sensor." IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (Compendex): p.2934-2943.

Inc., A. T. (2008, June 6, 2012). "Agilent N6700 Modular Power System Family Data Sheet." 2009, from <http://cp.literature.agilent.com/litweb/pdf/5989-6319EN.pdf>.

Khaled, H. (2011). Adaptation de l'approche de test CDIDDQ aux circuits programmables FPGA. Génie électrique. Montréal, École de technologie supérieure, Université du Québec. Maîtrise: p.129.

Krstic, A., Y.-M. Jiang, et al. (1999). Delay testing considering power supply noise effects. Proceedings of the 1999 ITC International Test Conference (ITC'99), September 28, 1999 - September 30, 1999, Atlantic City, NJ, USA, IEEE.

Lin, S.-C. and K. Banerjee (2006). An electrothermally-aware full-chip substrate temperature gradient evaluation methodology for leakage dominant technologies with implications for power estimation and hot-spot management. 2006 International Conference on Computer-Aided Design, ICCAD, November 5, 2006 - November 9, 2006, San Jose, CA, United states, Institute of Electrical and Electronics Engineers Inc.

Mak, T. M. (2007). "The case for power with test." IEEE Design and Test of Computers (Compendex): p.296.

Melvin A. Breuer, F., Arthur D. (1976). Diagnosis & reliable design of digital systems.

Mourad Samiha, Z., Yervant (2000). Principles of testing electronic systems.

Nadeau-Dostie, B., K. Takeshita, et al. (2008). Power-aware at-speed scan test methodology for circuits with synchronous clocks. International Test Conference 2008, ITC 2008, October 28, 2008 - October 30, 2008, Santa Clara, CA, United states, Institute of Electrical and Electronics Engineers Inc.

Pant, P. and J. Zelman (2009). Understanding power supply droop during at-speed scan testing. 2009 27th IEEE VLSI Test Symposium, VTS 2009, May 3, 2009 - May 7, 2009, Santa Cruz, CA, United states, IEEE Computer Society.

Pant, S., E. Chiprout, et al. (2007). "Power grid physics and implications for CAD." IEEE Design and Test of Computers (Compendex): p.246-254.

- Pateras, S. (2003). "Achieving at-speed structural test." IEEE Design and Test of Computers (Compendex): p.26-33.
- Polian, I., A. Czutro, et al. (2007). "Power droop testing." IEEE Design and Test of Computers (Compendex): p.276-284.
- Rearick, J. and R. Rodgers (2005). Calibrating clock stretch during AC scan testing. IEEE International Test Conference, ITC 2005, November 8, 2005 - November 10, 2005, Austin, TX, United states, Institute of Electrical and Electronics Engineers Inc.
- Remersaro, S., X. Lin, et al. (2007). "Scan-based tests with low switching activity." IEEE Design and Test of Computers (Compendex): p.268-275.
- Sde-Paz, S. and E. Salomon (2008). Frequency and power correlation between at-speed scan and functional tests. International Test Conference 2008, ITC 2008, October 28, 2008 - October 30, 2008, Santa Clara, CA, United states, Institute of Electrical and Electronics Engineers Inc.
- Smith, D. J. (1996). HDL chip design a practical guide for designing, synthesizing, and simulating ASICs and FPGAs using VHDL or Verilog.
- Srivastava, A., V. K. Pulendra, et al. (2005). A combined noise analysis and power supply current based testing of CMOS analog integrated circuits. Noise in Devices and Circuits III, May 24, 2005 - May 26, 2005, Austin, TX, United states, SPIE.
- Tang, K. T. and E. G. Friedman (2002). "Simultaneous switching noise in on-chip CMOS power distribution networks." IEEE Transactions on Very Large Scale Integration (VLSI) Systems (Compendex): p.487-493.
- Thibeault, C. (2008). On a Dynamic Monitoring Approach for Power Noise. IEEE International Workshop on Defect and Data Driven Testing, session 2.2 (CRSNG).
- Thibeault, C. (2010). ELE740 Logique programmable VLSI École de technologie supérieur, Département de génie électrique.
- Thibeault, C. and J. Larche (2012). On the impact of multiple clock domains and intermodulation products on test. 2nd IEEE Workshop on Defect and Adaptive Test Analysis. Anaheim, CA.
- Tremblay, D. (2007). Optimisation des méthodes de test des circuits numériques. Génie électrique. Montréal, École de technologie supérieure, Université du Québec. Maîtrise: p.97.
- Ubar, R. (1998). "Combining functional and structural approaches in test generation for digital systems." Microelectronics Reliability (3): p.317-329.

- VK5BR, L. B. (1997, August 1997). "Intermodulation Performance and Measurement of Intermodulation Components." from <http://users.tpg.com.au/users/ldbutler/Intermodulation.htm>.
- Wang, J., D. M. Walker, et al. (2007). "Modeling power supply noise in delay testing." IEEE Design and Test of Computers (Compendex): p.226-234.
- Wang, L.-T., X. Wen, et al. (2010). Using launch-on-capture for testing BIST designs containing synchronous and asynchronous clock domains, 445 Hoes Lane / P.O. Box 1331, Piscataway, NJ 08855-1331, United States, Institute of Electrical and Electronics Engineers Inc.
- Wang, S.-J., S.-J. Huang, et al. (2009). Static and dynamic test power reduction in scan-based testing. 2009 International Symposium on VLSI Design, Automation and Test, VLSI-DAT '09, April 28, 2009 - April 30, 2009, Hsinchu, Taiwan, IEEE Computer Society.
- Weste, W. (2005). CMOS VLSI design : a circuits and systems perspective. Boston.
- Wu, F., L. Dilillo, et al. (2010). Analysis of power consumption and transition fault coverage for LOS and LOC testing schemes. 13th IEEE International Symposium on Design and Diagnostics of Electronic Circuits and Systems, DDECS 2010, April 14, 2010 - April 16, 2010, Vienna, Austria, IEEE Computer Society.
- Xilinx. (1995). "Constraints Guide ISE 8.1i." from <http://www.cis.upenn.edu/~milom/cse372-Spring06/xilinx/cgd.pdf>.
- Xilinx. (2009, October 29, 2012). "Spartan-3 FPGA Family Data Sheet." from http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf.
- Xilinx. (2011, June 13). "Spartan-3 Generation FPGA User Guide." from http://www.xilinx.com/support/documentation/user_guides/ug331.pdf.
- Xilinx. (2012, October 29). "Spartan-3E FPGA Family : Complete Data Sheet." from http://www.xilinx.com/support/documentation/data_sheets/ds312.pdf.
- Zhang, Z., S. M. Reddy, et al. (2007). Warning: Launch off shift tests for delay faults may contribute to test escapes. ASP-DAC 2007 - Asia and South Pacific Design Automation Conference 2007, January 23, 2007 - January 27, 2007, Yokohama, Japan, Institute of Electrical and Electronics Engineers Inc.