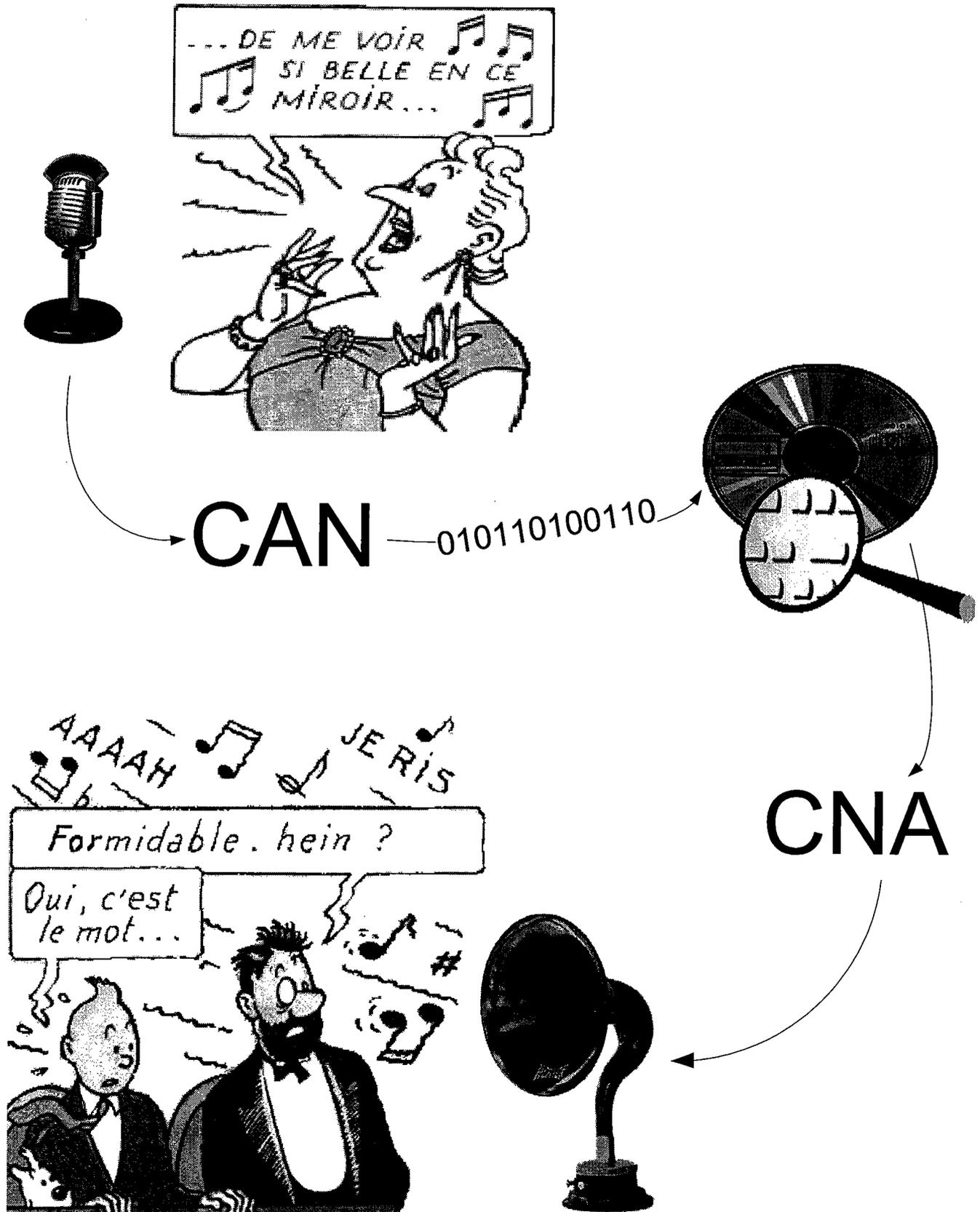


Conversion analogique-numérique et numérique-analogique



I.- INTERET DES INTERFACES ANALOGIQUES-NUMERIQUES

En général, les informations sortant de divers capteurs (microphones, sondes, ...) sont de type analogique, c'est-à-dire que leur valeur varie continuellement avec le temps.

Le développement des techniques numériques : microprocesseurs, transmissions numériques, circuits intégrés, a nécessité l'étude d'interfaces analogiques-numériques (convertisseurs) permettant d'échantillonner et de coder ces signaux analogiques, en signaux numériques.

L'utilisation de ces techniques concerne désormais des domaines très variés : téléphonie, acquisition et traitement de données, mesure et instrumentation, son, télévision, etc ...

Ces différentes utilisations possibles imposent des caractéristiques précises aux convertisseurs :

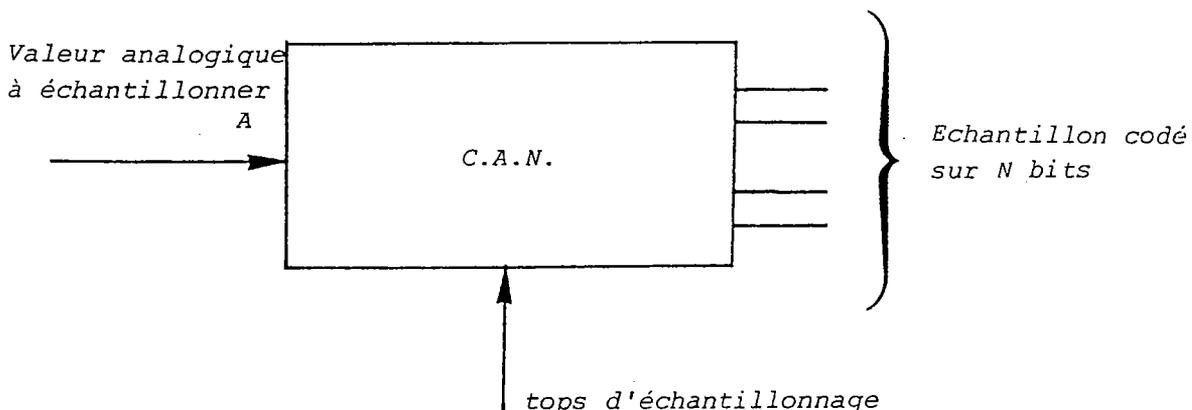
- Cadence d'échantillonnage de plus en plus élevée : on atteint actuellement 40 MHz ;
- Faible consommation ;
- Faible taux d'erreur : précision relative de l'échantillon meilleure que 10^{-4} à 10^{-6} .

Ce chapitre sera donc une présentation des différents types de convertisseurs existants, où l'on précisera leurs domaines d'utilisation.

II.- PRINCIPE DU C.A.N.- CODES UTILISES

A - Rôle du convertisseur analogique-numérique

Le but du C.A.N. (appelé aussi codeur), consiste à traduire dans un certain code, avec une précision et une résolution déterminées, la grandeur analogique à échantillonner, par exemple l'amplitude d'un signal téléphonique.



Cette représentation se base sur la comparaison de la grandeur analogique échantillonnée A^* , et d'une grandeur de référence : $V_{réf}$.

La valeur $V_{réf}$ est divisée en 2^N échelons, où N est le nombre de bits du code. Tous les échelons sont de même largeur égale au "pas de quantification".

Le C.A.N. fait correspondre à la valeur A^* , le numéro de l'échelon (codé sur N bits), le plus proche dans l'échelle à 2^N niveaux.

On voit donc qu'en fonctionnement normal, la valeur du signal à coder A , ne devra pas dépasser $V_{réf}$.

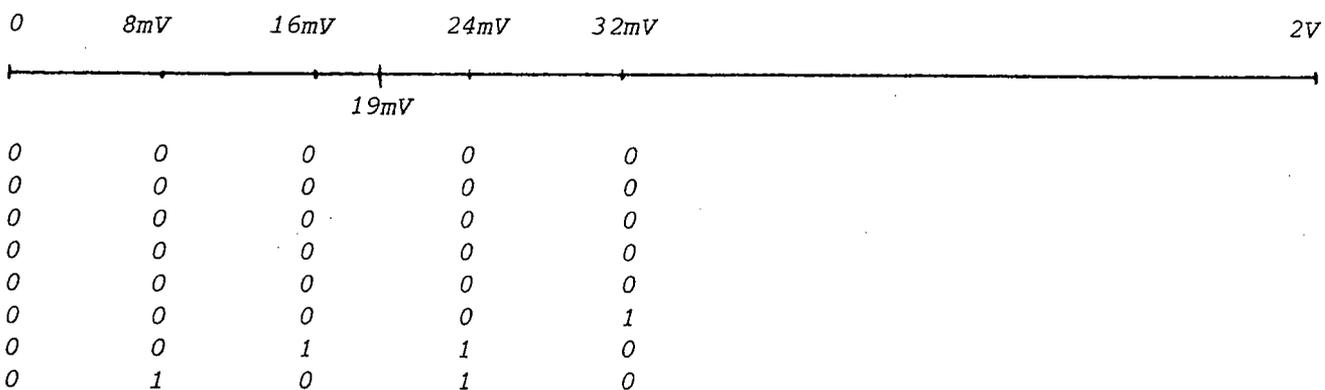
voir figure 1.

Exemple : Codage d'une tension A comprise entre 0 et 2 volts sur 8 bits en binaire naturel.

On aura $V_{réf} = 2$ volts.

Le pas de quantification sera : $\frac{V_{réf}}{2^N} = \frac{2}{2^8} = 8 \text{ mV}$.

La valeur codée de la tension 19 mV sera : 0000 0010, soit le deuxième échelon puisque 19 est plus proche de 16 que de 24 dans l'échelle à 256 niveaux.



La résolution du C.A.N. caractérise la largeur de chaque échelon : pas de quantification.

La précision caractérise la différence entre la valeur codée et la valeur échantillonnée.

La suite de bits en sortie du C.A.N. dépend du code choisi ; étudions les plus utilisés.

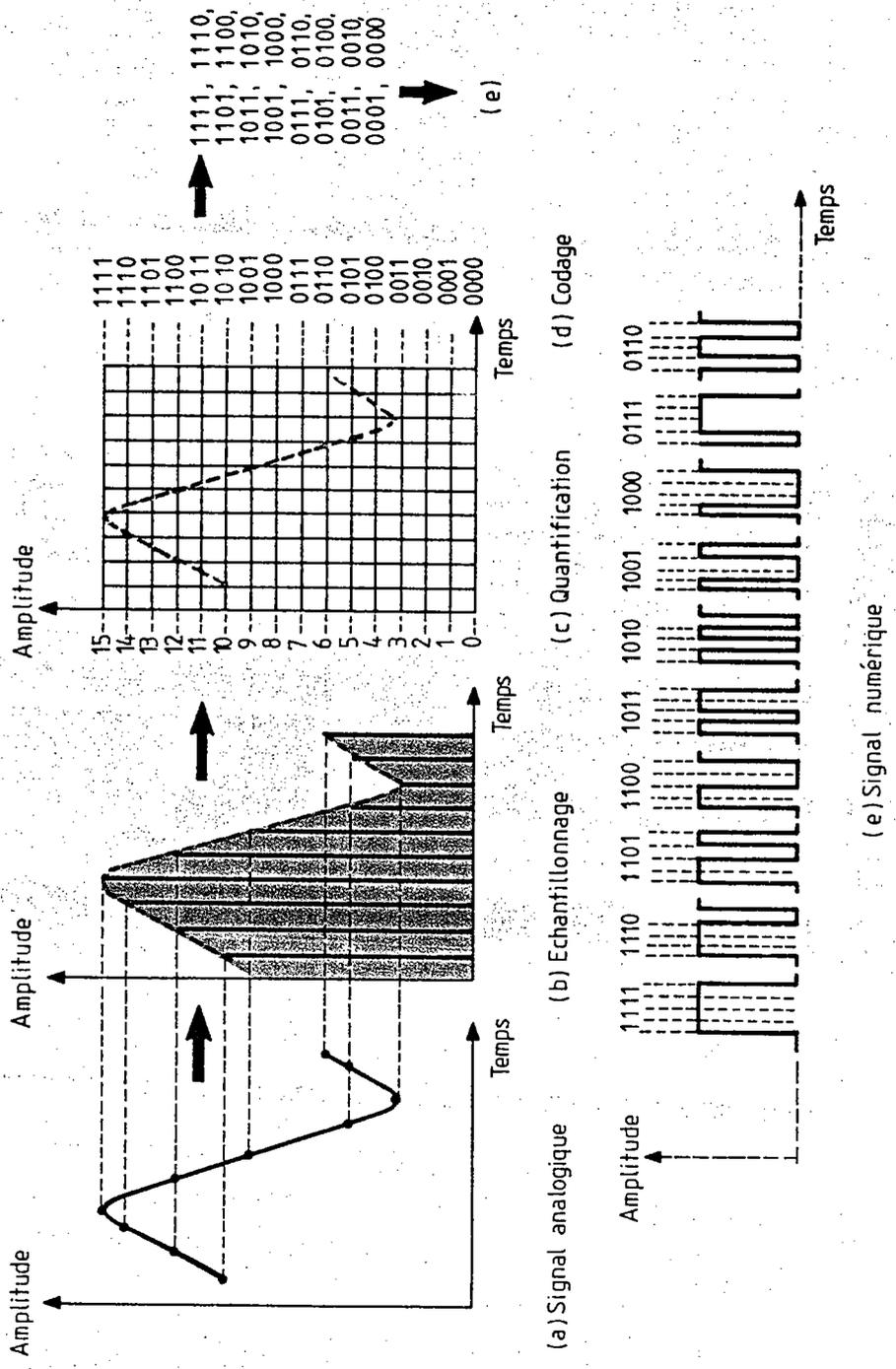
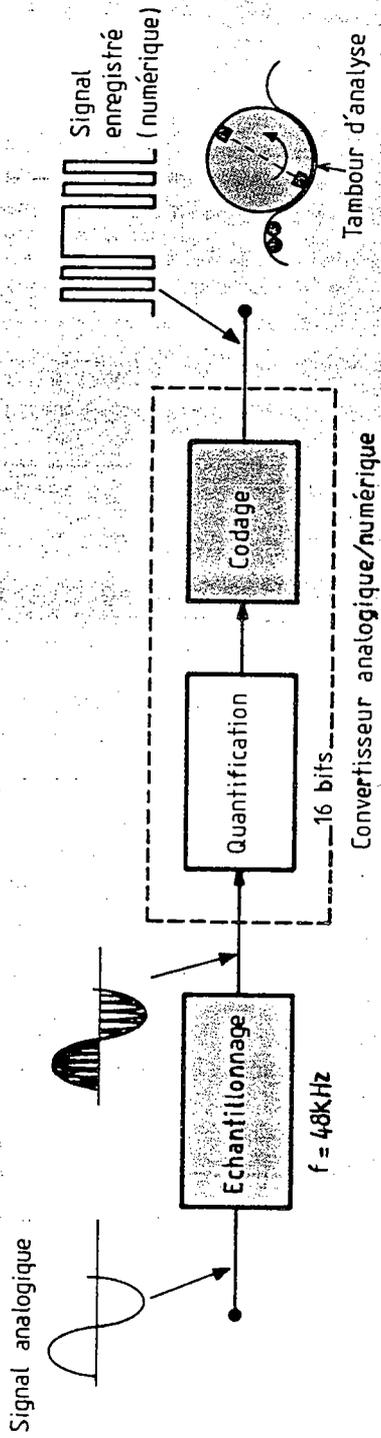


Fig. 1. - Principes de l'échantillonnage, de la quantification et du codage d'un signal analogique converti en signal numérique.



a) Mode enregistrement

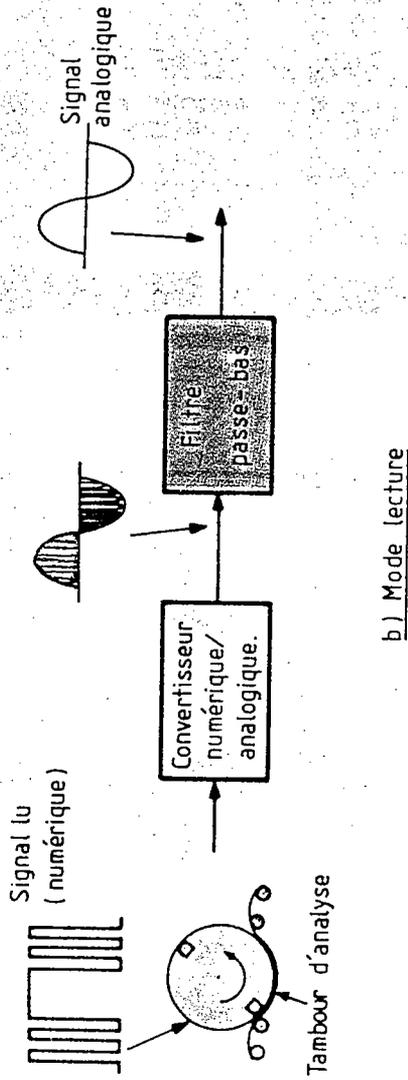


Fig. 2. - Illustration des différentes étapes de l'enregistrement (a) et de la lecture (b) des signaux numériques traités par un magnétophone DAT.

III.- CONVERTISSEURS ANALOGIQUES NUMERIQUES

A - Principe du C.A.N.

Comme précédemment indiqué, un C.A.N. traduit dans un code la valeur échantillonnée du signal A présent à son entrée.

La résolution est liée au nombre de bits N.

Les niveaux de quantification sont distants de $q = \frac{V_{réf}}{2^N} =$ pas de quantification (dans le cas où on ne considère que des nombres positifs).

En remplaçant la valeur échantillonnée A^* par une valeur prise dans une échelle discrète, on commet une erreur de quantification assimilable à un bruit qui s'ajoute au signal : c'est le bruit de quantification.

Pour minimiser l'influence de cette erreur, on construit des CAN dans lesquels on associe la valeur discrète : kq ($0 \leq k < 2$) à toute valeur A^* se trouvant dans l'intervalle $[-\frac{q}{2} + kq, \frac{q}{2} + kq]$ centré sur le k ième échelon.

L'erreur de quantification reste dans ce cas toujours inférieure à $q/2$.

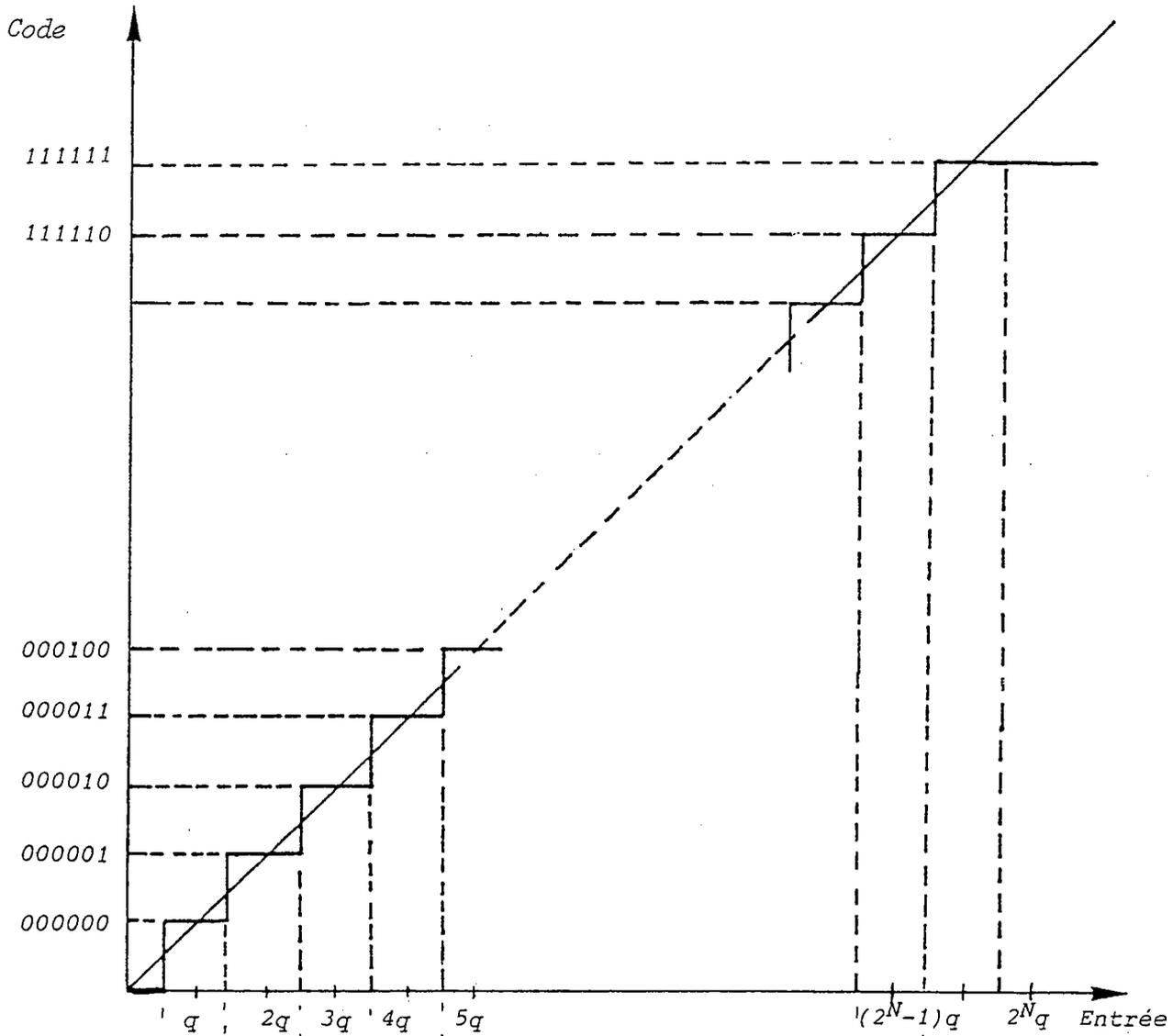
On trouvera figure 2, la courbe de transfert idéale d'un C.A.N. sur 6 bits, ainsi que l'évolution de l'erreur de quantification.

On montre que l'erreur de quantification est équivalente à un bruit d'énergie $\frac{q^2}{12}$, (valeur efficace $\frac{q}{\sqrt{12}}$) dans le cas où tous les échelons sont équidistants : quantification linéaire.

Ce bruit conduit à un rapport signal sur bruit de quantification, exprimé en décibels, valant approximativement : $6 \times N$.

Plus on utilise de bits, moins ce bruit est important par rapport au signal : en effet, la largeur des échelons diminue.

Par exemple, pour 10 bits, on atteint $\frac{S}{B} = 60 \text{ dB}$, qui sera négligeable par rapport aux perturbations qui pourront être apportées par une transmission.



erreur de quantification

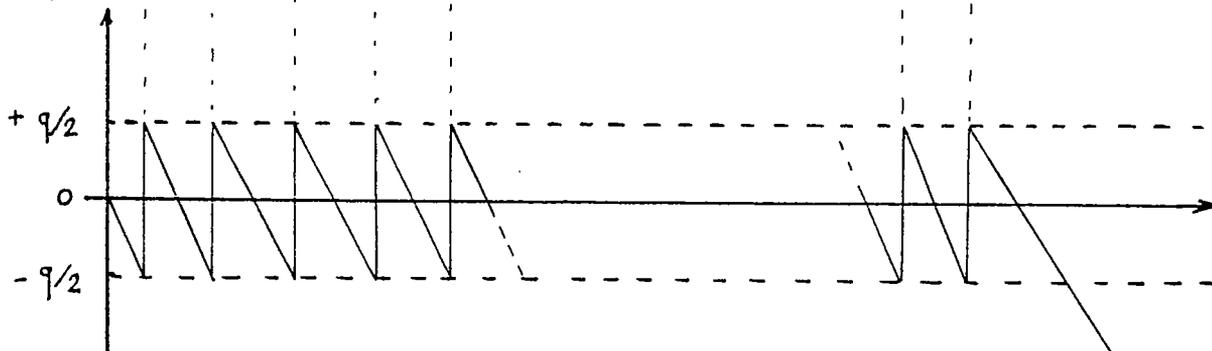


Fig 2 : courbe de transfert théorique d'un C.A.N. et évolution de l'erreur de quantification.

Remarque : Bruit d'écrêtage

Il peut arriver que le signal à coder soit momentanément supérieur à $V_{réf}$. C'est le cas dans le système téléphonique où le locuteur peut crier au téléphone ..., et où on a fixé $V_{réf}$ à la tension qui n'est pas dépassée pendant plus de 1 % du temps par 99 % des locuteurs.

Dans ce cas, la valeur du code attribué à l'échantillon, est "11 ... 11", soit tous bits mis à 1.

Il y a saturation du codeur. L'erreur introduite s'appelle bruit de saturation ou bruit d'écrêtage.

De toutes ces remarques, nous pouvons déduire la structure élémentaire d'un C.A.N.

Un comparateur compare l'échantillon A^* à coder, avec la suite des échelons (calculés à partir de $V_{réf}$ et de N), disponibles à la sortie d'un générateur de tension. Un système logique élabore le code correspondant à chaque échelon. Quand le comparateur détecte le bon échelon, un signal de commande stoppe l'incréméntation de la tension de comparaison ; la suite binaire est alors disponible.

Le début de la séquence : mise à zéro du code, remise à zéro de la tension de comparaison, est commandé par un signal lié à l'horloge donnant les "tops" d'échantillonnage.

On trouvera figure 3, le schéma synoptique élémentaire d'un C.A.N.

On peut réaliser de plusieurs façons le générateur de tension de comparaison. Nous allons en étudier les différents types.

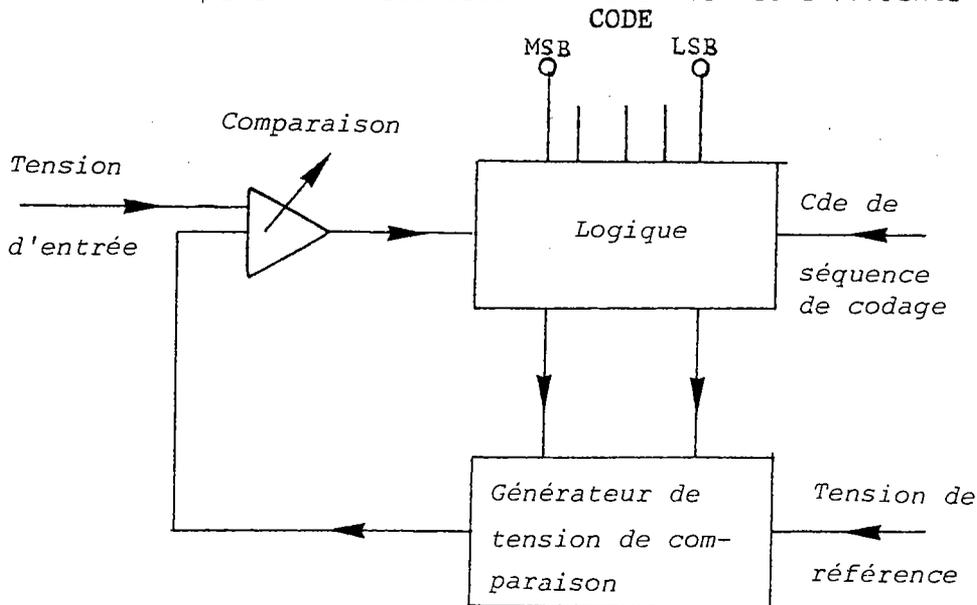


Fig. 3

Synoptique élémentaire d'un convertisseur analogique-numérique.

B - C.A.N. à rampe

C'est l'un des plus anciens et des plus faciles à réaliser.

Le codage est basé sur la mesure du temps que met la tension aux bornes d'une capacité C , chargée par un courant constant I , pour passer de 0 à une valeur égale à la tension à coder.

Voir schéma, figure 4.

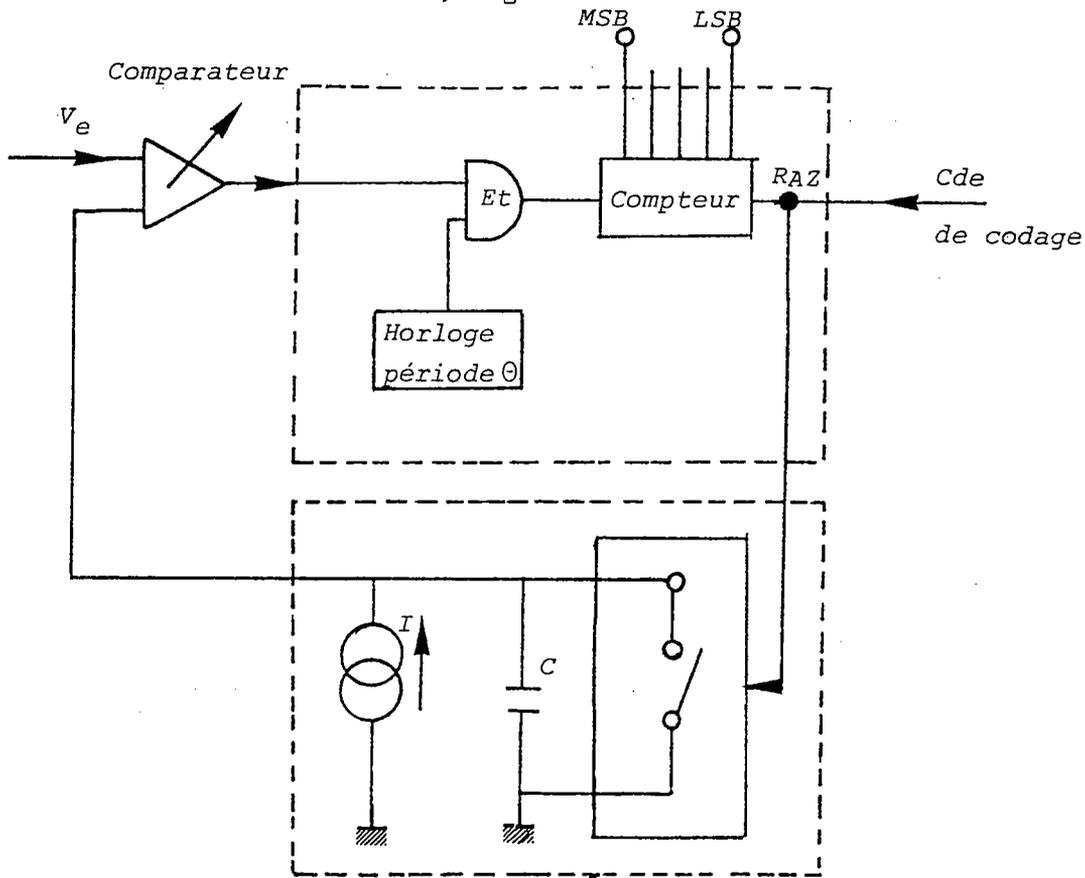


Figure 4

Schéma synoptique d'un CAN à rampe

La tension aux bornes de la capacité est comparée à la tension à coder. Le signal issu du comparateur autorise ou stoppe l'évolution d'un compteur commandé par une horloge interne.

Le compteur et la tension aux bornes de C, sont remis à zéro par un signal lié à l'horloge d'échantillonnage.

Soit V_C la tension aux bornes de la capacité.

On a :

$$V_C = \frac{I \cdot t}{C}$$

Si t_F est le temps nécessaire pour avoir $V_C = V_e$, alors

$$V_e = \frac{I \cdot t_F}{C}$$

Pendant ce temps t_F , le compteur a enregistré le nombre $M = \frac{t_F}{\Theta}$ d'impulsions, où Θ est la période de l'horloge interne.

Donc :

$$M = \frac{C}{I \cdot \Theta} \cdot V_e, \text{ proportionnel à } V_e$$

Θ et C peuvent être stables et connus, la principale cause d'erreur proviendra des fluctuations de I.

On trouvera figure 5, un diagramme des temps de l'évolution de V_C , de la sortie du comparateur, et de la porte ET.

Ce type de convertisseur s'appelle aussi convertisseur tension-durée, puisque l'on mesure le temps que V_C met pour atteindre V_e .

Ce convertisseur est lent, (il faut attendre la montée de V_C), il sera utilisé pour des signaux variant lentement.

Remarquons que le temps de mesure sera toujours inférieure à la période d'échantillonnage, et si on code le signal sur N bits, on aura :

$$\Theta = \frac{t_{F_{\text{maximum}}}}{2^N - 1}$$

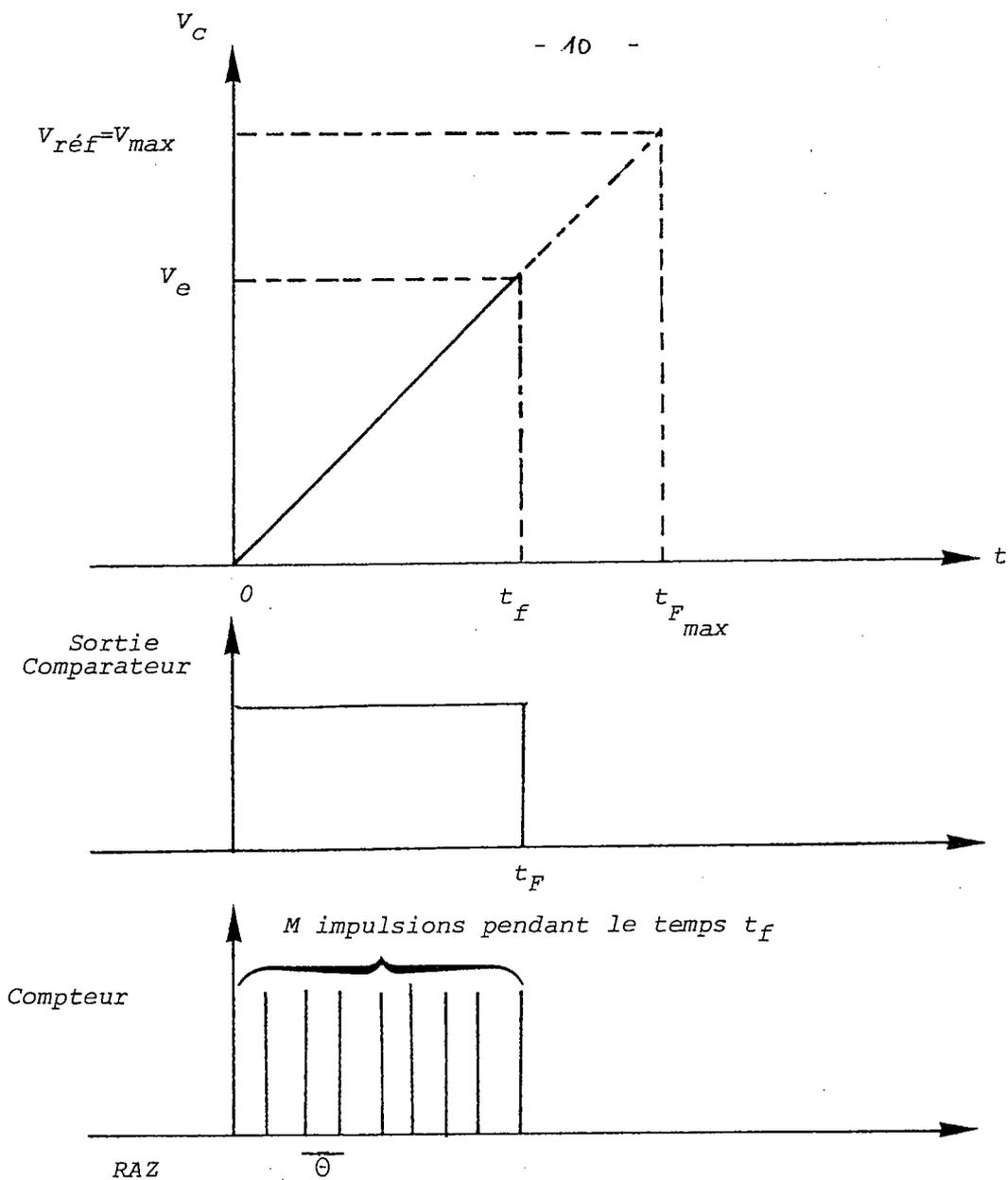


Figure 5
CAN à rampe

Evolution en fonction du temps de la tension aux bornes du condensateur C , des informations en sortie du comparateur et de la porte ET.

C - C.A.N. à rampe numérique

La tension de comparaison générée par le comparateur est alors une "rampe en escalier". Elle comporte 2^N niveaux, chacun séparés du précédent d'une valeur égale au pas de quantification.

On arrête la progression quand la valeur de la rampe devient supérieure ou égale à la tension à coder.

La durée de chaque échelon est liée au temps de réponse des systèmes logiques, du comparateur, et au temps de stabilisation des échelons (disparition des transitoires), d'où en général un temps de conversion assez long.

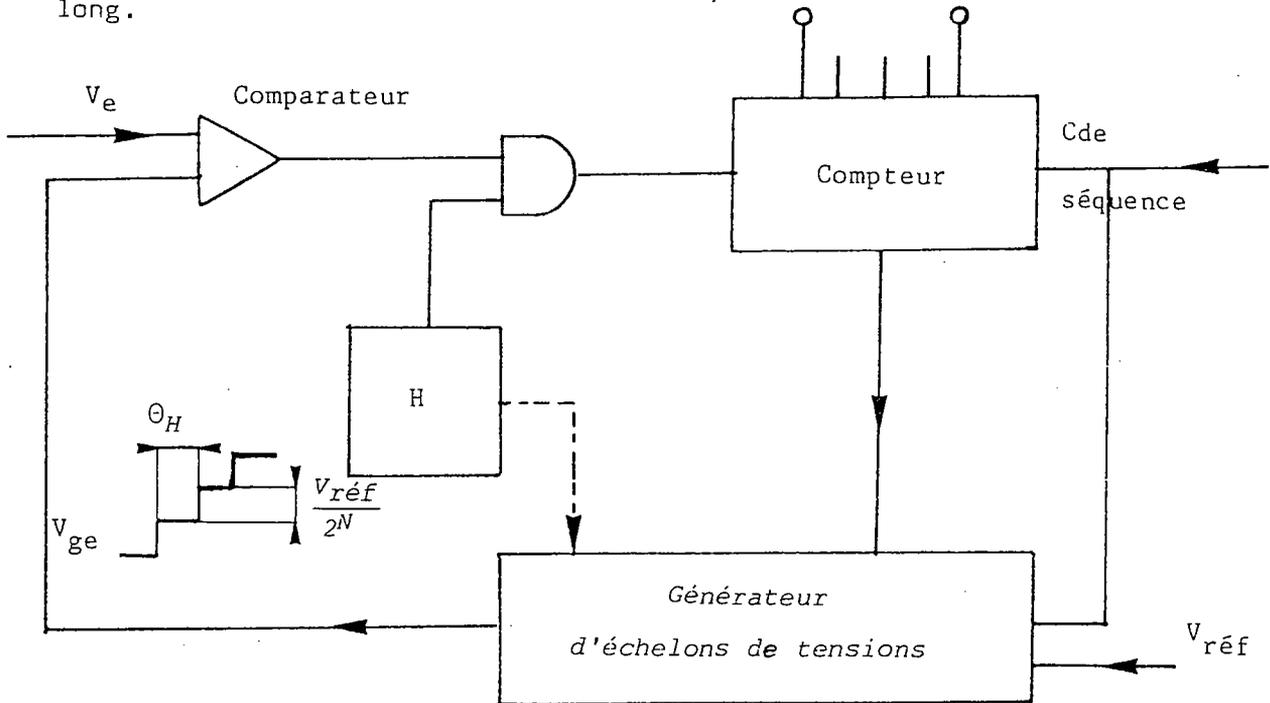


Fig. 6 : Schéma synoptique d'un CAN à rampe numérique

Pour réaliser le générateur de rampe numérique, on peut utiliser un dispositif à charge de condensateurs et commutateurs analogiques.

On peut aussi utiliser un système entièrement numérique : bascules, compteurs, commutateur, facile à réaliser et précis, dont on trouve un exemple, figure 7, sur 4 bits.

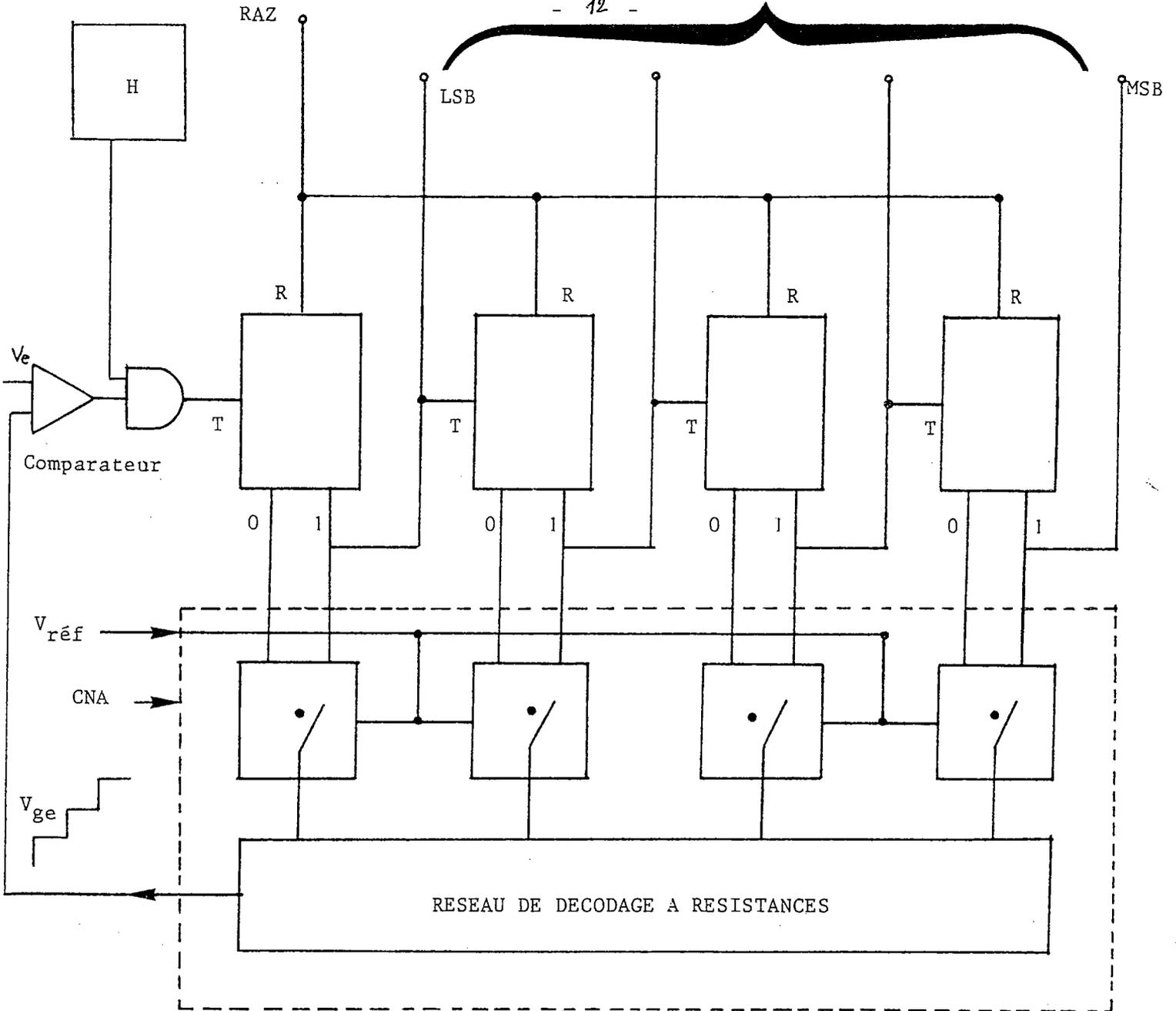


Figure 7

On peut remarquer que la partie : réseau de résistances, commutateurs, joue le rôle d'un convertisseur numérique analogique, à partir d'un code établi en sortie des bascules.

D - C.A.N. à double rampe

Dans le cas du C.A.N. à simple rampe, on a vu que la précision de la mesure dépend de la précision de R, de C et de I.

Le C.A.N. à double rampe évite ces problèmes, et est utilisé en instrumentation.

On charge dans un premier temps, t_0 , le condensateur à partir de la tension V_e , (on atteint la tension $\frac{V_e \cdot t_0}{RC}$), puis on le décharge, en appliquant à l'entrée, la tension $-V_{réf}$.

On montre que la tension repasse à 0 au bout du temps.

$$t = t_0 \cdot \frac{V_e}{V_{réf}}$$

indépendant de R et de C.

La mesure du temps t suffit à coder V_e , puisque t_0 et $V_{réf}$ peuvent être connus de façon précise.

On trouvera figure 8, le schéma synoptique d'un C.A.N. à double rampe.

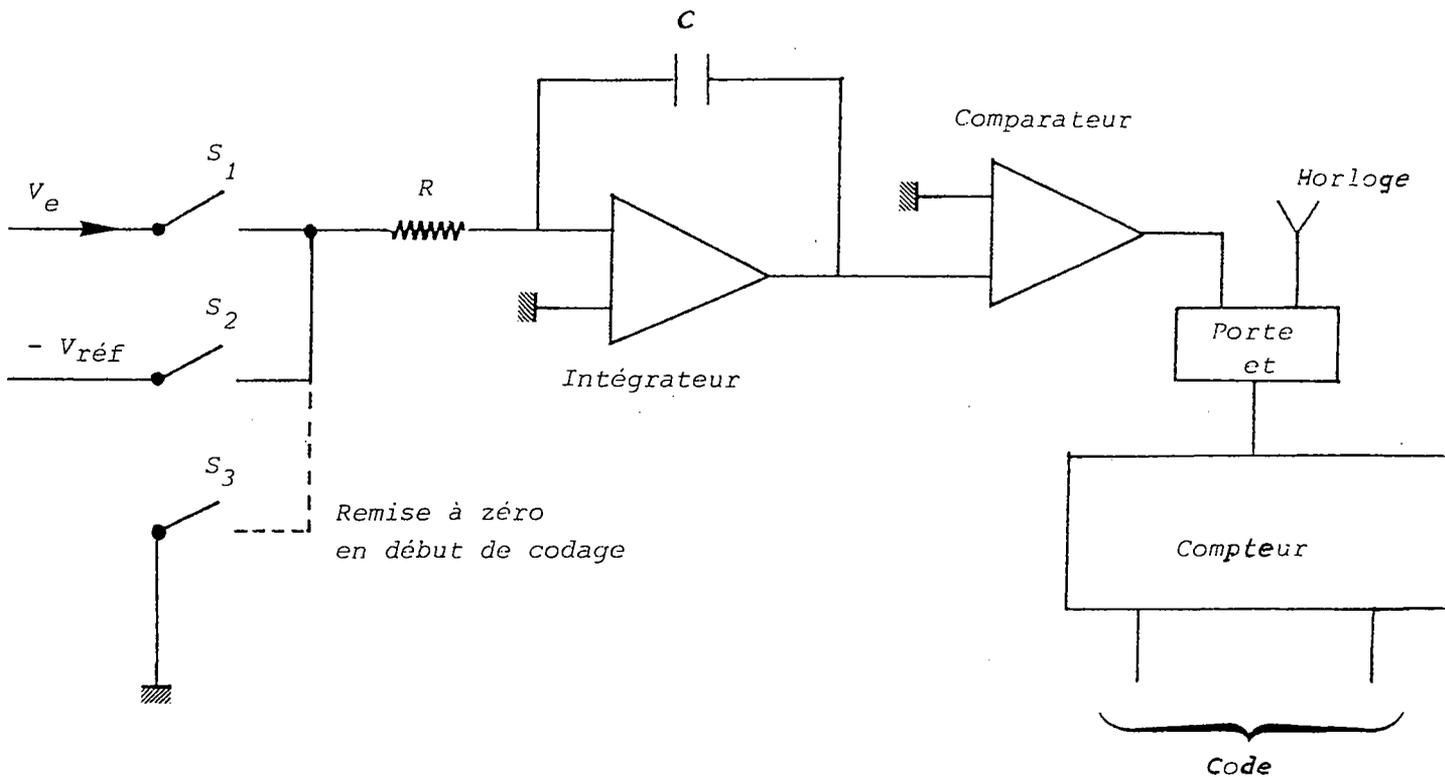


Figure 8

On trouvera figure 9, le diagramme des temps de la tension à la sortie de l'intégrateur.

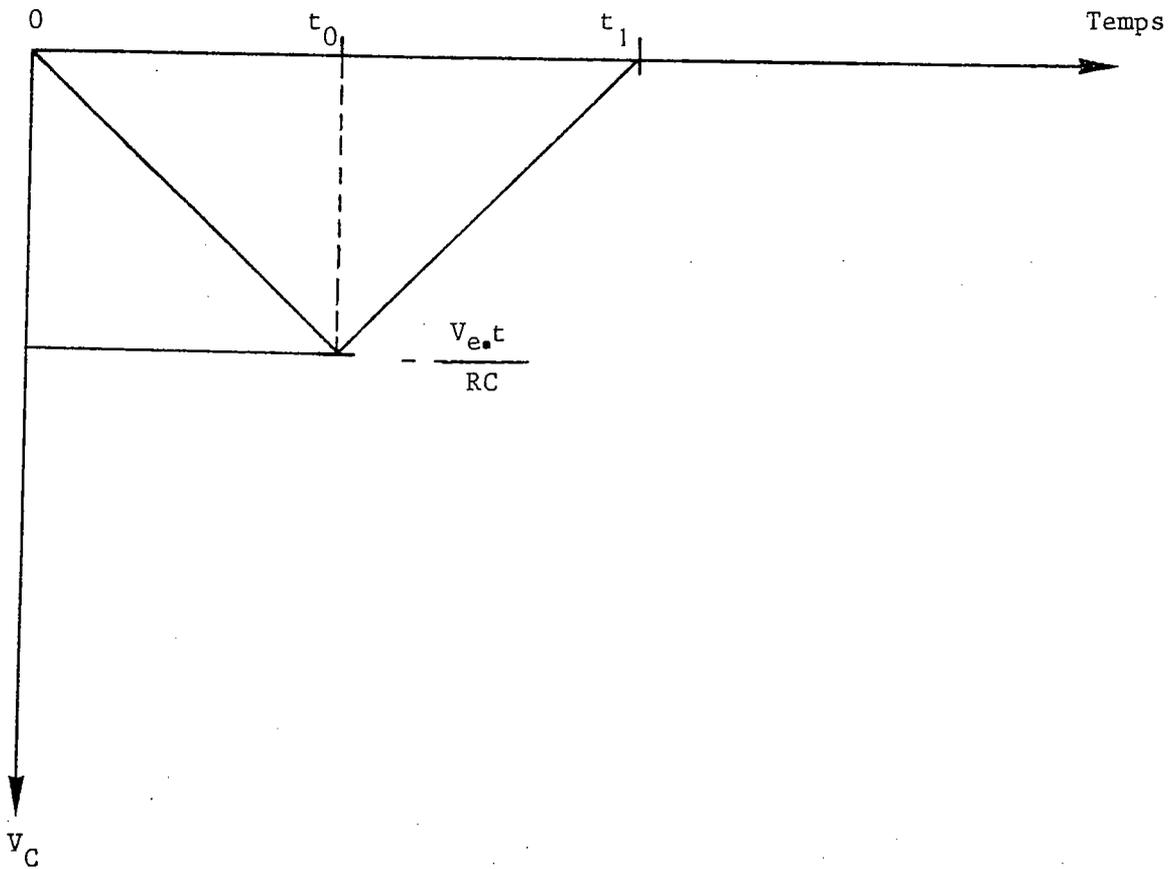


Figure 9

Le temps de codage est très long, ce convertisseur sera donc utilisé pour les signaux à évolution lente.

La présence d'un intégrateur le rend peu sensible aux parasites.

E - C.A.N. à tension fréquence

Principe dérivé du C.A.N. à rampe.

On cherche à obtenir un signal dont la fréquence varie avec la tension d'entrée à coder.

Pour cela, on utilise un monostable (voir figure 10) qui délivre une suite d'impulsions, et qui servira à la remise à zéro de l'ampli intégrateur R-C.

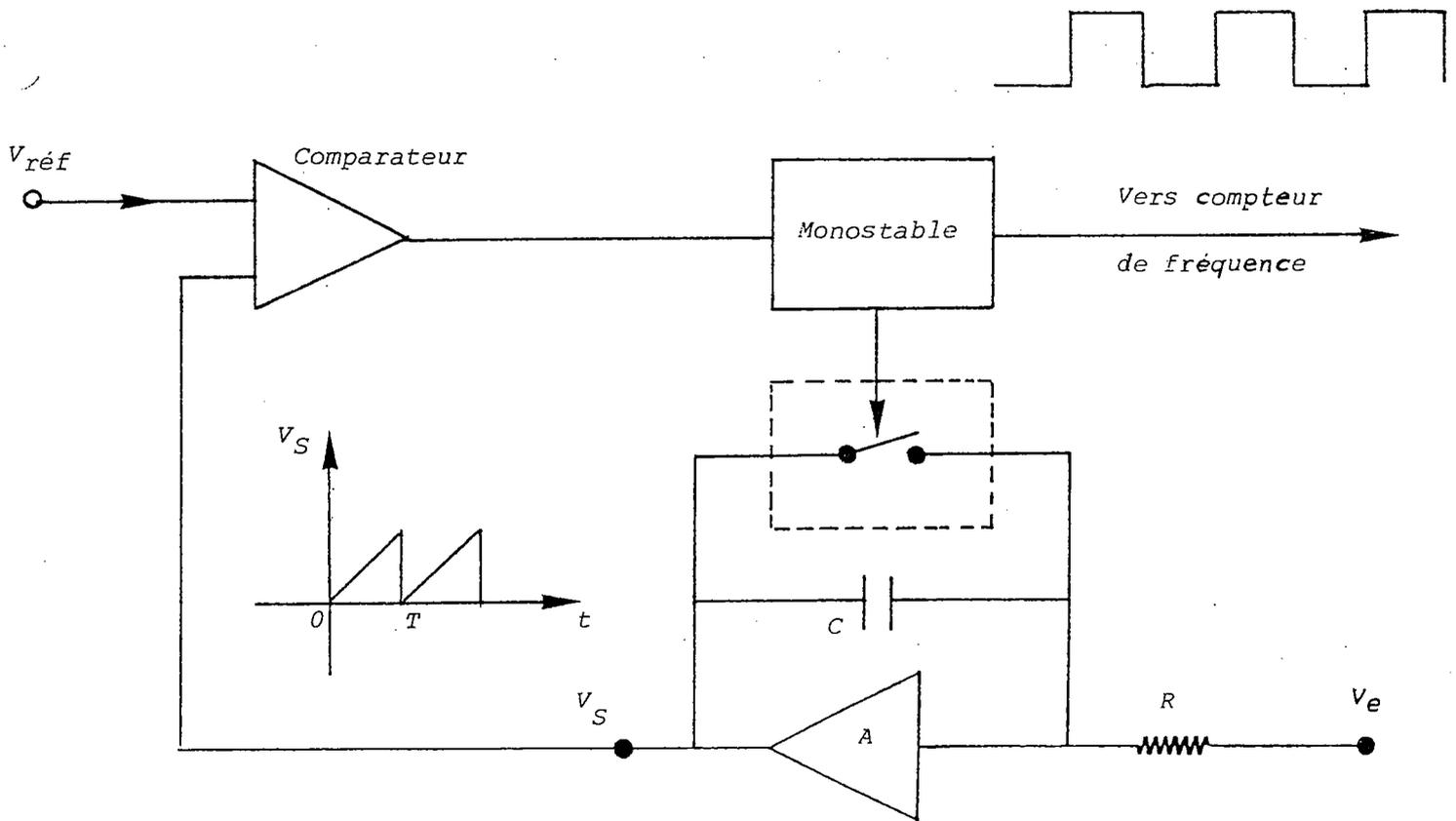


Fig.10 : CAN tension-fréquence

Si V_e est constant pendant le temps T d'intégration, et $V_S = 0$ en début de charge de la capacité, on aura :

$$V_S = - \frac{V_e}{R_C} \cdot T$$

Le monostable sera déclenché quand : $V_S = V_{réf} = \frac{-V_e}{R.C} T$.

Il produira alors une impulsion de remise à zéro, qui sera prise en compte par un compteur de fréquence.

Si la tension à coder V_e est constante pendant un temps long (plusieurs T), alors le monostable délivrera des impulsions à une fréquence :

$$F = \frac{-V_e}{R.C. V_{réf}}$$

et un compteur de fréquence transformera ces impulsions en une information codée.

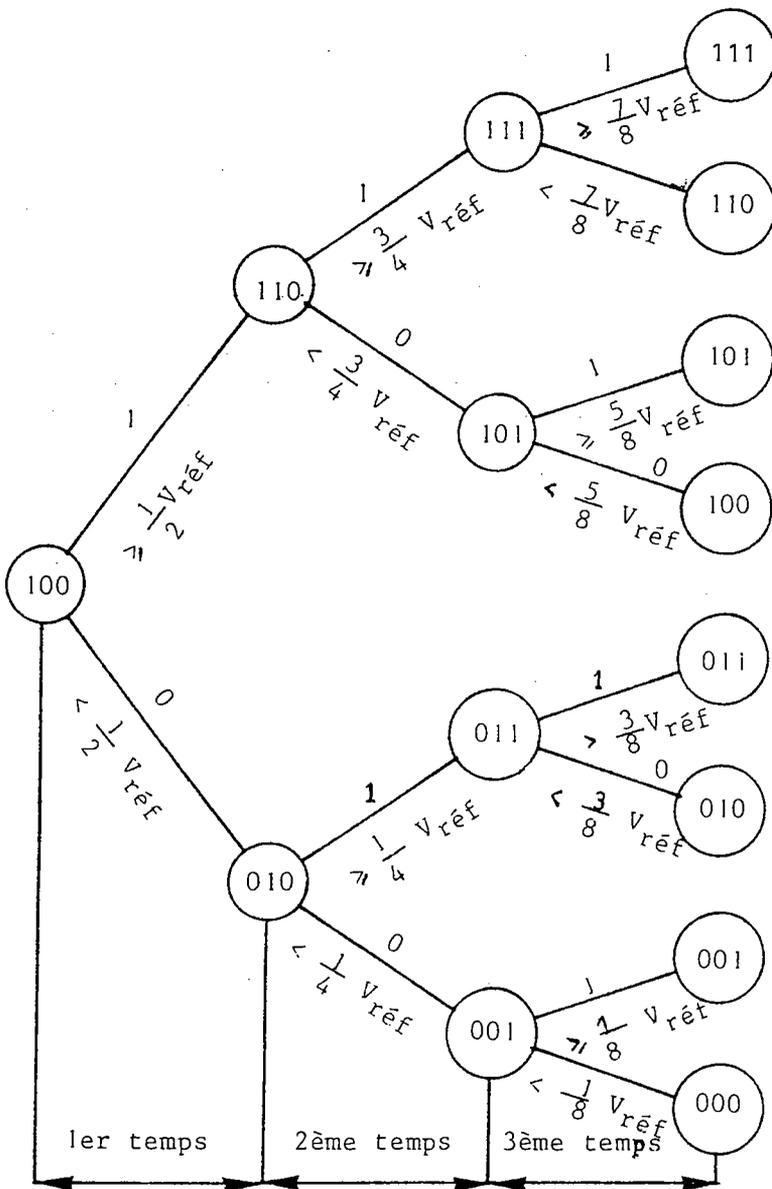
La présence d'un intégrateur rend ce C.A.N. peu sensible aux perturbations. La stabilité de R, de C et de $V_{réf}$ est essentielle. Ce convertisseur est lent, et sera utilisé en basses fréquences.

F - C.A.N. à approximations successives

Appelé aussi convertisseur à pesée.

Comme pour une pesée, on opère par essais successifs en comparant la tension à coder V_e avec, tout d'abord, la tension $\frac{V_{réf}}{2}$: cela détermine le bit de poids le plus fort, MSB ; ensuite, on comparera V_e à la tension $\frac{V_{réf}}{2} + \frac{V_{réf}}{4}$ ou à la tension $\frac{V_{réf}}{2} - \frac{V_{réf}}{4}$ (suivant le MSB) pour déterminer le 2ème bit ; on continuera la mesure en diminuant l'incrément de la tension de comparaison.

On trouvera sur la figure 11 ci-dessous, un exemple de séquence de codage sur 3 bits. Le codage se fait alors en 3 temps.



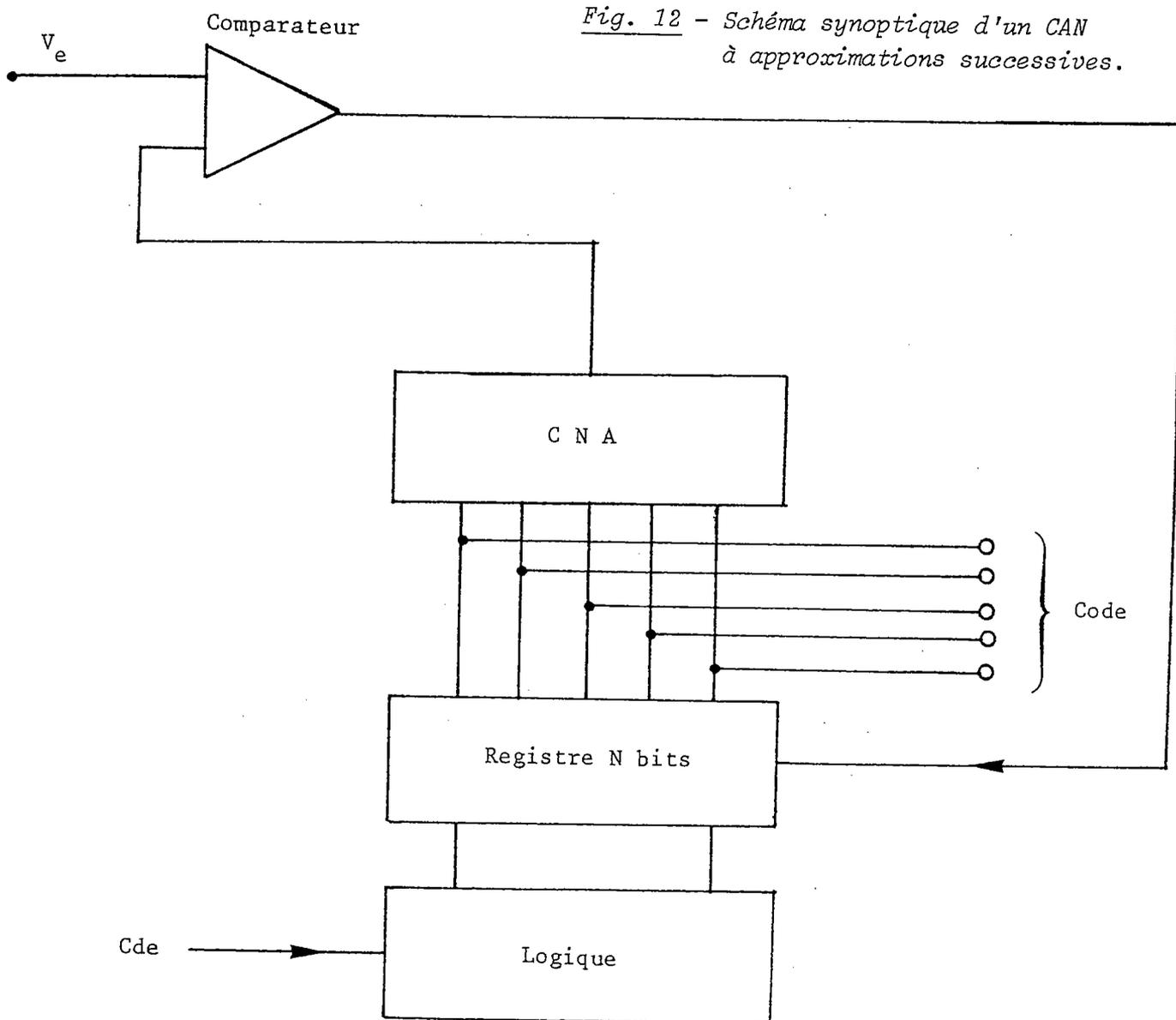
Plus généralement, à chaque cycle d'horloge, correspond la détermination d'un bit. Pour coder sur N bits, il faudra N cycles d'horloge.

La durée totale de la conversion sera de $\frac{N}{F}$ où F est la fréquence de l'horloge.

Cette fréquence est limitée par la vitesse de réponse du comparateur et des circuits logiques.

La figure 12 montre le schéma synoptique d'un tel C.A.N
Un registre à décalage de N bits sert à stocker les bits résultant de la comparaison.

Fig. 12 - Schéma synoptique d'un CAN à approximations successives.

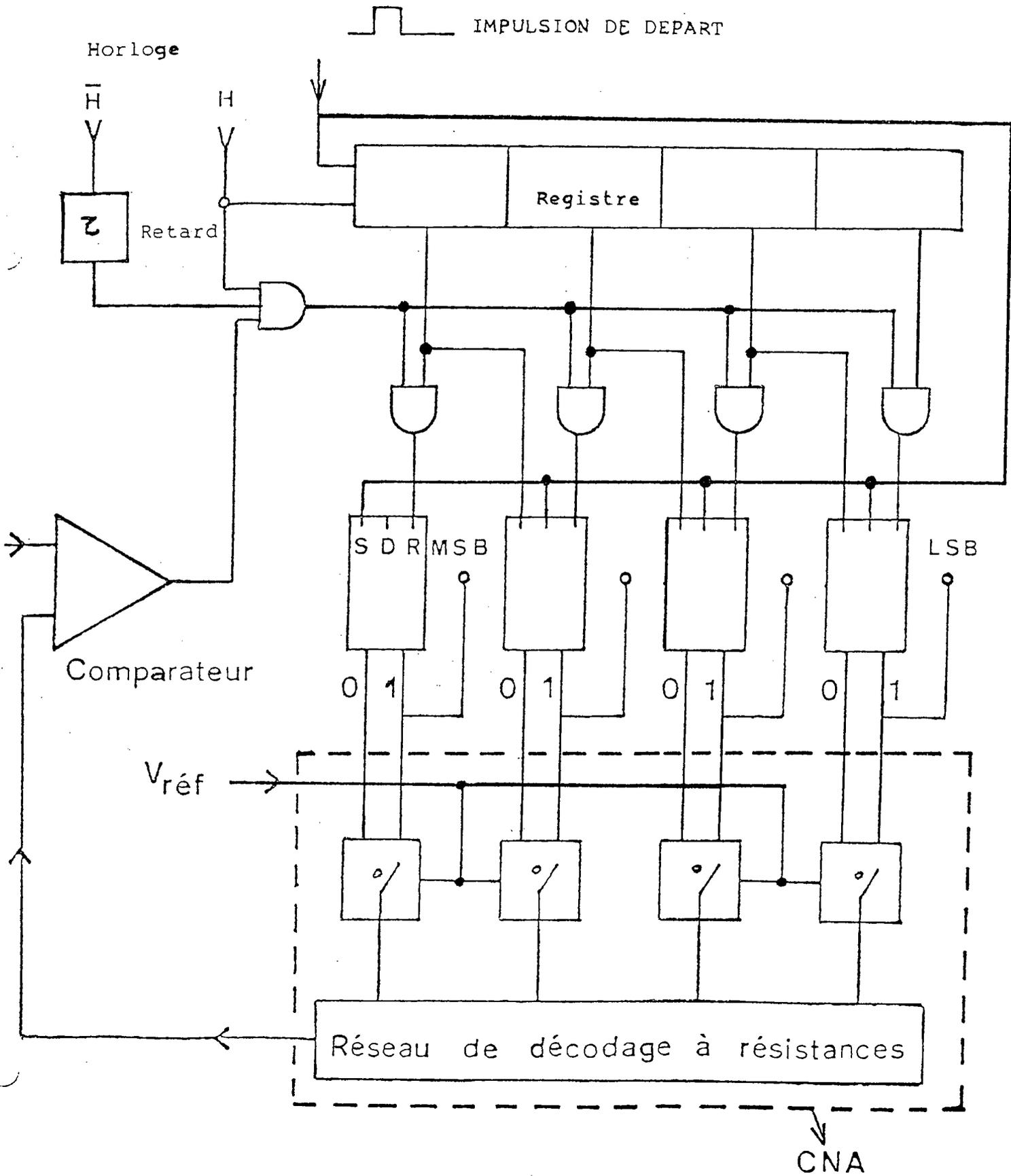


La figure 13 montre une réalisation à l'aide de bascules D, et d'un réseau de décodage à résistances.

Ce C.A.N est particulièrement précis et permet des vitesses de conversion très élevée (inférieure à la micro-seconde).

C'est de loin le plus employé.

Figure 13



G - C.A.N. parallèle

Dans tous les codeurs vus précédemment, les bits du code n'étaient pas déterminés en même temps, ou bien plusieurs opérations successives de comparaison étaient nécessaires.

Le C.A.N. parallèle établit tous les bits du code au même moment, le temps de conversion est donc très court.

Toutes les comparaisons nécessaires au codage sont effectuées en même temps. Il faut $2^N - 1$, comparateur pour comparer avec les $2^N - 1$ niveaux possibles.

La figure 14 montre un exemple de réalisation d'un C.A.N. parallèle sur 3 bits. Un réseau diviseur à résistances permet d'obtenir les différentes tensions de comparaison.

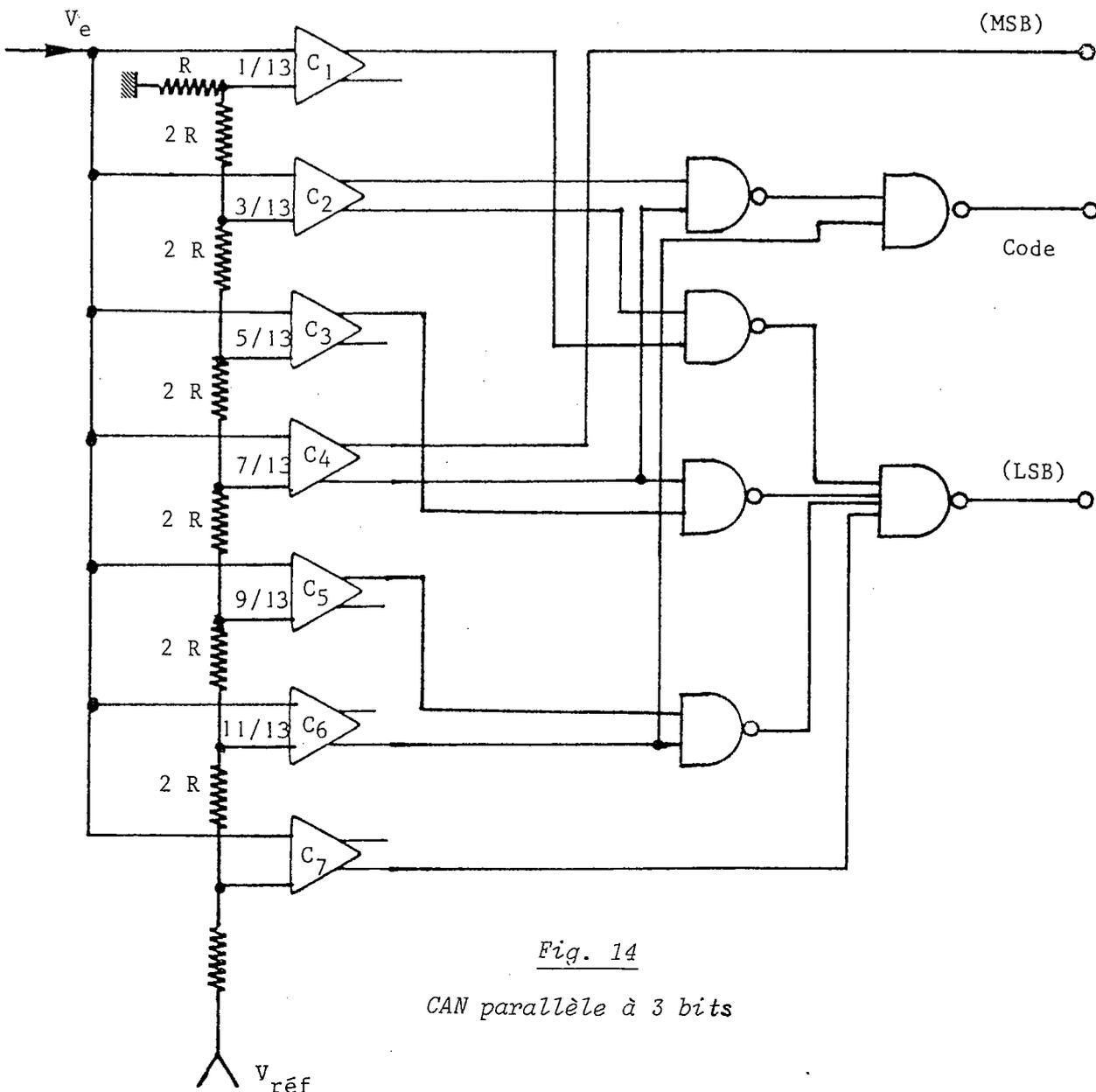


Fig. 14

CAN parallèle à 3 bits

Avec ce type de C.A.N., on obtient des vitesses de conversion de l'ordre de quelques dizaines de nanosecondes par conversion.

Cette vitesse est limitée essentiellement par la rapidité des comparateurs.

Cependant, la complexité du circuit croît très vite avec le nombre de bits (il en est de même du prix ...).

Ce C.A.N. est surtout utilisé pour un faible nombre de bits, ou bien on l'associe à un C.A.N à approximations successives. De plus, son utilisation nécessite une très bonne adaptation d'impédance avec le circuit extérieur.

III - CONVERTISSEURS NUMERIQUES-ANALOGIQUES

A - Généralités

Le C.N.A fait correspondre une tension (ou un courant) de sortie correspondant à la valeur codée sur N bits.

On doit avoir :

$$V_S = V_{réf} \cdot \sum_{i=1}^N \frac{a_i}{2^i}$$

ou a_1 est le bit de plus fort poids (de poids $\frac{V_{réf}}{2}$)

et a_N est le bit de plus faible poids (de poids $\frac{V_{réf}}{2^N}$)

Quand tous les bits sont à 1, on obtient la tension

$$V_S = V_{réf} (2^N - 1) \cdot \frac{1}{2^N} = V_{réf} - \frac{V_{réf}}{2^N}$$

On ne pourra donc jamais atteindre $V_{réf}$.

Les C.N.A les plus simples utiliseront des systèmes de sommes de courant, de tension.

La conversion nécessite la présence de tous les bits dans le convertisseur : le convertisseur est de type "parallèle". D'où, l'utilisation de registres à décalage si les bits arrivent en série au convertisseur.

B - C.N.A à sommation de courant

Pour obtenir la tension V_S , on fait passer dans une résistance r les courants $I, 2I, 4I, \dots, 2^{(N-1)} \cdot I$, issus de générateurs commandés par les bits, a_1, a_2, \dots, a_N .

La tension aux bornes de r est alors

$$V_r = (a_1 \cdot I + a_2 \cdot 2I + \dots + a_N \cdot 2^{(N-1)} I) \cdot r$$

Etudions un exemple de réalisation dans laquelle la résistance est remplacée par un amplificateur opérationnel : c'est l'exemple de la figure 15.

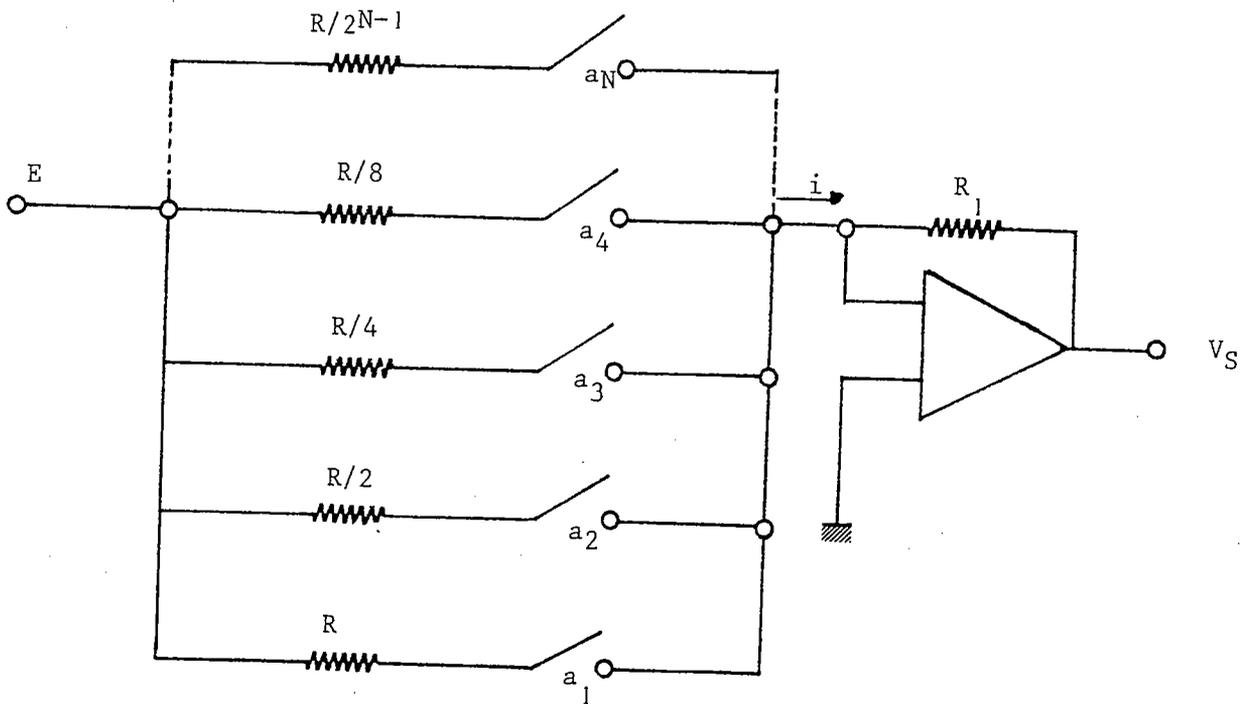


Fig. 15 : C.N.A. à sommation de courants et ampli-Op.

On a : $V_S = - R_1 \cdot i$

avec $i = a_1 \frac{E}{R} + a_2 + \frac{2E}{R} + a_3 \frac{4E}{R} + \dots + a_N \frac{2^{N-1} E}{R}$

D'où $V_S = - E \frac{R_1}{R} \left[a_1 + 2 a_2 + 4 a_3 + \dots + 2^{N-1} a_N \right]$

Les principales causes d'erreurs dans ce CNA proviennent de la difficulté de réaliser des résistances dans une gamme de R à $R/2^{N-1}$ avec une précision et une stabilité suffisantes.

De plus, les commutateurs analogiques n'ont pas en général des caractéristiques idéales : résistance nulle ou infinie. Et aussi, les caractéristiques de l'ampli-op peuvent ne pas être stables.

C'est pourquoi, dans le cas d'un nombre élevé de bits, on préfère utiliser une structure modulaire, comme celle de la figure 16.

Il faut un affaiblissement de 16 pour les 4 bits de plus faible poids.

On a

$$V_S = \frac{- R_1 E}{R} \left[\left(a_1 + \frac{a_2}{2} + \frac{a_3}{4} + \frac{a_4}{8} \right) + \frac{R_2}{R_2 + R_3} \left(a_5 + \frac{a_6}{2} + \frac{a_7}{4} + \frac{a_8}{8} \right) \right]$$

Il faut donc

$$\frac{R_2}{R_2 + R_3} = \frac{1}{16}$$

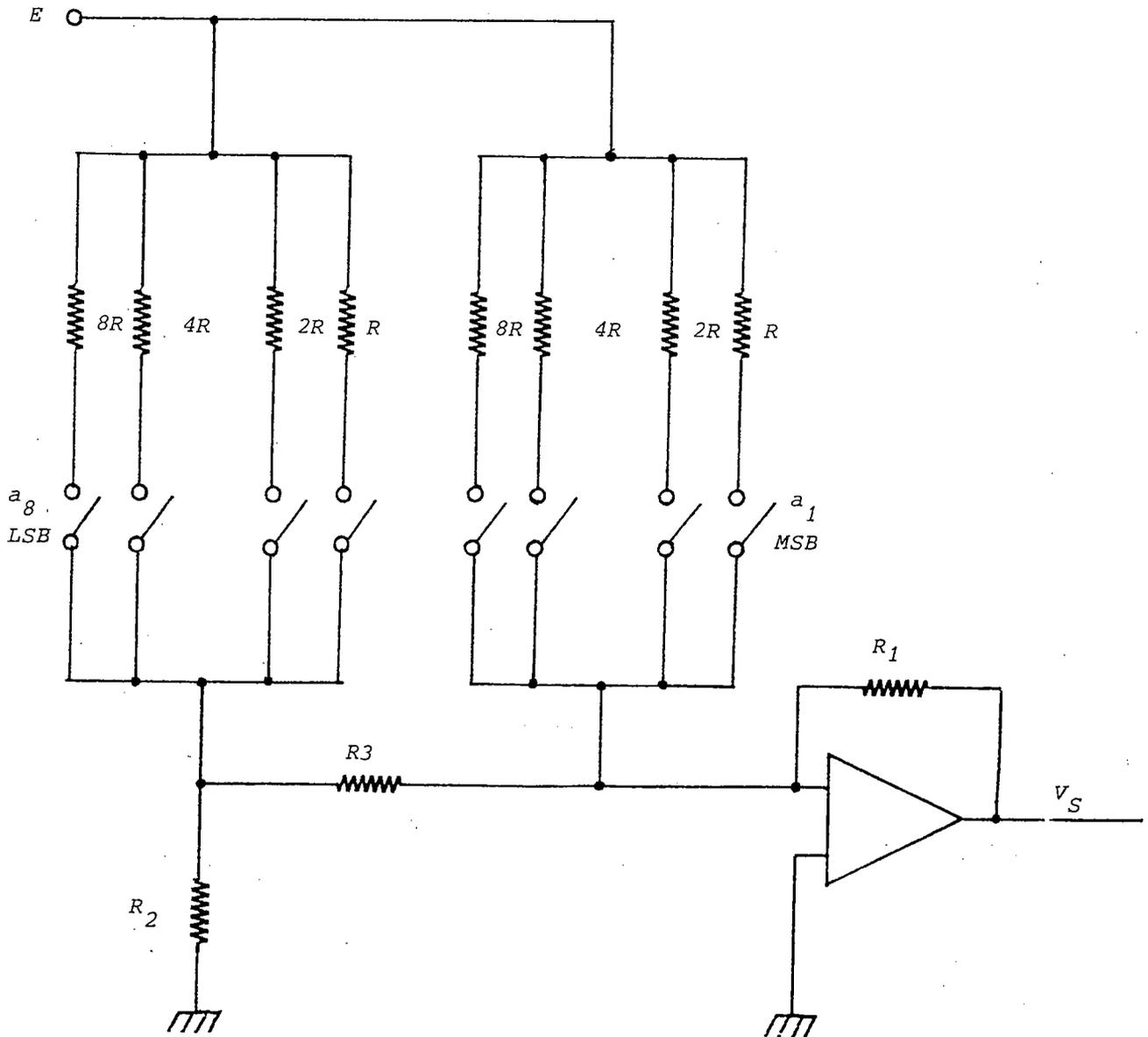


Fig. 16 = CNA à sommation de courants ; modulaire à résistances

Convertisseur digital-analogique à échelle R/2R

Soit X une variable réelle positive dont la valeur en décimal est notée x et dont la valeur en binaire est notée $(x)_2 = b_{n-1}b_{n-2} \dots b_1b_0$, avec : $(\forall j) b_j \in \{0,1\}$.

On code la valeur de x à l'aide de n commutateurs bidirectionnels (fig.1) dont les états sont décrits par les variables booléennes définies comme suit :

$(\forall j) b_j = 0$ court-circuit entre B_j et la borne 0 du commutateur,

$(\forall j) b_j = 1$ court-circuit entre B_j et la borne 1 du commutateur.

L'amplificateur opérationnel utilisé pour la réalisation du convertisseur est parfait et fonctionne en régime linéaire. La tension de référence E est délivrée par une source d'impédance interne nulle.

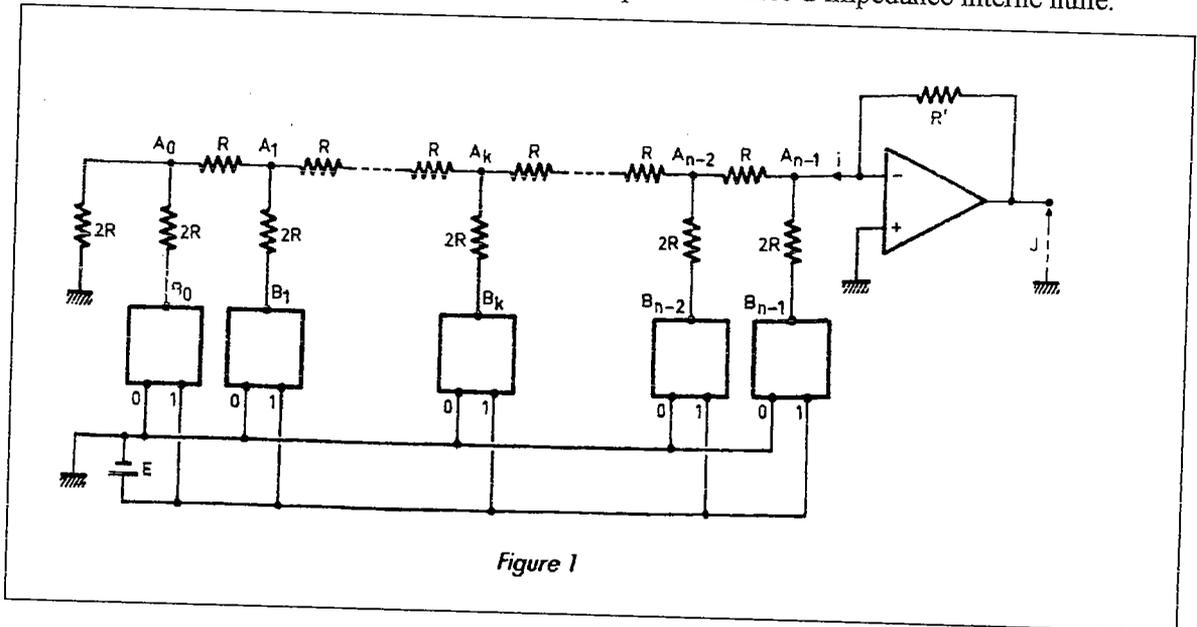


Figure 1

1) On considère l'état des commutateurs décrits par $b_k = 1$ et $(\forall j \neq k) b_j = 0$. Montrer, par application du théorème de Thévenin, que le réseau R-2R vu entre l'entrée inverseuse et la masse, est équivalente à un générateur de résistance $R_k = R$ et de f.é.m. $E_k = E / 2^{(n-k)}$ (fig.2).

2) L'état des commutateurs est maintenant codé par la variable réelle $(x)_2 = b_{n-1}b_{n-2} \dots b_1b_0$. Déterminer la tension de sortie v en fonction des résistances R , R' , de la f.é.m. E et des variables booléennes b_j .

3) On considère, pour la suite du problème, que le convertisseur étudié est un convertisseur à 12 bits. Calculer la tension de sortie maximale v_{max} sachant que $E=10$ V et $R=R'$.

Quelle est la valeur du quantum v_{min} ?

Quel est le nombre de points de mesure de ce convertisseur?

4) Connaissant les caractéristiques du convertisseur, à savoir le nombre $n=12$ de cellules, la f.é.m. $E=10$ V et les résistances R, R' que l'on prendra égales, proposer un algorithme donnant l'état de chacun des convertisseurs en fonction de la valeur de la tension de sortie v .

5) Applications numériques.

a) On mesure une tension de sortie $v=2,837$ V, déterminer l'état des commutateurs.

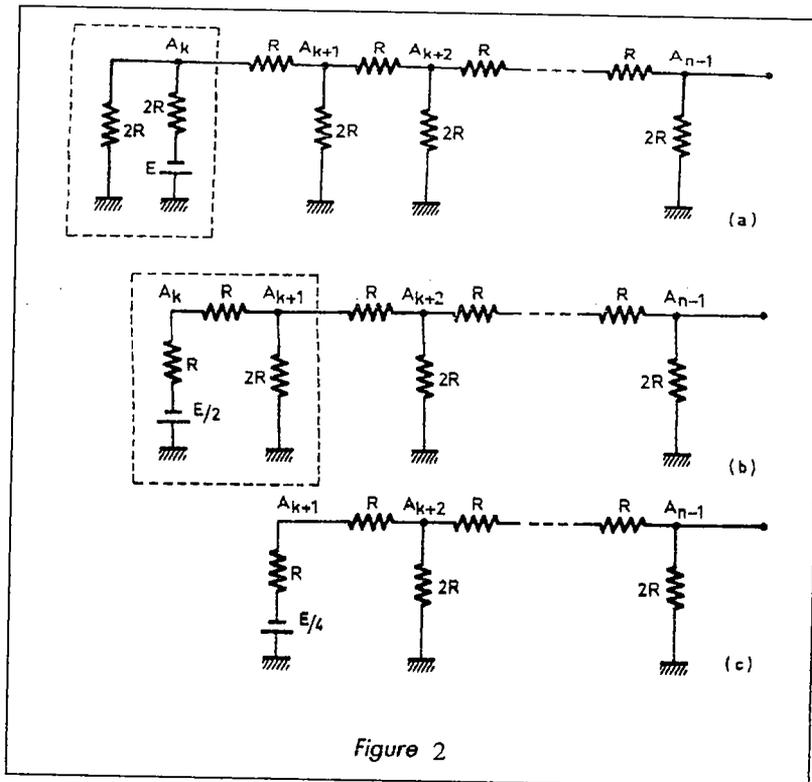
b) Réciproquement, l'état des douze commutateurs est codé par le nombre binaire $(x)_2 = (101000110001)_2$, quelle tension relève-t-on à la sortie?

Solution:

1) Pour calculer l'impédance du réseau, il nous faut éteindre la source de tension E . Alors, quel que soit l'état des commutateurs, toutes les résistances $2R$ sont reliées à la masse.

En excluant la partie du réseau qui se trouve à la droite du nœud A_0 (fig.1), on constate que l'impédance est $2R/2R=R$. Cela étant, si on exclut la partie du réseau située à droite du nœud A_1 , on trouve encore l'impédance R .

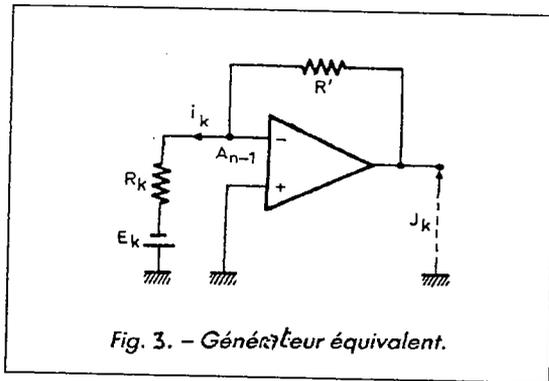
En continuant ainsi jusqu'au nœud A_{n-1} , on établit que l'impédance du réseau, entre l'entrée inverseuse et la masse, est R . Remarquons que ce résultat est indépendant du nombre n de cellules $R-2R$ utilisées.



Plaçons nous maintenant dans les conditions du problème, à savoir: $b_k = 1$ et $(\forall j \neq k) b_j = 0$. Utilisant l'étude précédente, on aboutit facilement au réseau représenté figure.2a, dans lequel la partie située à gauche de A_k a été remplacée par la résistance $2R$. Par application du théorème de Thévenin à la partie encadrée de la figure 2a, on aboutit au réseau de la figure 2b. Considérons, à son tour, ce dernier réseau, et appliquons une nouvelle fois le théorème de Thévenin à la partie encadrée. On obtient le réseau représenté figure 2c.

On constate ainsi que les réductions successives font apparaître des générateurs de Thévenin possédant toujours la même impédance interne R et des f.é.m. de valeurs successives $E/2, E/4, E/8...$

Pour aboutir au schéma proposé figure 3, c'est à dire à une réduction complète du réseau étudié, il faudra appliquer $(n-k)$ fois le théorème de Thévenin. En conséquence, on en conclut que $R_k = R$ et que $E_k = E \cdot 2^{-(n-k)}$.



Remarquons aussitôt que ce générateur débite un courant $i = E/R \cdot 2^{-(n-k)}$ dans la résistance R' puisque le nœud A_{n-1} est virtuellement à la masse et qu'aucun courant ne traverse l'entrée inverseuse de l'amplificateur opérationnel.

2) L'état des différents commutateurs est maintenant codé par la variable $(x)_2 = b_{n-1} b_{n-2} \dots b_1 b_0$, c'est à dire qu'un certain nombre de bornes B_j sont reliées à la masse ($b_j = 0$) et les autres B_j sont reliées à la source de tension E ($b_j = 1$).

Le courant i débité par le réseau s'obtient immédiatement par application du théorème de superposition des régimes électriques:

$$i = \sum_{k=0}^{n-1} b_k i_k = \frac{E}{R} \sum_{k=0}^{n-1} b_k \cdot 2^{-(n-k)}$$

Comme $v = R' i$, il vient aussitôt:

$$v = E \frac{R'}{R} \sum_{k=0}^{n-1} b_k \cdot 2^{-(n-k)} \quad (1)$$

Il suffit de connaître l'état des différents commutateurs pour calculer effectivement la tension de sortie v . Remarquons enfin que le résultat précédent reste valable quel que soit le nombre n de commutateurs utilisés, c'est à dire quel que soit le nombre n de bits du convertisseur.

3) La tension de sortie sera maximale lorsque tous les commutateurs seront dans l'état 1, c'est à dire quand toutes les bornes B_j sont reliées à la source de tension E . En tenant compte de $R=R'$, il vient aussitôt la relation (1):

$$v = E \cdot \sum_{k=0}^{11} 2^{-(12-k)} = \frac{E}{2} \left[1 + \frac{1}{2} + \dots + \frac{1}{2^{11}} \right]$$

La source S de la progression géométrique de raison $r=1/2$ qui se trouve entre crochet est:

$$S = \frac{1 - 2^{-12}}{1 - 1/2} = 2 \cdot (1 - 2^{-12})$$

D'où la valeur maximale v_{\max} de la tension de sortie:

$$v_{\max} = E \cdot (1 - 2^{-12})$$

Application numérique: $E=10 \text{ V}$, $n=12 \Rightarrow v_{\max} \approx 9,998 \text{ V}$.

La valeur v_{\min} du quantum s'obtient en considérant l'état pour lequel la borne B_0 est reliée à la source de tension ($b_0 = 1$) et toutes les autres bornes reliées à la masse : ($\forall k \neq 0$) $b_k = 0$.

De la relation (1), on tire immédiatement

$$v_{\min} = \frac{E}{2^{12}} \quad \text{A.N: } v_{\min} = 2,44 \text{ mV.}$$

Le nombre de points d'un convertisseur est égal au nombre d'états distincts de ses commutateurs. Chaque commutateur pouvant avoir deux états, il en résulte que le nombre d'états distincts d'un convertisseur à n bits est 2^n . En conséquence, un convertisseur à n bits est un dispositif à 2^n points de mesure.

A.N: $n=12 \Rightarrow 2^{12} = 4096$ points de mesure.

4) En tenant compte de $R=R'$ et après multiplication des deux membres de la relation (1) par 2^n , on obtient:

$$\frac{v}{E} \cdot 2^n = \sum_{k=0}^{n-1} b_k \cdot 2^k \quad (2)$$

Soit encore, en explicitant le deuxième membre dans l'hypothèse $n=12$:

$$\begin{aligned} \frac{v}{E} \cdot 2^n &= b_{11} \cdot 2^{11} + b_{10} \cdot 2^{10} + b_9 \cdot 2^9 + \dots + b_1 \cdot 2 + b_0 \\ &= \left(\left(\dots \left((b_{11} \cdot 2 + b_{10}) \cdot 2 + b_9 \right) \cdot 2 + \dots \right) \cdot 2 + b_1 \right) \cdot 2 + b_0 \end{aligned}$$

On fait apparaître ainsi dans le second membre l'algorithme de Hörner qui montre que:

- en divisant $(v/E)2^n$ par 2, on obtient comme premier reste b_0 ;
- en divisant par 2 le quotient précédemment obtenu, on obtient comme reste b_1 ;
- en poursuivant ainsi jusqu'à obtenir un quotient nul, on obtient comme reste b_2, b_3, \dots, b_{11} .

En d'autres termes, l'algorithme proposé est celui de la conversion d'un nombre entier décimal en un nombre entier binaire.

5) Applications numériques:

a) $\frac{V}{E} \cdot 2^{12} = 1162$ donc en utilisant l'algorithme précédent:

$$1162 = 2 \times 581 + 0 \rightarrow b_0 = 0$$

$$581 = 2 \times 290 + 1 \rightarrow b_1 = 1$$

$$290 = 2 \times 145 + 0 \rightarrow b_2 = 0$$

$$145 = 2 \times 72 + 1 \rightarrow b_3 = 1$$

$$72 = 2 \times 36 + 0 \rightarrow b_4 = 0$$

$$36 = 2 \times 18 + 0 \rightarrow b_5 = 0$$

$$18 = 2 \times 9 + 0 \rightarrow b_6 = 0$$

$$9 = 2 \times 4 + 1 \rightarrow b_7 = 1$$

$$4 = 2 \times 2 + 0 \rightarrow b_8 = 0$$

$$2 = 2 \times 1 + 0 \rightarrow b_9 = 0$$

$$1 = 2 \times 0 + 1 \rightarrow b_{10} = 1$$

et par suite b_{11} et $b_{12} = 0$.

b) Pour calculer la tension de sortie v , il suffit d'utiliser la relation (1) dans laquelle on fait $R=R'$, puis $b_0 = b_4 = b_5 = b_9 = b_{11} = 1$, et les autres $b_k = 0$. Donc:

$$v = 10 \cdot [2^{-12} + 2^{-8} + 2^{-7} + 2^{-3} + 2^{-1}] = 6,369 \text{ V.}$$

