

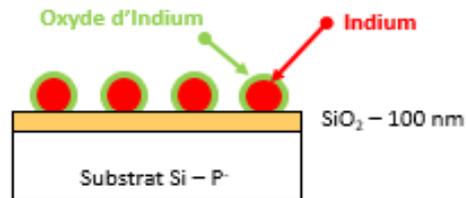
## *Chapitre III : Travail réalisé*

### 3.1 Introduction

Comme nous avons déjà mentionné mon stage se fait en collaboration entre l'institut des nanotechnologies de Lyon (INL) et le Laboratoire des Technologies des Microélectroniques (LTM) de Grenoble.

Le but de mon stage se résume dans la constitution des différentes étapes d'une structure ReRAM avant de passer aux caractérisations électriques de ces mémoires construites.

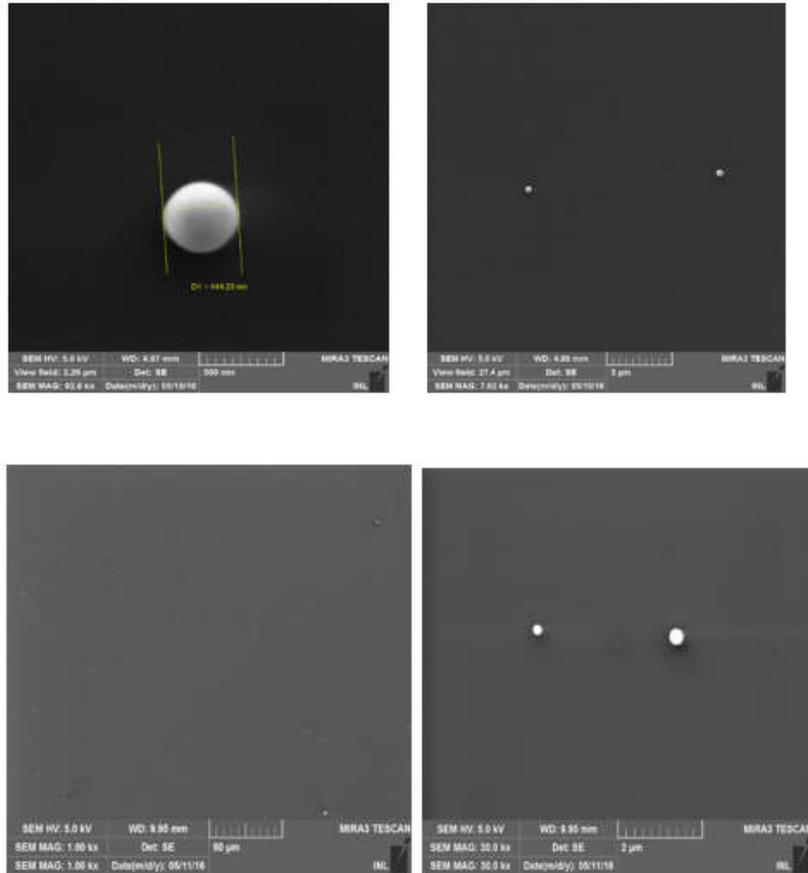
- Dans un premier temps des structures Métal /Isolant /Métal ont été réalisées sur des Substrats de Silicium de type P avec un dioxyde de Silicium  $\text{SiO}_2$  de 100 nm d'épaisseur afin de réaliser des tests avant la réception des plaques contenant 2 nm de  $\text{SiO}_2$  pour réaliser nos structures Métal /Isolant /Métal .



### 3.2 Les étapes Suivies lors du processus

Nous tenons à mentionner que l'indium représente un tout nouveau matériau au sein de l'Institut des Nanotechnologies de Lyon .Afin d'introduire ce matériau au sein de l'équipe Nanolyon qui est la plateforme technologique responsable des machines au sein de l'INL, il nous a fallu de faire plusieurs études et tests avant l'utilisation de différents machines afin de rassurer les autres utilisateurs que l'indium ne représente aucun risque voire contamination pour les autres utilisateurs.

Pour cela la première chose qui était faite est l'observation de nos nanostructures d'indium via le Microscope Electronique Balayage



**Figure 10 : Images MEB des nanostructures d'indium**

D'après nos images MEB nos nanostructures d'indium sont sphériques avec des diamètres allant de 250 nm à 450 nm.

Avant d'accéder à la deuxième étape qui est le dépôt de l'oxyde d'Aluminium par Atomic Layer Deposition (ALD), nous avons été contraints à réaliser une étude afin de connaître le comportement thermique et la stabilité morphologique des nanostructures d'indium  $\text{In}_2\text{O}_3$  sur le dioxyde de Silicium  $\text{SiO}_2$ . Cette étude avait pour but de vérifier que l'utilisation de l'équipement ALD à une température de 200 °C n'affectera pas les autres échantillons par une contamination par évaporation des nanostructures d'indium. Pour cela on a opté pour deux méthodes qui sont un recuit rapide et puis observation par Microscope Electronique à Balayage (MEB) et comme deuxième méthode la Spectrométrie photoélectronique X (XPS : X-Ray photoelectron spectrometry)

### 3.2.1 1ère méthode : Recuit Rapide et observation au MEB

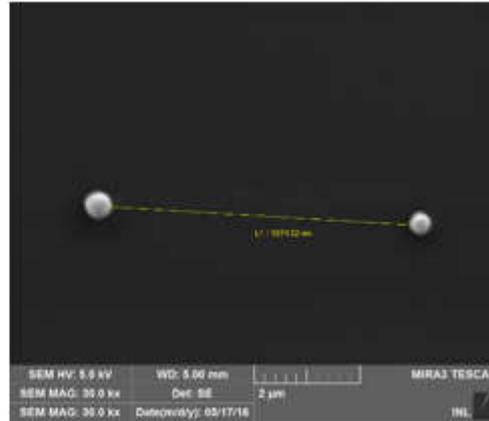
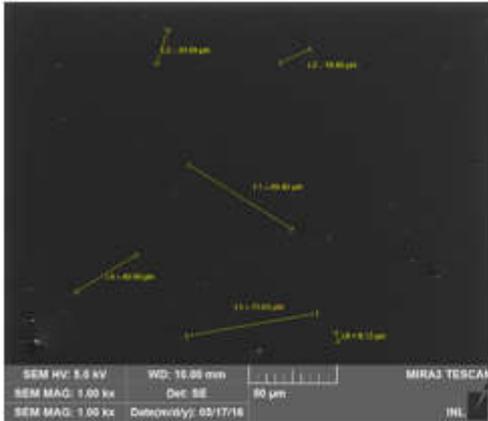
Durant cette étape nous avons opté pour un recuit thermique rapide ce qu'on appelle RTA (Rapid Thermal Annealing). Le principe de cette méthode comme on l'a déjà mentionné auparavant consiste à chauffer une plaquette (wafer) pour en modifier les propriétés structurales. Pour notre cas nos échantillons ont été soumis à de différentes températures allant de 100°C à 500°C. Afin d'observer les résultats de notre Recuit rapide sur nos échantillons on a utilisé le Microscope Electronique à Balayage (MEB).

Les images obtenues à de différentes températures sont les suivantes :

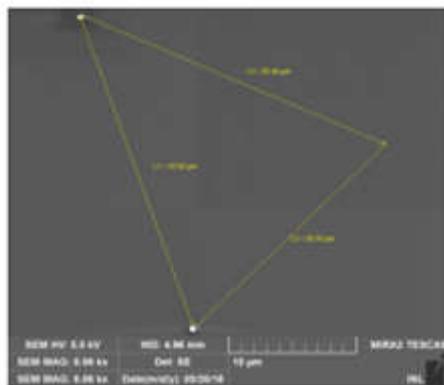
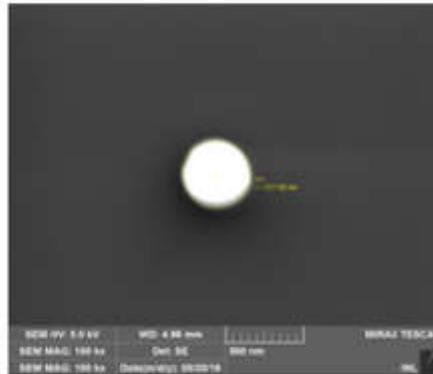
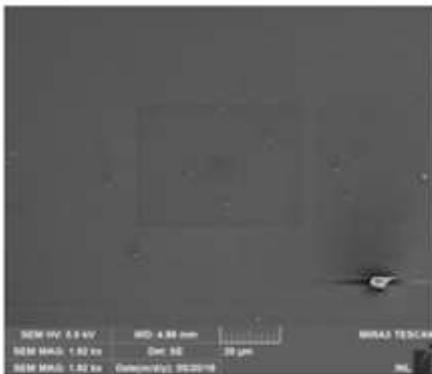
#### Echantillon 1 à 100°C pendant 1min



Echantillon 2 à 200°C pendant 1min



Echantillon 3 à 600°C pendant 1min



*Résultat obtenu de la première méthode :*

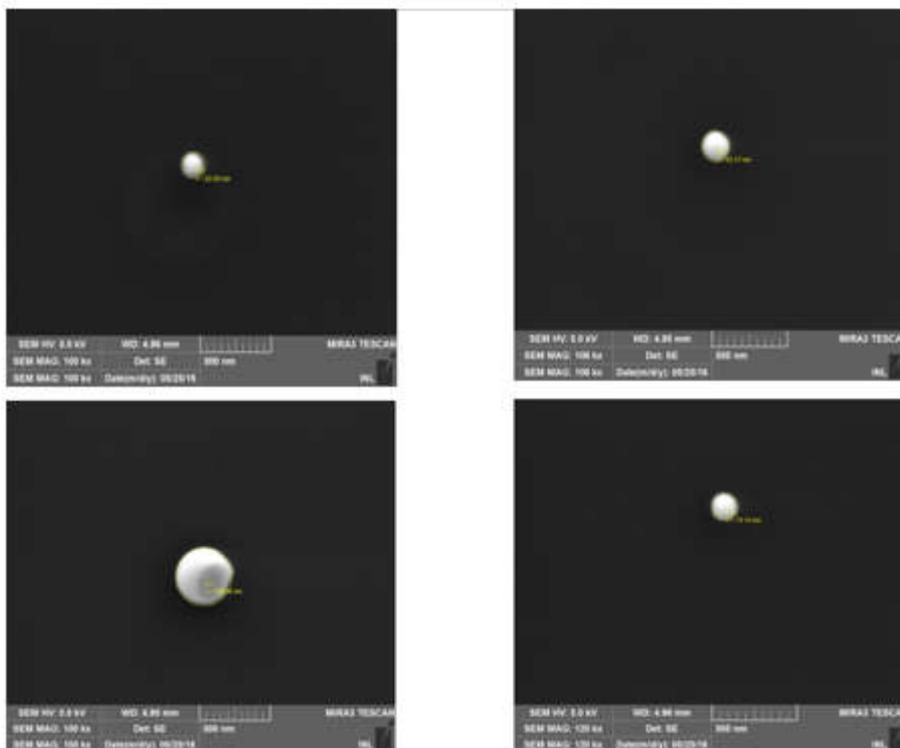
En ignorant les positions et le nombre de nos nanostructures dans nos échantillons, il nous a été difficile d'avoir des résultats sur Le comportement thermique et stabilité morphologique de nos nanostructures d'indium sur le dioxyde de Silicium avec la méthode du Recuit. De ce fait, on s'est dirigé vers une autre méthode souhaitant avoir des résultats plus visibles voire concrets.

### **3.2.2 2ème méthode : Spectrométrie photoélectronique X (XPS : X-Ray photoelectron spectrometry)**

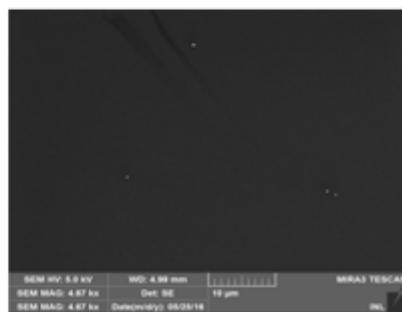
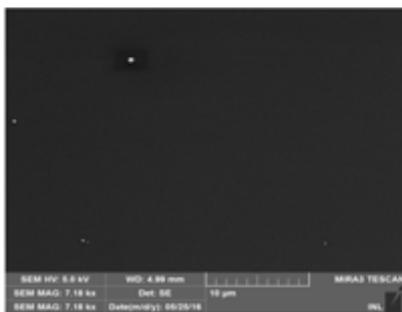
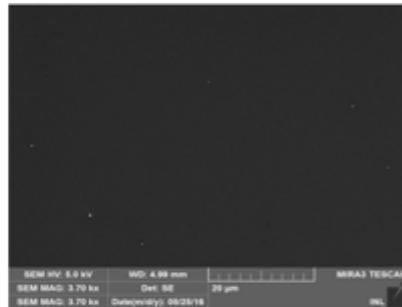
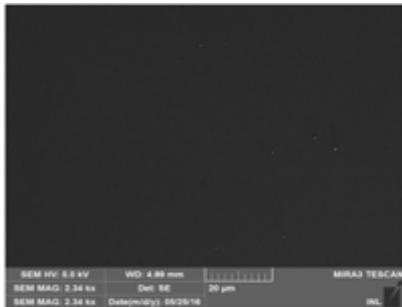
Le but de cette méthode est d'analyser le comportement morphologique de nos nanostructures d'indium cela veut dire est ce qu'il y'aura un changement après le recuit de nos échantillons .C'est ce qu'on essayera de conclure de notre étude via l'XPS (Spectrométrie photoélectronique X).

Pour cela on a pris des plaques de Silicium purs qu'on a introduit au même moment avec nos échantillons dans un four à recuit rapide. Avec cette étude on montrera si nos nanostructures d'indium s'évaporent à une température donnée .Si c'est le cas on trouvera des traces de l'indium sur nos plaques de Silicium purs.

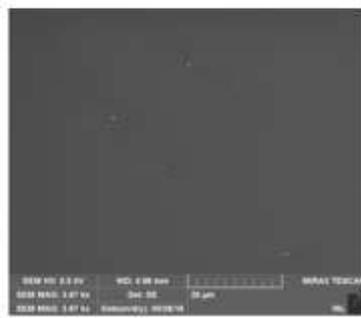
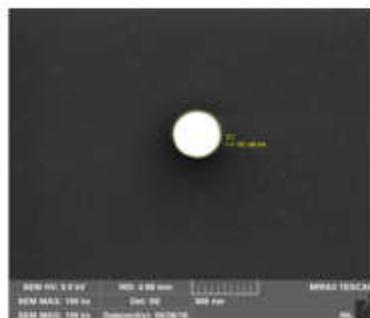
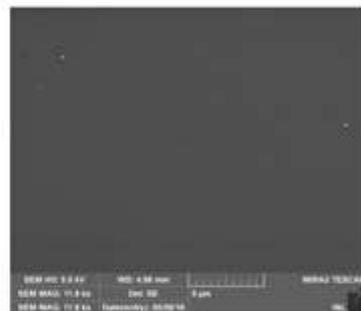
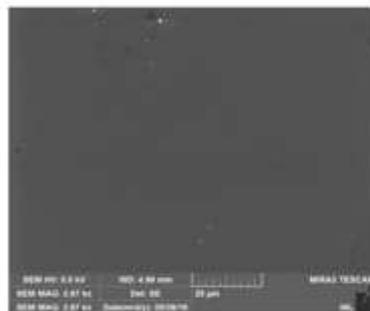
*Echantillon 1 Recuit à 150°C pendant 2min (la température monte jusqu'à 169°C durant le recuit)*



Echantillon 2 Recuit à 200°C pendant 2min (La température monte jusqu'à 220°C durant le recuit)



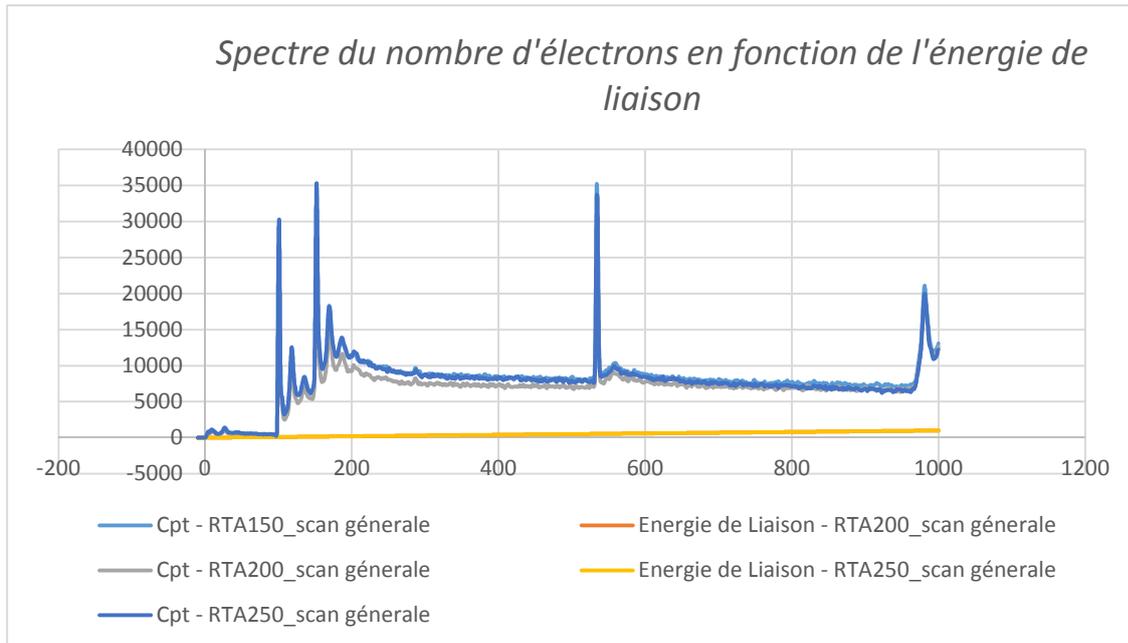
Echantillon 3 Recuit à 250°C pendant 2min (La température monte jusqu'à 260°C durant le recuit)



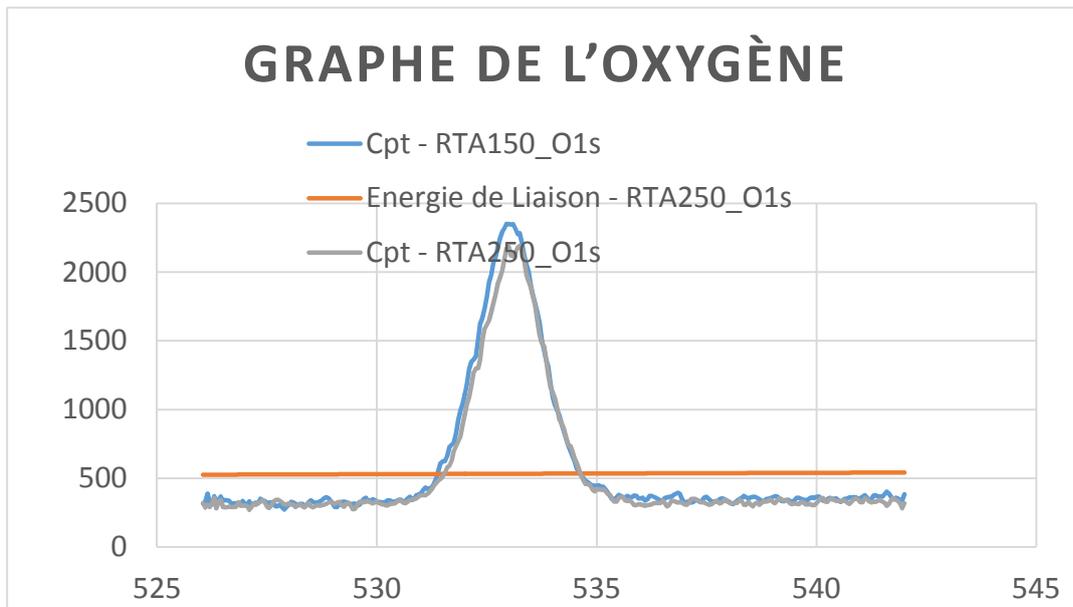
Il faut dans un premier temps préparer l'échantillon. La taille de nos échantillons est de 2 cm sur 2cm. Nos échantillons sont introduits dans une première enceinte (dite chambre d'entrée). Cette enceinte est mise sous vide grâce à un pompage permettant d'atteindre un vide de  $10^{-6}$  mbar. Une fois ce vide atteint, l'échantillon est transféré en chambre d'analyse et l'étude XPS peut commencer. Le vide dans cette chambre d'analyse atteint  $10^{-8}$  mbar.

## Résultats de nos analyses via XPS (Spectrométrie photoélectronique X)

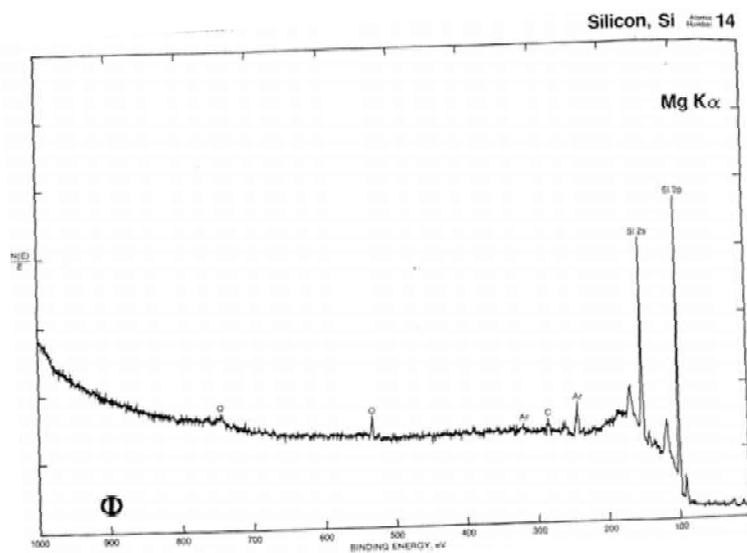
En utilisant le XPS on obtient les courbes suivantes



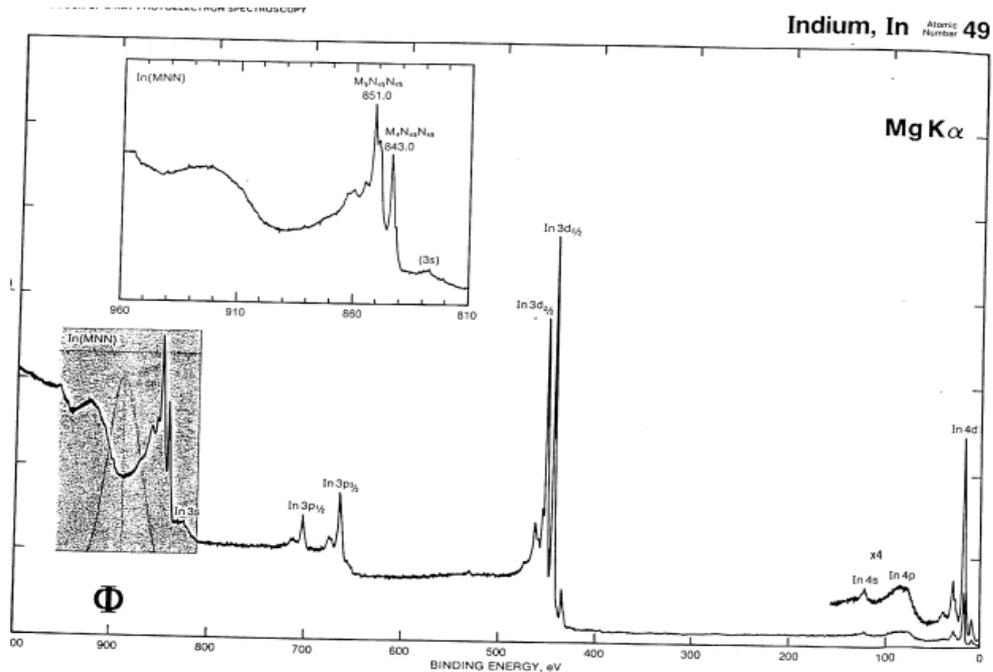
**Figure 11 : Graphe XPS d'analyse de nos plaques de Silicium**



**Figure 12 : Graphe d'oxygène**



**Figure 13: graphe de référence du Silicium**



**Figure 14 : graphe de référence d'indium**

### *Résultats obtenus de nos analyses XPS*

Après nos analyses via la XPS, on remarque que le graphe obtenu est le même que celui de référence de Silicium cela implique qu'on ne trouve pas de nanostructures d'indium sur nos plaques de références.

De ce fait on peut dire que nos nanostructures ne s'évaporent pas au moins jusqu'à atteindre 260°C, donc on n'aura pas d'évaporation donc pas danger de contamination pour les autres échantillons dans le système Atomic Layer Deposition.

Pour plus argumenter notre démonstration des chercheurs CNRS ont appuyé notre analyse en précisant qu'à 200°C, les nanostructures d'indium seront à l'état liquide car la température de fusion est  $T_f(\text{In})=154^\circ\text{C}$ . A cette température la pression de vapeur est faible et il n'y a donc pas de craintes d'avoir une possible contamination de notre réacteur au moins jusqu'à 450°C.

Typiquement, il faudrait chauffer l'indium au moins à 650°C pour avoir des pressions de vapeur voisines de  $10^{-8}$  torr.

Avec ces résultats on a eu l'accès à l'Atomic Layer Deposition (ALD).

### **3.2.3 L'Atomic Layer Deposition (ALD)**

La deuxième étape était l'utilisation de l'Atomic Layer Deposition dans le but de déposer de l'oxyde de l'Aluminium  $Al_2O_3$  sur nos nanostructures d'indium afin de les couvrir et obtenir de l'oxyde d'indium  $In_2O_3$ .

Après un dépôt de 170 cycles avec de l'Atomic Layer Deposition, il nous a fallu savoir combien de cycles correspondait à combien de nanomètres d'alumine déposé. Pour cela on a opté pour une étude ellipsométrique qui nous a donné l'épaisseur de la couche déposée.

### **3.2.4 Etude Ellipsométrique**

Comme quatrième étape on a eu recours à l'ellipsométrie qui est une technique optique d'analyse de surface fondée sur la mesure du changement de l'état de polarisation de la lumière après réflexion sur une surface plane.

Après le dépôt d'alumine nos échantillons ont été envoyés à l'école Centrale de Lyon pour les mesures et les ellipsométriques qui nous permettraient de connaître nos épaisseurs.

Après avoir fait le calcul, on a trouvé une épaisseur qui varie entre 12,4nm et 13nm et cette petite variation est due à la présence des nanostructures d'indium sur nos plaques. Soit 1 Cycle correspond à 0,076 nm.

### **3.2.5 Réalisation des contacts avec Evaporation par canon d'électrons**

L'une des dernières étapes intervenant dans le procédé de fabrication d'un circuit intégré est la métallisation. Elle consiste à déposer sur la surface de la plaquette une couche conductrice qui sera ensuite gravée pour définir les contacts qui permettent de relier le circuit intégré au monde extérieur. Pour cela on a utilisé des masques avec des plots de 500um et 1000um

### **3.2.6 Conclusion**

Après toutes ces études et tests réalisés on a pu démontrer que l'indium ne représente aucun danger pour les utilisateurs de l'équipe Nanolyon.

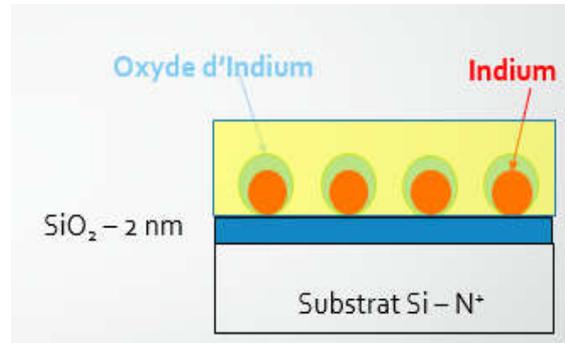
De ce fait l'accès aux différentes machines était assuré.

### 3.3 Procédé final

Après avoir reçu les plaques avec 2 nm de  $\text{SiO}_2$ , nous avons procédé à la constitution de nos mémoires ReRAM comme suit :

- Dépôt de 25 Cycles d' $\text{Al}_2\text{O}_3$  ce qui correspondait à (2-3nm) en calculant l'épaisseur avec l'ellipsomètre.

Avant la réalisation des contacts on a déposé en utilisant l'évaporation par canon d'électrons une couche d'accrochage qui est une couche de Chrome d'épaisseur 5nm avec une couche d'or de 200 nm d'épaisseur pour assurer les interconnexions.



- Réalisation des contacts métalliques par évaporation par canon d'électrons

- Pour réaliser les contacts métalliques on a utilisé un masque avec des Plots de 500 $\mu\text{m}$  et 1000 $\mu\text{m}$

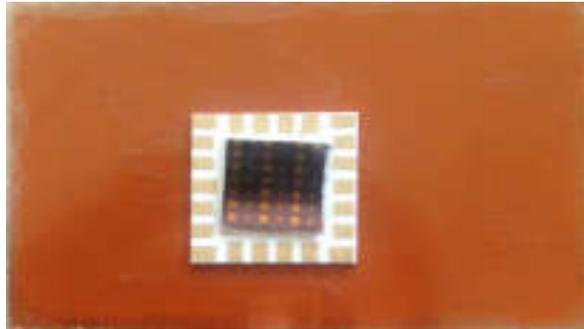
- Comme dernière étape on a procédé à un recuit à 400°C sous Azote ( $\text{N}_2$ ) pendant 10 min afin d'éliminer les diffusions entre les différentes couches déposées.



**Figure 15: Nouvelles plaques constituées de : Silicium + 2nm de  $\text{SiO}_2$  + nanostructures d'indium**

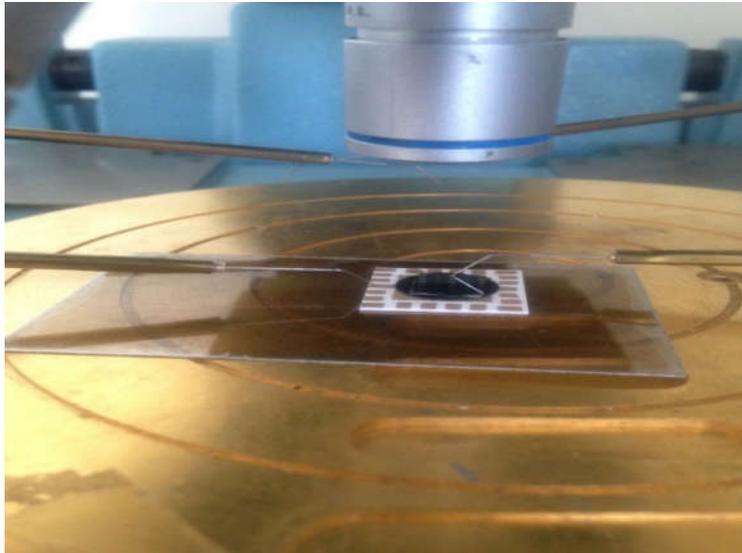
### **3.3.1 Mesures Electriques**

Après la Constitution de nos dépôts sur les plaques avec 2nm d'épaisseur de Silice ( $\text{SiO}_2$ ), on a entamé les caractérisations électriques de nos mémoires ReRAM à l'aide du Keithley 4200.



**Figure 16: Mémoire réalisée**

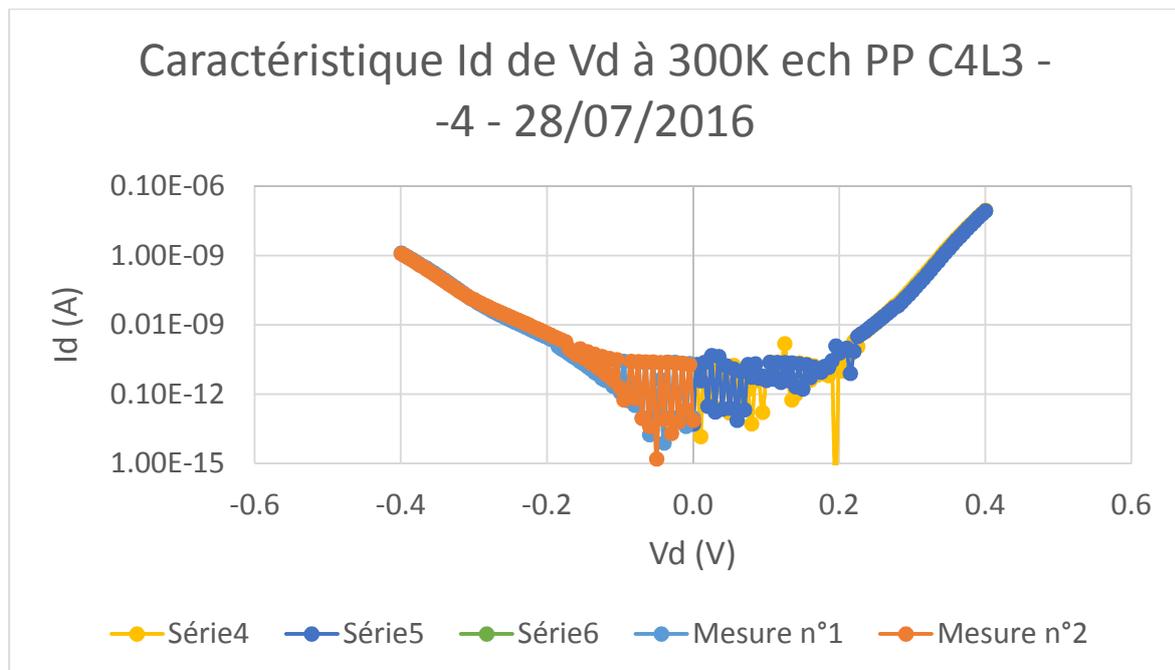
Afin d'utiliser le Keithley 4200, il nous a fallu avoir deux pointes donc deux électrodes une de référence qu'on l'a construite en collant notre ReRAM sur une plaque conductrice avec de la laque d'argent et l'électrode supérieure constituée avec l'évaporation par canon d'électrons à travers les plots construits en utilisant les masques.



**Figure 17: Utilisation du Keitley 420**

En balayant les tensions de [-4V, +4V] sur les contacts de 500um on obtient le graphe ci-dessous.

On remarque une bonne reproductibilité des courbes sauf que les courbes obtenues représentent un effet tunnel avec un courant qui reste potentiellement faible qui est de l'ordre de  $10^{-9}$  A, et que la tension de seuil reste constante à 3V.



**Figure 18 : Graphe de mesure d'Id en fonction de Vd d'un plot de 500 um à 300 K**

La réussite de ce stage se résume dans le graphe ci-dessous puisqu'on observe clairement nos switch résistifs en appliquant des tensions différentes et donc un changement d'état entre un état de haute résistance (HRS) qui représente l'état 0 et l'état de basse résistance (LRS) qui représente l'état 1.

● En appliquant une tension de 4V pendant une minute la tension de seuil varie entre 3V et 3,5V et notre mémoire est toujours à l'état de haute résistivité (HRS) qui est l'état 0 et le switch résistif n'est pas observé.

Une fois on applique une tension de 4V pendant 5 minutes notre switch est observé donc l'écriture dans la mémoire se réalise (la fonction SET) et on passe de l'état haute résistivité (HRS) qui est l'état 0 à l'état de basse résistivité (LRS) qui représente l'état 1 tout en atteignant un courant de  $10^{-5}$  A qui est assez élevé.

Il faut aussi noter que la différence entre le courant de l'état de basse résistivité et celle de haute résistivité est de l'ordre de  $I_{on/off}=10^5$  A.

● Cependant en allant de 0V à -4V la fonction Reset (effacement de la mémoire) se réalise à  $V = -3V$  et donc le basculement de l'état 1 vers l'état 0 en atteignant un courant de  $10^{-5}$  A avant le basculement.

Enfin pour s'assurer que notre mémoire est bien effacée on applique une tension de -4V pendant 5 minutes.

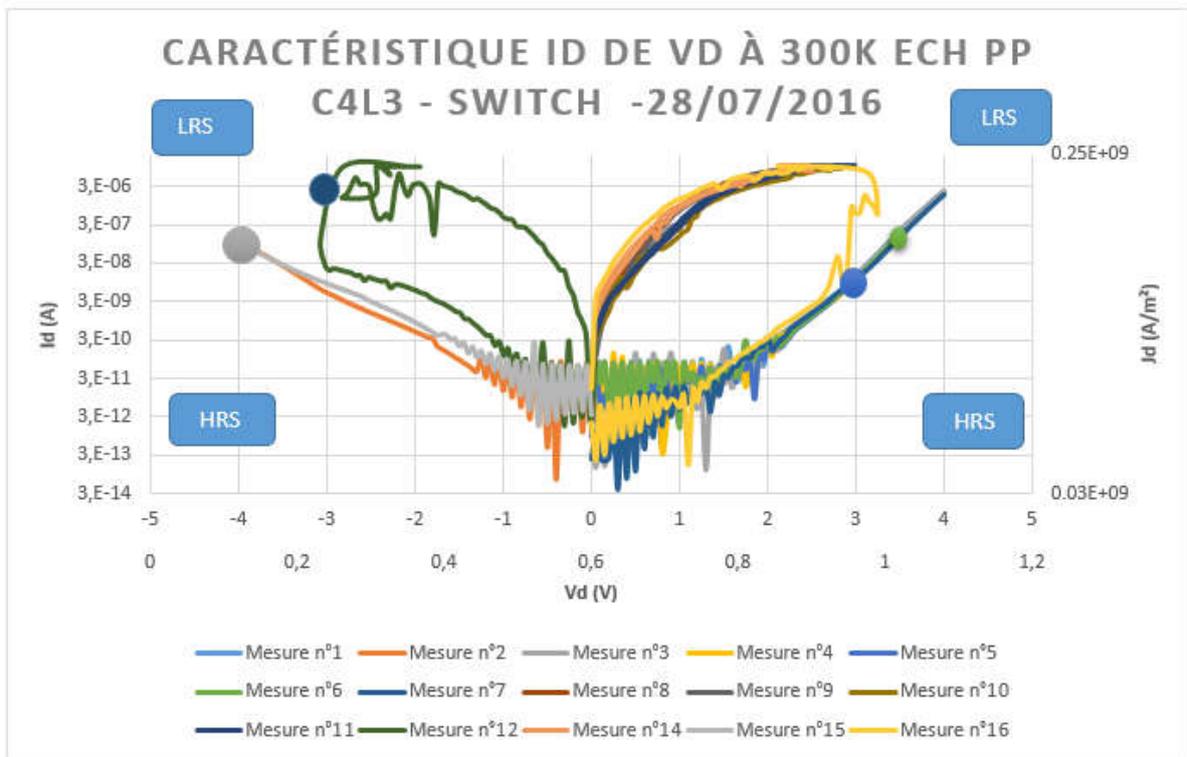


Figure 19: Graphe de mesure d'Id en fonction de Vd d'un plot de 500 um à 300 K

### 3.3.2 Conclusion

A travers ce stage de 4 mois au sein de l'INL, on a pu réaliser des mémoires résistives avec des nanostructures d'indium opérationnelles où on a pu distinguer et observer les deux différents états qui représentent les états 0 et l'état 1 aussi bien que le basculement d'un état vers un autre avec les caractéristiques suivantes :

$$I_{on/off} = 10^5 A$$

$$V_{Set} = 4V$$

$$V_{Reset} = -3V$$

Pendant ce stage, nous avons eu également la chance de réaliser des transistors MOS dans un de plus grands centres de formation en France qui est le CIME de Grenoble.

### **3.4 Présentation du centre interuniversitaire de Microélectronique et Nanotechnologie**

Le CIME Nanotech fait partie d'un réseau national de 12 centres de formation regroupés au sein de la Coordination Nationale de Formation en Microélectronique (CNFM).

Pour répondre aux besoins d'enseignement et de recherche, l'INP de Grenoble et l'Université Joseph Fourier ont mis en place autour du CIME Nanotech un ensemble de plateformes tournées vers les micros, nano et biotechnologies, l'hyperfréquence et l'optique guidée, les objets communicants, les microsystemes et les capteurs.

Cet ensemble, coordonné aux plateformes de recherche du site, offre un service unique et met à la disposition des filières d'enseignements et des laboratoires de recherche des moyens et des équipements de toute première qualité [11].

#### **3.4.1 Introduction**

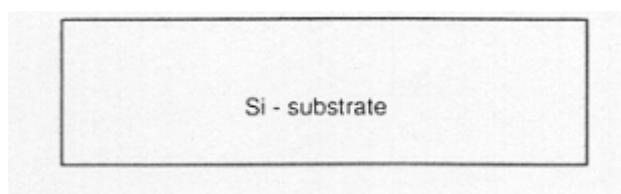
La technologie CMOS est une technologie planaire destinée au développement des systèmes à très haute échelle d'intégration. Grâce aux propriétés des transistors MOS complémentaires (notées CMOS pour Complementary Metal Oxide Silicon), cette technologie permet de réaliser des circuits à faible coût et à basse consommation. Cet avantage lui a permis d'être reconnue comme la technologie de pointe la plus avancée et la plus maîtrisée dans le domaine de la micro-électronique.

#### **3.4.2 Réalisation du transistor MOS**

Comme je suis amenée à travailler en salle blanche et pour apprendre toutes les étapes de réalisation d'un composant, j'ai été amené à suivre une formation sur certaines étapes technologiques avant de pouvoir les réaliser moi-même.

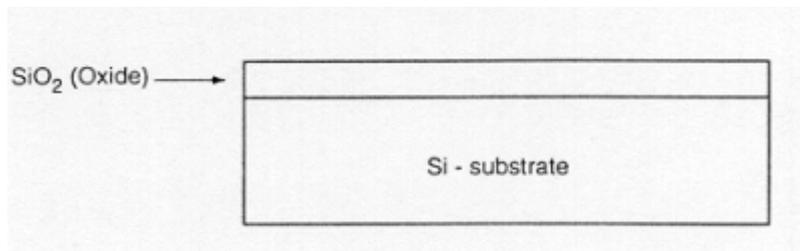
Ces étapes se déclinent comme suit :

#### **3.4.3 Plaquette vierge nettoyée**



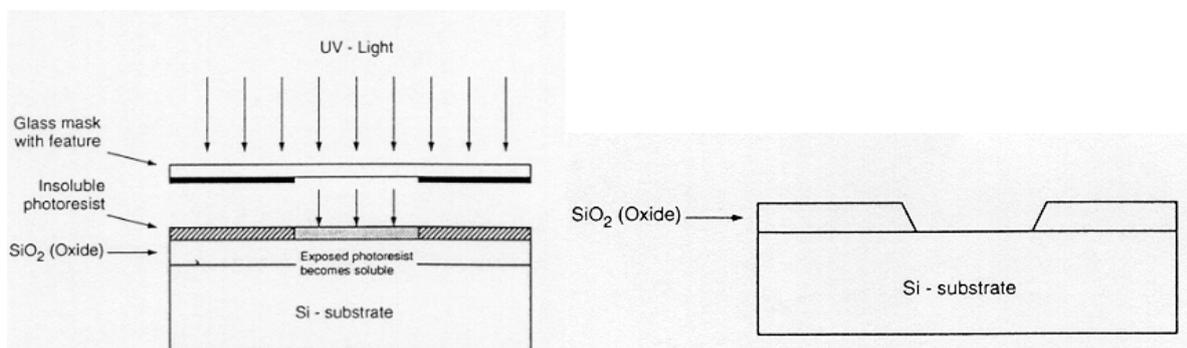
### 3.4.4 Oxydation humide

Cette oxydation permet de former du SiO<sub>2</sub> épais qui sert de masque pour les dopages de source et de drain.



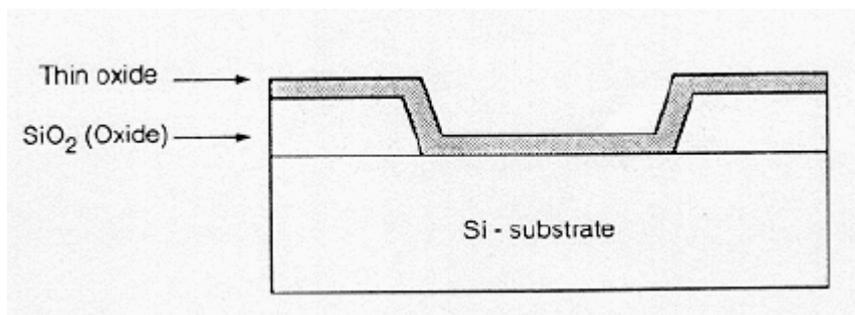
### 3.4.5 Photolithographie et gravure : ouverture zones actives

Avec cette ouverture de l'oxyde on définit l'emplacement de l'oxyde tunnel



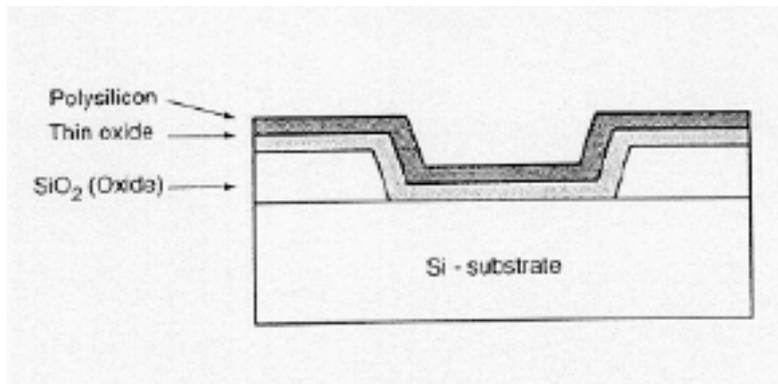
### 3.4.6 Oxydation sèche

Cette oxydation sèche permet d'obtenir l'oxyde tunnel du transistor MOS.



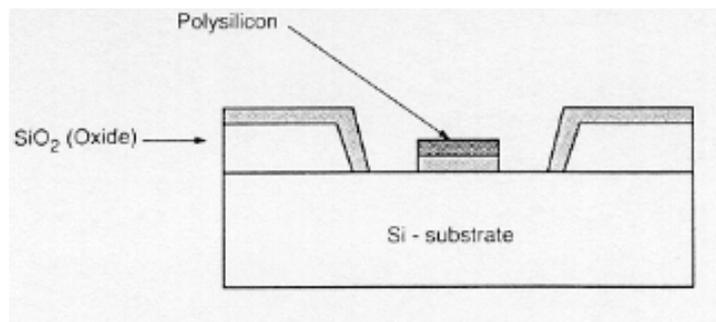
### 3.4.7 Dépôt du Poly Si

Cette étape consiste à déposer le polysilicium de la grille du transistor MOS.



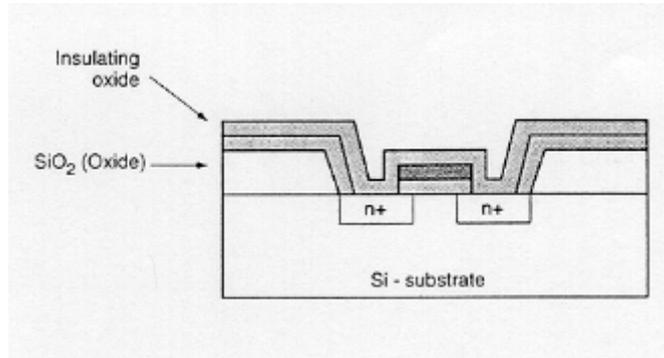
### 3.4.8 Gravure du polysilicium et du $\text{SiO}_2$

La gravure de polysilicium et de l'oxyde tunnel permet de définir la taille du canal du transistor et de définir les emplacements de la source et le drain.



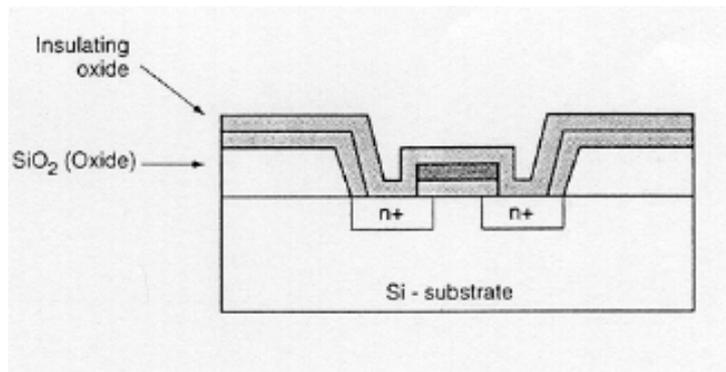
### 3.4.9 Implantation Source et Drain

Dans cette étape, la diffusion du phosphore permet de doper les zones de source et de drain N<sup>++</sup>.



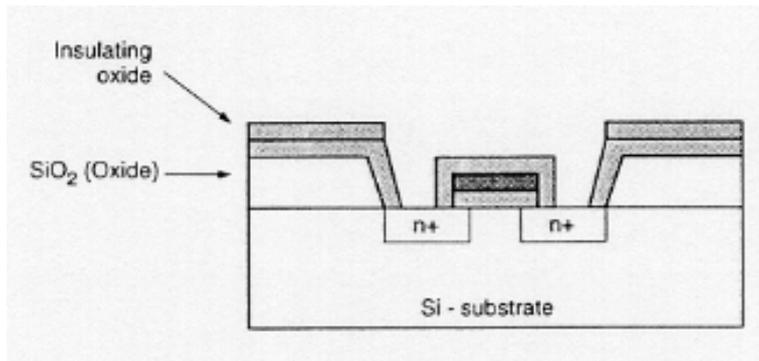
### 3.4.10 Dépôt SiO<sub>2</sub>

L'étape de dépôt de SiO<sub>2</sub> permet de former le masque de protection pour la métallisation en dernière étape.



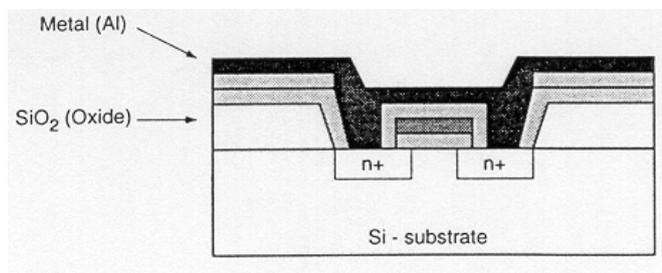
### 3.4.11 Ouverture des contacts

Une étape de lithographie est nécessaire pour ouvrir à certains endroits la silice de protection.



### 3.4.12 La métallisation

L'une des dernières étapes intervenant dans le procédé de fabrication d'un circuit intégré est la métallisation. Elle consiste à déposer sur la surface de la plaquette une couche conductrice qui sera ensuite gravée pour définir les contacts (qui permettent de relier le circuit intégré au monde extérieur) et les interconnexions (qui relient certains composants entre eux). La métallisation intervenant en fin de fabrication, la surface de la plaquette est très irrégulière (en raison de toutes les étapes précédentes, il existe de nombreuses marches d'oxyde de plusieurs milliers d'Angströms, des trous profonds, réalisés pour les prises de contact, ...). Le dépôt métallique, pour recouvrir parfaitement toute la surface, doit donc être relativement épais, de l'ordre de 5000 à 8000Å.



### 3.4.13 Gravure métal, polysilicium et SiO<sub>2</sub>

Finalement, dans la dernière étape, la gravure du métal, du polysilicium et de la silice permet d'obtenir les contacts métalliques, et d'isoler électriquement chaque zone du transistor : grille, source et drain.

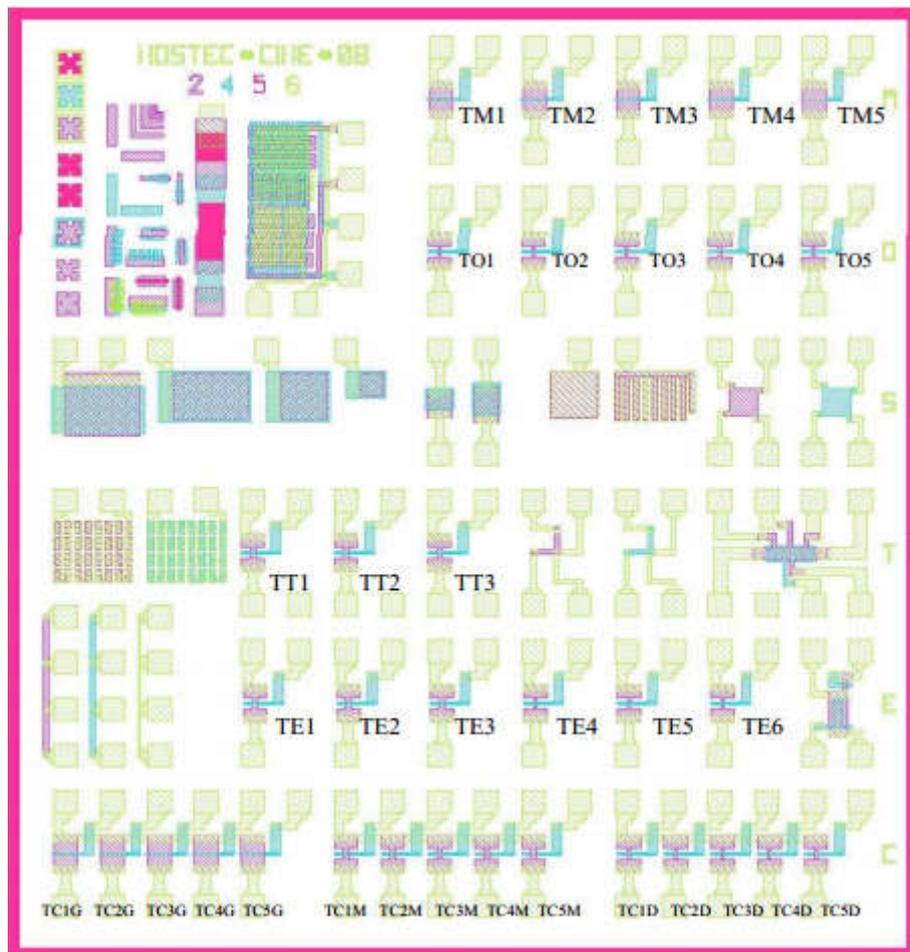
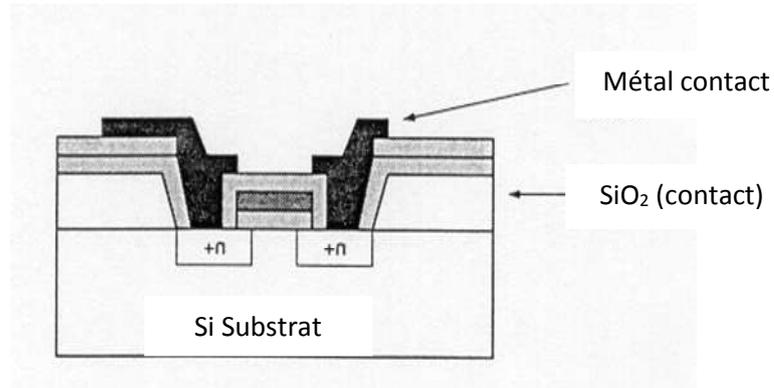
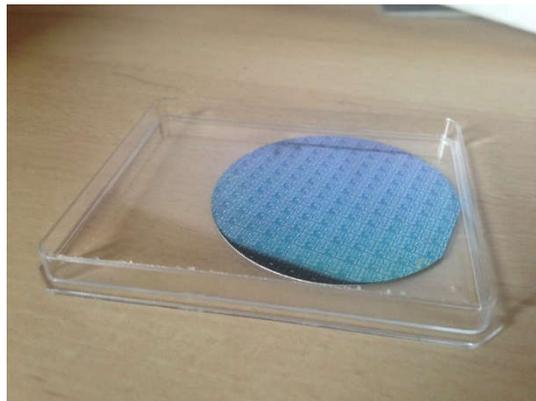


Figure 20 : Superposition de tous les niveaux – Circuit finalisé

L'ensemble des transistors réalisés: Sur une puce de 2 pouces on a pu avoir 34 transistors de différentes largeurs et longueur du canal.



**Figure 21:Résultat final**