

Chapitre 5

Implémentation finale : résultats et analyse

Le détail du réseau test est présenté dans ce chapitre. Par la suite, les résultats obtenus sont présentés et analysés. Suite à cette analyse, certaines conclusions ont été tirées qui ont mené à une version modifiée du réseau test. Les résultats obtenus avec ce nouveau réseau sont également présentés et analysés. Finalement, une analyse matérielle du simulateur implanté dans le FPGA est faite ainsi qu'une analyse temporelle du cycle d'activité des deux sous-systèmes de simulation.

5.1 Réseau test implanté dans le FPGA

Le réseau test utilisé pour valider le simulateur à pas multiple est illustré à la figure 5.1. Le réseau est scindé en deux parties. La première, qui contient l'électronique de puissance et le système de commande à modulation de largeur d'impulsion, est simulée en temps réel dans le noyau de simulation à 5 μ s tandis que la seconde partie, qui contient le reste du réseau, soit la partie sans commutation, est simulée en temps réel à l'aide du PPC embarqué avec un pas de calcul de 50 μ s.

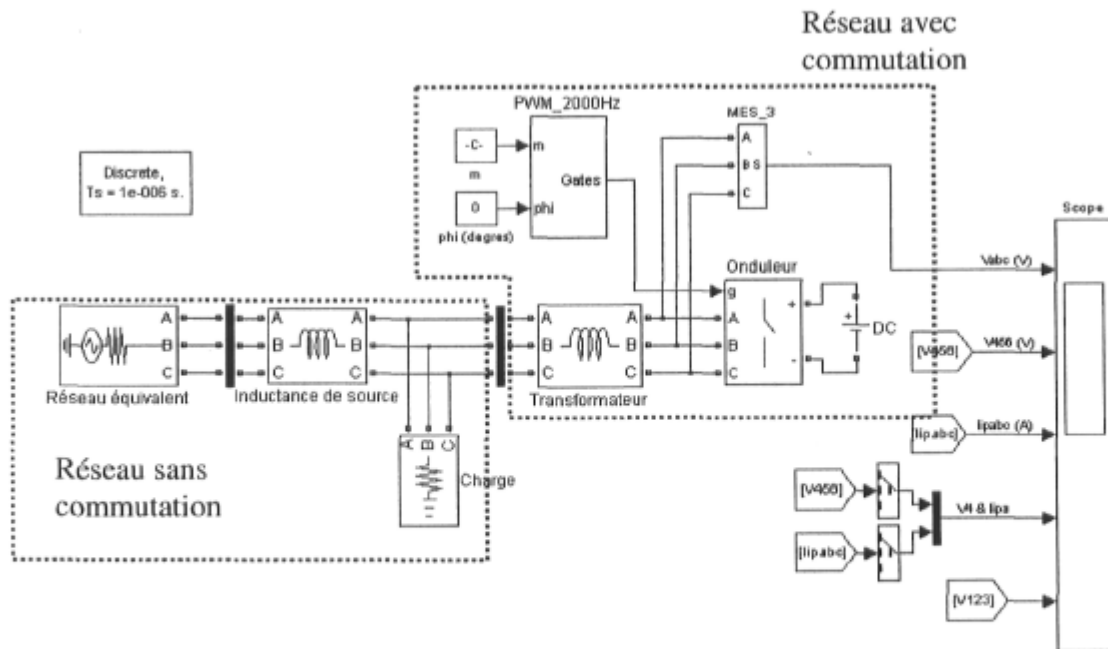


Figure 5.1 Réseau test simulé à pas multiple.

5.1.1 Réseau avec commutation

Le réseau simulé dans le noyau de simulation est illustré à la figure 5.2. Le lien avec la partie lente est réalisé avec une source triphasée qui prend la valeur des tensions aux points de découplage. L'onduleur comprend six interrupteurs R_{on}/R_{off} disposés sur 3 bras. Sur chaque bras, les interrupteurs fonctionnent de manière complémentaire. Les interrupteurs sont commandés par un système à modulation de largeur d'impulsion qui opère à 2 kHz. Le transformateur est modélisé uniquement par son inductance de fuite.

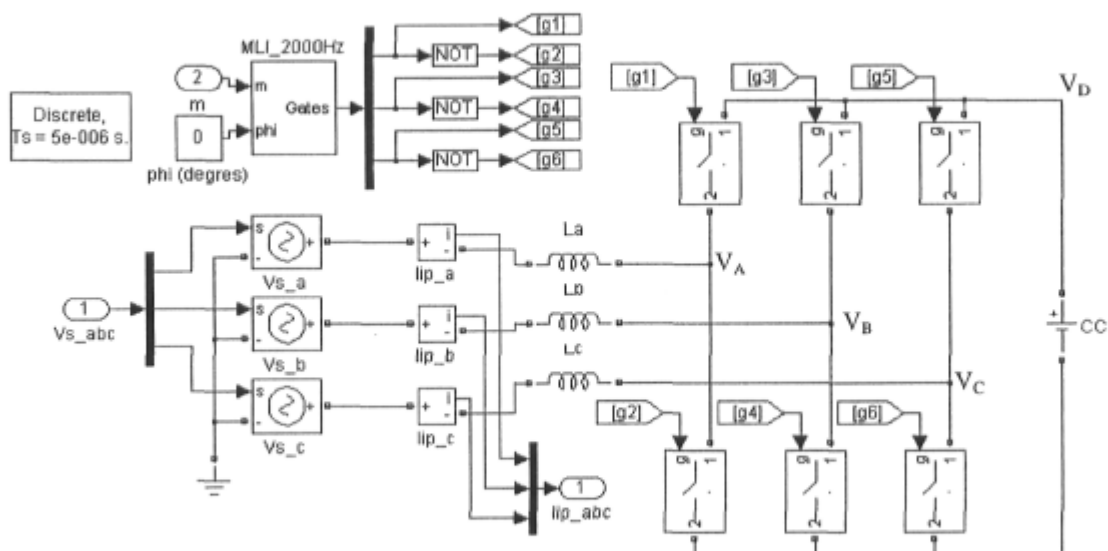


Figure 5.2 Réseau simulé dans la partie rapide du simulateur.

Normalement, un condensateur se trouve du côté continu de ce genre de montage. La tension aux bornes de ce dernier est maintenue constante grâce à un asservissement qui fait varier la phase des signaux sinusoïdaux utilisés pour la commande des interrupteurs. Puisque le système de régulation est relativement complexe, il a été jugé non essentiel dans le cadre de ce projet de l'implémenter. Ainsi, le système fonctionne en boucle ouverte mais on assume un système de régulation de tension du côté continu du convertisseur d'où l'utilisation d'une source de tension continue au lieu du condensateur habituellement utilisé. De plus, l'utilisation d'une source de tension continue élimine un nœud du système. Ainsi, tous les interrupteurs sont placés entre le point milieu d'un bras et le nœud V_D (voir figure 5.2). Donc en fonctionnement normal, il y a toujours un interrupteur en conduction et un autre bloqué entre le milieu d'un bras (V_A , V_B ou V_C) et le point V_D . Au niveau de la matrice d'admittance il n'y a donc pas de changement si c'est l'interrupteur du haut ou du bas qui est en conduction pour un bras donné. La distinction entre les divers états des interrupteurs est faite au niveau de l'injection de courant où la valeur de la source de tension est multipliée par l'admittance équivalente de l'interrupteur du bas (voir (5-2)). Ainsi, le système est à topologie fixe mais à injection variable ce qui implique qu'il n'est pas nécessaire de calculer et de stocker l'inverse de 2^k matrices d'admittance, où k est le nombre d'interrupteurs. Cela est possible uniquement à cause de l'hypothèse simplificatrice de la source de tension continue.

Tous les paramètres du réseau avec commutation se trouvent dans le tableau 5.1 ci-dessous. On y trouve aussi les bases utilisées pour la notation p.u. qui est utilisée dans le noyau de simulation.

Tableau 5.1 Paramètres du réseau avec commutation

Paramètre	Valeur
$S_{\text{base } 3\phi}$	5 kVA
$V_{\text{base ligne-ligne}}$	300 V
I_{base}	9.6225 A
Z_{Base}	18 Ω
T_S	5 μs
V_{CC}	240 V
L_A, L_B, L_C	1 mH
R_{on}	0.1 Ω
R_{off}	100 k Ω

Finalement, le système d'équation représentant le réseau avec commutation est donné en (5-1) et (5-2), sous forme symbolique, et en (5-3) et (5-4), sous forme numérique en notation p.u. et en tenant compte de la notation utilisée dans le noyau de simulation, de la valeur du pas de calcul utilisé, soit 5 μ s, et de la méthode d'intégration utilisée, Euler arrière. Les tensions nodales sont identifiées à la figure 5.2, G_X correspond à la conductance de la résistance X (pour les inductances, c'est la conductance de la résistance équivalente) tandis que g_1 à g_6 correspondent aux signaux de gâchette des interrupteurs. Ces derniers ont une valeur de un pour un interrupteur en conduction et une valeur nulle pour un interrupteur bloqué.

$$\begin{bmatrix} V_A(n) \\ V_B(n) \\ V_C(n) \\ V_D(n) \end{bmatrix} = \begin{bmatrix} G_{on} + G_{off} + G_{LA} & 0 & 0 & -(G_{on} + G_{off}) \\ 0 & G_{on} + G_{off} + G_{LB} & 0 & -(G_{on} + G_{off}) \\ 0 & 0 & G_{on} + G_{off} + G_{LC} & -(G_{on} + G_{off}) \\ -(G_{on} + G_{off}) & -(G_{on} + G_{off}) & -(G_{on} + G_{off}) & 3 \cdot (G_{on} + G_{off}) \end{bmatrix}^{-1} I(n) \quad (5-1)$$

$$I(n) = \begin{bmatrix} hist_{LA}(n-1) + \frac{V_{SA}(n)}{R_L} - g_1(n) \cdot \frac{V_{CC}}{R_{off}} - g_2(n) \cdot \frac{V_{CC}}{R_{on}} \\ hist_{LB}(n-1) + \frac{V_{SB}(n)}{R_L} - g_3(n) \cdot \frac{V_{CC}}{R_{off}} - g_4(n) \cdot \frac{V_{CC}}{R_{on}} \\ hist_{LC}(n-1) + \frac{V_{SC}(n)}{R_L} - g_5(n) \cdot \frac{V_{CC}}{R_{off}} - g_6(n) \cdot \frac{V_{CC}}{R_{on}} \\ (g_1(n) + g_3(n) + g_5(n)) \cdot \frac{V_{CC}}{R_{off}} + (g_2(n) + g_4(n) + g_6(n)) \cdot \frac{V_{CC}}{R_{on}} \end{bmatrix} \quad (5-2)$$

$$\begin{bmatrix} V_A(n) \\ V_B(n) \\ V_C(n) \\ V_D(n) \end{bmatrix} = \begin{bmatrix} 3.7074 & 3.7019 & 3.7019 & 3.7037 \\ 3.7019 & 3.7074 & 3.7019 & 3.7037 \\ 3.7019 & 3.7019 & 3.7074 & 3.7037 \\ 3.7037 & 3.7037 & 3.7037 & 3.7056 \end{bmatrix} I(n) \quad (5-3)$$

$$I(n) = \begin{bmatrix} hist_{LA}(n-1) + 0.0900 \cdot V_{SA}(n) - g_1(n) \cdot 1.7643e-004 - g_2(n) \cdot 176.3633 \\ hist_{LB}(n-1) + 0.0900 \cdot V_{SB}(n) - g_3(n) \cdot 1.7643e-004 - g_4(n) \cdot 176.3633 \\ hist_{LC}(n-1) + 0.0900 \cdot V_{SC}(n) - g_5(n) \cdot 1.7643e-004 - g_6(n) \cdot 176.3633 \\ [g_1(n) + g_3(n) + g_5(n)] \cdot 1.7643e-004 + [g_2(n) + g_4(n) + g_6(n)] \cdot 176.3633 \end{bmatrix} \quad (5-4)$$

5.1.2 Réseau sans commutation

Le réseau sans commutation est composé d'un équivalent réseau, modélisé par une source triphasée équilibrée en séquence directe avec une impédance résistive et inductive, et d'une charge résistive. Cette charge n'est pas essentielle mais elle permet d'amortir le système. Ce dernier est illustré à la figure 5.3. En parallèle avec la charge se trouvent les sources de courant commandées permettant le transfert entre les deux parties du réseau global.

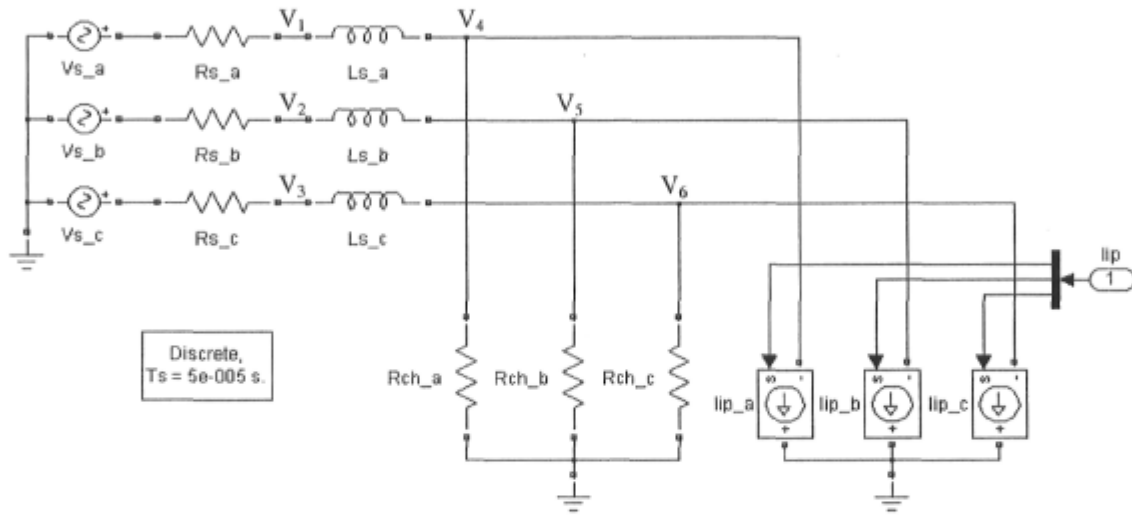


Figure 5.3 Réseau simulé dans le PPC.

Cette partie est simulée à l'aide du PPC embarqué. Tous les paramètres figurent au tableau 5.2. Les bases pour la notation p.u. sont les mêmes que pour la partie rapide, elles figurent au tableau 5.1. Le système d'équations représentant le réseau sans commutation est donné en (5-5) et (5-6) de manière symbolique tandis que les valeurs numériques sont données en (5-7) et (5-8). Les valeurs numériques ont été obtenues en utilisant la méthode trapézoïdale, avec un pas de calcul de $50 \mu\text{s}$ ainsi que les bases mentionnées précédemment.

Tableau 5.2 Paramètres du réseau sans commutation

Paramètre	Valeur
T_S	50 μ s
V_S	80 V crête
R_{Sa}, R_{Sb}, R_{Sc}	0.1 Ω
L_{Sa}, L_{Sb}, L_{Sc}	0.5 mH
$R_{cha}, R_{chb}, R_{chc}$	300 Ω

$$\begin{bmatrix} V_1(n) \\ V_2(n) \\ V_3(n) \\ V_4(n) \\ V_5(n) \\ V_6(n) \end{bmatrix} = \begin{bmatrix} G_{RS} + G_{LS} & 0 & 0 & -G_{LS} & 0 & 0 \\ 0 & G_{RS} + G_{LS} & 0 & 0 & -G_{LS} & 0 \\ 0 & 0 & G_{RS} + G_{LS} & 0 & 0 & -G_{LS} \\ -G_{LS} & 0 & 0 & G_{LS} + G_{ch} & 0 & 0 \\ 0 & -G_{LS} & 0 & 0 & G_{LS} + G_{ch} & 0 \\ 0 & 0 & -G_{LS} & 0 & 0 & G_{LS} + G_{ch} \end{bmatrix}^{-1} I(n) \quad (5-5)$$

$$I(n) = \begin{bmatrix} \frac{V_{SA}(n)}{R_S} - hist_{LSA}(n-1) \\ \frac{V_{SB}(n)}{R_S} - hist_{LSB}(n-1) \\ \frac{V_{SC}(n)}{R_S} - hist_{LSC}(n-1) \\ hist_{LSA}(n-1) - I_{IPA}(n) \\ hist_{LSB}(n-1) - I_{IPA}(n) \\ hist_{LSC}(n-1) - I_{IPA}(n) \end{bmatrix} \quad (5-6)$$

$$\begin{bmatrix} V_1(n) \\ V_2(n) \\ V_3(n) \\ V_4(n) \\ V_5(n) \\ V_6(n) \end{bmatrix} = \begin{bmatrix} 0.0056 & 0 & 0 & 0.0052 & 0 & 0 \\ 0 & 0.0056 & 0 & 0 & 0.0052 & 0 \\ 0 & 0 & 0.0056 & 0 & 0 & 0.0052 \\ 0.0052 & 0 & 0 & 1.0465 & 0 & 0 \\ 0 & 0.0052 & 0 & 0 & 1.0465 & 0 \\ 0 & 0 & 0.0052 & 0 & 0 & 1.0465 \end{bmatrix} I(n) \quad (5-7)$$

$$I(n) = \begin{bmatrix} 180 \cdot V_{SA}(n) - hist_{LSA}(n-1) \\ 180 \cdot V_{SB}(n) - hist_{LSB}(n-1) \\ 180 \cdot V_{SC}(n) - hist_{LSC}(n-1) \\ hist_{LSA}(n-1) - I_{IPA}(n) \\ hist_{LSB}(n-1) - I_{IPA}(n) \\ hist_{LSC}(n-1) - I_{IPA}(n) \end{bmatrix} \quad (5-8)$$

5.2 Validation des résultats à l'aide de *SimPowerSystems*

Afin de valider le fonctionnement du simulateur à pas multiple, deux réseaux de validation ont été réalisés avec le logiciel de simulation en temps différé *SimPowerSystems* (SPS). SPS est un module *Simulink* permettant la simulation de systèmes de puissance avec la méthode des variables d'état.

5.2.1 Simulation de précision avec un pas de calcul de 1 μ s

Le premier réseau de validation est directement le réseau illustré à la figure 5.1. Il n'y a pas de découplage entre les parties lente et rapide et la discrétisation a été réalisée avec un pas de calcul de 1 μ s. Les calculs sont effectués en virgule flottante à double précision. Les résultats provenant de ce réseau de référence portent la mention « Ius ».

5.2.2 Simulation de validation du fonctionnement du système à pas multiple

Le second réseau de référence, dont les résultats portent la mention « dcpld », est illustré à la figure 5.4. La partie rapide est simulée à l'aide d'une *S-function* (bloc « noyau de simulation » à la figure 5.4) ce qui permet l'utilisation d'un pas de calcul différent pour la discrétisation. Le contenu de la *S-function* est illustré à la figure 5.5. Le réseau illustré à la figure 5.4 est discrétisé avec un pas de calcul de 50 μ s tandis que la *S-function* opère avec un pas de calcul de 5 μ s.

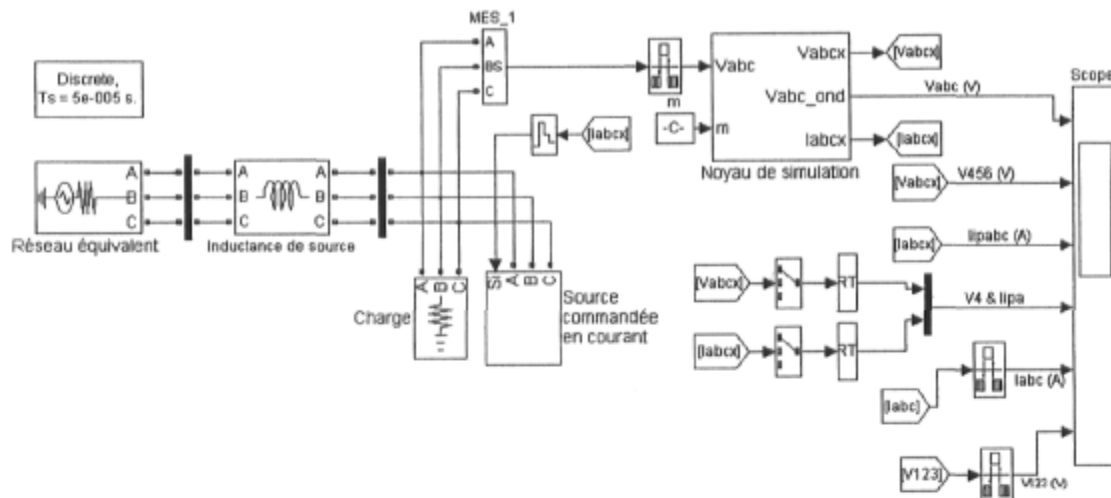


Figure 5.4 Implémentation SPS du réseau sans commutation.

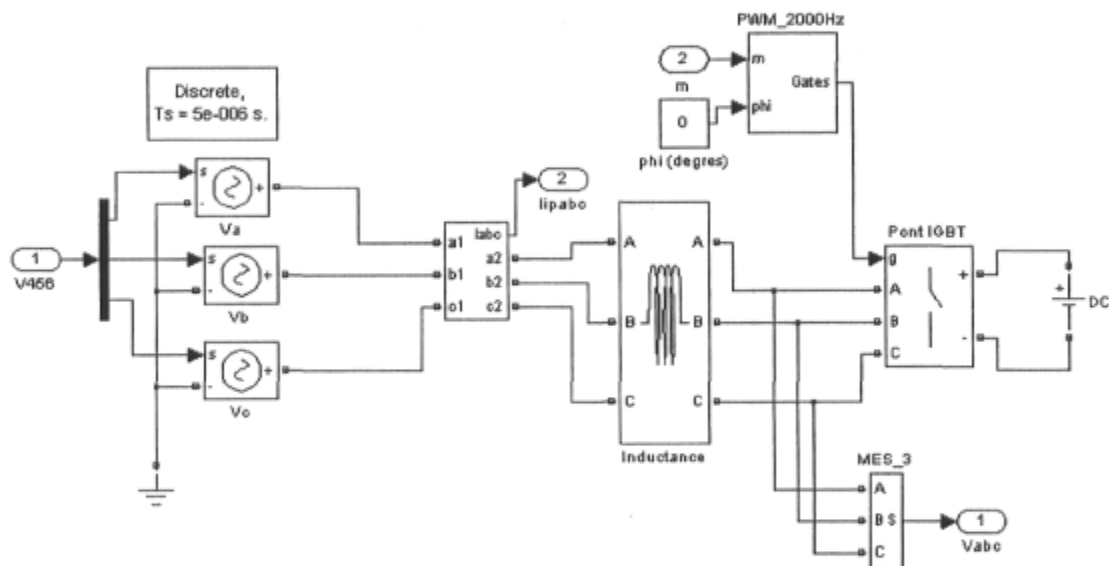


Figure 5.5 Implémentation SPS du réseau avec commutation.

5.3 Résultats comparés pour le réseau test

Les résultats suivants ont été obtenus avec des indices de modulation de 0.9 et de 0.3, illustrés aux figures 5.6 à 5.10 et 5.11 à 5.15 respectivement. Les résultats du simulateur temps réel à pas multiple sont comparés à ceux des deux réseaux de validation SPS.

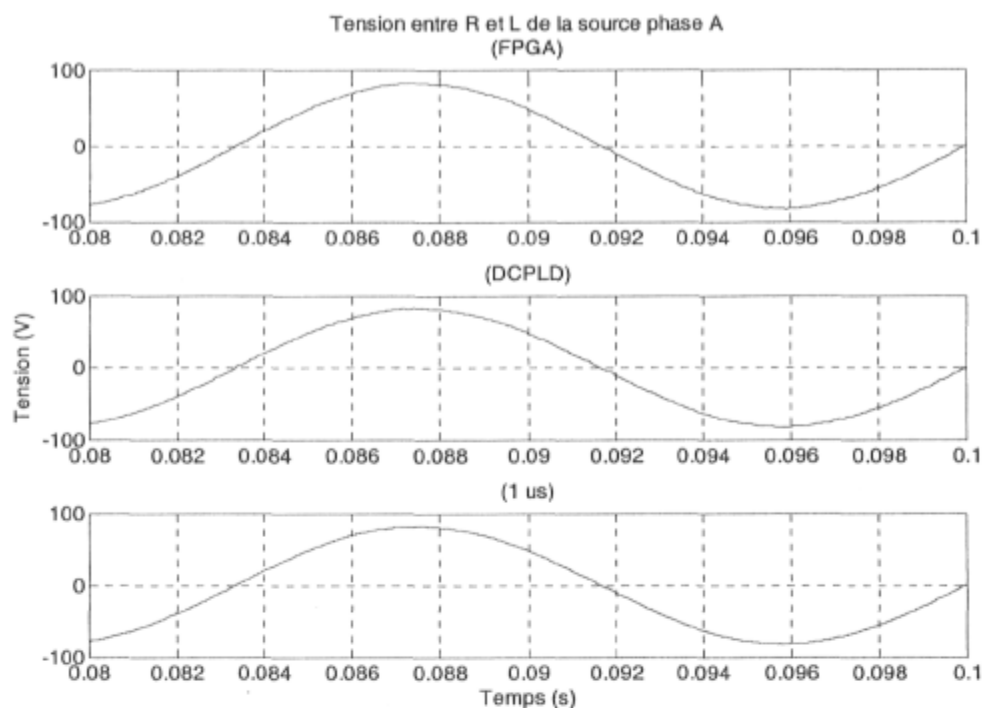


Figure 5.6 Comparaison de la tension V_1 entre le FPGA et les réseaux SPS ($m=0.9$).

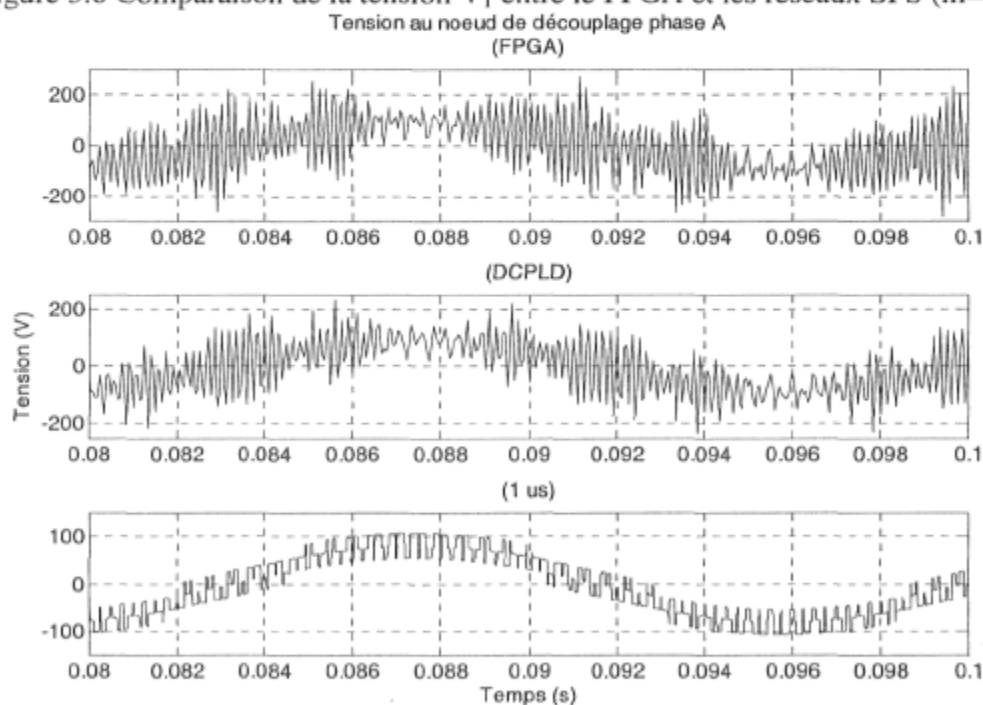


Figure 5.7 Comparaison de la tension V_4 entre le FPGA et les réseaux SPS ($m=0.9$).

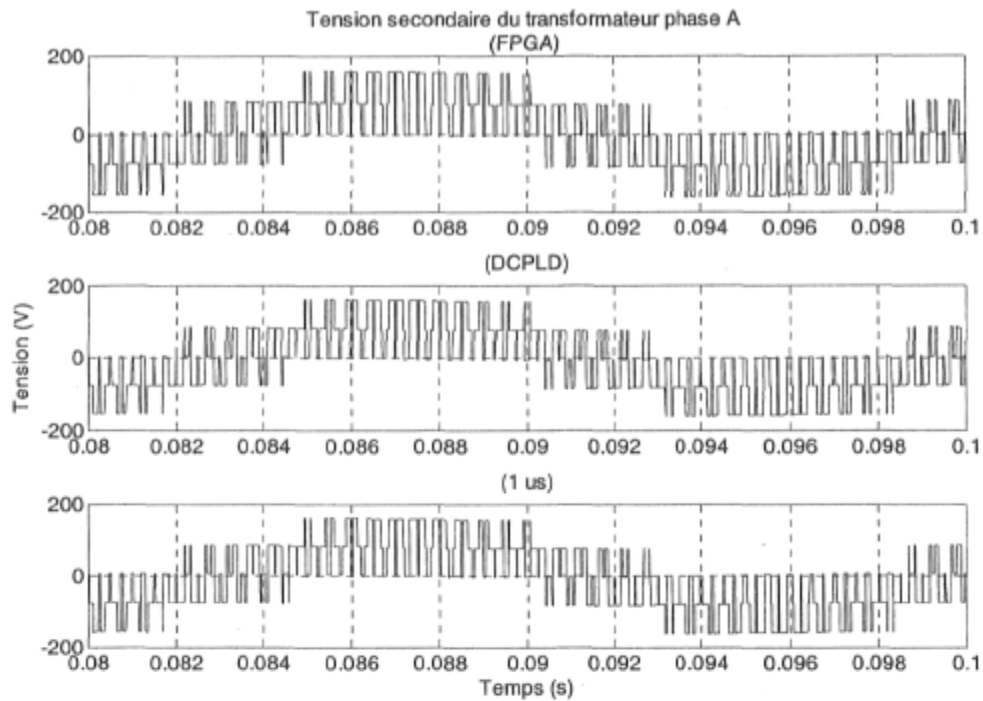


Figure 5.8 Comparaison de la tension V_A entre le FPGA et les réseaux SPS ($m=0.9$).

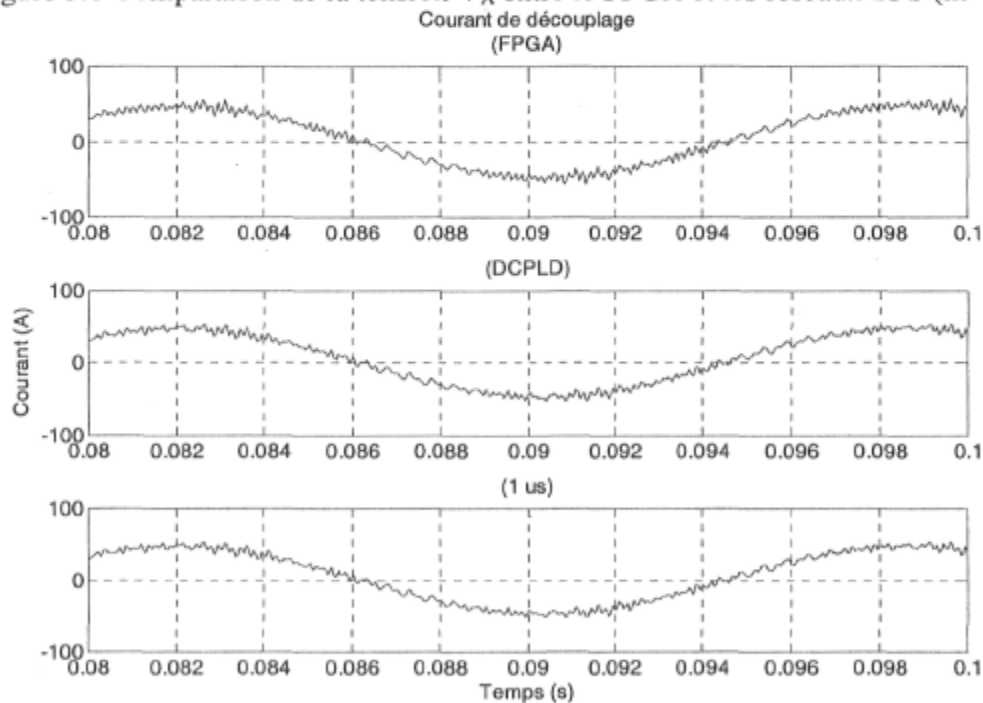


Figure 5.9 Comparaison du courant I_{ipa} entre le FPGA et les réseaux SPS ($m=0.9$).

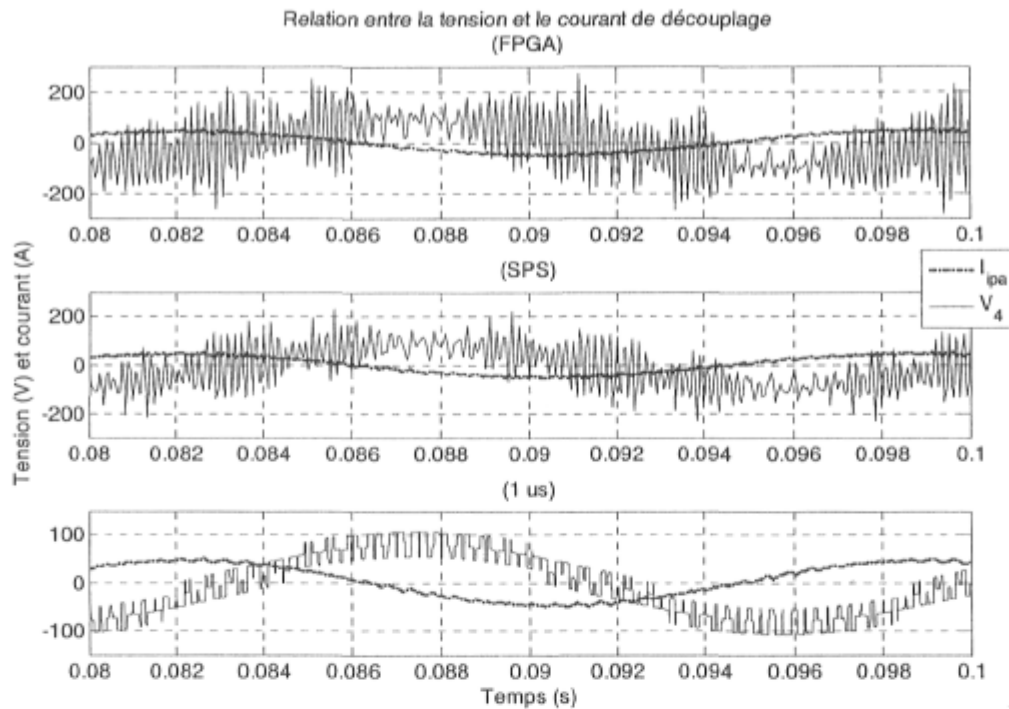


Figure 5.10 Comparaison de la relation entre la tension V_4 et le courant I_{ipa} entre le FPGA et les réseaux SPS ($m=0.9$).

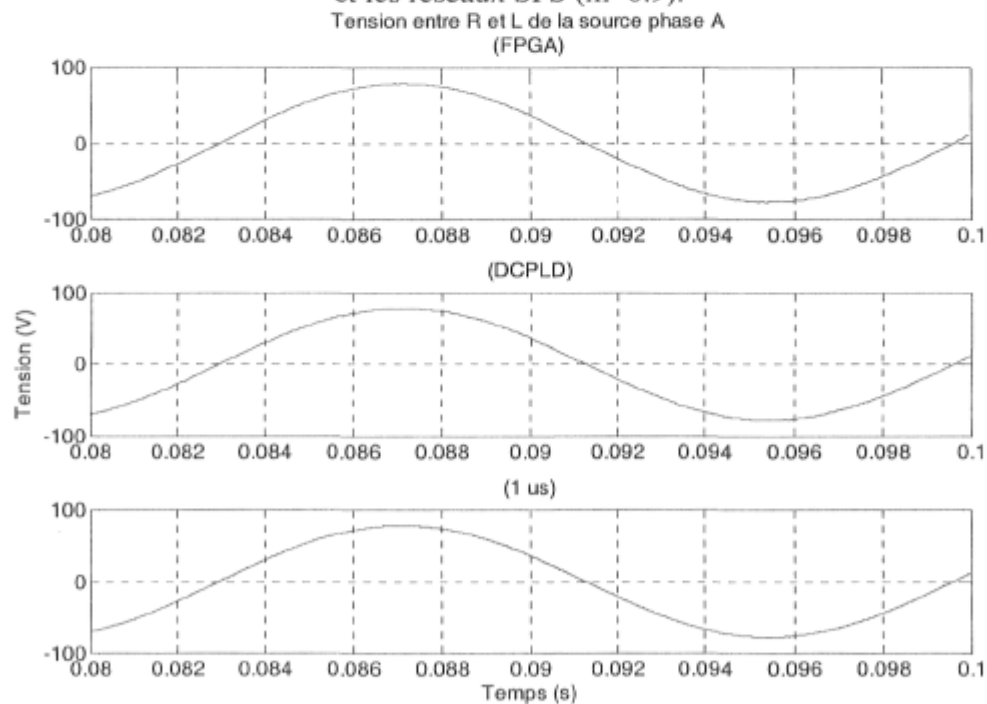


Figure 5.11 Comparaison de la tension V_1 entre le FPGA et les réseaux SPS ($m=0.3$).

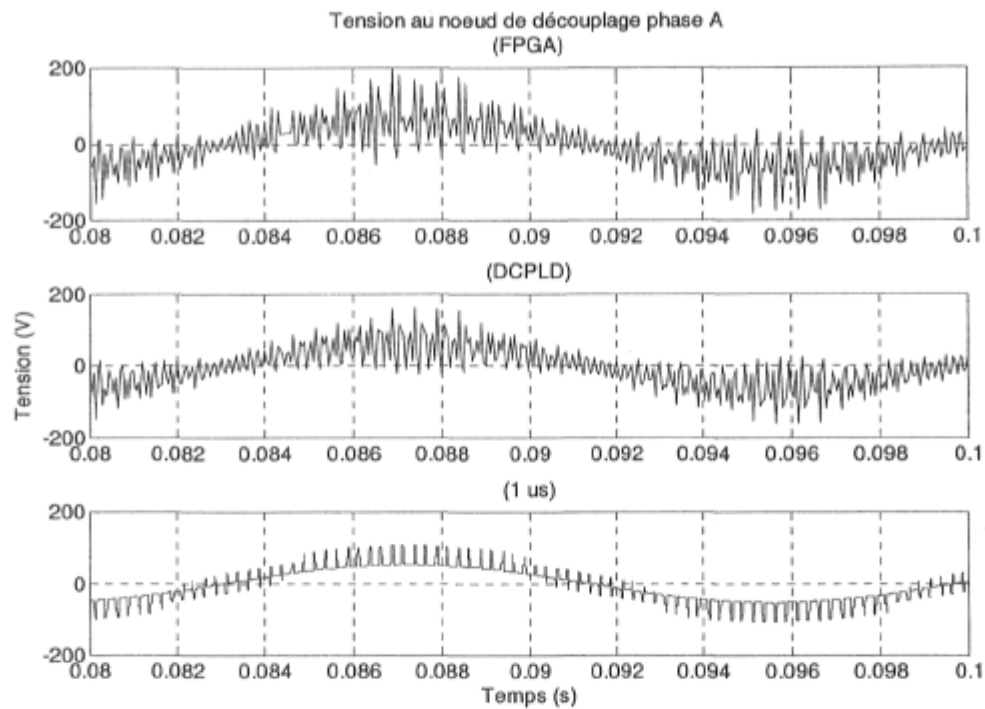


Figure 5.12 Comparaison de la tension V_4 entre le FPGA et les réseaux SPS ($m=0.3$).

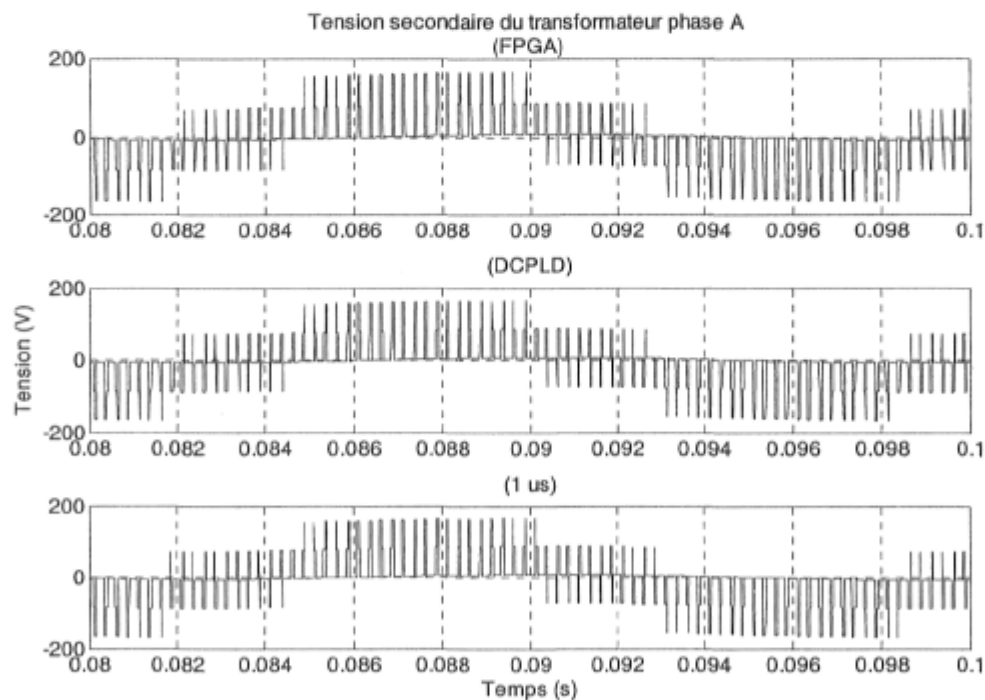


Figure 5.13 Comparaison de la tension V_A entre le FPGA et les réseaux SPS ($m=0.3$).

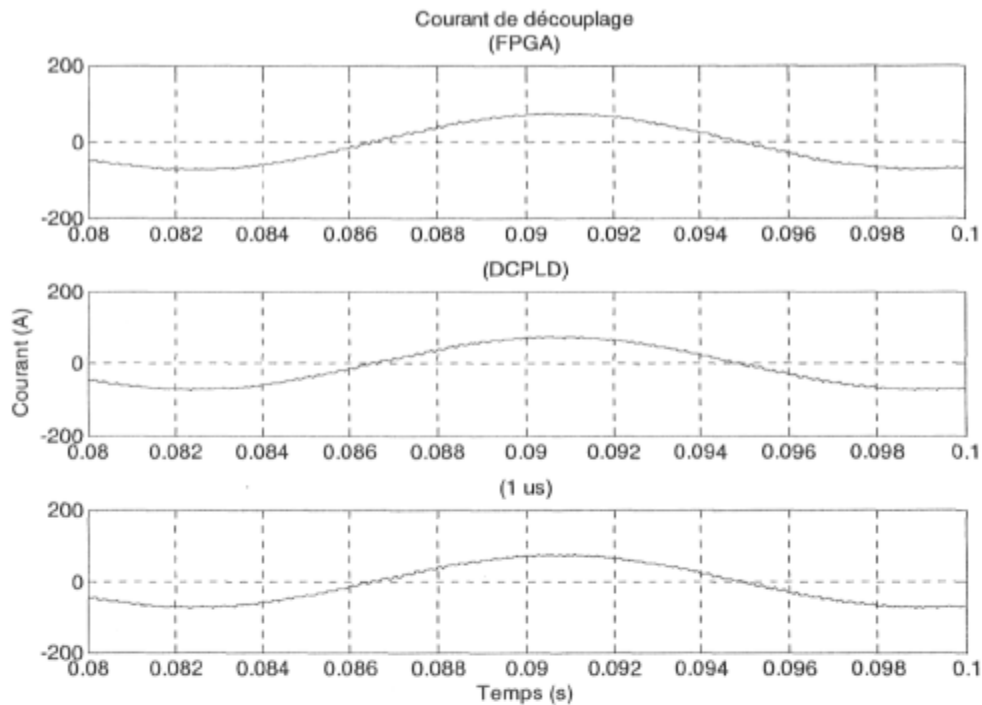


Figure 5.14 Comparaison du courant I_{ippa} entre le FPGA et les réseaux SPS ($m=0.3$).

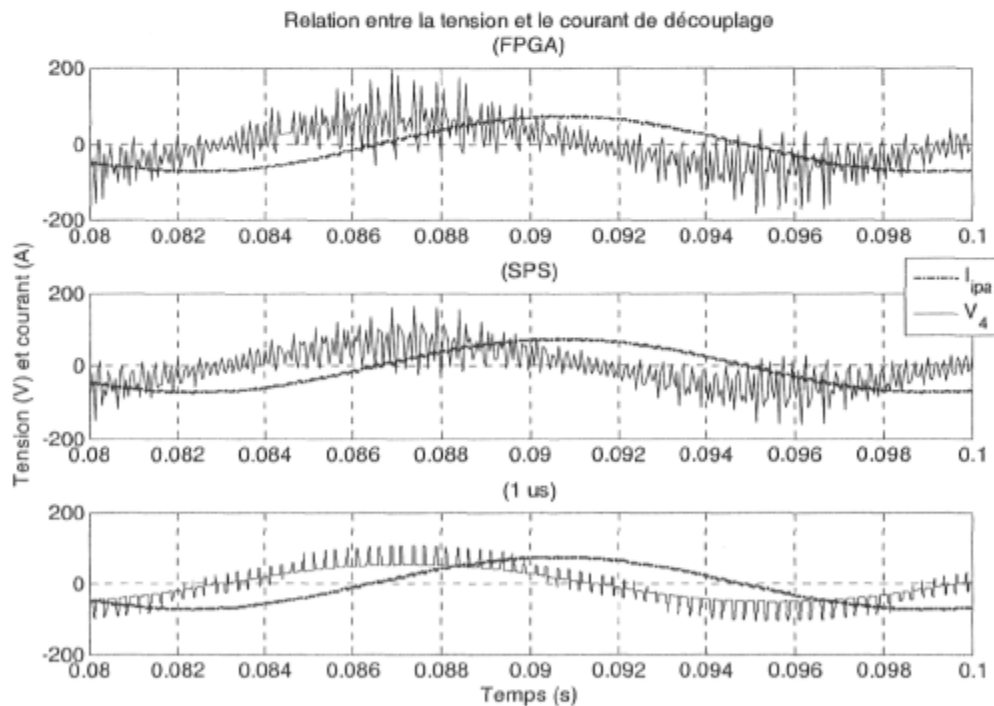


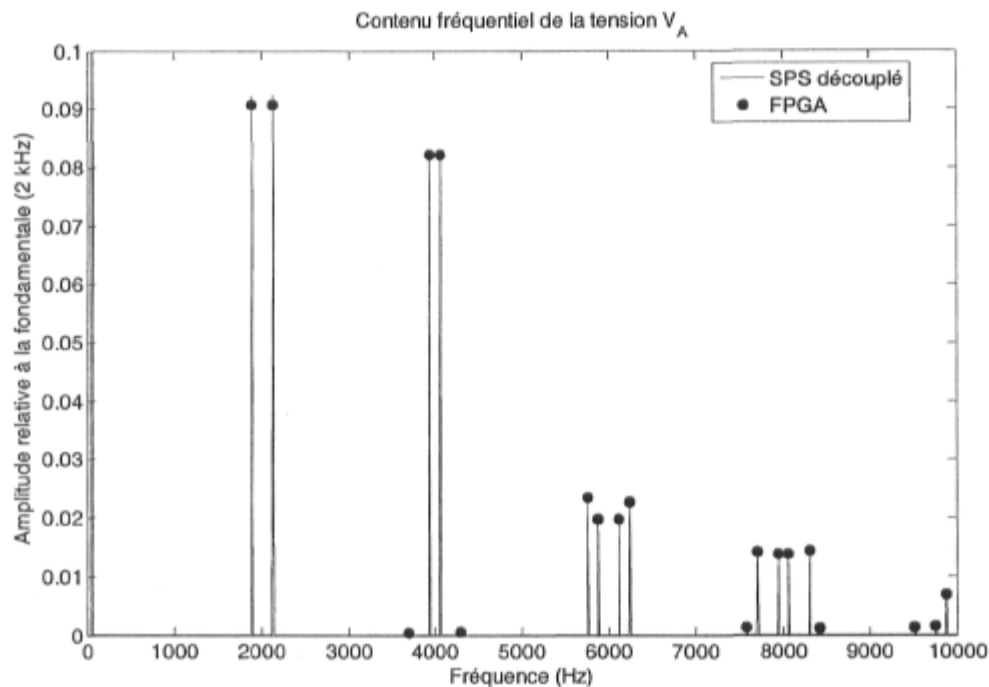
Figure 5.15 Comparaison de la relation entre la tension V_4 et le courant I_{ippa} entre le FPGA et les réseaux SPS ($m=0.3$).

Observations et analyses spectrales

Suite à l'observation de ces formes d'onde, on constate qu'elles sont très proches pour les trois simulations à l'exception de la tension aux points de découplage. Le système SPS discrétisé avec un pas de $1 \mu\text{s}$ présente une tension commutée sans aucune oscillation ou dépassement tandis que les deux autres simulations présentent une tension de découplage fortement bruitée contenant de nombreux dépassements de forte amplitude. Ce phénomène est dû au délai de transfert entre les deux sous-systèmes simulés et il se manifeste plus fortement lorsque l'indice de modulation est de 0.9. Outre ces trois tensions, la différence de précision de la représentation ne semble pas affecter la dynamique du système simulé. Cependant la représentation de 32 bits du simulateur FPGA impose une limitation sur les valeurs représentables, ce qui peut être problématique. L'utilisation de la notation p.u. permet de pallier à ce problème.

On note aussi quelques légères différences au niveau de la modulation à largeur d'impulsion. Ces différences proviennent en premier lieu de la différence de résolution temporelle, entre le système à $1 \mu\text{s}$ et le simulateur FPGA ($5 \mu\text{s}$), ou en second lieu de la différence de représentation numérique. Ainsi l'état des interrupteurs ne change pas exactement au même moment, ce qui entraîne une légère différence au niveau des formes d'onde.

De plus, il a été constaté a posteriori que la modulation MLI du simulateur sur FPGA diffère de son homologue des simulations SPS de par le rapport entre la fréquence d'échantillonnage des ondes sinusoïdales et de l'onde triangulaire. Dans le simulateur FPGA, les sinusoïdes sont échantillonnées à 50 kHz et l'onde triangulaire à 200 kHz. Pour les réseaux SPS, le taux d'échantillonnage des sinusoïdes est le même que celui de l'onde triangulaire. Il est de 200 kHz pour le réseau découplé et de 1 MHz pour le réseau non découplé. Cette différence ne se répercute que très légèrement au niveau fréquentiel pour la tension V_A comme on peut le constater à l'aide de la figure 5.16 et du tableau 5.3 (on n'y présente que les composantes ayant une puissance supérieure à 0.05% de la fondamentale).

Figure 5.16 Spectre de puissance de la tension V_A ($m = 0.9$)Tableau 5.3 Composantes spectrales de V_A comparées ($m = 0.9$)

f (Hz)	Harmonique (porteuse, modulante)	Amplitude relative à la fondamentale (60 Hz) (%)		
		FPGA	SPS découplé	SPS $1\mu s$
60	(0, 1)	100	100	100
1880	(1, -2)	9.0712	9.2223	1.4274
2120	(1, 2)	9.0812	9.2391	1.424
3700	(2, -5)	0.05301	0.05458	~0
3940	(2, -1)	8.2189	8.2374	1.2755
4060	(2, 1)	8.2156	8.2027	1.2778
4300	(2, 5)	0.056536	0.057668	~0
5760	(3, -4)	2.3493	2.3239	0.35082
5880	(3, -2)	1.9781	2.0206	0.31576
6120	(3, 2)	1.9905	2.0426	0.31529
6240	(3, 4)	2.2861	2.2973	0.34682
7580	(4, -7)	0.13102	0.12387	~0
7700	(4, -5)	1.4217	1.4625	0.22131
7940	(4, -1)	1.3958	1.4081	0.21106
8060	(4, 1)	1.3944	1.3928	0.2104
8300	(4, 5)	1.4346	1.4696	0.21871
8420	(4, 7)	0.12442	0.11956	~0
9520	(5, -8)	0.13794	0.14467	~0
9760	(5, -4)	0.15702	0.15678	~0
9880	(5, -2)	0.69308	0.69919	0.10659

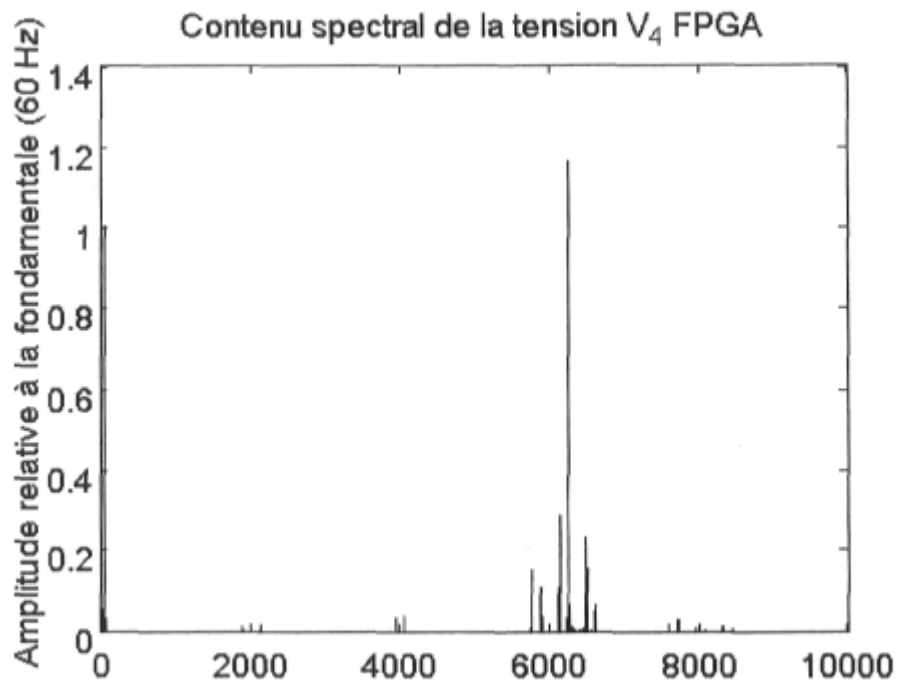


Figure 5.17 Spectre de puissance de la tension V_4 (FPGA, $m = 0.9$).

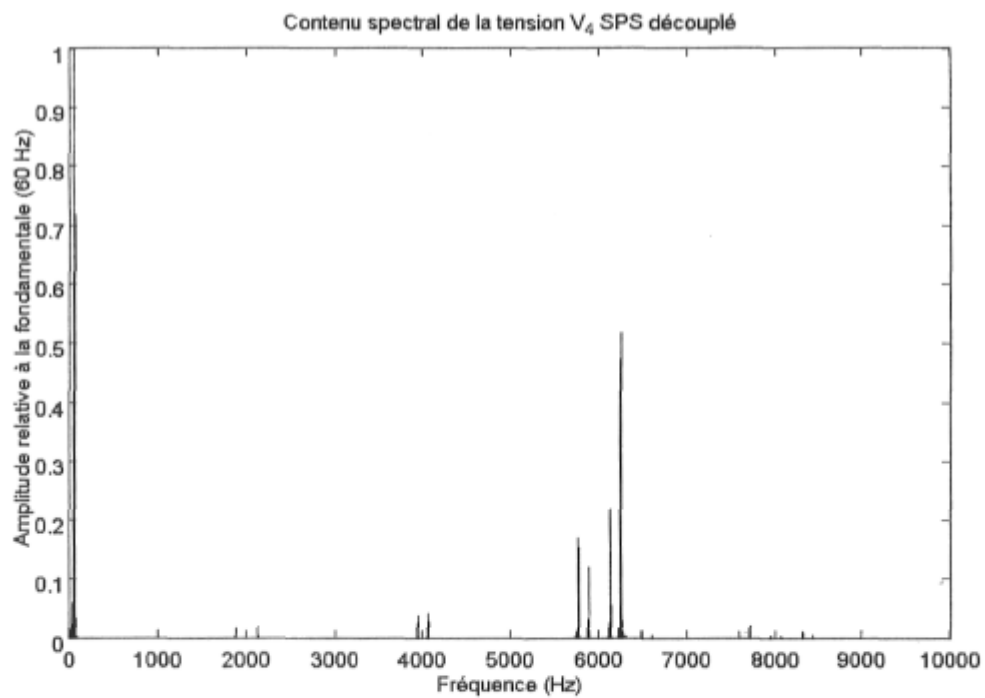


Figure 5.18 Spectre de puissance de la tension V_4 (SPS découplé, $m = 0.9$).

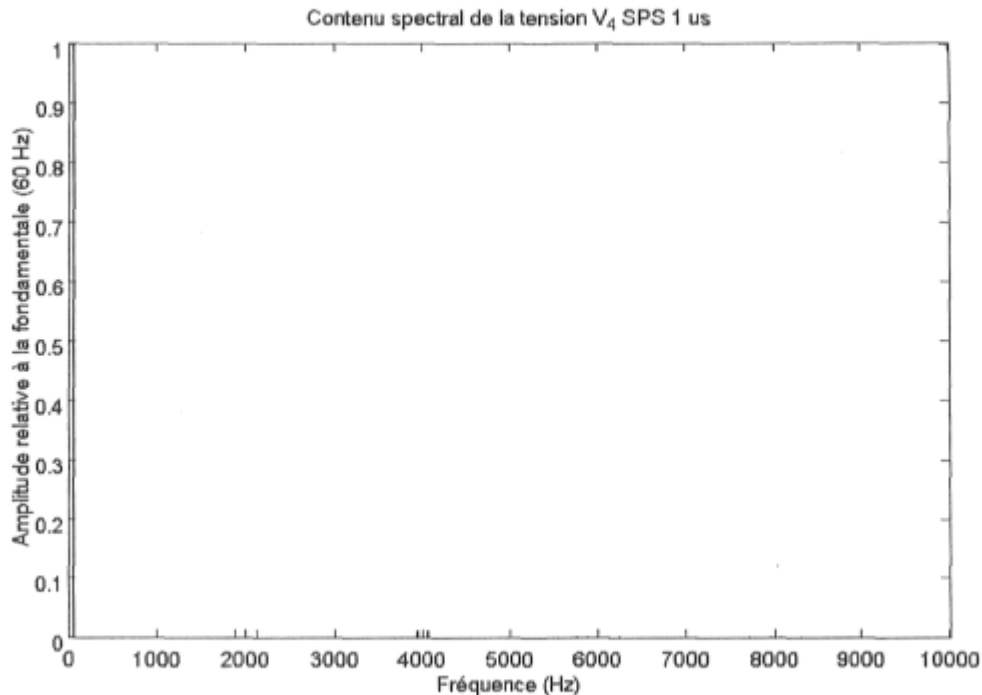


Figure 5.19 Spectre de puissance de la tension V_4 (SPS 1 μ s, $m = 0.9$).

En observant la figure 5.17, on note des composantes spectrales très puissantes aux alentours de la troisième harmonique de la fréquence porteuse. Il y a même une composante qui est plus puissante que la composante à 60 Hz. Finalement, on constate la présence de composantes spectrales de puissance beaucoup plus modeste autour de la fréquence porteuse ainsi qu' autour de la deuxième et de la quatrième harmonique de la porteuse. En ce qui concerne le spectre du réseau SPS découplé, on note la présence des mêmes harmoniques de la modulation mais leur amplitude est beaucoup plus faible. Le spectre provenant du réseau SPS à 1 μ s ne présente pas une puissance significative pour ces harmoniques comme le montre la figure 5.19. Le tableau 5.4 présente sous forme de liste les lobes principaux qui ont une puissance supérieure à 0.15 % de la fondamentale à 60 Hz.

Tableau 5.4 Liste du contenu fréquentiel de V_4 pour $m = 0.9$.

f (Hz)	Harmonique (porteuse, modulante)	Puissance relative à la fondamentale (60 Hz) (%)		
		FPGA	SPS découplé	SPS $1\mu s$
60	(0, 1)	100	100	100
1880	(1, -2)	1.7759	1.7965	1.4274
2120	(1, 2)	1.8959	1.9286	1.424
3940	(2, -1)	3.7316	3.9173	1.2755
4060	(2, 1)	4.0198	4.179	1.2778
5520	(3,-8)	0.1944	0.22425	-0
5760	(3, -4)	15.406	17.054	0.35082
5880	(3, -2)	11.196	11.898	0.31576
6120	(3, 2)	28.939	21.824	0.31529
6240	(3, 4)	116.11	51.84	0.34682
6480	(3, 8)	23.404	1.4158	-0
6600	(3, 10)	7.0555	0.60284	-0
7580	(4, -7)	1.9671	1.1657	-0
7700	(4, -5)	3.3991	2.2401	0.22131
7940	(4, -1)	1.042	0.60226	0.21106
8060	(4,1)	0.79537	0.52943	0.2104
8300	(4, 5)	1.8138	1.2456	0.21871
8420	(4, 7)	0.9305	0.61295	-0

On note une asymétrie au niveau de la puissance des composantes des bandes latérales des harmoniques de la porteuse. Selon [48], ce phénomène proviendrait de la nature de l'échantillonnage de la forme d'onde de référence utilisée pour la modulation. En effet, un échantillonnage naturel où l'intersection entre la sinusoïde et la porteuse triangulaire est connue avec précision, donc l'instant de commutation est connu avec précision, entraîne une symétrie au niveau des composantes spectrales des bandes latérales. Dans un contexte numérique et discret, l'échantillonnage naturel est difficile à réaliser, on implémente à la place un échantillonnage régulier où l'onde basse fréquence est échantillonnée et maintenue constante pendant une ou une demie période de la porteuse. L'instant de changement d'état ne correspond pas exactement à celui obtenu avec un échantillonnage naturel et cette erreur entraîne une asymétrie du contenu spectral autour des harmoniques de la porteuse MLI. L'échantillonnage utilisé pour la modulation de largeur d'impulsion dans le cadre de ce projet ne correspond pas exactement à un échantillonnage régulier tel que défini en [48] mais puisque ce n'est pas un échantillonnage naturel non plus, il est probable que l'asymétrie des bandes latérales des

harmoniques de la porteuse dans le spectre de V_4 et de V_A proviennent de la nature de l'échantillonnage. Cette asymétrie est moins remarquable pour le système fonctionnant à $1 \mu\text{s}$ puisque la fréquence d'échantillonnage de la courbe de référence est très élevée, limitant les écarts avec un échantillonnage naturel.

De ces résultats, on observe que l'introduction d'un délai dû au découplage a un effet particulier sur le contenu harmonique de la tension de découplage. Si on compare le spectre des deux réseaux SPS, on constate une augmentation de toutes les composantes spectrales mais que le gain varie de 1.259 (1880 Hz) à 149.472 (6240 Hz). De plus, puisque la modulation de ces deux réseaux est identique outre la différence de fréquence d'échantillonnage, on constate que le délai de découplage accentue l'asymétrie au niveau des composantes latérales. En comparant le spectre du simulateur FPGA à celui du réseau SPS découplé, on note principalement la différence de puissance des composantes spectrales ainsi qu'une asymétrie plus prononcée dans le cas du simulateur FPGA.

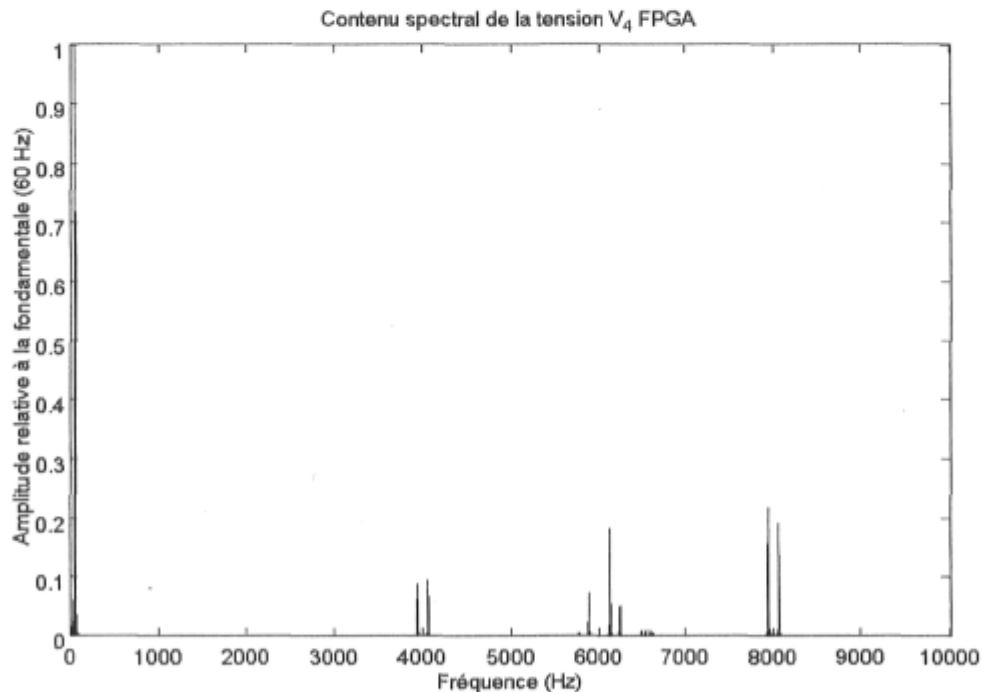


Figure 5.20 Spectre de puissance de la tension V_4 (FPGA, $m = 0.3$).

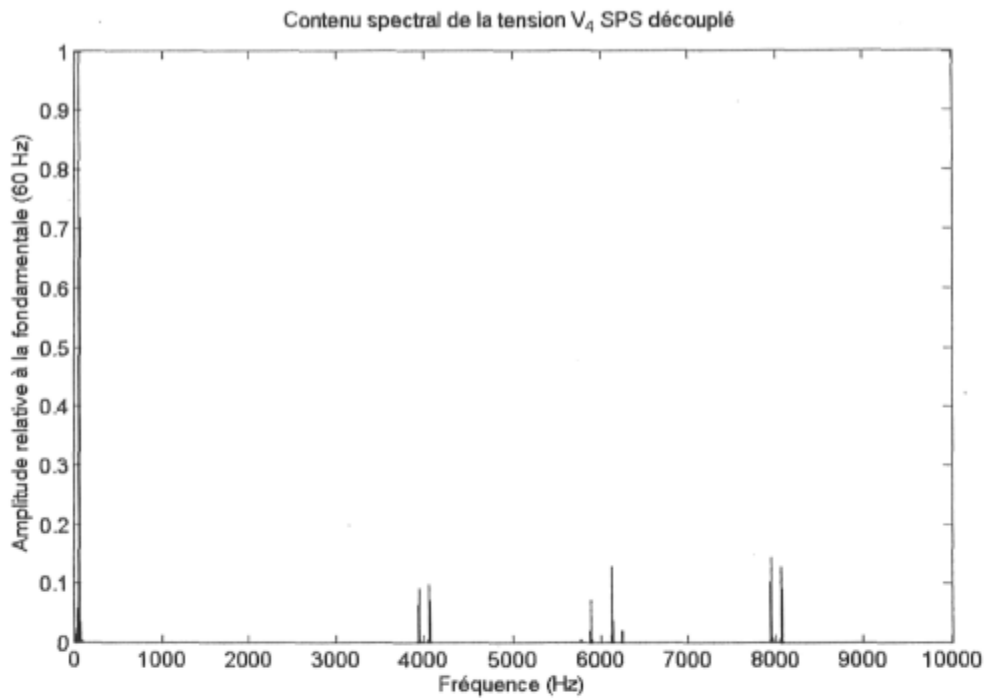


Figure 5.21 Spectre de puissance de la tension V_4 (SPS découplé $m = 0.3$).

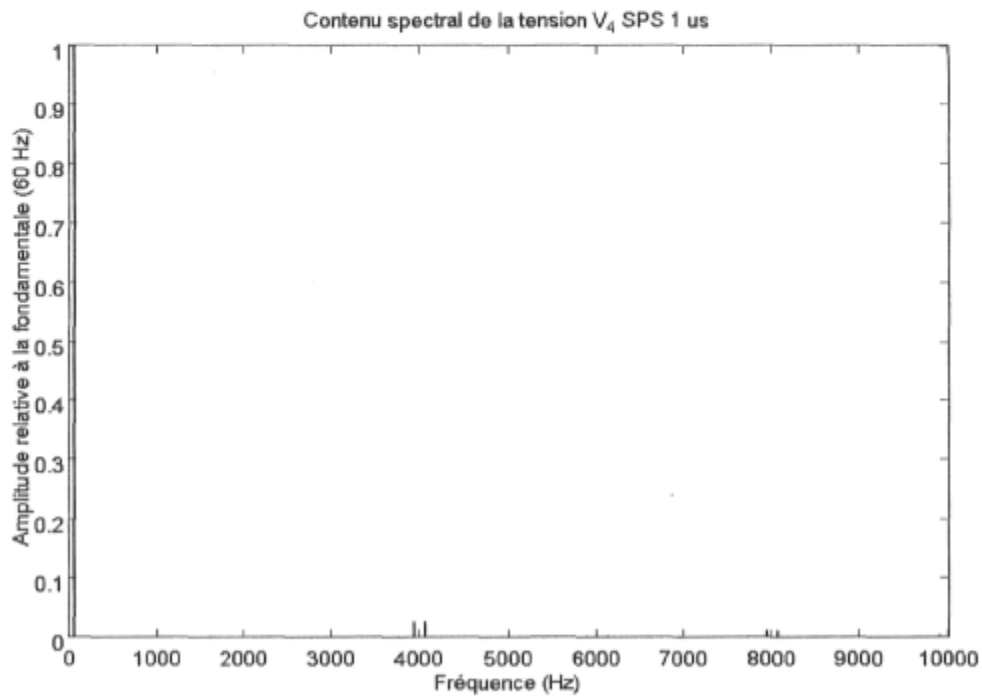


Figure 5.22 Spectre de puissance de la tension V_4 (SPS 1 μ s, $m = 0.3$).

Tableau 5.5 Liste du contenu fréquentiel de V_4 pour $m = 0.3$.

f (Hz)	Harmonique (porteuse, modulante)	Puissance relative à la fondamentale (60 Hz) (%)		
		FPGA	SPS découplé	SPS 1 μ s
60	(0, 1)	100	100	100
3940	(2, -1)	8.7899	9.1508	2.741
4060	(2, 1)	9.5758	9.9653	2.7493
5760	(3, -4)	0.50176	0.5096	~0
5880	(3, -2)	7.3977	7.3626	0.30303
6120	(3, 2)	18.349	12.973	0.30582
6240	(3, 4)	5.1189	2.2832	~0
7940	(4, -1)	21.78	14.395	1.2826
8060	(4, 1)	19.225	12.864	1.2847
9880	(5, -2)	~0	~0	0.43073

Les résultats obtenus avec un indice de modulation de 0.3 permettent de tirer les mêmes observations qu'avec un indice de modulation de 0.9. Quoique moins prononcées, les composantes spectrales aux alentours de la troisième et de la quatrième harmonique de la fréquence porteuse demeurent importantes relativement à la composante de 60 Hz dans le cas des simulations avec découplage. Il est intéressant de noter que, contrairement aux spectres obtenus avec un indice de modulation de 0.9 qui présentent la majorité de la puissance autour de la troisième harmonique de la porteuse, la deuxième, troisième et quatrième harmonique présentent dans leurs bandes latérales d'importantes composantes spectrales pour la tension de découplage. Il semble aussi que l'indice de modulation a un effet sur l'asymétrie des bandes latérales puisqu'on observe un moins grand écart entre les composantes de chaque côté.

En utilisant les résultats analytiques de [48], il est possible de valider le contenu harmonique de la tension de découplage. Pour une modulation MLI avec une porteuse triangulaire telle qu'utilisée, la solution analytique contient les harmoniques suivantes :

$$\sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} \sin\left([m+n]\frac{\pi}{2}\right) \sin\left(\frac{n\pi}{3}\right) \cos\left(m\omega_c t + n\left[\omega_0 t - \frac{\pi}{3}\right] + \frac{\pi}{2}\right) \quad (5-9)$$

ω_c est la pulsation de la porteuse, ω_0 est la pulsation de la sinusoïde fondamentale (60 Hz), m et n représente les numéros d'harmonique de la porteuse et de la fondamentale

respectivement. L'intérêt de ce résultat analytique repose dans les fréquences où se trouvent ces composantes et non pas dans l'amplitude de ces dernières, qui n'est que partiellement présente en (5-9). En comparant avec les résultats expérimentaux, on constate que les composantes spectrales présentes dans les tensions de découplage correspondent bien avec les composantes théoriques. Le terme $\sin((m+n)\pi/2)$ explique l'absence observée des harmoniques paires de 60 Hz autour des harmoniques paires de la porteuse ainsi que l'absence des harmoniques impaires de 60 Hz autour des harmoniques impaires de la porteuse. De plus, le terme $\sin(n\pi/3)$ explique l'absence des harmoniques de 60 Hz multiple de trois. Ces harmoniques sont éliminées à cause de la nature triphasée du réseau simulé.

Somme toute, le délai de découplage accentue les harmoniques de la modulation MLI. Certaines harmoniques sont amplifiées plus fortement que les autres et cela mène à l'augmentation de l'asymétrie des composantes autour des harmoniques de la fréquence porteuse. Cependant, l'effet du délai de transfert entre les deux sous-systèmes sur la puissance de chacune des composantes spectrales est difficilement quantifiable. Au niveau temporel, cela se traduit par des oscillations haute fréquence ainsi que de nombreux dépassements de forte amplitude dans les tensions de découplage.

5.4 Réseau test modifié

Il est intéressant de noter que les courants n'exhibent pas autant d'harmoniques hautes fréquences. On peut émettre l'hypothèse que les courants de découplage ne sont pas affectés à cause de la présence d'éléments inductifs qui filtrent les hautes fréquences du courant. En effet, immédiatement après les sources de tension commandées se trouvent des inductances qui filtrent les hautes fréquences des courants qui sont envoyés à la partie lente. En appliquant la même logique pour le sous-système sans commutation, puisque le courant est imposé par les conditions de la partie rapide, en installant des condensateurs shunts afin de filtrer les hautes fréquences des tensions de découplage, il serait possible d'améliorer les résultats obtenus dans la partie rapide tout en nettoyant les tensions de découplage des harmoniques de modulation. En pratique, il est fréquent d'installer des

filtres aux points de connexion des convertisseurs statiques afin de réduire l'impact des harmoniques qu'ils introduisent sur le réseau. C'est ce qui a été essayé avec le réseau test modifié implanté dans le simulateur FPGA et dans SPS (voir figure 5.23).

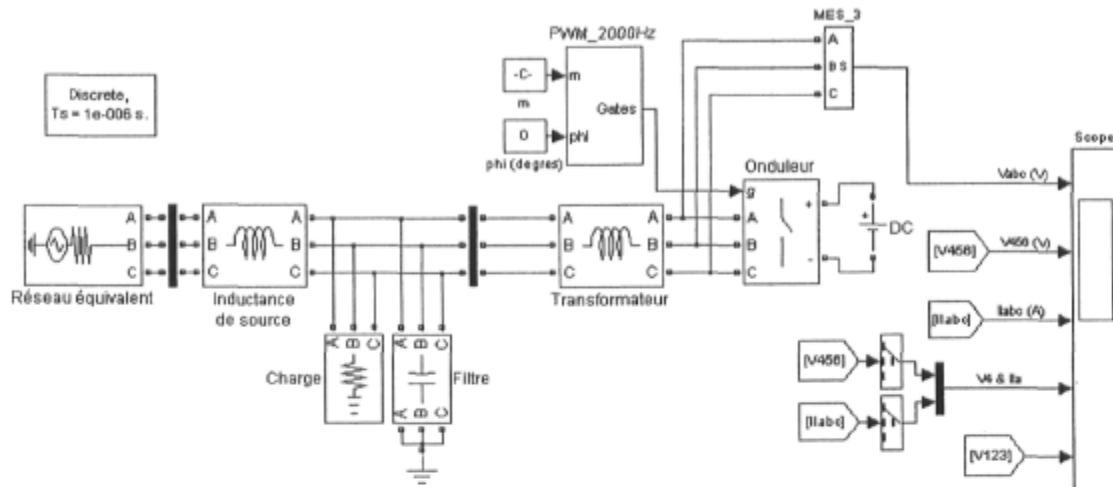


Figure 5.23 Réseaux test modifiés.

Résultats comparés

À cause de l'inductance du réseau équivalent dans la partie lente, certaines fréquences inférieures à la porteuse de la modulation MLI se trouvent favorisées par le circuit de deuxième ordre créé par l'ajout du condensateur. Ainsi, les tensions de découplage se trouvent bruitées par des signaux de faible amplitude ayant une fréquence inférieure à 1 kHz. Selon la valeur des condensateurs, ces signaux sont soit amortis ou amplifiés et il est même possible que le système entre en résonance. Dans ce cas, le système diverge et les résultats sont inutiles. Il a aussi été constaté que ce phénomène de résonance est affecté par l'indice de modulation. Pour une valeur donnée de condensateur, le système peut être stable pour un certain indice de modulation mais une augmentation de m pouvait amener le réseau modifié en résonance. Les résultats résonants ne sont pas présentés mais avec les valeurs de condensateur et les indices de modulation utilisés il a été observé que la fréquence des oscillations divergentes se trouvait entre 300 et 400 Hz.

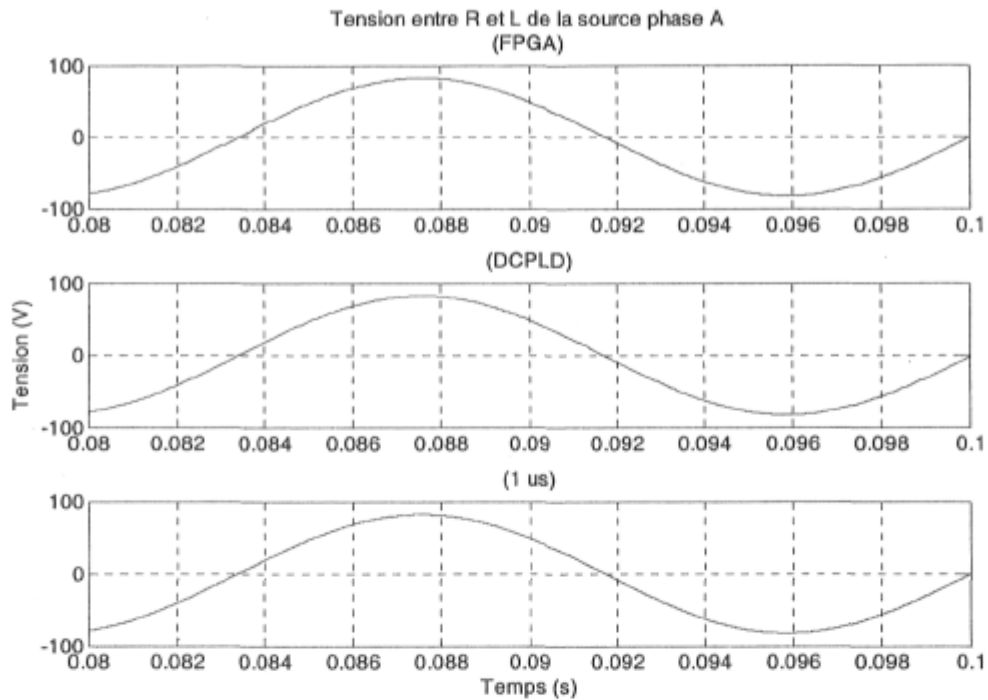


Figure 5.24 Tension V_1 du réseau test modifié ($m = 0.9$ et $C = 750 \mu\text{F}$).

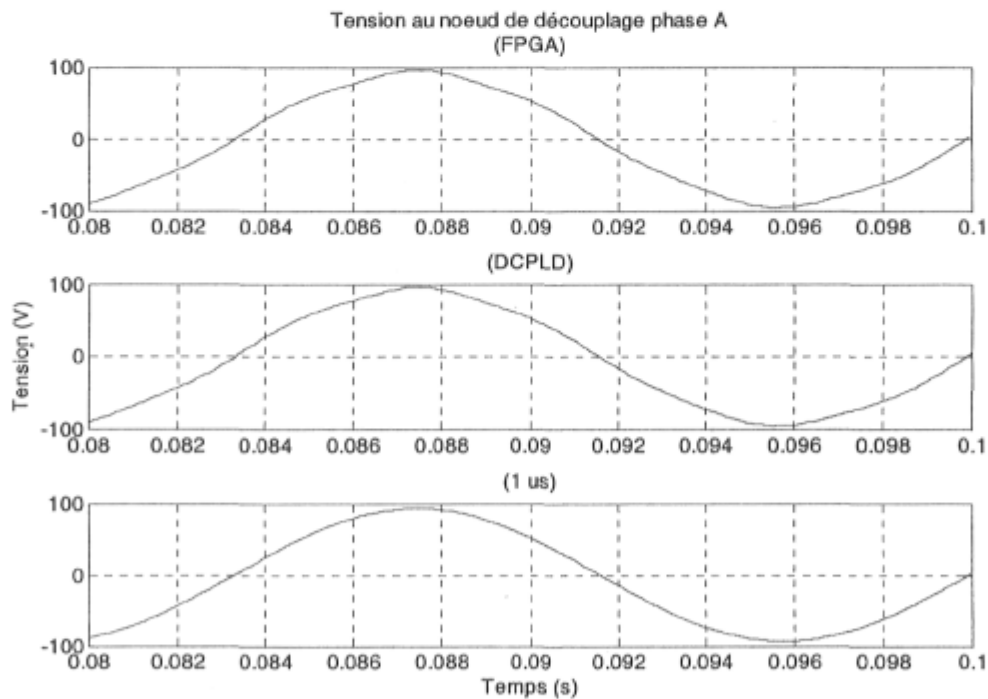


Figure 5.25 Tension V_4 du réseau test modifié ($m = 0.9$ et $C = 750 \mu\text{F}$).

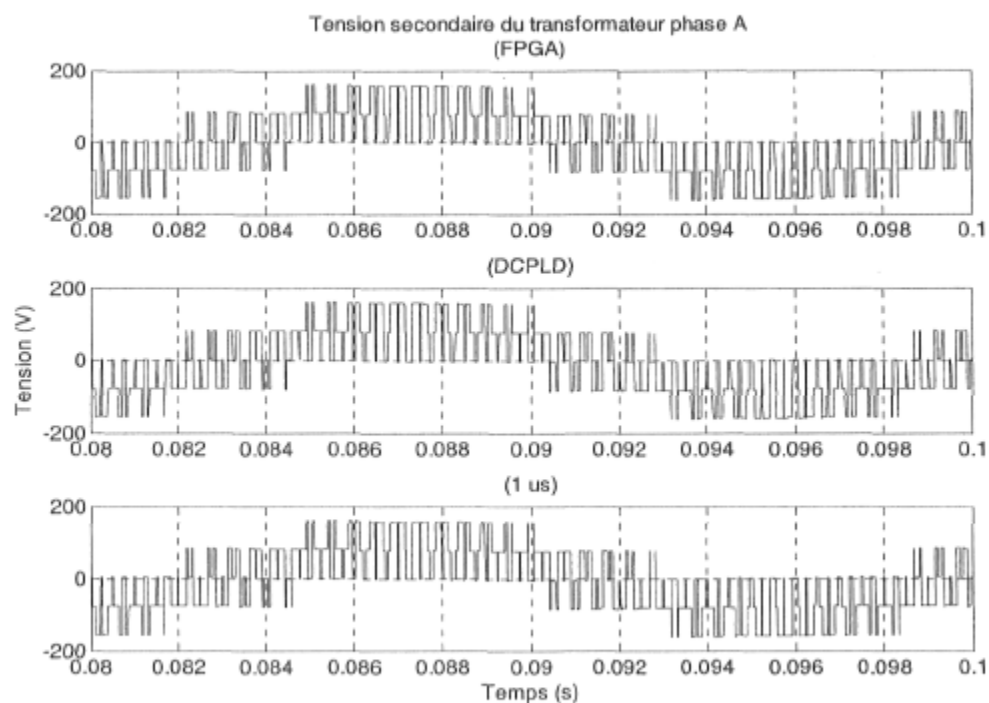


Figure 5.26 Tension V_A du réseau test modifié ($m = 0.9$ et $C = 750 \mu\text{F}$).

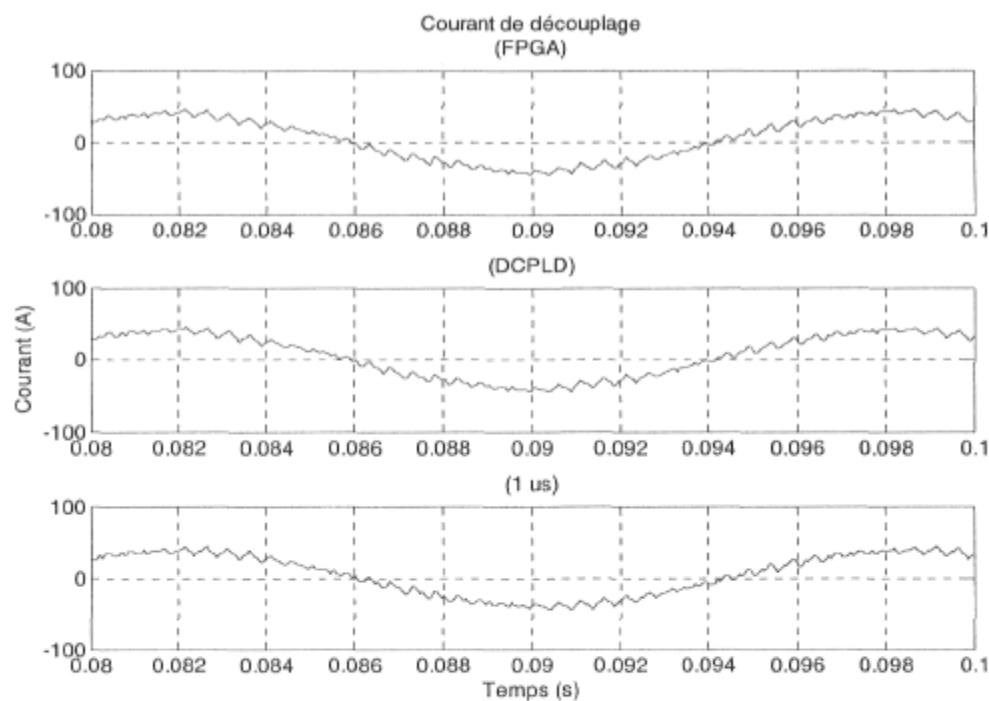


Figure 5.27 Courant I_{ipa} du réseau test modifié ($m = 0.9$ et $C = 750 \mu\text{F}$).

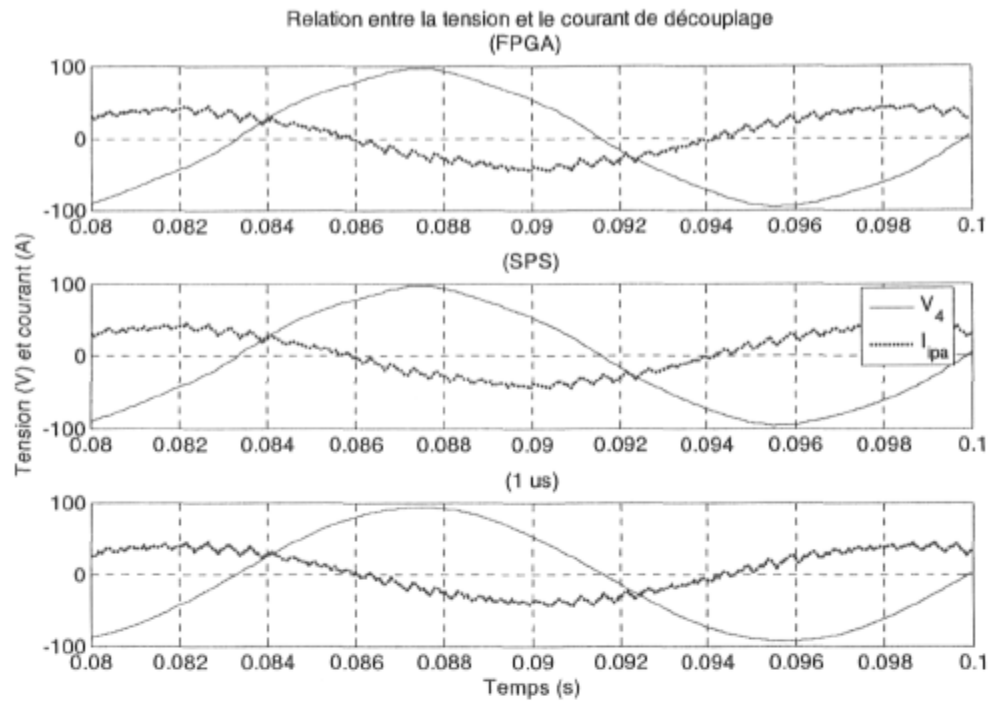


Figure 5.28 Relation entre la tension V_4 et le courant I_{pa} du réseau test modifié ($m = 0.9$ et $C = 750 \mu\text{F}$).

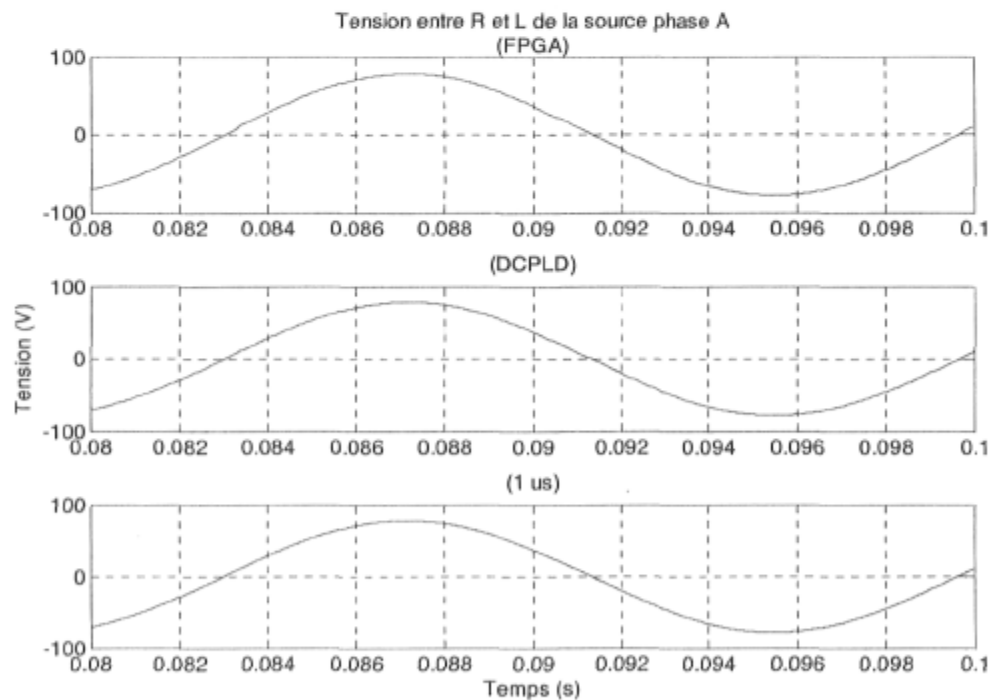


Figure 5.29 Tension V_1 du réseau test modifié ($m = 0.3$ et $C = 750 \mu\text{F}$).

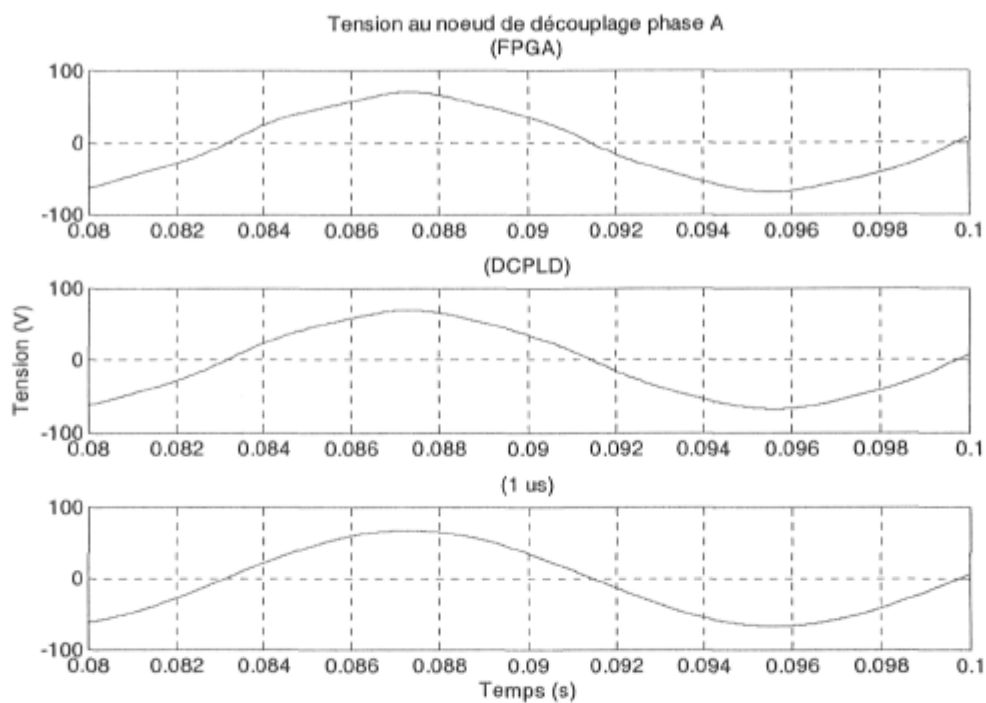


Figure 5.30 Tension V_4 du réseau test modifié ($m = 0.3$ et $C = 750 \mu\text{F}$).

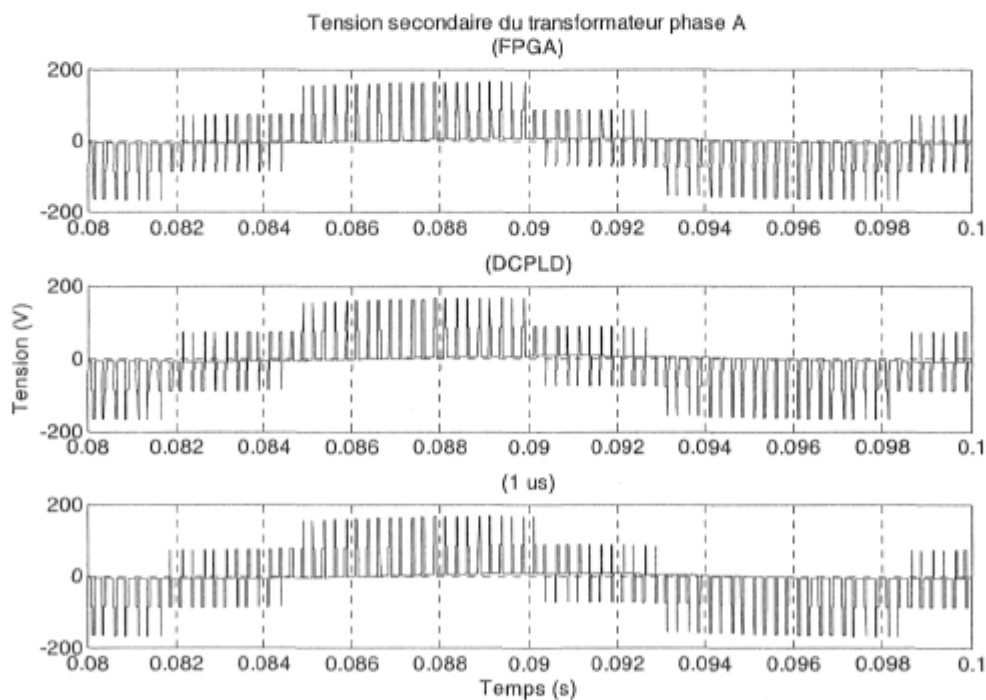


Figure 5.31 Tension V_A du réseau test modifié ($m = 0.3$ et $C = 750 \mu\text{F}$).

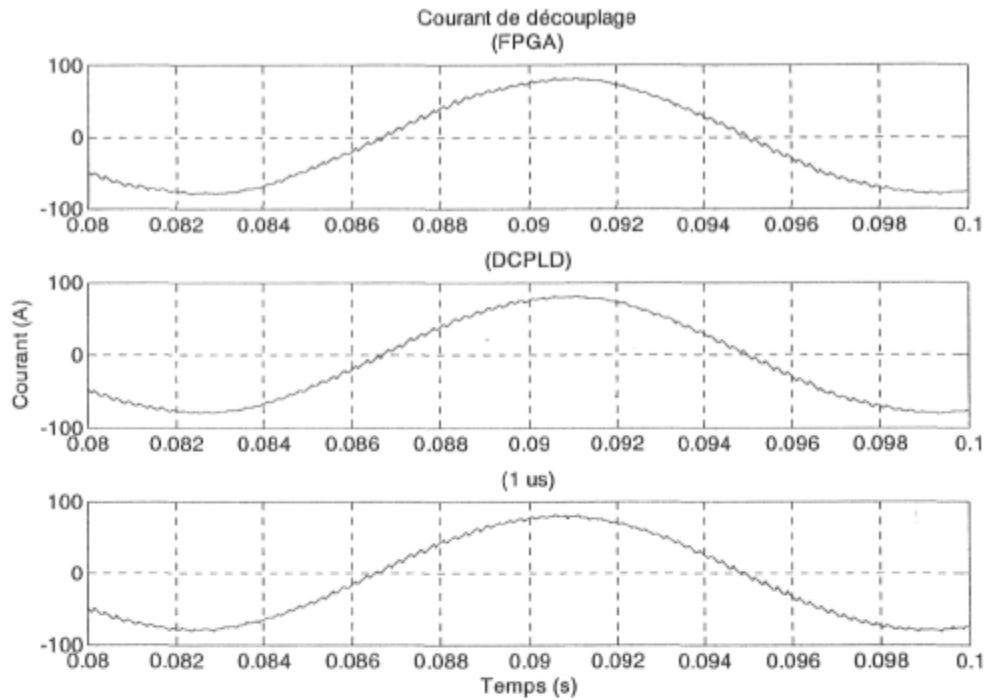


Figure 5.32 Courant I_{ipa} du réseau test modifié ($m = 0.3$ et $C = 750 \mu\text{F}$).

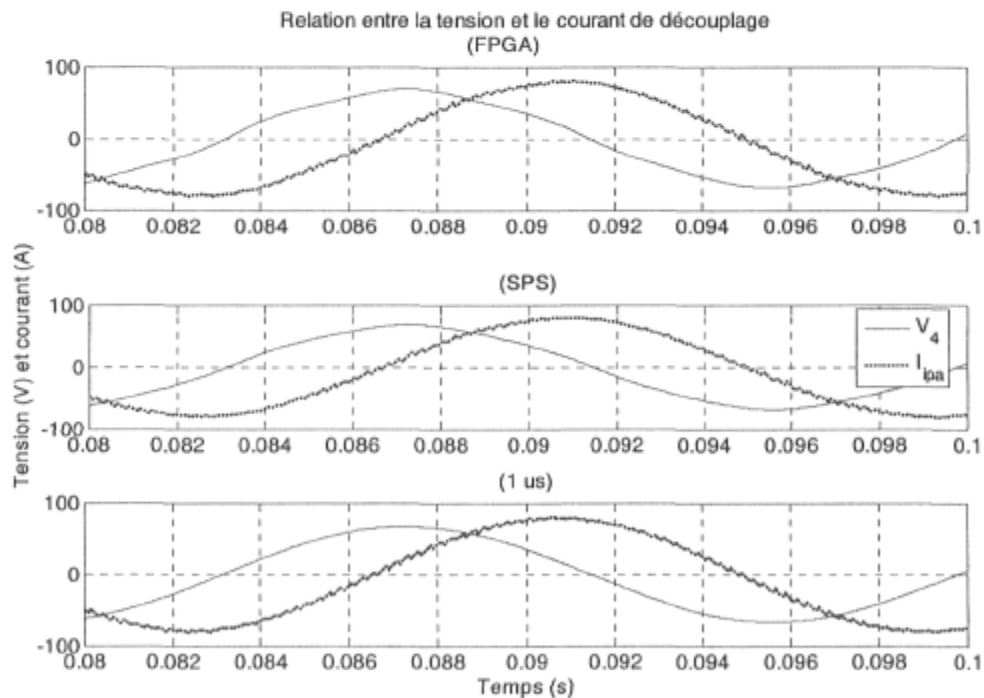


Figure 5.33 Relation entre la tension V_4 et le courant I_{ipa} du réseau test modifié ($m = 0.3$ et $C = 750 \mu\text{F}$).

Observation et analyses spectrales

Malgré la présence du banc de condensateurs, on remarque une faible distorsion de la tension de découplage pour le simulateur sur FPGA. Ce phénomène est présent dans la forme d'onde de la simulation SPS découplé mais son ampleur est moindre. La simulation à $1 \mu\text{s}$ ne présente pas ce phénomène. Cette différence est attribuable à l'implémentation FPGA du modulateur MLI comme on a pu l'observer à la section 5.3. Toutefois les formes d'onde sont beaucoup plus similaires.

Au niveau spectral, le fait d'ajouter un condensateur shunt par phase aux points de découplage est très bénéfique comme l'illustre les figures 5.29 à 5.34. Un agrandissement a été fait afin de mettre l'emphase sur les composantes de faible amplitude aux alentours de 300 Hz. Toutes les fréquences supérieures à 400 Hz ont une amplitude négligeable et ne sont pas illustrées.

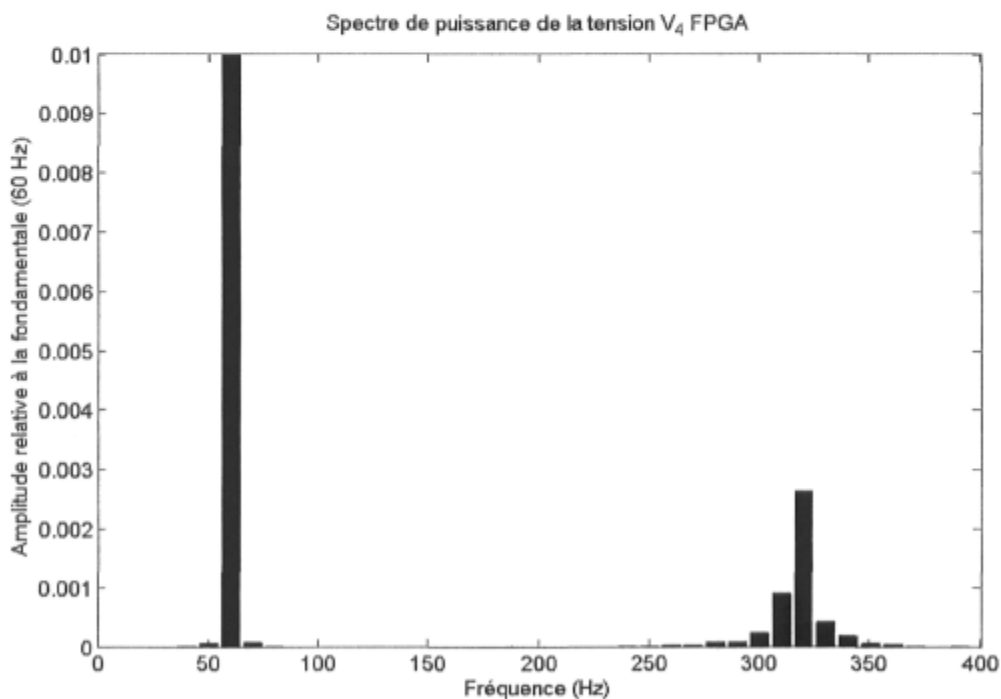


Figure 5.34 Contenu spectral de la tension V_4 (FPGA, $m = 0.9$, $C = 750 \mu\text{F}$).

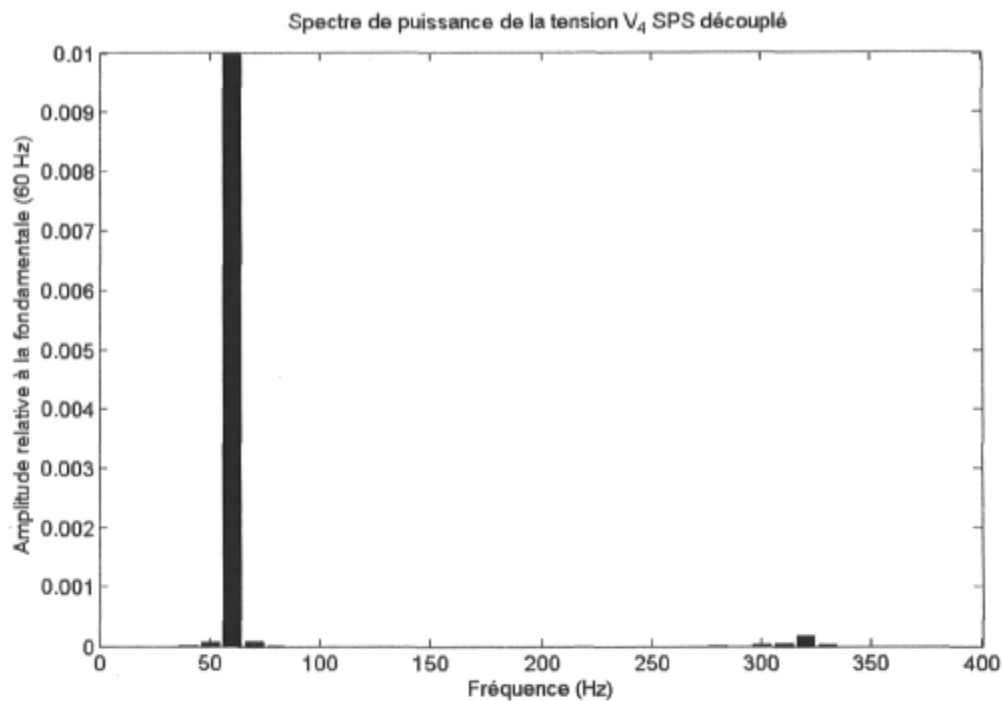


Figure 5.35 Contenu spectral de la tension V_4 (SPS découplé, $m = 0.9$, $C = 750 \mu\text{F}$).

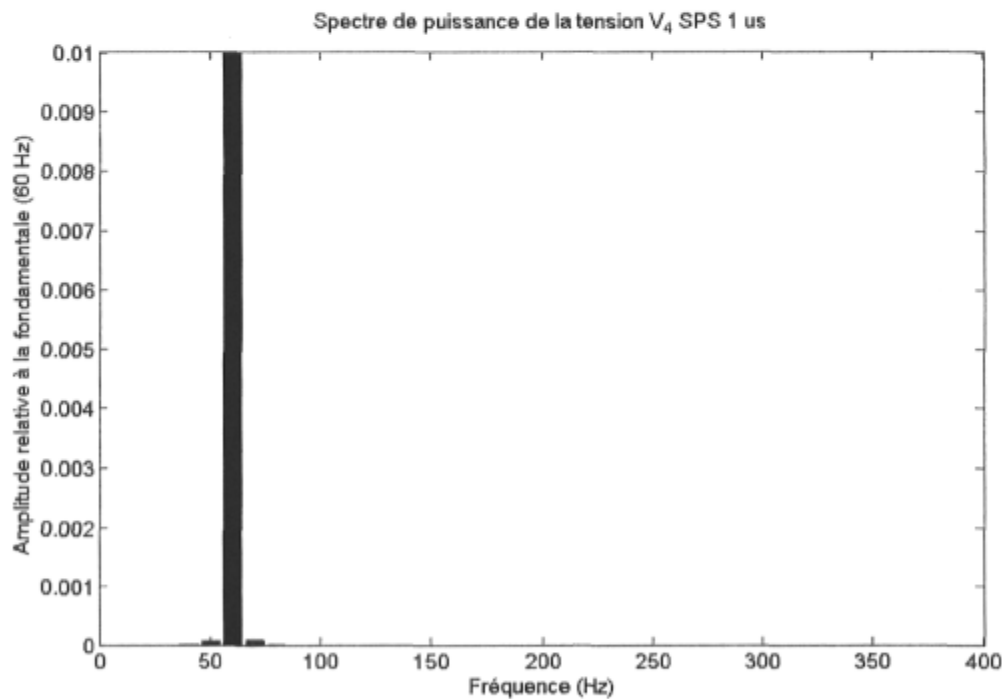


Figure 5.36 Contenu spectral de la tension V_4 (SPS 1 μs , $m = 0.9$, $C = 750 \mu\text{F}$).

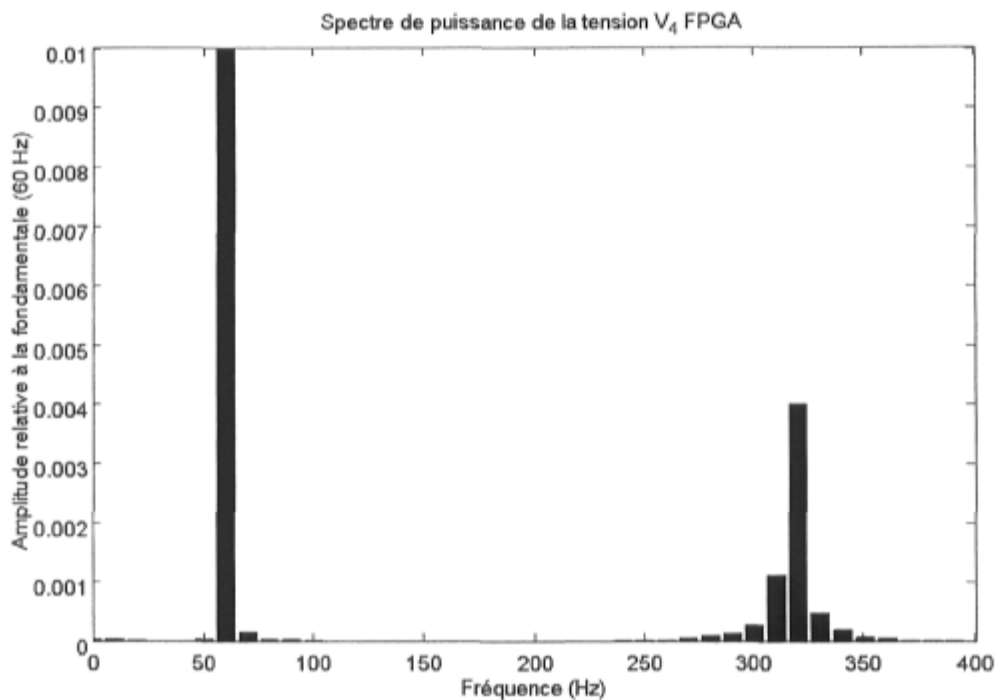


Figure 5.37 Contenu spectral de la tension V_4 (FPGA, $m = 0.3$, $C = 750 \mu\text{F}$).

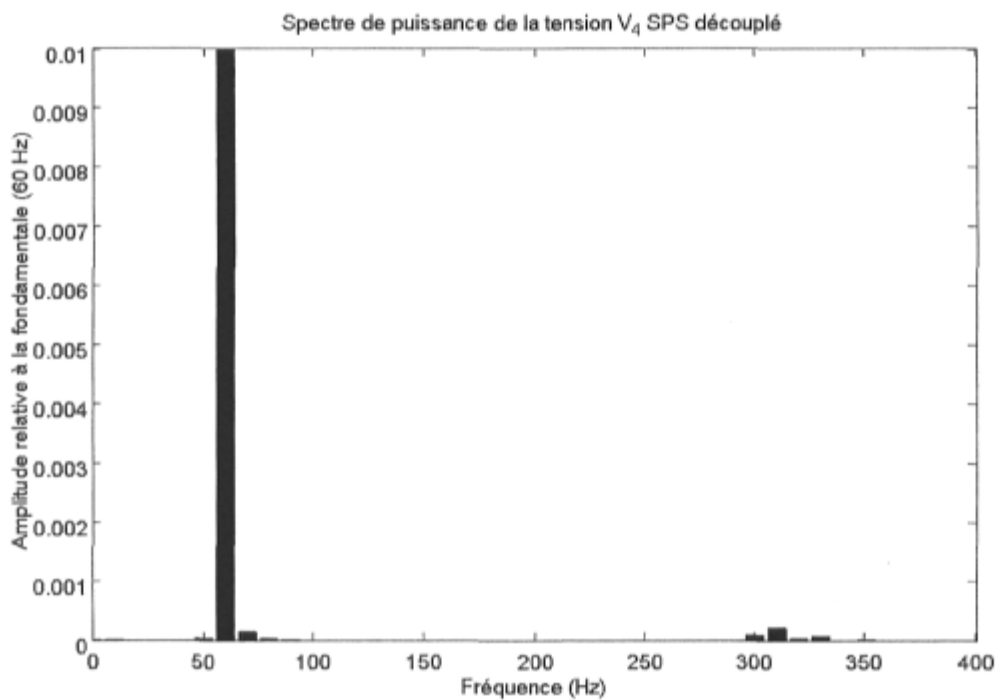


Figure 5.38 Contenu spectral de la tension V_4 (SPS découplé, $m = 0.3$, $C = 750 \mu\text{F}$).

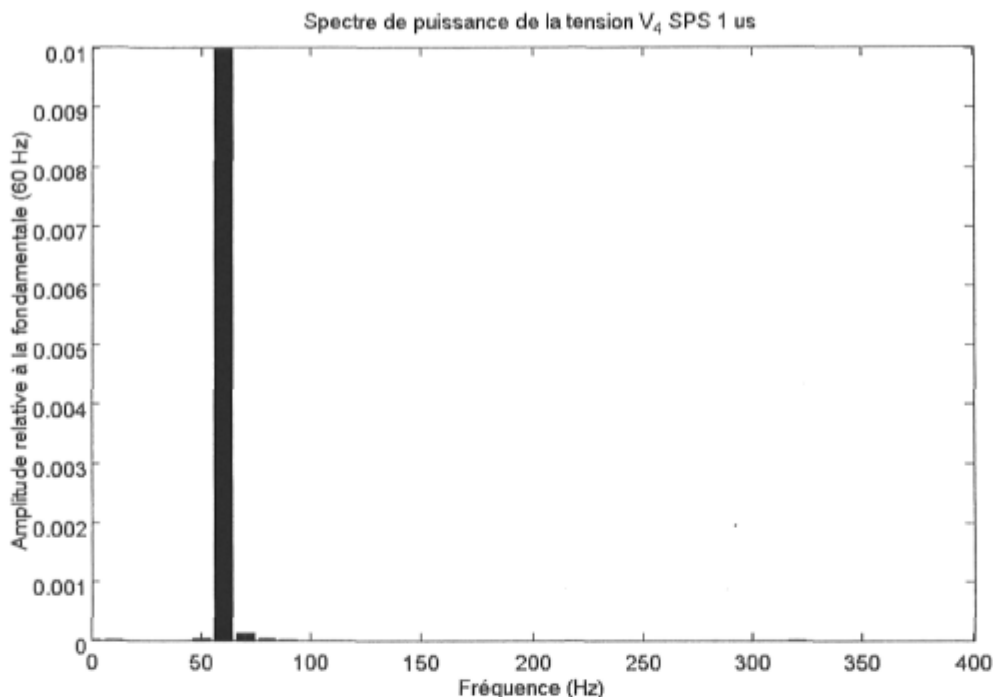


Figure 5.39 Contenu spectral de la tension V_4 (SPS 1 μ s, $m = 0.3$, $C = 750 \mu$ F).

À l'instar des résultats du réseau test, on constate que le contenu spectral de la tension de découplage V_4 diffère entre les trois simulations mais les deux simulations avec découplage présentent un spectre plus riche que la simulation sans découplage. Aux alentours de 300 Hz on constate la présence de composantes ayant une amplitude non négligeable. Cette constatation concorde avec les observations faites par rapport aux formes d'onde précédemment. Contrairement à l'analyse spectrale précédente, on constate un spectre plus riche pour un indice de modulation de 0.3.

On constate encore une différence au niveau de l'amplitude des composantes fréquentielles des simulations avec découplage. Ces différences sont cependant moins importantes dans ce cas-ci que dans le cas du réseau de test précédent. Elles proviennent probablement de l'implémentation du modulateur MLI, du découplage, de la différence de précision de la notation utilisée et de la méthode de simulation. Globalement, l'utilisation de condensateurs shunts aux points de découplage est intéressante car elle permet de réduire l'augmentation des harmoniques de modulation causées par le découplage. Ainsi les résultats des simulations avec découplage sont beaucoup plus

proches des résultats obtenus avec un réseau sans découplage et discrétisé avec un pas de calcul nettement plus petit.

5.5 Ressources FPGA utilisées

Les ressources requises pour l'implémentation du noyau de simulation sont présentées au tableau 5.6 ainsi que celles requises pour l'implémentation du système de base (PPC, mémoire, périphériques de communication, bus, etc.).

Tableau 5.6 Ressources FPGA utilisées pour l'implémentation du simulateur temps réel.

Ressource	Noyau de simulation	Système complet
Tranches	2678 (19.55%)	6596 (48.16%)
Bascules	2365 (8.63%)	5928 (21.64%)
LUT 4 entrées	4716 (17.22%)	8655 (31.60%)
Multiplieur 18x18	19 (13.97%)	19 (13.97%)
Mémoire <i>Block RAM</i>	0	64 (47.06%)
DCM	0	3 (37.50%)

On remarque que le noyau de simulation utilise moins de 20% des ressources logiques du *Virtex II pro VP30* tandis que le reste du système occupe près de 30%. Avec le style d'implémentation choisi, les ressources FPGA nécessaires ne sont pas directement proportionnelles au nombre de nœuds et d'interrupteurs traités dans le noyau de simulation. Cependant le temps d'exécution augmentera proportionnellement. Comme il en sera discuté à la prochaine section, le temps de communication entre les deux parties du simulateur est de l'ordre des microsecondes tandis que le temps d'exécution de l'algorithme est de l'ordre des nanosecondes. Ainsi, le temps d'exécution n'est pas encore un facteur critique. Même une augmentation d'un facteur dix du temps d'exécution est tolérable. Lorsque la taille du circuit simulé portera le temps d'exécution proche du temps de communication, il faudra revoir l'implémentation et paralléliser d'avantage l'algorithme. L'étape de la multiplication matricielle se prête particulièrement bien pour une implémentation complètement parallèle.

L'utilisation du *PowerPC 405D5* embarqué dans le FPGA limite particulièrement les performances possibles de ce simulateur à pas multiple. En plus de nécessiter un nombre

non négligeable de ressources FPGA pour implémenter tous les éléments nécessaires à son bon fonctionnement, ses performances de calcul sont très limitées sans compter le fait que ce processeur n'est que de 32 bits et qu'il n'est muni que d'une unité arithmétique en virgule fixe. Au cours des travaux futurs, un processeur plus puissant sera utilisé afin de réaliser la simulation avec un grand pas de calcul. Ainsi le FPGA ne servira qu'à implémenter le noyau de simulation, ce qui permet en premier lieu de dédier toutes les ressources FPGA à son implémentation, libérant près de 30% des ressources. En second lieu, le noyau de simulation ne sera plus sujet aux limitations du système de base contenant le PPC telles la fréquence d'opération et la largeur des bus de communication. Le pont entre le noyau de simulation et la partie lente pourra être développé sur mesure, permettant ainsi une grande liberté d'optimisation.

5.6 Analyse temporelle du cycle d'opération

La figure 5.40 présente un cycle d'opération du PPC tandis que le détail de l'algorithme du noyau de simulation est présenté sous forme de diagramme temporel à la figure 5.41. D'une part, on constate que le noyau de simulation n'est actif que pour de très courtes périodes de temps et d'autre part, le temps de communication entre les deux parties du simulateur est relativement grand. Afin d'exploiter au maximum le noyau de simulation, il serait intéressant d'utiliser les temps morts de son cycle d'opération pour effectuer d'autres tâches. La gestion et la commande des entrées/sorties pourraient être effectuées par le noyau de simulation et puisque la fréquence d'opération de ce dernier est plus élevée, une plus grande résolution temporelle des entrées/sorties serait possible si les convertisseurs numérique-analogique sont en mesure de suivre. Il est important de noter que la nature parallèle d'un circuit FPGA permet de traiter les entrées/sorties en parallèle avec l'exécution de l'algorithme de simulation si ces deux fonctions n'utilisent pas les mêmes ressources.

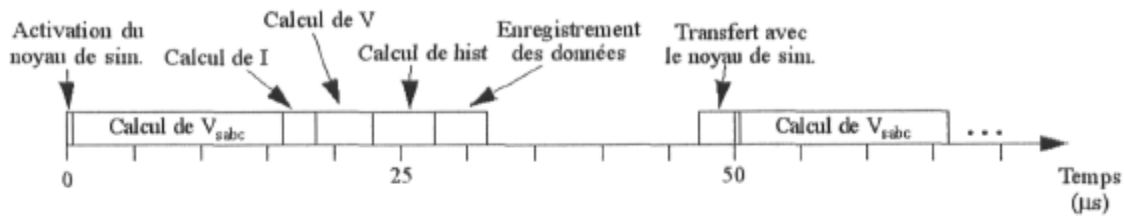


Figure 5.40 Représentation temporelle de l'algorithme du PPC.

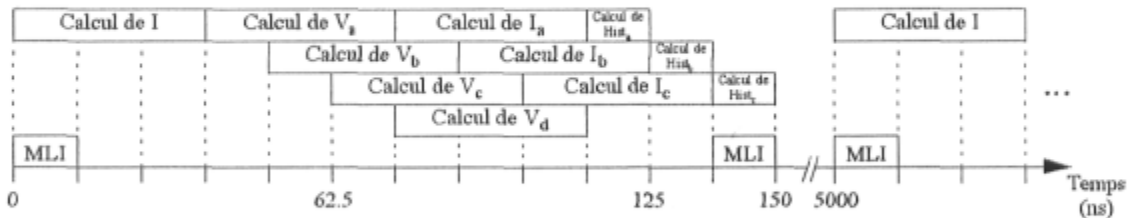


Figure 5.41 Représentation temporelle de l'algorithme du noyau de simulation.

En ce qui concerne le temps de communication entre les deux parties du simulateur à pas multiple, il est évident qu'il limite le pas de calcul du noyau de simulation. En effet, le pas de calcul minimum théoriquement réalisable est égale à la somme du temps de transfert et du temps d'exécution de l'algorithme du noyau de simulation. Pour l'instant, le temps de transfert est d'environ $2.7 \mu\text{s}$ et le temps d'exécution de $0.15 \mu\text{s}$ ce qui implique une limite inférieure de $2.85 \mu\text{s}$. Évidemment, cette limite inférieure nécessite une synchronisation parfaite et aucun autre délai dans l'exécution du transfert et de l'algorithme. Ainsi, si le temps de transfert entre la partie rapide et la partie lente du simulateur était diminué, il serait possible de réduire d'avantage le pas de calcul de la partie rapide ce qui résulterait en une augmentation de la précision de la représentation des interrupteurs de puissance et une amélioration de la résolution de la modulation à largeur d'impulsion.