

— *Chapitre II*

Le Transistor MOS En Technologie BULK, SOI Et TFT

MCours.com

II.1. Introduction

C'est en 1960 que Kahng et Attala ont présenté le premier transistor MOS sur Silicium en utilisant une grille isolée dont le diélectrique de grille était en oxyde de silicium SiO_2 . Le silicium fut un choix très judicieux. Il est l'élément le plus abondant de la croûte terrestre, après l'oxygène. De plus son oxyde est non seulement un très bon isolant électrique mais il s'est aussi révélé parfaitement adapté pour former des couches dites de passivation protégeant les circuits et accroissant remarquablement leur fiabilité.

Les transistors MOS sur silicium, plus simples et moins chers que leurs concurrents bipolaires, mais intrinsèquement moins performants à génération technologique équivalente, ont connu leur essor dans les années 70-80 grâce à la technologie CMOS inventée en 1968 qui consomme très peu d'énergie. Depuis, les applications en logique CMOS mais aussi les mémoires qui constituent l'autre grande application des MOSFET ont bénéficié d'une très forte et continuelle augmentation de leur rapidité et de leur densité d'intégration.

En 1967, Dennard invente la mémoire DRAM (Dynamic Random Access Memory) par association d'un transistor MOSFET et d'une capacité de stockage. 1971 est l'année de la conception du premier microprocesseur par Hoof *et al* de la société Intel. Il s'agit d'un processeur 4 bits (Intel 4004) de 3mm par 4mm comportant 2300 transistors ayant une longueur de $8\mu\text{m}$, la Figure II.1.a ci-dessous représente un processeur Intel 4004.

Depuis lors de nombreuses autres nouvelles technologies ont permis, sans changer vraiment les méthodes de fabrication de réduire la taille des transistors et ainsi la densité des mémoires et la puissance des microprocesseurs. Cette course à la miniaturisation permet aujourd'hui de concevoir des transistors d'une longueur d'une dizaine de nm tel que celui présenté sur la figure II.1.b. Ce qui permet de concevoir des processeurs tels que l'Intel Itanium qui comporte plus de 3 milliards de transistors [14].

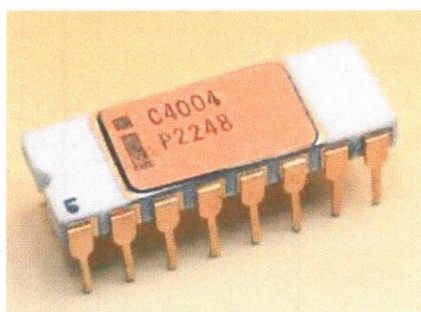


Figure II.1.a : Processeur Intel 4004.

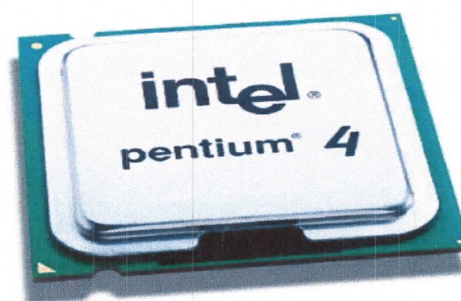


Figure II.1.b : Intel Pentium IV.

II.2. Transistor MOS Bulk

Avant de présenter les équations permettant le calcul du courant de drain du transistor MOS, il est nécessaire de définir les différentes notations utilisées [14].

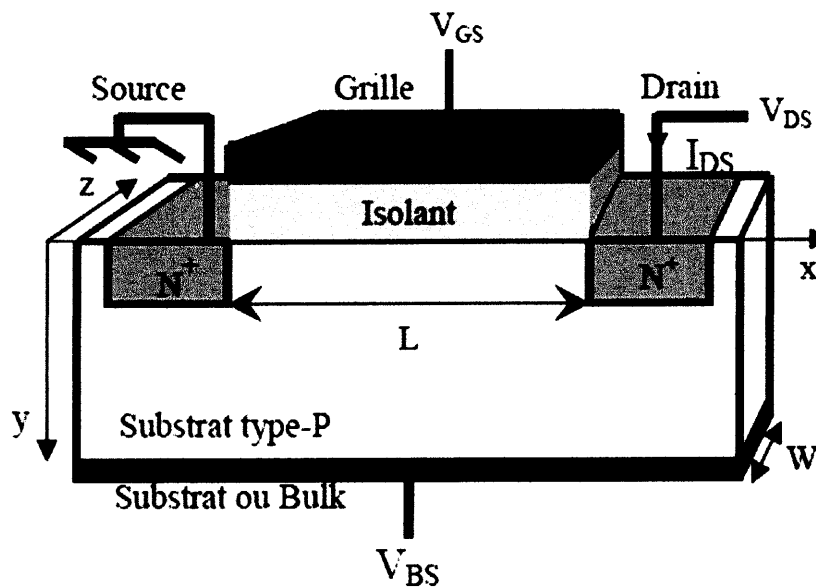


Figure II.2 : Vue schématique du transistor MOS Bulk de type N [14].

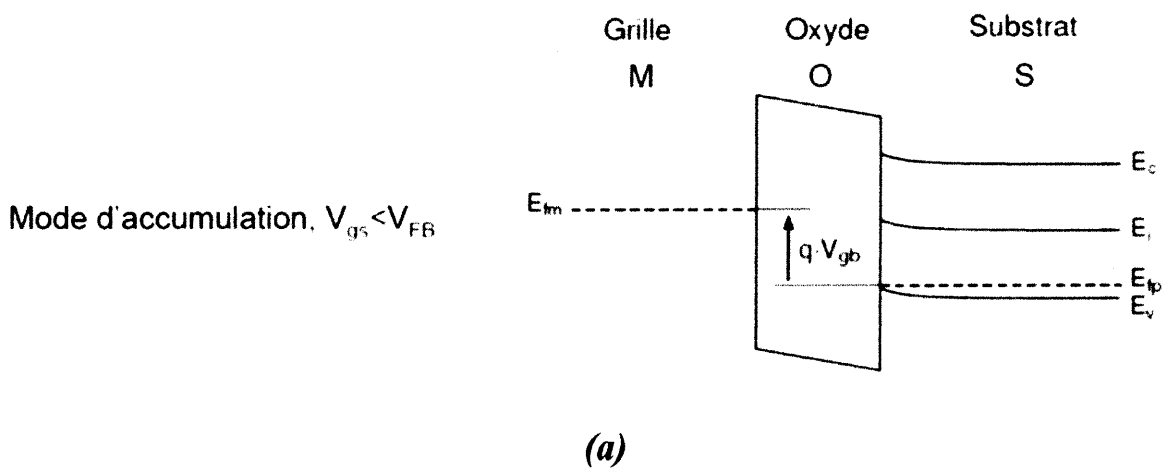
Le transistor MOS (ou MOSFET pour transistor Métal-Oxyde-Semi-conducteur à effet de champ) à canal N est un dispositif quadripolaire constitué d'une couche conductrice (métal ou polysilicium fortement dopé) appelée électrode de grille (G), de source (S), de drain (D) et de substrat (B) semi-conducteur sur lequel repose une fine couche d'oxyde isolant (SiO_2) d'épaisseur T_{ox} , comme il est visualisé sur Figure.II.2. La longueur du transistor, notée L , correspond à la longueur de sa grille (recouvre légèrement les régions de source et de drain) et sa largeur est notée W . La région entre les jonctions de source et de drain est appelée la région du canal. Nous considérerons par la suite un transistor à canal surfacique, c'est-à-dire dont la conduction est assurée par les porteurs minoritaires du substrat (électrons dans le cas d'un NMOSFET), à l'interface entre le diélectrique de grille et le substrat. Notons que le MOSFET possède deux électrodes supplémentaires par rapport à la capacité MOS, qui sont constituées de deux caissons dopés N^+ pour un $NMOS$ (réservoirs à électrons). Ainsi, de nombreuses propriétés du transistor MOS découlent de celles de la capacité MOS.

La zone active du transistor MOS est la région semi-conductrice (substrat) située entre la source et le drain près de l'interface oxyde-semi-conducteur. La tension appliquée entre

la grille et le substrat V_{gb} génère un champ électrique dans le substrat, et pour une tension V_{gb} suffisante, un canal de conduction est créé à l'interface oxyde-semi-conducteur. Lorsque nous polarisons le transistor par une tension V_{ds} , un courant de porteurs minoritaires circule dans le canal entre la source et le drain. Nous parlons de transistor nMOS lorsque le substrat est dopé avec des atomes de type accepteur et que les porteurs minoritaires sont les électrons. Dans ce cas, les régions de source et de drain sont fortement dopées avec des atomes de type donneur. Le transistor pMOS possède un substrat dopé avec des atomes de type donneur et les porteurs minoritaires sont les trous. Dans tout le manuscrit, lorsque le type du substrat n'est pas précisé, nous parlons d'un transistor nMOS où les porteurs minoritaires sont les électrons

II.2.1. Les régimes de fonctionnement

Les propriétés électroniques d'un semi-conducteur étant contrôlées par la position du niveau de Fermi dans le gap, nous allons donc nous intéresser à la structure de bandes du MOS. La plus simple des structures MOS est la capacité MOS qui consiste en un empilement substrat-diélectrique-grille. Lorsqu'une tension V_{gb} est appliquée entre la grille et le substrat, la structure de bande près de l'interface silicium-oxyde est modifiée. Les bandes d'énergie E_C et E_V représentent respectivement les niveaux d'énergie de la bande de conduction et de la bande de valence. E_i représente le niveau de Fermi intrinsèque. Le niveau de Fermi du métal est E_{fm} , et celui du silicium dopé p est E_{fp} . V_{FB} correspond à la tension de bandes plates. Supposons tout d'abord que la source et le drain soient à la masse ($V_{sb} = V_{db} = 0$ V), dans ce cas, trois situations peuvent être distinguées (dans la région du canal) : l'accumulation, la déplétion et l'inversion. La Figure II.3, représente ces différentes régions de fonctionnement [15].



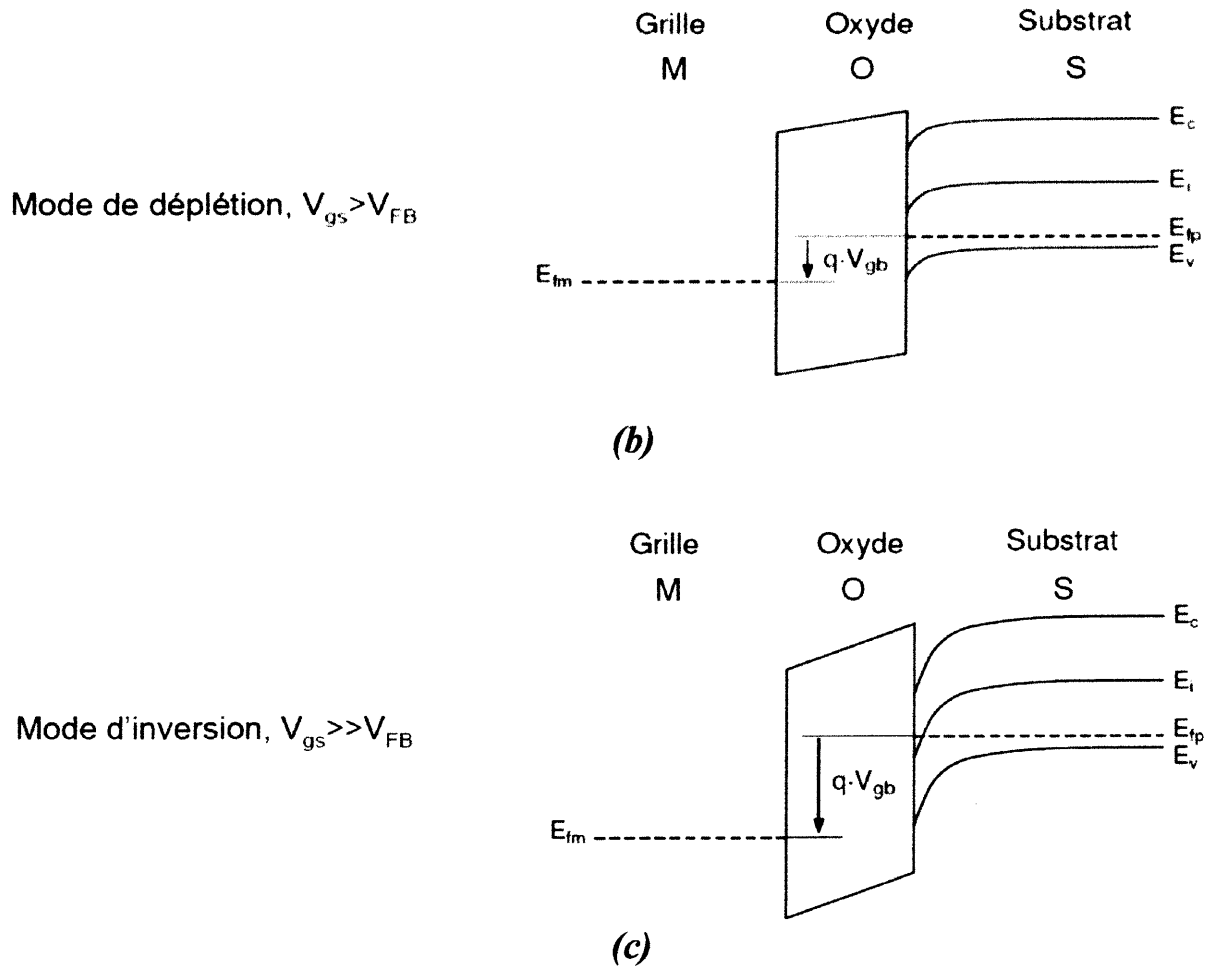


Figure II.3 : Diagrammes des bandes dans les différents modes de fonctionnement d'un transistor nMOS.

II.3. La technologie SOI

Le terme SOI (Silicon On Insulator) signifie littéralement silicium sur isolant. Contrairement au MOSFET bulk (Figure II.4.a), où les composants sont réalisés sur un substrat de silicium appelé parfois bulk d'une épaisseur de l'ordre de 600 μm dont seuls les premiers microns en surface sont réellement utiles, le SOI est réalisé sur un film de Silicium au préalable posé sur une couche d'oxyde enterrée (Figure II.4.b). Le film de silicium a une épaisseur que nous noterons t_{si} .

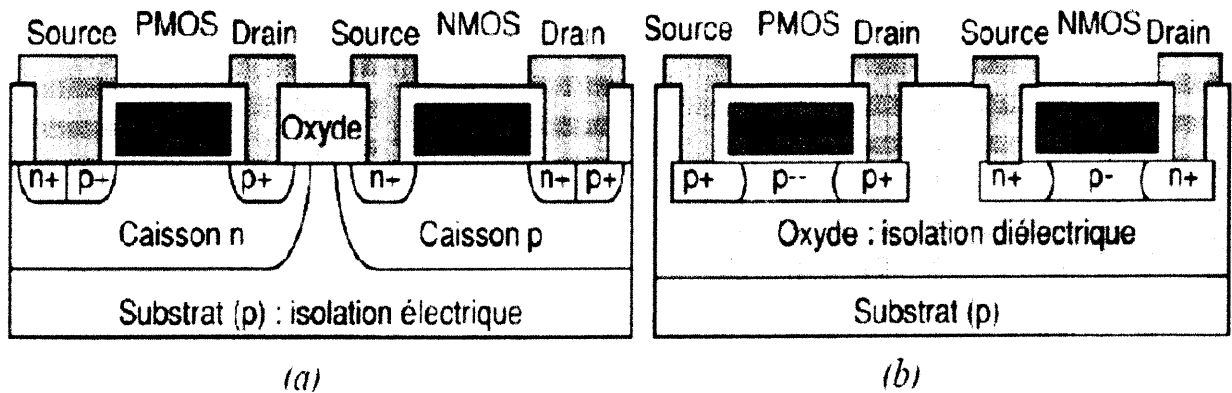


Figure II.4 : Coupe schématique de transistors MOS, (a) : bulk et (b) : SOI.

Toujours à l'opposé du transistor MOS bulk où le canal d'inversion est localisé à l'interface silicium oxyde, la structure SOI a fait naître le concept d'inversion volumique [15]. La présence de l'oxyde enterré permet un meilleur contrôle du potentiel dans le canal par la grille que dans le transistor MOS sur silicium massif. Pour des films de silicium épais, la zone de déplétion dans le film n'atteint pas l'oxyde enterré ; nous parlons alors de transistor partiellement déplété (ou PDSOI, "*Partially Depleted SOI*"). Lorsque l'épaisseur du film est réduite et que la déplétion atteint l'oxyde enterré, le film est donc complètement déserté et la grille améliore le contrôle du potentiel dans le film ; nous parlons alors de transistor entièrement déplété (ou FDSOI, "*Fully Depleted SOI*"). La Figure II.5 décrit ces deux structures.

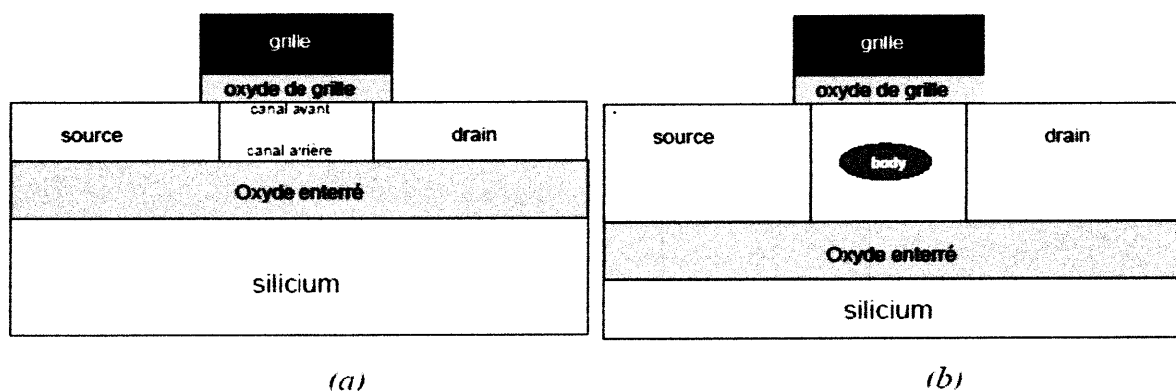


Figure II.5 : Représentation schématique d'un transistor SOI, (a) entièrement déplété et (b) partiellement déplété.

Le fait que le SOI soit partiellement ou entièrement déplété dépend essentiellement de l'extension de la couche de désertion dans le film de silicium. La profondeur t_{si} de la zone de désertion dans le film dépendra du dopage du film [16].

II.4. Les transistors en couches minces sur silicium polycristallin (TFT Poly-Si)

II.4.1. Définition des transistors en couches minces (TFT)

Le transistor en couche mince (TFT) est un transistor à effet de champ constitué d'une couche d'un semi-conducteur non monocristallin déposée sur un substrat isolant, la Figure II.6 désigne le schéma général d'un TFT à canal N. De part son type de substrat, il est possible de réaliser les transistors TFT sur des surfaces beaucoup plus grandes que pour les transistors MOS en monosilicium. Cela explique l'utilisation des TFT pour des applications d'électronique grande surface.

Les matériaux utilisés pour réaliser la couche active dans les TFT se divisent en deux grandes familles : les matériaux inorganiques (majoritaires) et organiques (en développement) :

- les deux matériaux inorganiques et non monocristallins les plus utilisés sont le silicium amorphe (a-Si) et le silicium polycristallin (Poly-Si).
- Les matériaux organiques se décomposent en deux catégories : les petites molécules et les polymères. La mobilité maximale obtenue sur des dispositifs réalisés avec des polymères est de l'ordre de $0,1 \text{ cm}^2/\text{V}\cdot\text{s}$ et $5 \text{ cm}^2/\text{V}\cdot\text{s}$ avec des petites molécules. Aujourd'hui, la recherche sur les transistors TFT à base de matériaux organiques connaît un fort développement [16].

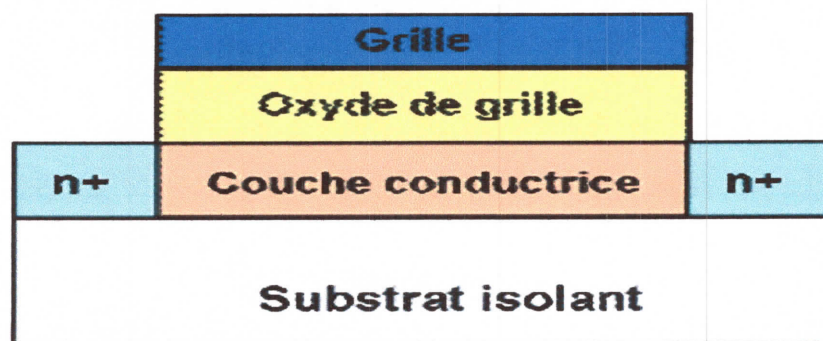


Figure II.6 : Schéma général d'un TFT à canal N.

II.4.2. Description du transistor TFT poly-Si

La technologie des transistors en couches minces en silicium polycristallin sur verre est différente de celles des transistors MOS en monosilicium fabriqués en volume (ou transistors bulk). En effet, le TFT Poly-Si est constitué d'une superposition de couches de semi-conducteurs et d'isolants alors que le transistor bulk est formé dans le volume d'un substrat semi-conducteur.

La figure II.7 ci-dessous illustre cette différence. De plus, le transistor TFT Poly-Si possède certains avantages de la technologie SOI (Silicon On Insulator), comme par exemple l'immunité au phénomène de verouillement (latch-up).

Les électrodes source et drain peuvent être confondus. La présence de zone faiblement dopée ou zone LDD (Lightly Doped Drain) permet de diminuer le fort champ au niveau de l'interface drain/canal. Nous reviendrons sur l'influence de cette zone LDD sur le courant de fuite et l'effet kink dans ces transistors.

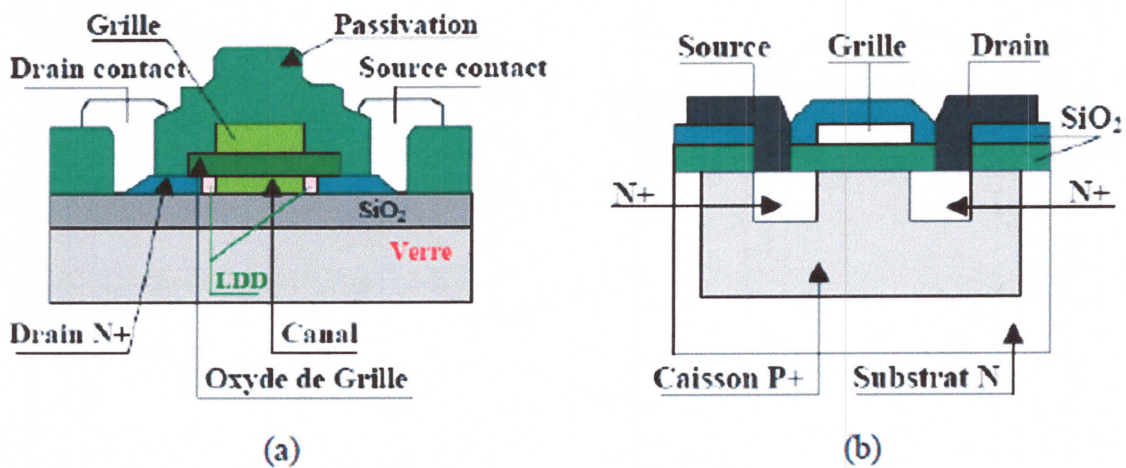


Figure II.7 : Coupe d'un transistor. a/ Couches minces en silicium polycristallin.
b/ MOS en monosilicium [17].

II.4.3. Particularités électriques des TFT poly-silicium

Dans cette partie, nous allons décrire le fonctionnement des transistors TFT poly-Si, puis balayer les principales particularités électriques des TFT poly-si, dues aux deux principales contraintes technologiques décrites précédemment :

- Le matériau polycristallin dans lequel circulent les porteurs libres.
- Les températures de fabrication des TFT Poly-Si relativement faibles (pour un substrat de verre ou de plastique), ce qui impose une moins bonne qualité d'oxyde et d'interface poly-si/oxyde.

II.4.3.1. Fonctionnement des transistors TFT poly-silicium

Les TFT Poly-Si sont des transistors à effet de champ. Ils ont trois électrodes : grille, drain et source. Ils n'ont pas de terminal substrat comme les transistors bulk classiques, ce qui explique l'absence d'effet substrat. Leur principe de fonctionnement est similaire aux transistors bulk avec la conduction par effets de champ dans le canal (N ou P), formé entre le drain et la source et modulé par la tension de grille.

Toutefois, tandis que les transistors bulk fonctionnent en régime d'inversion, les transistors TFT Poly-Si fonctionnent en régime d'accumulation. En effet, pour un transistor de type N , une tension de grille positive ($V_g > 0$) provoque une accumulation d'électrons au niveau du canal du transistor. Lorsque la tension appliquée sur la grille atteint la tension de seuil ($V_g > V_t$), des porteurs libres (des électrons) sont créés. Dans un premier temps les charges libres générées sont piégées par les états localisés se trouvant dans la bande interdite. Ensuite, en augmentant la tension de grille, le nombre de charges libres augmente jusqu'à saturation de tous les pièges : on atteint alors le régime ON du transistor ($V_{gs} = V_{on}$). La transconductance G_m définie comme l'augmentation de courant de drain provoquée par une augmentation de la tension de grille, est donc plus faible que dans le cas du transistor bulk.

Lorsqu'une tension drain V_d est appliquée, le courant entre la source et le drain (I_{ds}) circule.

II.4.4. La tension de seuil V_t/V_{on}

La tension de seuil n'a pas la même signification physique pour les TFT et les transistors bulk. Pour ces derniers, elle est définie comme étant la tension entre la grille et la source pour laquelle la zone d'inversion apparaît, c'est-à-dire la création du canal de conduction entre le drain et la source. La transition entre le régime OFF et le régime ON est très rapide et on obtient des tensions de seuil $V_t < 1$ v.

Pour les TFT Poly-Si, cette transition est beaucoup plus lente à cause des grains et joints de grain présents dans le Poly-Si. En effet, contrairement aux transistors bulk, il existe une densité d'états possibles dans la bande interdite ; ainsi les porteurs libres, induits par la polarisation de la grille, se font majoritairement capturés par ces états localisés. La concentration des porteurs libres dans le canal augmente donc plus lentement car il faut d'abord remplir tous les pièges présents dans les frontières de grain. On peut ainsi distinguer deux tensions de seuil : V_t et V_{on} . La figure II.9 résume le discours précédent. La tension V_t est définie par la transition du régime exponentielle au régime linéaire : elle correspond à la tension de grille pour laquelle G_m/I_d vaut

environ 90% de sa valeur maximale. La tension V_t correspond à l'extrapolation de la courbe $I_d (V_{gs})$ en régime ohmique. On peut souligner que $\approx V_{on}$ dans le cas des transistors bulk. Pour un transistor TFT Poly-Si classique, l'ordre de grandeur de la tension de seuil extrapolée V_{on} est de 4 à 6V [17].

II.4.5. Mobilité des porteurs et pente sous le seuil

Le mécanisme de piégeage des porteurs libres, décrit précédemment, explique aussi la dégradation de la mobilité à effet de champ et de la pente sous le seuil :

- La mobilité est fortement diminuée par la présence des joints de grains dans la couche active, ce qui ralentit la participation des porteurs libres à la conduction (environ 2 à 3 fois inférieure à celle d'un transistor bulk).
- La pente sous le seuil dépend de la densité d'états dans la bande interdite. En effet, plus la densité d'états des pièges est importante, plus la pente sous le seuil est faible car les porteurs ont d'autant plus de pièges à remplir avant de participer à la conduction. Typiquement, la pente sous le seuil des transistors TFT Poly-Si est comprise entre 0,1 à 1V/décade, soit des commutations de l'état OFF à l'état ON beaucoup plus lentes que pour les transistors bulk classiques, qui ont une pente sous le seuil de 50 à 100 mV/décade (10 fois plus faible) [17]. La figure II.9 ci-dessous représente le courant I_{ds} et le rapport G_m/I_{ds} pour un transistor TFT poly-si NMOS.

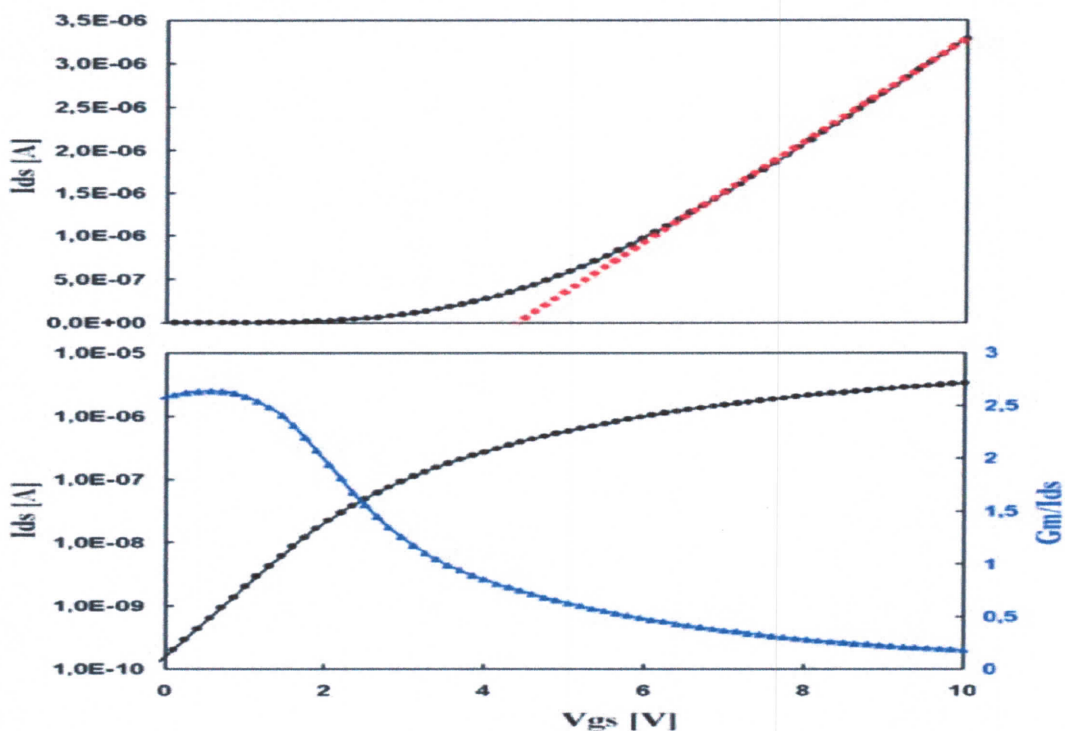


Figure II.8 : Courant d'un transistor I_{ds} et G_m/I_{ds} pour un transistor TFT poly-si NMOS de $50\mu\text{m} \times 50\mu\text{m}$ à $V_{ds} = 0.1\text{V}$ [17].

II.4.6. Le courant de fuite I_{off}

Le courant de fuite d'un transistor TFT poly-si à l'état bloqué est important. Ce courant est dû au courant inverse de la jonction entre le drain et le canal. En effet, pour un transistor à canal N , si on applique une tension de grille négative ($V_g < 0$), une couche de trous (P) est formée dans la couche active. Cette couche de trous (P) et le drain dopé N^+ forment une diode PN^+ polarisée en inverse. D'après la figure II.9 ci-dessous qui donne l'évolution du courant de fuite I_{off} avec la tension V_{ds} pour un TFT poly-si, on peut constater que le courant de fuite I_{off} est indépendant de V_{gs} à faible V_{ds} , alors qu'il augmente avec $|V_{gs}|$ à fort V_{ds} . Selon la valeur du champ électrique aux bornes de cette jonction, différents mécanismes de conduction ont été proposés pour expliquer ce courant de fuite :

- A faible tension V_{ds} , le courant de fuite est dominé par le mécanisme de génération-recombinaison thermique dans la région de déplétion près du drain [18].
- A forte tension V_{ds} , plusieurs mécanismes ont été proposés : émission **Poole-Frenkel** dans la région de déplétion près du drain [19], émission par effet tunnel bande à bande assistée par des phonons (de la bande de valence du drain à la bande de conduction de la région de déplétion près du drain) [20].

Ce courant de fuite constitue un des défauts majeurs de cette technologie. Cependant, il peut être réduit par l'utilisation de zones faiblement dopées (zone LDD) [21].

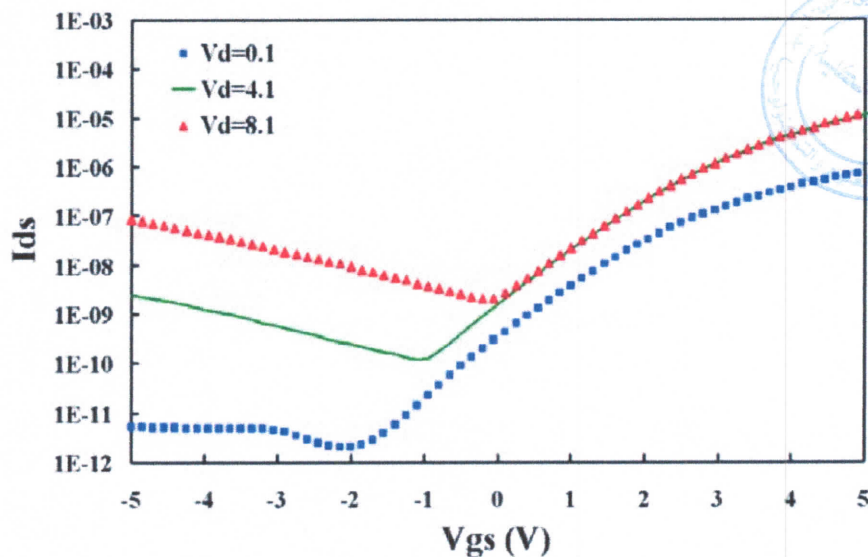


Figure II.9 : Evolution du courant de fuite I_{off} avec la tension V_{ds} pour un TFT Poly-Si [20].

II.4.7. Effets du substrat flottant

Comme pour les transistors SOI les transistors TFT poly-si subissent les effets indésirables liés au substrat flottant [22], [23]. Ils se manifestent par une dégradation des caractéristiques $I_{ds} = f(V_{ds})$. En effet, pour des valeurs élevées de V_{ds} , le courant I_{ds} augmente brusquement, ce qui indique une augmentation de la conductance g_{ds} du canal. Le courant I_{ds} n'est alors plus indépendant de V_{ds} . On l'appelle l'effet kink. Ce phénomène résulte du très fort champ appliqué à l'interface drain-canal, qui provoque le phénomène d'ionisation par impact et par suite l'injection d'électrons par la source dans le canal (donc augmentation du courant I_{ds}). La figure II.10 ci-dessous désigne les caractéristiques $I_{ds}(V_{ds})$ d'un TFT poly-si pour différents V_{gs} . On l'appelle l'effet kink. Ce phénomène résulte du très fort champ appliqué à l'interface drain-canal, qui provoque le phénomène d'ionisation par impact et par suite l'injection d'électrons par la source dans le canal (donc augmentation du courant I_{ds}). L'effet kink intervient pour des longueurs de canal $L < 20\mu\text{m}$, ces longueurs étant considérées comme faibles dans le cas du TFT poly-si. Il est alors d'autant plus important que l'on réduit L .

On peut diminuer cet effet en travaillant à de faibles valeurs de tension de grille V_{gs} ($V_{gs} < V_{on}$), mais cela oblige à travailler à de faibles courants I_{ds} . La présence de zones faiblement dopées LDD et insérées entre le canal/drain et canal/source, permet de réduire le fort champ à l'interface canal /drain et donc de diminuer l'effet kink.

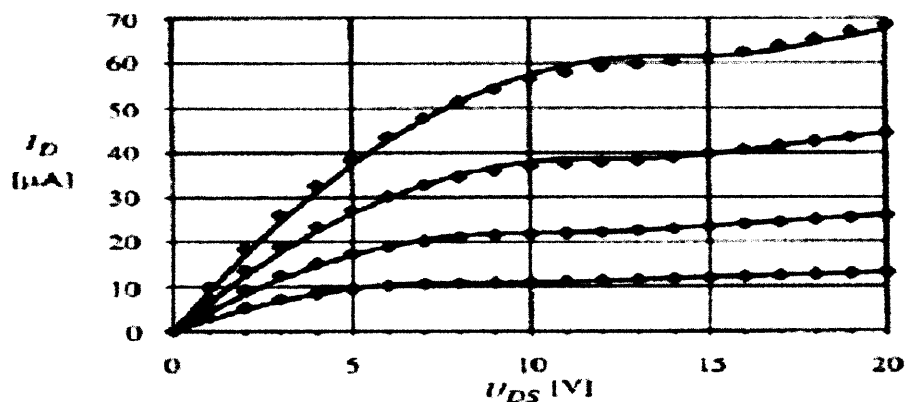


Figure II.10 : Caractéristiques $I_{ds}(V_{ds})$ d'un TFT poly-si pour différents V_{gs} [17].

II.5. Transport des porteurs

Le processus de conduction dans les films de silicium polycristallin et nanocristallin est nettement différent de celui du silicium monocristallin en raison de la présence d'obstacles aux limites des grains [24].

Pour l'électron, le parcours libre moyen est généralement beaucoup plus grand dans les semiconducteurs que dans les métaux. Les effets d'interférence sont mieux observés dans les nanostructures semi-conductrices.

La plupart des études antérieures en matière de transport macroscopique font sortir une nette différence entre le transport dans le régime diffusif et le transport dans le régime balistique et semi-balistique [25].

II.5.1. Transport dans les polystructures de silicium

Le transport des porteurs à travers les joints de grain a été modélisé suivant d'approches différentes, chacune d'elle utilise le concept de piégeage (ségrégation) de charges [24].

La première approche est basée sur les différents processus d'émission à travers les joints de grain. La barrière du joint de grain se comporte exactement comme une diode Schottky et l'émission thermoïonique des porteurs à travers la barrière permet de surmonter les obstacles potentiels [24], [26].

La seconde approche, qui était radicalement différente de la première, est basée sur la dérive des porteurs dans un système semiconducteur cristallin-amorphe-cristallin. Une zone de charge d'espace induit par les porteurs piégés dans les joints des grains a été envisagée. La conduction dans des couches amorphes de joints de grains est dominée par les sauts et les processus de diffusion [24].

II.5.2. Transport dans les nanostructures de silicium

Pour les deux dernières décennies de nouveaux phénomènes de transport dans les structures semi-conductrices à échelle nanométrique ont été explorées avec d'énormes progrès dans la nano-fabrication et les technologies de croissance. Les deux natures ondulatoire et particulaire des électrons ont conduit à des propriétés de transport tout à fait unique, qui n'avait pas été démontré pour les électrons dans les structures à échelle micrométrique.

Les caractéristiques électriques que nous avons l'habitude d'obtenir sont la moyenne statistique d'un grand nombre d'électriques (à l'ordre du nombre d'Avogadro) en mouvement. Les caractéristiques électriques sont décrites en utilisant des quantités macroscopiques telles que la mobilité, qui est déterminée principalement par la diffusion d'impuretés [27].

II.5.3. Effets du confinement Quantique sur le transport

Quand les échelles diminuent, les effets quantiques deviennent plus importants, la figure II.11 ci-dessous schématise l'effet de longueur d'échelle sur les transports dans les systèmes nanométriques.

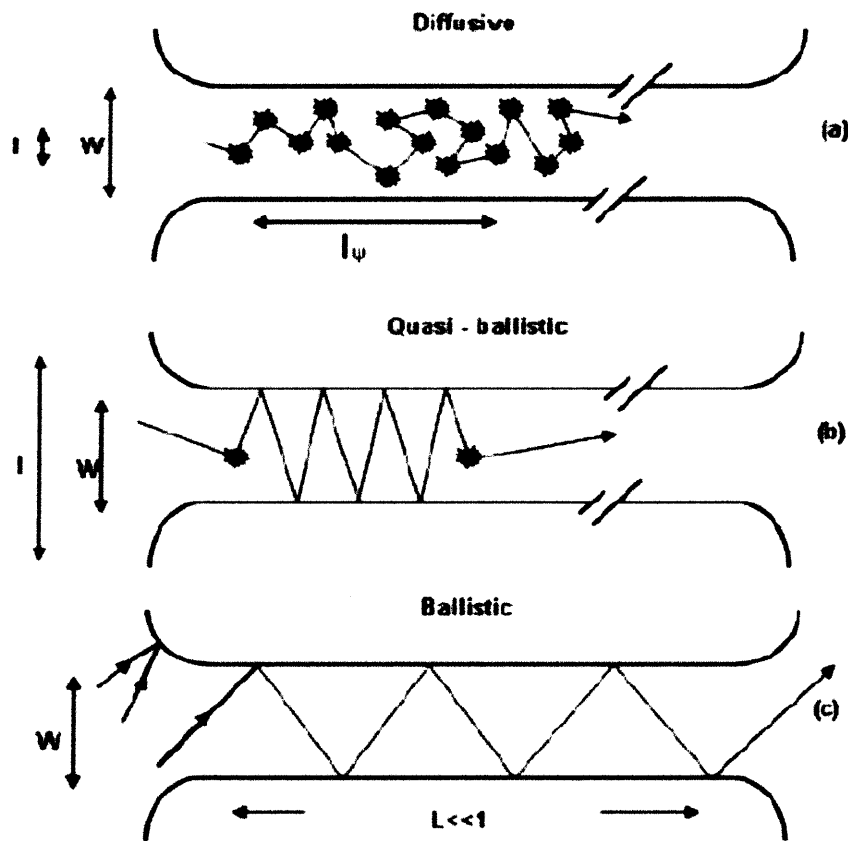


Figure II.11 : Illustration de l'effet de longueur d'échelle sur les transports dans les systèmes nanométriques. L et W représentent la longueur et la largeur respectivement d'un conducteur nanométrique. Le libre parcours moyen élastique est désigné par l_ψ [28].

En termes de transport, on peut distinguer entre le transport parallèle et perpendiculaire aux potentiels de confinement dans le système. Dans ce dernier cas, le transport est dominé par la réflexion quantique et la transmission.

En termes de transport le long de l'une des directions non confinées d'un système de réduction dimensionnelle, sur de longues distances, le transport est diffusif, mais il est modifié dans le cas des dimensionnalités réduites. En réduisant les dimensions, le mouvement des électrons à travers la structure devient balistique [27], [28].

II.5.4. Transport quantique balistique

Lorsque le plan des électrons est confiné davantage (limité), un système peut être créé, qui est plus petit que la distance entre les événements de diffusion à grande angle. C'est ce qu'on appelle le régime balistique, dans lequel les électrons peuvent se déplacer facilement à travers le système [29], [30].

Les premières études sur le transport des électrons ont souvent adopté des structures métalliques, mais il était difficile d'observer le transport balistique sur un parcours libre moyen de l'électron dans un métal de taille inférieure à 10 nm, sans diffusion [25], [27].

Pour le transport purement balistique, la conduction de courant est déterminée uniquement par la géométrie du canal, sans aucune fluctuation statistique provoquée par la distribution aléatoire d'atome dopant. Le transport balistique devrait être de plus en plus important, avec d'autres dispositifs de réduction d'échelle et d'amélioration de la cristallinité [27], [31].

Dans le cas d'un système quantique confiné, dans lequel le mouvement des porteurs est quantifié à une dimension, ce dernier se comporte essentiellement comme un conducteur diffusif dans les autres directions. Lorsque L et W sont plus courts que les chemins élastiques et inélastiques dits libres, le système est purement balistique, et le mouvement de charge est régi par le comportement ondulatoire de la particule et sa réflexion et ses propriétés de transmission à travers la structure [28]. Le passage luit précédemment est illustré sur la figure II.11 ci-dessus.

Dans ces circonstances, les électrons se comportent d'une manière semblable à la lumière se propageant dans un guide d'ondes sans perte par le phénomène de collision élastique.

L'effet de confinement quantique dans le super-réseau semi-conducteur est l'un des exemples qui résulte de la nature d'onde électronique [27].

II.6. Confinement quantique dans les nanostructures

Dans un semi-conducteur massif, le mouvement des porteurs est libre le long des trois directions spatiales. Cependant, une nanostructure a une ou plusieurs de ses dimensions réduites à une échelle nanométrique et ceci produit une quantification de l'énergie des porteurs correspondant au mouvement le long de ces directions [32].

Quand un électron est confiné dans un espace de dimension lx, ly, lz , si la longueur caractéristique est λ , on peut avoir la situation suivante [25].

$\lambda \ll L_x, L_y, L_z$, dans ce cas l'électron se comporte comme dans un semiconducteur massif (3D).

$\lambda \ll L_x$ et $L_x \ll L_y, L_z$, dans cette situation, on a un semi-conducteur 2D perpendiculaire à l'axe x . Ce système est appelé : puits quantique.

$\lambda > L_x, L_y$ et $L_x, L_y \ll L_z$, Ceci correspond à un semi-conducteur 1D ou un fil (fibre) quantique.

$\lambda \gg L_x, L_y, L_z$, dans ce cas on dit qu'on a un semi-conducteur sans dimension ou à un point quantique.

Pour qu'un cristal sphérique avec un diamètre ($D = 2R$) soit appelé une structure quantique, D doit être plus petite que la longueur d'onde de Broglie λ [33].

$$\lambda = \frac{h}{p} \quad \text{Avec :} \quad p = \frac{\hbar k}{2\pi}$$

Où : h et k sont les constantes de Planck et Boltzmann respectivement, et p est le moment de l'électron.

II.6.1. Confinement quantique à une dimension : puits quantiques

Dans une couche mince de semi-conducteur d'épaisseur connue, le mouvement des porteurs est libre le long des deux directions orthogonales dans le plan de la couche, mais quantifié perpendiculairement au plan, formant un puits quantique unidimensionnel. Les résultantes des niveaux d'énergie quantifiée sont déterminées en résolvant la forme unidimensionnelle de l'équation de Schrödinger [32], [34].

II.6.2. Confinement quantique à deux dimensions : fils quantiques

Un fil (fibre) quantique est une bande d'un semi-conducteur confinée dans un deuxième, de plus large barrière de bande interdite. Le mouvement des porteurs est libre seulement le long de la longueur du fil et est quantifiée le long des deux directions orthogonales restantes.

Pour des formes simples du fil (section transversale, carrée ou rectangulaire), il est possible de calculer l'énergie quantifiée pour les deux directions indépendamment. Ces deux quantifications d'énergie se rajoutent en conséquence du mouvement libre le long du fil [32].

II.6.3. Confinement quantique a trois dimensions : points quantiques

Un point quantique est une petite région d'un semi-conducteur totalement entourée par un second, de plus large barrière de bande interdite. Le mouvement des porteurs est quantifié le long des trois directions spatiales et il ne reste plus de mouvement libre des porteurs [32].

Un point quantique (nano-point) est un cristal semi-conducteur, où les électrons sont confinés en trois dimensions, dont la taille globale est inférieure ou égale à 10 nm il présente des caractéristiques très différentes des structures massives conventionnelles [34].

Des progrès récents dans la technologie de fabrication des nanostructures de silicium ont fait des observations éventuelles de nouvelles propriétés électriques et optique des points quantiques de silicium, à savoir, le transport balistique, et l'émission d'électrons [35].

Les points quantiques confinent les électrons aux dimensions négligeables par rapport aux fils quantiques (lignes) aux puits quantiques (plans) qui ont une superficie voisine de la longueur de Broglie [34].

II.7. Conclusion

Dans ce chapitre, nous avons pris en charge l'étude physique et électrique de ce transistor en couche mince ou TFT (Thin Film Transistor) à base de polysilicium (TFT en poly-Si) qui constitue l'élément essentiel (pixel) de commutation et de commande des circuits d'adressage des matrices actives AMLCD (Active Matrix Liquide Crystal Display). L'historique de ces dits transistors, leur principe ainsi que leurs modes de fonctionnement ont été présentés.

Notons que le polysilicium est le matériau de base dans la réalisation de ce composant, nous avons également présenté une étude descriptive de sa structure cristalline ainsi que de son mode de dépôt. Enfin, cet état de l'art nous a permis d'introduire la problématique et les objectifs fixés dans le cadre de cette étude qui vise à modéliser le comportement électrique du TFT à base de Silicium polycristallin.

Nous avons exposé les propriétés physiques et électroniques du polysilicium utilisé comme matériau de base pour l'élaboration d'un modèle analytique simplifié du TFT polarisé dans les différents régimes de son fonctionnement.

Nous avons présenté les différents types de charges et leur contribution dans la densité des porteurs localisés sur les queues de bandes et sur les centres profonds. La densité d'états dans le gap du matériau polysilicium a été modélisée en supposant une distribution exponentielle,

aussi bien pour les états profonds que les états de queue. Cette analyse a permis la détermination de la variation du potentiel électrostatique, du potentiel de surface et de la tension de seuil dans la structure, en fonction des densités de ces charges. D'où une formulation du courant de drain pour les régimes de fonctionnement du transistor (du régime linéaire jusqu'au régime de saturation). Cette étude contribuera largement dans l'élaboration du modèle analytique global (présenté au chapitre III).

MCours.com